



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I430415 B

(45) 公告日：中華民國 103 (2014) 年 03 月 11 日

(21) 申請案號：098145454 (22) 申請日：中華民國 98 (2009) 年 12 月 29 日

(51) Int. Cl. : *H01L23/485 (2006.01)* *H01L21/50 (2006.01)*  
*H01L21/304 (2006.01)*

(30) 優先權：2009/12/01 美國 61/265,708

(71) 申請人：精材科技股份有限公司 (中華民國) XINTEC INC. (TW)  
 桃園縣中壢市吉林路 23 號 9 樓

(72) 發明人：倪慶羽 NI, CHING YU (TW)；鄭家明 CHENG, CHIA MING (TW)；林南君 LIN, NAN CHUN (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

TW	200843003	US	7037747B2
US	20060163714A1	US	2007/0196954A1

審查人員：余宗翰

申請專利範圍項數：18 項 圖式數：6 共 0 頁

## (54) 名稱

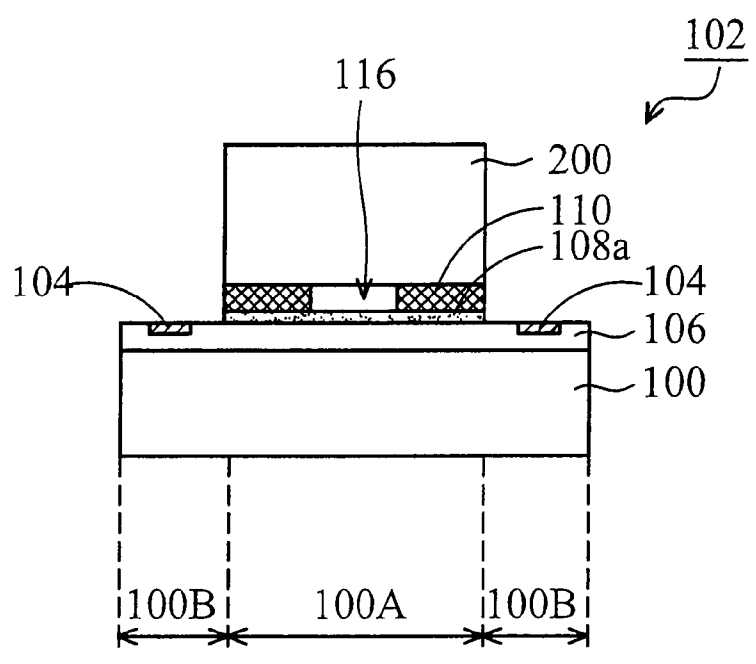
晶片封裝體及其製造方法

CHIP PACKAGE AND FABRICATION METHOD THEREOF

## (57) 摘要

本發明實施例係有關於一種晶片封裝體及其製造方法，晶片封裝體包括一含有晶片的半導體基底，具有元件區和周邊接墊區，複數個導電墊設置於周邊接墊區上，晶片保護層覆蓋於半導體基底上，暴露出該些導電墊，絕緣保護層形成於元件區的晶片保護層上，以及封裝層設置於絕緣保護層之上，暴露出該些導電墊及位於周邊接墊區的晶片保護層。在另一實施例中，晶片封裝體的製造方法包括在切割製程中形成絕緣保護層覆蓋導電墊，以及利用封裝層的開口除去導電墊上方的絕緣保護層。

A chip package and a fabrication method thereof are provided according to an embodiment of the invention. The chip package contains a semiconductor substrate containing a chip and having a device area and a peripheral bonding pad area. A plurality of conductive pads is disposed at the peripheral bonding pad area and a passivation layer is formed over the semiconductor substrate to expose the conductive pads. An insulating protective layer is formed on the passivation layer at the device area. A packaging layer is disposed over the insulating protective layer to expose the conductive pads and the passivation layer at the peripheral bonding pad area. The method contains forming an insulating protective layer to cover a plurality of conductive pads during a cutting process and removing the insulating protective layer on the conductive pads through an opening of a packaging layer.



- 100 . . . 半導體基底
- 100A . . . 元件區
- 100B . . . 周邊接墊區
- 102 . . . 晶片封裝體
- 104 . . . 導電墊
- 106 . . . 晶片保護層
- 108a . . . 絕緣保護層
- 110 . . . 間隔層
- 116 . . . 間隙
- 200 . . . 封裝層

第 1F 圖

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98 145 454

H01L 23/485 (2006.01)

※申請日：98 12 29

※IPC 分類：H01L 21/50 (2006.01)

H01L 21/304 (2006.01)

一、發明名稱：(中文/英文)

晶片封裝體及其製造方法

Chip package and fabrication method thereof

二、中文發明摘要：

本發明實施例係有關於一種晶片封裝體及其製造方法，晶片封裝體包括一含有晶片的半導體基底，具有元件區和周邊接墊區，複數個導電墊設置於周邊接墊區上，晶片保護層覆蓋於半導體基底上，暴露出該些導電墊，絕緣保護層形成於元件區的晶片保護層上，以及封裝層設置於絕緣保護層之上，暴露出該些導電墊及位於周邊接墊區的晶片保護層。在另一實施例中，晶片封裝體的製造方法包括在切割製程中形成絕緣保護層覆蓋導電墊，以及利用封裝層的開口除去導電墊上方的絕緣保護層。

三、英文發明摘要：

A chip package and a fabrication method thereof are provided according to an embodiment of the invention. The chip package contains a semiconductor substrate containing a chip and having a device area and a peripheral

bonding pad area. A plurality of conductive pads is disposed at the peripheral bonding pad area and a passivation layer is formed over the semiconductor substrate to expose the conductive pads. An insulating protective layer is formed on the passivation layer at the device area. A packaging layer is disposed over the insulating protective layer to expose the conductive pads and the passivation layer at the peripheral bonding pad area. The method contains forming an insulating protective layer to cover a plurality of conductive pads during a cutting process and removing the insulating protective layer on the conductive pads through an opening of a packaging layer.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(1F)圖。

(二)本代表圖之元件符號簡單說明：

100～半導體基底；	100A～元件區；
100B～周邊接墊區；	102～晶片封裝體；
104～導電墊；	106～晶片保護層；
108a～絕緣保護層；	110～間隔層；
116～間隙；	200～封裝層。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種晶片封裝體，特別有關於一種可以在切割製程中保護導電墊的晶片封裝體及其製造方法。

### 【先前技術】

目前業界針對晶片的封裝已發展出一種晶圓級封裝技術，於晶圓級封裝體完成之後，需在各晶片之間進行切割步驟，以分離各晶片。

然而由於在使用切割刀形成開口時會產生許多碎屑，這些碎屑有可能使得接合墊在切割製程中受到損害及刮傷，因此在後續製程中會產生打線接合的信賴性問題，導致習知的晶片封裝體電性不良。

因此，業界亟需一種晶片封裝體，其可以克服上述問題，避免導電墊在切割製程中受到損害。

### 【發明內容】

本發明實施例係提供一種晶片封裝體，包括一含有晶片的半導體基底，具有元件區和周邊接墊區，複數個導電墊設置於周邊接墊區上，晶片保護層覆蓋於半導體基底上，暴露出該些導電墊，絕緣保護層形成於元件區上，以及封裝層設置於絕緣保護層之上，暴露出該些導電墊。

此外，本發明另一實施例還提供一種晶片封裝體的

製造方法，包括：提供一半導體晶圓，包含複數個元件區，任兩個相鄰的該元件區之間包括一周邊接墊區，且該周邊接墊區包括複數個導電墊，以及一晶片保護層，覆蓋該半導體晶圓，且暴露出該些導電墊；形成一絕緣保護層於該晶片保護層上，且覆蓋該些導電墊；提供一封裝層；接合該半導體晶圓與該封裝層；定義該封裝層，以形成複數個開口，其暴露出該周邊接墊區內的絕緣保護層；以及以該封裝層為硬罩幕，除去該周邊接墊區內的絕緣保護層，暴露出該些導電墊。

為了讓本發明之上述目的、特徵、及優點能更明顯易懂，以下配合所附圖式，作詳細說明如下：

### 【實施方式】

以下以實施例並配合圖式詳細說明本發明，在圖式或說明書描述中，相似或相同之部分係使用相同之圖號。且在圖式中，實施例之形狀或是厚度可擴大，以簡化或是方便標示。再者，圖式中各元件之部分將以描述說明之，值得注意的是，圖中未繪示或描述之元件，為所屬技術領域中具有通常知識者所知的形式。另外，特定之實施例僅為揭示本發明使用之特定方式，其並非用以限定本發明。

本發明係以一製作影像感測元件封裝體 (image sensor package) 的實施例作為說明。然而，可以了解的是，在本發明之晶片封裝體的實施例中，其可應用於各種包含主動元件或被動元件 (active or passive

elements)、數位電路或類比電路(digital or analog circuits)等積體電路的電子元件(electronic components)，例如有關於光電元件(opto electronic devices)、微機電系統(Micro Electro Mechanical System; MEMS)、微流體系統(micro fluidic systems)、或利用熱、光線及壓力等物理量變化來測量的物理感測器(Physical Sensor)。特別是可選擇使用晶圓級封裝(wafer scale package; WSP)製程對影像感測元件、發光二極體(light-emitting diodes; LEDs)、太陽能電池(solar cells)、射頻元件(RF circuits)、加速計(accelerators)、陀螺儀(gyroscopes)、微制動器(micro actuators)、表面聲波元件(surface acoustic wave devices)、壓力感測器(process sensors)或噴墨頭(ink printer heads)等半導體晶片進行封裝。

其中上述晶圓級封裝製程主要係指在晶圓階段完成封裝步驟後，再予以切割成獨立的封裝體，然而，在一特定實施例中，例如將已分離之半導體晶片重新分布在一承載晶圓上，再進行封裝製程，亦可稱之為晶圓級封裝製程。另外，上述晶圓級封裝製程亦適用於藉堆疊(stack)方式安排具有積體電路之多片晶圓，以形成多層積體電路(multi-layer integrated circuit devices)之晶片封裝體。

本發明之實施例係提供一種晶片封裝體及其製造方法，在上述元件的晶圓級封裝體完成之後，以切割製程分割各元件時，晶片封裝體的導電墊可受到保護，避免被切割製程產生的殘餘物損害或刮傷。

接著，請參閱第 1A 至 1F 圖，其係顯示依據本發明之一實施例，形成晶片封裝體之製造方法的剖面示意圖。如第 1A 圖所示，首先提供一包含複數個晶片之半導體晶圓 100，其具有元件區 100A，任兩個相鄰的元件區 100A 之間為周邊接墊區 100B，以及複數個導電墊 104，位於周邊接墊區 100B 上。此外，半導體晶圓 100 在晶圓廠產出時一般係覆蓋有一晶片保護層 106(passivation layer)，例如為氮化矽層，同時為將晶片內的元件電性連接至外部電路，晶圓廠會事先定義晶片保護層 106 以形成複數個暴露出導電墊 104 的開口。

接著，如第 1B 圖所示，在半導體晶圓 100 的表面上全面性形成與晶片保護層 106 不同材料之絕緣保護層 108，其覆蓋著晶片保護層 106 以及導電墊 104，絕緣保護層 108 例如為氧化矽層，可利用化學氣相沈積法形成。

然後，如第 1C 圖所示，提供封裝層 200 以與半導體晶圓 100 接合，封裝層 200 例如為玻璃基板或是另一空白矽晶圓。在一實施例中，可藉由間隔層 110 分開封裝層 200 與半導體晶圓 100，同時形成由間隔層 110 所圍繞的間隙 116。間隔層 110 可以為密封膠，或是感光絕緣材料，例如環氧樹脂(epoxy)、阻錒材料(solder mask)等。此外間隔層 110 可先形成於絕緣保護層 108 上，之後再藉由黏著層(未顯示)與相對之封裝層 200 接合，反之，亦可將間隔層 110 先形成於封裝層 200 上，之後再藉由黏著層(未顯示)與相對之絕緣保護層 108 接合。

如第 1D 圖所示，使用切割刀(未繪出)在封裝層 200



內產生開口 114，其暴露出周邊接墊區 100B 的表面，此時切割製程所產生的切割殘餘物 118，例如玻璃或矽材料碎屑會掉落在絕緣保護層 108 上。而由於導電墊 104 受到絕緣保護層 108 覆蓋，因此可避免導電墊 104 在切割製程中被切割殘餘物 118 損害或刮傷。

接著，如第 1E 圖所示，經由封裝層 200 的開口 114 除去周邊接墊區 100B 的至少部份絕緣保護層 108，暴露出導電墊 104 以及晶片保護層 106，以利後續在導電墊 104 上形成與外部電路的電性連接，此時剩餘的絕緣保護層 108a，覆蓋著整個由間隔層 110 所圍繞的元件區 100A。在此實施例中，由於絕緣保護層 108 可以為非光阻的絕緣材料，例如氧化矽，此時可利用具有開口 114 的封裝層 200 作為硬遮罩(hard mask)，藉由蝕刻方式去除周邊接墊區 100B 內的絕緣保護層 108，不需要額外的微影製程去形成光阻圖案作為遮罩。同時，由於絕緣保護層 108 的材料與原有晶片保護層 106 的材料不同，因此晶片保護層 106 可作為絕緣保護層 108 的蝕刻停止層。在另一實施例中，亦可選擇以微影製程定義周邊接墊區 100B 內的絕緣保護層 108，形成暴露出導電墊 104 的開口。

此外，絕緣保護層 108 亦可選擇光阻材料，此時可實施一曝光步驟，並藉由封裝層 200 的開口 114，使用顯影製程將周邊接墊區 100B 內的絕緣保護層 108 去除。在此實施例中，間隔層 110 的材料為不透光材料，位於間隔層 110 下方的絕緣保護層 108a 由於不會被曝光，或是

曝光程度小於其他區域，可使間隔層 110 下方的絕緣保護層 108a 之硬度因此大於其他區域如間隙 116 內被曝光但未被顯影的絕緣保護層 108a 之硬度，使得間隔層 110 下方的結構強度增加。

此外，在本發明之一實施例中，由於間隔層 110 與氧化矽的附著力係大於間隔層 110 與氮化矽的附著力，因此在上述例子中間隔層與原有氮化矽晶片保護層 106 間的介面附著力將不如間隔層與新增氧化矽保護層 108a 間的介面附著力，因此額外形成的氧化矽保護層 108a 可增加晶片封裝體的信賴度。

接著，請參閱第 1E 及 1F 圖，沿著周邊接墊區的切割線 112 將半導體晶圓 100 分割，即可形成複數個晶片封裝體，如第 1F 圖所示。

請參閱第 1F 圖，其係顯示依據本發明一實施例之晶片封裝體的剖面示意圖，沿著切割線 112 分離晶圓成晶片封裝體 102。半導體基底 100 例如由包含晶片之半導體晶圓分割而來，半導體基底 100 可分為元件區 100A 和周邊接墊區 100B，圍繞元件區 100A 的區域為周邊接墊區 100B。

在半導體基底 100 的周邊接墊區 100B 上具有複數個導電墊 (conductive pad) 104，例如為接合墊 (bonding pad)，導電墊 104 可透過金屬連線 (未顯示) 連接至晶片內部。在半導體基底 100 的表面上則覆蓋有晶片保護層 106，例如為氮化矽或氮氧化矽，晶片保護層 106 另暴露出導電墊 104，其可以透過打線接合而電性連接至外部電

路。位於元件區 100A 的晶片保護層 106 上還覆蓋有絕緣保護層 108a，例如為氧化矽材料。而在絕緣保護層 108a 上另設置有封裝層 200。

在一實施例中，晶片封裝體可應用於影像感測元件，例如互補式金氧半導體元件(CMOS)或電荷耦合元件(charge-couple device; CCD)，此外如微機電元件等亦不在此限。

上述導電墊 104 較佳可以由銅(copper; Cu)、鋁(aluminum; Al)或其它合適的金屬材料所製成。而在封裝層 200 與半導體基底 100 之間可設置間隔層(spacer)110，使半導體基底 100 與封裝層 200 之間形成間隙(cavity)116，間隙 116 被間隔層 110 所圍繞。

在一實施例中，封裝層 200 可以是透明基底，例如玻璃、石英(quartz)、蛋白石(opal)、塑膠或其它任何可供光線進出的透明基板。值得一提的是，也可以選擇性地形成濾光片(filter)及/或抗反射層(anti-reflective layer)於封裝層 200 上。在非感光元件晶片的實施例中，封裝層 200 則可以是半導體材料層，例如矽覆蓋層。

在另一實施例中，絕緣保護層 108a 與封裝層 200 之間也可以完全填滿間隔層 110，而不形成間隙。

上述間隔層 110 可以是環氧樹脂(epoxy resin)、防銲層(solder mask)或其它適合之絕緣物質。

依據本發明之實施例，可在晶圓級封裝體的切割製程中形成絕緣保護層在導電墊上，避免導電墊被切割殘餘物損害及刮傷，而在後續除去絕緣保護層的製程中，

因切割製程產生開口的封裝層又可作為硬遮罩，因此不需額外形成光阻圖案遮罩。

雖然本發明已揭露較佳實施例如上，然其並非用以限定本發明，任何熟悉此項技藝者，在不脫離本發明之精神和範圍內，當可做些許更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定為準。

**【圖式簡單說明】**

第 1A-1F 圖係顯示依據本發明之一實施例，形成晶片封裝體之製造方法的剖面示意圖。

**【主要元件符號說明】**

100～半導體基底；	100A～元件區；
100B～周邊接墊區；	102～晶片封裝體；
104～導電墊；	106～晶片保護層；
108、108a～絕緣保護層；	110～間隔層；
112～切割線；	114～封裝層開口；
116～間隙；	118～切割殘餘物；
200～封裝層。	

第 98145454 號申請專利範圍修正本

## 七、申請專利範圍：

1. 一種晶片封裝體，包括：

一半導體基底，具有一元件區和一周邊接墊區，該周邊接墊區係圍繞該元件區；

複數個導電墊，設置於該半導體基底的該周邊接墊區上；

一晶片保護層，覆蓋於該半導體基底上，且暴露出該些導電墊；

一絕緣保護層，覆蓋該元件區而不及於該周邊接墊區；以及

一封裝層，設置於該絕緣保護層上，且暴露出該些導電墊。

2. 如申請專利範圍第 1 項所述之晶片封裝體，其中該封裝層暴露出該些導電墊及位於該周邊接墊區的該晶片保護層。

3. 如申請專利範圍第 1 項所述之晶片封裝體，更包括一間隔層設置於該封裝層與該絕緣保護層之間。

4. 如申請專利範圍第 1 項所述之晶片封裝體，更包括一間隙形成於該封裝層與該絕緣保護層之間，且其中該間隙被該間隔層所圍繞。

5. 如申請專利範圍第 1 項至第 4 項任一項所述之晶片封裝體，其中該絕緣保護層與該晶片保護層的材料不同。

6. 如申請專利範圍第 5 項所述之晶片封裝體，其中該晶片保護層的材料包括氮化矽，該絕緣保護層的材料包括氧化矽。

7.如申請專利範圍第 5 項所述之晶片封裝體，其中該絕緣保護層的材料包括光阻絕緣材料。

8.如申請專利範圍第 4 項所述之晶片封裝體，其中該絕緣保護層在該間隔層下方區域之硬度大於其他區域。

9.如申請專利範圍第 5 項所述之晶片封裝體，其中該封裝層包括一透明基底或一半導體基底。

10.一種晶片封裝體的製造方法，包括：

提供一半導體晶圓，包含複數個元件區，任兩個相鄰的該元件區之間包括一周邊接墊區，且該周邊接墊區包括複數個導電墊，以及一晶片保護層，覆蓋該半導體晶圓，且暴露出該些導電墊；

形成一絕緣保護層於該晶片保護層上，且覆蓋該些導電墊；

提供一封裝層；

接合該半導體晶圓與該封裝層；

定義該封裝層，以形成複數個開口，其暴露出該周邊接墊區內的絕緣保護層，其中定義該封裝層的步驟包括一切割製程，且於該切割製程中，該些導電墊被該絕緣保護層所覆蓋；以及

以該封裝層為硬罩幕，除去該周邊接墊區內的絕緣保護層，暴露出該些導電墊。

11.如申請專利範圍第 10 項所述之晶片封裝體的製造方法，其中除去該絕緣保護層的步驟包括蝕刻製程。

12.如申請專利範圍第 10 項所述之晶片封裝體的製造方法，其中該絕緣保護層與該晶片保護層的材料不同。

13.如申請專利範圍第 12 項所述之晶片封裝體的製造方法，其中該晶片保護層的材料包括氮化矽，該絕緣保護層的材料包括氧化矽。

14.如申請專利範圍第 10 項所述之晶片封裝體的製造方法，其中該絕緣保護層的材料包括光阻絕緣材料。

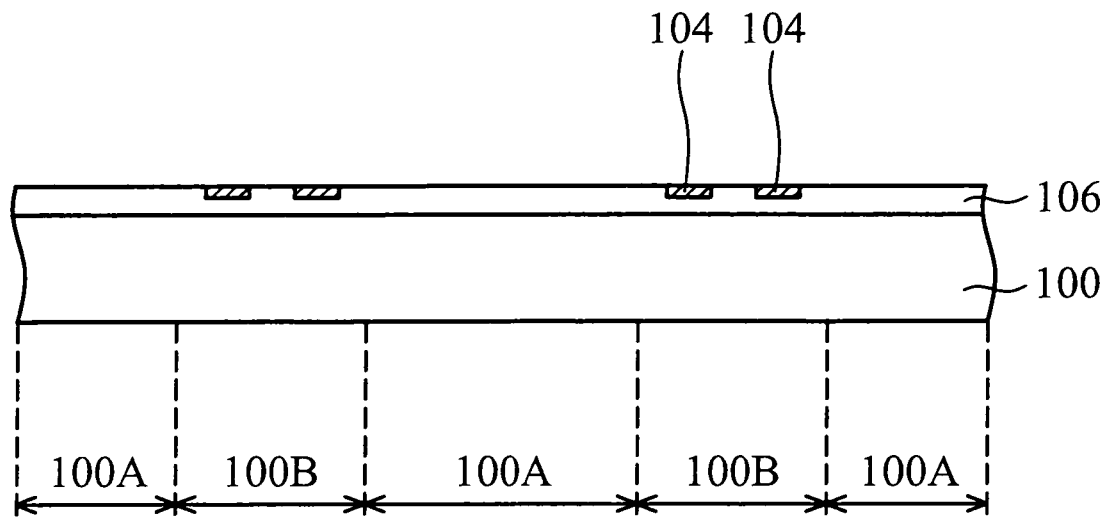
15.如申請專利範圍第 10 項至第 14 項任一項所述之晶片封裝體的製造方法，更包括形成一間隔層於該封裝層與該絕緣保護層之間，及形成一間隙於該封裝層與該絕緣保護層之間，其中該間隙被該間隔層所圍繞。

16.如申請專利範圍第 15 項所述之晶片封裝體的製造方法，其更包括對該光阻絕緣材料進行曝光，且其於該間隔層下方區域之曝光程度小於其他區域。

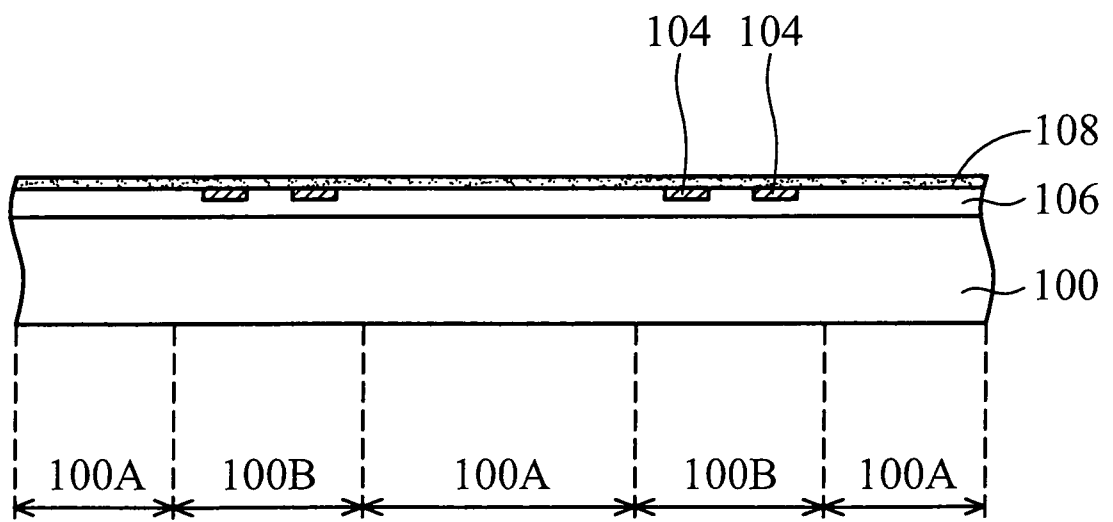
17.如申請專利範圍第 16 項所述之晶片封裝體的製造方法，其中該光阻絕緣材料於該間隔層下方區域之硬度大於其他區域。

18.如申請專利範圍第 15 項所述之晶片封裝體的製造方法，其中該封裝層為一透明基底或一半導體基底。

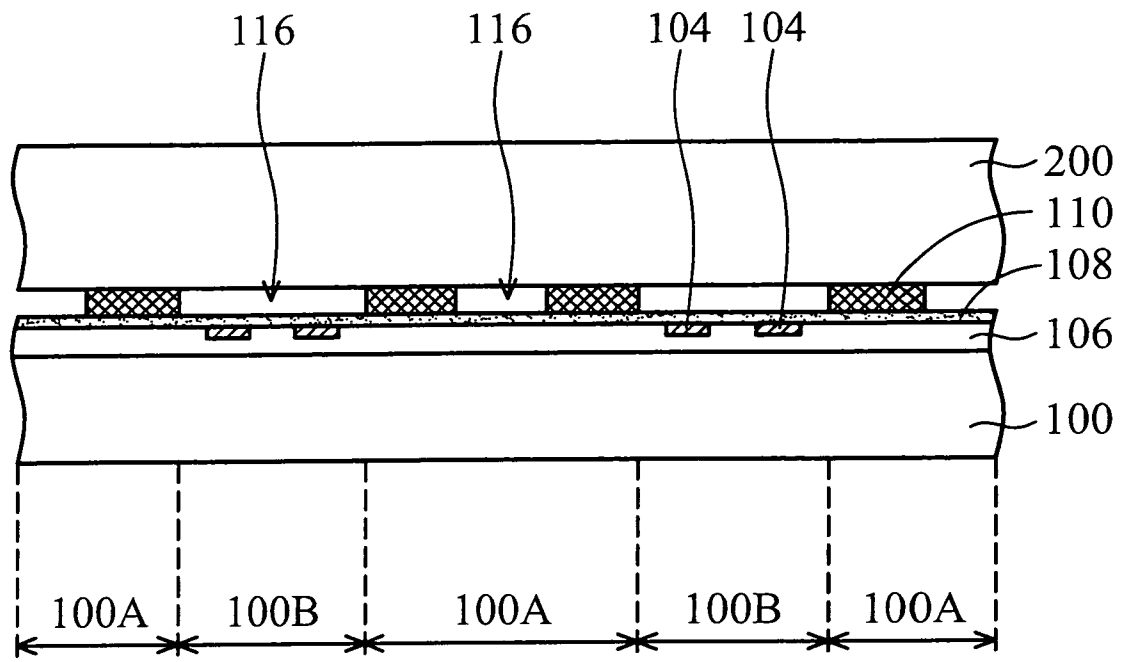




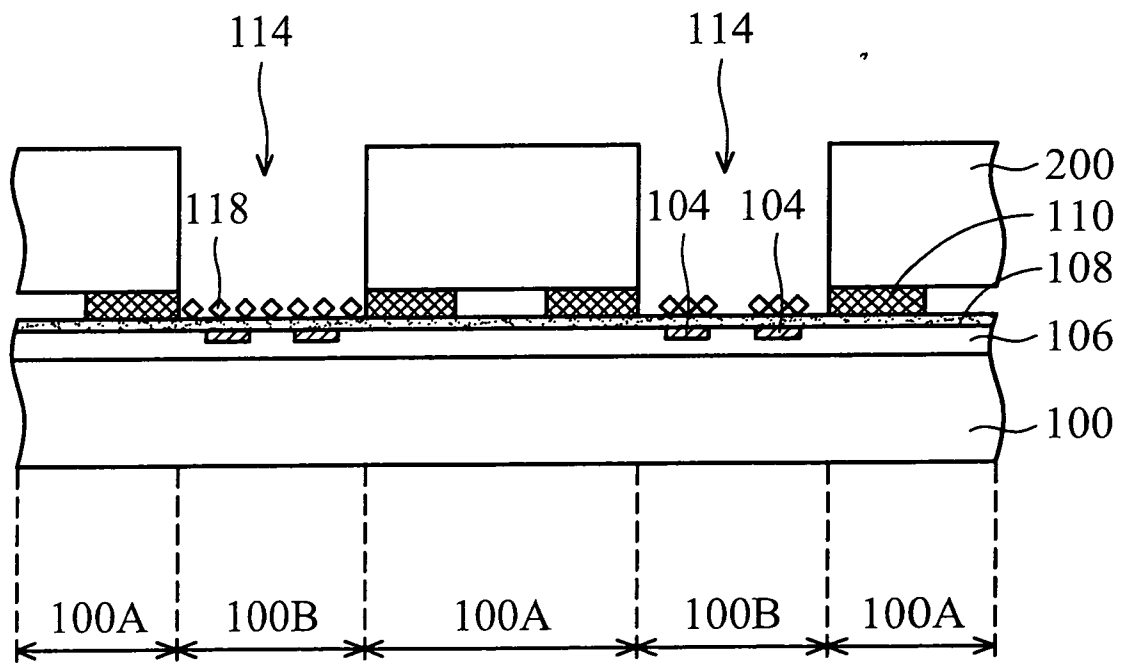
第 1A 圖



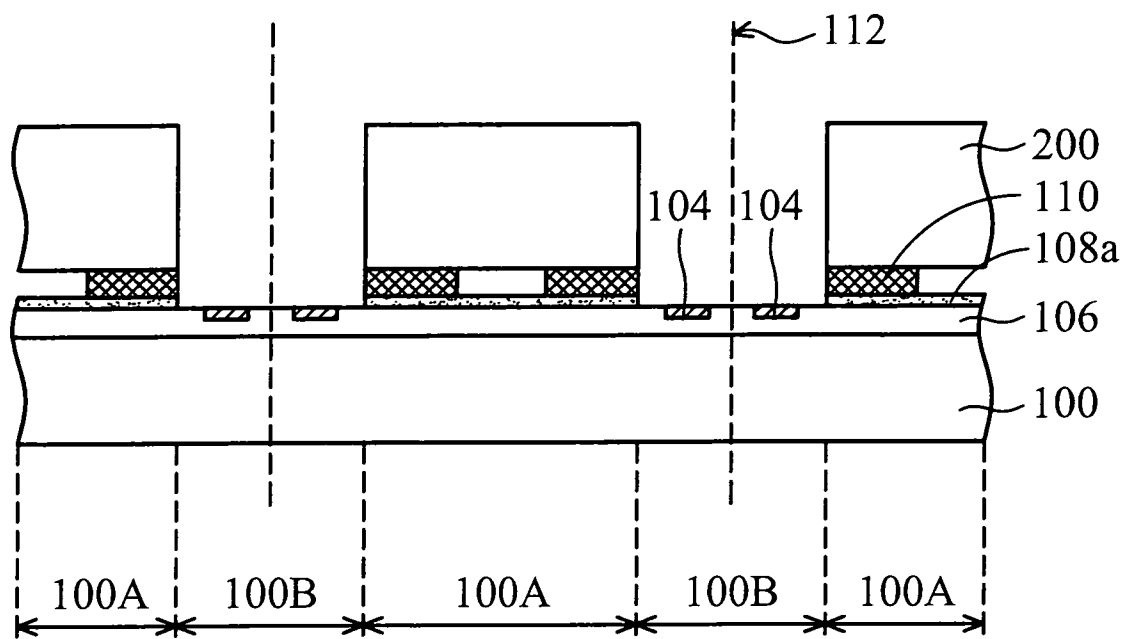
第 1B 圖



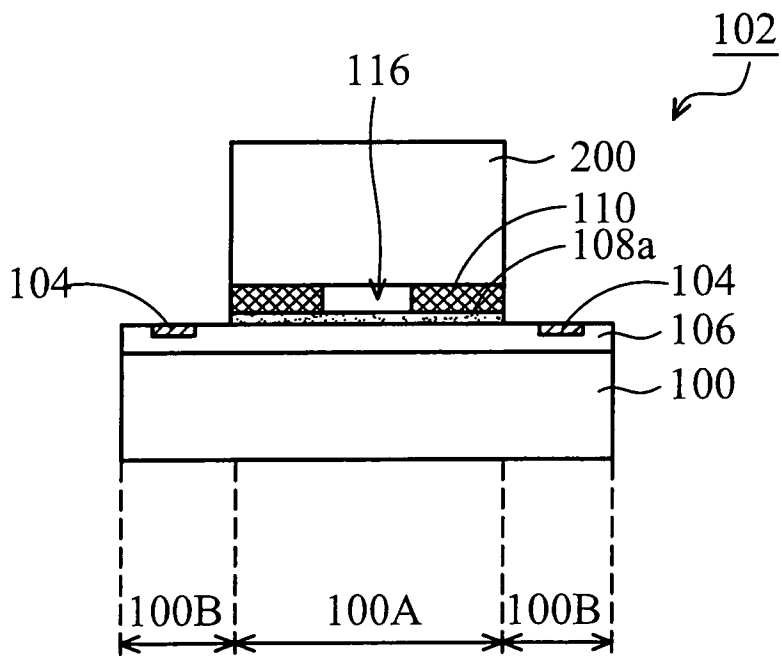
第 1C 圖



第 1D 圖



第 1E 圖



第 1F 圖