

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4594215号
(P4594215)

(45) 発行日 平成22年12月8日 (2010. 12. 8)

(24) 登録日 平成22年9月24日 (2010. 9. 24)

(51) Int. Cl.	F I				
G09G 3/30 (2006.01)	G09G	3/30		J	
G09G 3/20 (2006.01)	G09G	3/30		H	
H01L 51/50 (2006.01)	G09G	3/20	622N		
G02F 1/133 (2006.01)	G09G	3/20	622E		
G11C 19/00 (2006.01)	G09G	3/20	650E		
請求項の数 17 (全 26 頁) 最終頁に続く					

(21) 出願番号 特願2005-326742 (P2005-326742)
 (22) 出願日 平成17年11月10日 (2005. 11. 10)
 (65) 公開番号 特開2006-154810 (P2006-154810A)
 (43) 公開日 平成18年6月15日 (2006. 6. 15)
 審査請求日 平成17年11月10日 (2005. 11. 10)
 (31) 優先権主張番号 10-2004-0098255
 (32) 優先日 平成16年11月26日 (2004. 11. 26)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 10-2004-0098267
 (32) 優先日 平成16年11月26日 (2004. 11. 26)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 308040351
 三星モバイルディスプレイ株式会社
 大韓民国京畿道龍仁市器興区農書洞山2 4
 (74) 代理人 110000671
 八田国際特許業務法人
 (72) 発明者 申 東 蓉
 大韓民国京畿道水原市靈通区▲しん▼洞5
 75番地 三星エスディアイ株式会社内
 審査官 安藤 達哉

最終頁に続く

(54) 【発明の名称】 順次走査及び飛び越し走査兼用の駆動回路

(57) 【特許請求の範囲】

【請求項1】

開始パルス及びクロック信号が入力され、格納された情報を前記クロック信号の1/2周期間隔で出力するためのシフトレジスタと、

前記シフトレジスタが有するフリップフロップの出力信号を受信して論理和演算し、順次走査または飛び越し走査を行なうためのモード選択信号と、前記フリップフロップの出力信号の論理和演算後の出力信号との論理積演算をして前記フリップフロップの出力信号をマスクするモード選択部と、

奇数ライン制御信号によって、奇数番目のフリップフロップの出力信号、または前記モード選択部の出力信号を選択するための奇数ライン選択部と、

偶数ライン制御信号によって、偶数番目のフリップフロップの出力信号、または前記モード選択部の出力信号を選択するための偶数ライン選択部と、を備え、

前記奇数ライン選択部及び前記偶数ライン選択部の出力信号を走査信号として用いて順次走査及び飛び越し走査をすることを特徴とする順次走査及び飛び越し走査兼用の駆動回路。

【請求項2】

前記シフトレジスタは、直列に連結した複数のフリップフロップを有し、

前記シフトレジスタが有する奇数番目のフリップフロップは、前記クロック信号の立ち上がりエッジで入力される信号をサンプリングして出力し、

前記シフトレジスタが有する偶数番目のフリップフロップは、前記クロック信号の立ち

下がりエッジで入力される信号をサンプリングして出力することを特徴とする請求項 1 に記載の順次走査及び飛び越し走査兼用の駆動回路。

【請求項 3】

前記シフトレジスタが有する奇数番目のフリップフロップは、
前記クロック信号のハイレベル時に入力信号をサンプリングするための第 1 のサンプラートと、
前記クロック信号のロウレベル時に前記第 1 のサンプラートの出力信号を格納するための第 1 のホルダートと、
を備えることを特徴とする請求項 2 に記載の順次走査及び飛び越し走査兼用の駆動回路。

10

【請求項 4】

前記シフトレジスタが有する偶数番目のフリップフロップは、
前記クロック信号のロウレベル時に入力信号をサンプリングするための第 2 のサンプラートと、
前記クロック信号のハイレベル時に前記第 2 のサンプラートの出力信号を格納するための第 2 のホルダートと、
を備えることを特徴とする請求項 3 に記載の順次走査及び飛び越し走査兼用の駆動回路。

【請求項 5】

前記モード選択部は、
前記奇数番目のフリップフロップの出力信号、及び該奇数番目のフリップフロップに隣接する前記偶数番目のフリップフロップの出力信号を受信するための NOR ゲートと、
前記 NOR ゲートの出力信号、及び前記モード選択信号を受信するための NAND ゲートと、
を備えることを特徴とする請求項 1 に記載の順次走査及び飛び越し走査兼用の駆動回路。

20

【請求項 6】

前記モード選択部は、
順次走査動作時、前記奇数番目のフリップフロップの出力信号と、該奇数番目のフリップフロップに隣接する前記偶数番目のフリップフロップの出力信号との論理和の演算を行い、
飛び越し走査動作時、前記奇数番目のフリップフロップの出力信号と、該奇数番目のフリップフロップに隣接する前記偶数番目のフリップフロップの出力信号とをマスキングし、ハイレベル信号を出力することを特徴とする請求項 5 に記載の順次走査及び飛び越し走査兼用の駆動回路。

30

【請求項 7】

前記奇数ライン選択部は、
前記奇数番目のフリップフロップの出力信号、及び前記奇数ライン制御信号を受信するための第 1 の NAND ゲートと、
前記モード選択部の出力信号と、前記奇数ライン制御信号の反転された信号とを受信するための第 2 の NAND ゲートと、
前記第 1 の NAND ゲートの出力信号、及び前記第 2 の NAND ゲートの出力信号を受信するための第 3 の NAND ゲートと、
を備えることを特徴とする請求項 1 に記載の順次走査及び飛び越し走査兼用の駆動回路。

40

【請求項 8】

前記奇数ライン制御信号がハイレベルである場合、前記奇数ライン選択部は、前記奇数番目のフリップフロップの出力信号を選択し、
前記奇数ライン制御信号がロウレベルである場合、前記奇数ライン選択部は、前記モード選択部の出力信号を選択することを特徴とする請求項 7 に記載の順次走査及び飛び越し

50

走査兼用の駆動回路。

【請求項 9】

前記偶数ライン選択部は、

前記偶数番目のフリップフロップの出力信号、及び前記偶数ライン制御信号を受信するための第 4 の NAND ゲートと、

前記モード選択部の出力信号と、前記偶数ライン制御信号の反転された信号とを受信するための第 5 の NAND ゲートと、

前記第 4 の NAND ゲートの出力信号、及び前記第 5 の NAND ゲートの出力信号を受信するための第 6 の NAND ゲートと、

を備えることを特徴とする請求項 8 に記載の順次走査及び飛び越し走査兼用の駆動回路

10

【請求項 10】

前記偶数ライン制御信号がハイレベルである場合、前記偶数ライン選択部は、前記偶数番目のフリップフロップの出力信号を選択し、

前記偶数ライン制御信号がロウレベルである場合、前記偶数ライン選択部は、前記モード選択部の出力信号を選択することを特徴とする請求項 9 に記載の順次走査及び飛び越し走査兼用の駆動回路。

【請求項 11】

直列に連結した複数のフリップフロップを有し、クロック信号の立ち上がりエッジで入力される信号をサンプリングして出力する奇数番目のフリップフロップと、前記クロック信号の立ち下がりエッジで入力される信号をサンプリングして出力するための偶数番目のフリップフロップとを含むシフトレジスタと、

20

順次走査または飛び越し走査を行なうためのモード選択信号によって隣接するフリップフロップの出力信号に対して論理和演算し、前記フリップフロップの出力信号をマスキングするためのモード選択部と、

奇数ライン制御信号によって前記奇数番目のフリップフロップの出力信号を選択し、又は前記モード選択部の出力を選択するための奇数ライン選択部と、

偶数ライン制御信号によって前記偶数番目のフリップフロップの出力信号を選択し、又は前記モード選択部の出力信号を選択するための偶数ライン選択部と、を備え、

前記奇数ライン選択部及び前記偶数ライン選択部の出力信号を走査信号として用いて順次走査及び飛び越し走査をすることを特徴とする順次走査及び飛び越し走査兼用の駆動回路。

30

【請求項 12】

前記シフトレジスタの奇数番目のフリップフロップは、

前記クロック信号のハイレベル時に入力信号をサンプリングするための第 1 のサンプラートと、

前記クロック信号のロウレベル時に前記第 1 のサンプラートの出力信号を格納するための第 1 のホルダーと、

を備えることを特徴とする請求項 11 に記載の順次走査及び飛び越し走査兼用の駆動回路。

40

【請求項 13】

前記シフトレジスタの偶数番目のフリップフロップは、

前記クロック信号のロウレベル時に入力信号をサンプリングするための第 2 のサンプラートと、

前記クロック信号のハイレベル時に前記第 2 のサンプラートの出力信号を格納するための第 2 のホルダーと、

を備えることを特徴とする請求項 12 に記載の順次走査及び飛び越し走査兼用の駆動回路。

【請求項 14】

前記モード選択部は、

50

前記モード選択信号が順次走査を要求する場合、前記論理和の演算を行い、
前記モード選択信号が飛び越し走査を要求する場合、前記フリップフロップの出力信号をマスクングすることを特徴とする請求項 1 1 に記載の順次走査及び飛び越し走査兼用の駆動回路。

【請求項 1 5】

前記順次走査動作時、前記奇数ライン選択部及び前記偶数ライン選択部は、各々前記モード選択部の論理和の演算結果を選択することを特徴とする請求項 1 4 に記載の順次走査及び飛び越し走査兼用の駆動回路。

【請求項 1 6】

1 フレームは奇数フィールド区間と偶数フィールド区間とに 2 分割され、
前記飛び越し走査動作時、1 フレームの奇数フィールド区間において、前記奇数ライン選択部は、前記奇数番目のフリップフロップの出力信号を選択し、
前記偶数ライン選択部は、前記マスクングされたモード選択部の出力信号を選択することを特徴とする請求項 1 4 に記載の順次走査及び飛び越し走査兼用の駆動回路。

【請求項 1 7】

前記飛び越し走査動作時、1 フレームの偶数フィールド区間において、前記奇数ライン選択部は、前記マスクングされたモード選択部の出力信号を選択し、
前記偶数ライン選択部は、前記偶数番目のフリップフロップの出力信号を選択することを特徴とする請求項 1 6 に記載の順次走査及び飛び越し走査兼用の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、平板ディスプレイ装置のスキンドライブに関し、より詳細には、順次走査 (Progressive Scan) 及び飛び越し走査 (Interlaced Scan) を選択的に行う走査駆動回路に関する。

【背景技術】

【0002】

走査駆動回路は、平板ディスプレイ装置の必須回路である。前記走査駆動回路は、平板パネル上に行と列に配置された複数の画素を駆動するのに用いられる。すなわち、走査駆動回路は、複数の画素を駆動するために、1 つの行を単位に、選択された行に配置された画素を発光させ、又は選択された画素にデータが印加されるようにする。

【0003】

通常、1 フレームの映像を構成するために、1 フレームの映像が表示される周期を規定する垂直同期信号と、1 フレームの映像を構成する複数の画素ラインのうちそれぞれのラインを駆動する水平同期信号が要求される。水平同期信号がアクティブである間、前記水平同期信号が印加されるラインに配置された画素に、映像データが入力される。

【0004】

パッシブマトリクスタイプのディスプレイ装置の場合、映像データの入力と同時に、画素が発光を開始し、アクティブマトリクスタイプのディスプレイ装置の場合、入力される映像データを格納してから、所定の時間が経過した後、1 つのラインに配置された全ての画素を発光させる動作を行う。

【0005】

液晶ディスプレイ装置、有機電界発光装置、プラズマディスプレイ装置などにおいて、前記水平同期信号を走査信号と呼ぶ。したがって、以下、それぞれのラインを選択してアクティブにする信号を走査信号と称する。

【0006】

画素が配置されたパネルに前記走査信号を供給する回路が走査駆動回路である。走査駆動回路は、パネルを構成するそれぞれのラインに走査信号を供給する。走査信号の供給により、それぞれのラインを選択してアクティブにする方法には、順次走査及び飛び越し走査が挙げられる。

10

20

30

40

50

【 0 0 0 7 】

順次走査は、パネルを構成するラインに順次に走査信号を供給する。すなわち第 1 のラインから最終のラインまで順に走査信号を供給する走査方式である。

【 0 0 0 8 】

飛び越し走査は、2 回にわたって 1 フレームの画面を表示する。すなわち、第一に、1 フレーム周期の 1 / 2 に該当する奇数フィールド区間で奇数番目のラインに順次に走査信号が供給され、第二に、1 フレーム周期の残りの 1 / 2 に該当する偶数フィールド区間で偶数番目のラインに順次に走査信号が供給される走査方式である。

【 0 0 0 9 】

したがって、1 つの平板ディスプレイ装置は、順次走査及び飛び越し走査のいずれか一方を固定的に選択して表示する。これは、順次走査及び飛び越し走査は、走査方式が互いに異なり、順次走査及び飛び越し走査を選択的に行うことができる走査駆動回路を備えていないからである。

10

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

本発明は、前述のような問題点を解決するためになされたもので、本発明の第 1 の目的は、順次走査と飛び越し走査を選択的に行うことができる走査駆動回路を提供することにある。

【 0 0 1 1 】

また、本発明の第 2 の目的は、順次走査と飛び越し走査を選択的に行うことができる有機電界発光装置を提供することにある。

20

【 0 0 1 2 】

また、本発明の第 3 の目的は、モード選択部により順次走査と飛び越し走査が選択的に行うことができる走査駆動回路を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 3 】

前記第 1 の目的を達成するために、本発明に係る順次走査及び飛び越し走査兼用の駆動回路は、開始パルス及びクロック信号が入力され、格納された情報をクロック信号の周期間隔で出力するためのシフトレジスタと、前記シフトレジスタが有する奇数番目のフリップフロップの出力信号、及び奇数ライン制御信号を受信し、論理演算し、奇数走査信号を発生するための奇数ライン選択部と、前記シフトレジスタが有する偶数番目のフリップフロップの出力信号、及び偶数ライン制御信号を受信し、論理演算し、偶数走査信号を発生するための偶数ライン選択部と、を備えることを特徴とする。

30

【 0 0 1 4 】

前記第 2 の目的を達成するために、本発明に係る有機電界発光装置は、複数の画素を有し、行と列に配置された画素アレイ部と、該画素アレイ部に走査信号及び発光制御信号を供給し、順次走査及び飛び越し走査動作を選択的に行うための走査駆動回路と、前記走査駆動回路の走査信号により選択された画素にデータを印加するためのデータドライバとを備える有機電界発光装置であって、前記走査駆動回路は、開始パルス及びクロック信号が入力され、格納された情報を前記クロック信号の周期間隔で出力するためのシフトレジスタと、前記シフトレジスタが有する奇数番目のフリップフロップの出力信号、及び奇数ライン制御信号を受信し、論理演算し、奇数走査信号を発生するための奇数ライン選択部と、前記シフトレジスタが有する偶数番目のフリップフロップの出力信号及び偶数ライン制御信号を受信し、論理演算し、偶数走査信号を発生するための偶数ライン選択部と、を備えることを特徴とする。

40

【 0 0 1 5 】

前記第 3 の目的を達成するために、本発明に係る順次走査及び飛び越し走査兼用の駆動回路は、開始パルス及びクロック信号が入力され、格納された情報を前記クロック信号の 1 / 2 周期間隔で出力するためのシフトレジスタと、前記シフトレジスタが有するフリッ

50

フリップの出力信号を受信して論理和演算し、順次走査または飛び越し走査を行なうためのモード選択信号と、前記フリップフリップの出力信号の論理和演算後の出力信号との論理積演算をして前記フリップフリップの出力信号をマスクングするモード選択部と、奇数ライン制御信号によって、奇数番目のフリップフリップの出力信号、または前記モード選択部の出力信号を選択するための奇数ライン選択部と、偶数ライン制御信号によって、偶数番目のフリップフリップの出力信号、または前記モード選択部の出力信号を選択するための偶数ライン選択部と、を備え、前記奇数ライン選択部及び前記偶数ライン選択部の出力信号を走査信号として用いて順次走査及び飛び越し走査をすることを特徴とする。

また、前記第3の目的を達成するために、本発明に係る順次走査及び飛び越し走査兼用の駆動回路は、直列に連結した複数のフリップフリップを有し、クロック信号の立ち上がりエッジで入力される信号をサンプリングして出力する奇数番目のフリップフリップと、前記クロック信号の立ち下がりエッジで入力される信号をサンプリングして出力するための偶数番目のフリップフリップとを含むシフトレジスタと、順次走査または飛び越し走査を行なうためのモード選択信号によって隣接するフリップフリップの出力信号に対して否定論理和演算し、前記フリップフリップの出力信号をマスクングするためのモード選択部と、奇数ライン制御信号によって前記奇数番目のフリップフリップの出力信号を選択し、又は前記モード選択部の出力を選択するための奇数ライン選択部と、偶数ライン制御信号によって前記偶数番目のフリップフリップの出力信号を選択し、又は前記モード選択部の出力信号を選択するための偶数ライン選択部と、を備え、前記奇数ライン選択部及び前記偶数ライン選択部の出力信号を走査信号として用いて順次走査及び飛び越し走査をすることを特徴とする。

【発明の効果】

【0016】

本発明によれば、奇数ライン制御信号及び偶数ライン制御信号が有するレベルによって、順次走査動作及び飛び越し走査動作を選択的に行うことができる。

【0017】

また、シフトレジスタの出力信号とモード選択信号、奇数ライン制御信号及び偶数ライン制御信号を用いて順次走査または飛び越し走査動作に要求される走査信号を生成することができる。したがって、それぞれの走査動作のために別途の走査駆動回路を具備する必要がなく、1つの走査駆動回路を用いて順次走査動作及び飛び越し走査動作を選択的に行うことができる。

【発明を実施するための最良の形態】

【0018】

以下、図面を参照して本発明の好適な実施例を詳細に説明する。

実施例1

図1は、本発明の第1の実施例に係る順次走査及び飛び越し走査兼用の駆動回路（以下、「スキヤンドライバ」と称する）を示す回路図である。

【0019】

図1を参照すれば、前記スキヤンドライバは、シフトレジスタ100、奇数ライン選択部120及び偶数ライン選択部140を備える。

【0020】

シフトレジスタ100は、パネルの走査ラインの数に相当するフリップフリップから構成される。したがって、パネルがm個の走査ラインを備える場合、前記フリップフリップの個数は、少なくともm個である。それぞれのフリップフリップには、クロック信号CLKが入力される。また、フリップフリップの形態によって、フリップフリップには、クロック信号CLK及び反転されたクロック信号/CLKが入力されることもできる。それぞれのフリップフリップは、格納された情報を、入力されるクロック信号CLKに同期して1クロック周期毎に次のフリップフリップに伝達する。

【0021】

したがって、開始パルスVSPを介してフリップフリップFF1に格納されたデータの

10

20

30

40

50

出力SR1は、1クロック周期遅れた後、フリップフロップFF2の出力信号SR2として現れる。すなわち、フリップフロップFF1、FF2、FF3、・・・、FFmの出力信号SR1、SR2、SR3、・・・、SRmは、1クロック周期ずつ遅れた信号として出力される。

【0022】

前記奇数ライン選択部120は、複数のNANDゲートから構成される。奇数ライン選択部120を構成するNANDゲートには、奇数ライン制御信号ODDが共通に入力される。また、奇数ライン選択部のNANDゲートには、奇数番目のフリップフロップの出力信号SR1、SR3、・・・、SRm-1が入力される。

【0023】

すなわち、第1のNANDゲート121は、奇数ライン制御信号ODD及びフリップフロップFF1の出力信号SR1を入力として有し、受信された入力信号を論理演算して、第1の走査信号SCAN[1]を発生する。また、第3のNANDゲート123は、奇数ライン制御信号ODD及びフリップフロップFF3の出力信号SR3を入力として有し、受信された入力信号を論理演算して、第3の走査信号SCAN[3]を発生する。上述したNANDゲートの動作は、m-1番目のNANDゲート125に至るまで同じ原理で行われる。したがって、前記奇数ライン選択部120の動作により奇数走査信号が発生する。

【0024】

前記偶数ライン選択部140は、複数のNANDゲートから構成される。偶数ライン選択部140を構成するNANDゲートには、偶数ライン制御信号EVENが共通に入力される。また、偶数ライン選択部140のNANDゲートには、偶数番目のフリップフロップの出力信号SR2、SR4、・・・、SRmが入力される。

【0025】

すなわち、第2のNANDゲート142は、偶数ライン制御信号EVEN及びフリップフロップFF2の出力信号SR2を入力として有し、受信された入力信号を論理演算して、第2の走査信号SCAN[2]を発生する。また、第4のNANDゲート144は、偶数ライン制御信号EVEN及びフリップフロップFF4の出力信号SR4を入力として有し、受信された入力信号を論理演算して、第4の走査信号SCAN[4]を発生する。上述したNANDゲートの動作は、m番目のNANDゲート146に至るまで同じ原理で行われる。したがって、前記偶数ライン選択部140の動作により奇数走査信号が発生する。

【0026】

スキャンドライバが順次走査動作を行う場合、前記奇数ライン制御信号ODDは、ハイレベルとなり、奇数番目のNANDゲートは、入力される信号を反転する。したがって、第1の走査信号SCAN[1]は、フリップフロップFF1の出力信号SR1が反転された信号であり、第3の走査信号SCAN[3]は、フリップフロップFF3の出力信号SR3が反転された信号であり、第m-1の走査信号SCAN[m-1]は、フリップフロップFFm-1の出力信号SRm-1が反転された信号である。

【0027】

また、スキャンドライバの順次走査動作において、前記偶数ライン制御信号EVENもハイレベルとなり、偶数番目のNANDゲートは、入力される信号を反転する。したがって、第2の走査信号SCAN[2]は、フリップフロップFF2の出力信号SR2が反転された信号であり、第4の走査信号SCAN[4]は、フリップフロップFF4の出力信号SR4が反転された信号であり、第mの走査信号SCAN[m]は、フリップフロップFFmの出力信号SRmが反転された信号である。

【0028】

すなわち、スキャンドライバは、奇数ライン制御信号ODD及び偶数ライン制御信号EVENがハイレベルである場合、順次走査動作を行う。

【0029】

10

20

30

40

50

また、スキヤンドライバが飛び越し走査動作を行う場合、1フレームの1/2周期である奇数フィールド区間において前記奇数ライン制御信号ODDはハイレベルとなる。したがって、奇数フィールド区間で前記奇数番目のNANDゲートは、入力される信号を反転する。

【0030】

また、1フレームの残りの1/2周期である偶数フィールド区間において前記奇数ライン制御信号ODDはロウレベルとなる。したがって、偶数フィールド区間で前記奇数番目のNANDゲートは、奇数番目のフリップフロップの出力レベルに関係なく、ハイレベルの信号を出力するマスキング動作を行う。

【0031】

また、スキヤンドライバが飛び越し走査動作を行う場合、奇数フィールド区間で前記偶数ライン制御信号EVENはロウレベルとなる。したがって、奇数フィールド区間で前記偶数番目のNANDゲートは、ハイレベルの信号を出力する。また、偶数フィールド区間で前記偶数ライン制御信号EVENはハイレベルとなる。したがって、偶数フィールド区間で前記偶数番目のNANDゲートは、入力される信号を反転する。

【0032】

すなわち、前記図1に示されたスキヤンドライバは、順次走査動作を行う場合、奇数ライン選択部120及び偶数ライン選択部140を共にアクティブにする。また、前記スキヤンドライバが飛び越し走査動作を行う場合、奇数フィールド区間で奇数ライン選択部だけをアクティブにし、偶数フィールド区間では、偶数ライン選択部だけをアクティブにする。

【0033】

ここで、アクティブとは、ライン選択部などに信号を供給している状態を言う。

【0034】

図2は、本発明の第1の実施例に係るフリップフロップを示す回路図である。

【0035】

図2を参照すれば、フリップフロップは、第1のラッチ200と第2のラッチ210とから構成される。

【0036】

前記第1のラッチ200は、クロック信号CLKのロウレベルで入力信号をサンプリングするための第1のサンプラー(sampler)202と、前記第1のサンプラー202の出力をクロック信号CLKのハイレベルで格納するための第1のホルダー(holder)204とを備える。クロック信号CLKのロウレベルの間に第1のサンプラー202に入力された信号は、クロック信号CLKのハイレベルの間にホルダー204により格納される。入力信号の周波数は、クロック信号CLKの周波数より低いいため、前記第1のラッチ200は、クロック信号CLKのロウレベルで入力信号をサンプリングし、ハイレベルの間にサンプリングされた入力信号を格納する。

【0037】

第2のラッチ210は、クロック信号CLKのハイレベルで入力信号をサンプリングするための第2のサンプラー212と、前記第2のサンプラー212の出力をクロック信号CLKのロウレベルで格納するための第2のホルダー214とを備える。

【0038】

以下、前記フリップフロップの動作を説明する。

【0039】

クロック信号CLKがロウレベルである間に、第1のサンプラー202は、入力信号を受信し、反転された信号を第1のホルダー204に出力する。前記第1のホルダー204は、ハイレベルで動作するので、クロック信号CLKがロウレベルである間には、反転された信号を格納しない。クロック信号CLKがハイレベルに遷移されると、第1のサンプラー202の入力信号受信動作は、遮断され、第1のホルダー204は、反転された信号を格納する。同時に、第2のサンプラー212は、入力信号を受信する。第2のサンブラ

10

20

30

40

50

ー 2 1 2 に入力された第 1 のホルダー 2 0 4 の信号は、第 2 のホルダー 2 1 4 のインバータを介して出力される。但し、クロック信号 C L K がハイレベルに遷移されている間に、第 2 のホルダー 2 1 4 は、受信されたデータの格納動作を行わず、クロック信号 C L K がロウレベルに遷移されている間に受信されたデータの格納動作を行う。

【 0 0 4 0 】

したがって、前記図 2 に示されたフリップフロップは、クロック信号 C L K の立ち上がりエッジ直前に入力されたデータを格納し、新しいサンプリング動作が行われるまで、クロック信号 C L K の 1 周期の間にデータを出力する。

【 0 0 4 1 】

図 3 は、本発明の第 1 の実施例により前記図 1 のスキャンドライバの順次走査動作を説明するためのタイミング図である。

10

【 0 0 4 2 】

以下、図 3 及び前記図 1 を参照してスキャンドライバの順次走査動作を説明する。

【 0 0 4 3 】

前記図 1 で説明した通り、スキャンドライバの順次走査動作は、奇数ライン制御信号 O D D 及び偶数ライン制御信号 E V E N がハイレベルであることにより、奇数ライン選択部 1 2 0 及び偶数ライン選択部 1 4 0 の N A N D ゲートがフリップフロップの出力信号を反転する動作である。

【 0 0 4 4 】

まず、フレーム周波数と同じ周波数をもって開始パルス V S P がフリップフロップ F F 1 に入力される。前記フリップフロップ F F 1 は、クロック信号 C L K のロウレベル区間で入力される開始パルス V S P をサンプリングする。すなわち、フリップフロップ F F 1 は、クロック信号 C L K の立ち上がりエッジ直前の開始パルス V S P をサンプリングし、サンプリングされたデータを出力する。したがって、フリップフロップ F F 1 の出力信号 S R 1 は、第 1 の周期の間はハイレベルである。

20

【 0 0 4 5 】

前記出力信号 S R 1 は、第 1 の N A N D 1 2 1 ゲート及びフリップフロップ F F 2 に入力される。奇数ライン制御信号 O D D は、ハイレベルであるので、第 1 の N A N D ゲート 1 2 1 は、出力信号 S R 1 を反転して出力する。したがって、第 1 の走査信号 S C A N [1] は、第 1 の周期の間はロウレベルである。

30

【 0 0 4 6 】

フリップフロップ F F 2 に入力された出力信号 S R 1 は、1 周期遅れて出力される。すなわち、クロック信号 C L K の第 2 の周期の立ち上がりエッジ直前にサンプリングされたデータは、第 2 の周期の立ち上がりエッジで出力される。したがって、フリップフロップ F F 2 は、出力信号 S R 1 に比べて 1 周期遅れた出力信号 S R 2 を出力する。

【 0 0 4 7 】

フリップフロップ F F 2 の出力信号 S R 2 は、第 2 の N A N D ゲート 1 4 2 及びフリップフロップ F F 3 に入力される。偶数ライン制御信号 E V E N は、ハイレベルであるので、第 2 の N A N D ゲート 1 4 2 は、出力信号 S R 2 を反転して出力する。したがって、第 2 の走査信号 S C A N [2] は、第 2 の周期の間はロウレベルである。

40

【 0 0 4 8 】

続いて、フリップフロップ F F 3 は、出力信号 S R 2 を入力として有し、前記出力信号 S R 2 より 1 周期遅れた出力信号 S R 3 を出力する。出力信号 S R 3 は、第 3 の N A N D ゲート 1 2 3 に入力され、第 3 の N A N D ゲート 1 2 3 は、出力信号 S R 3 を反転して出力する。第 3 の走査信号 S C A N [3] は、第 3 の周期の間はロウレベルである。

【 0 0 4 9 】

前述のような動作は、最終フリップフロップ F F m から出力信号 S R m が出力され、第 m の走査信号 S C A N [m] が形成されるまで進行される。

【 0 0 5 0 】

すなわち、前述のような過程により、1 フレームの間に、全ての走査信号が順次に発生

50

する順次走査動作が行われる。

【0051】

図4a及び図4bは、本発明の第1の実施例により前記図1のスキन्दライバの飛び越し走査動作を説明するためのタイミング図である。

【0052】

以下、図4a及び前記図1を参照して、スキन्दライバの飛び越し走査動作を説明する。

【0053】

スキन्दライバの飛び越し走査動作は、前記図1で説明した通り、1フレームを奇数フィールド区間と偶数フィールド区間とに分ける。奇数フィールド区間には、奇数走査信号SCAN[1、3、・・・、m-1]がアクティブにされ、偶数フィールド区間には、偶数走査信号SCAN[2、4、・・・、m]がアクティブにされる。

10

【0054】

奇数フィールド区間の間に奇数走査信号をアクティブにするために、奇数ライン制御信号ODDはハイレベルとなる。また、偶数フィールド区間の間に偶数走査信号をアクティブにするために、偶数ライン制御信号EVENはハイレベルとなる。

【0055】

前記図4aに示された飛び越し走査動作は、1フレームの約1/2周期である奇数フィールド区間において奇数番目のフリップフロップの出力信号を反転して出力し、偶数番目のフリップフロップの出力信号は、マスキング(masking)する。奇数番目のフリップフロップの出力信号を反転するために、奇数ライン制御信号ODDは、奇数フィールド区間でハイレベルを維持する。また、偶数番目のフリップフロップの出力信号をマスキングするために、偶数ライン制御信号EVENは、奇数フィールド区間でロウレベルを維持する。

20

【0056】

また、1フレームの残りの1/2周期である偶数フィールド区間の間に、奇数番目のフリップフロップの出力信号は、マスキングされ、偶数番目のフリップフロップの出力信号は、反転され、偶数ライン選択部のNANDゲートから出力される。奇数番目のフリップフロップの出力信号をマスキングするために、奇数ライン制御信号ODDは、偶数フィールド区間の間はロウレベルである。また、偶数番目のフリップフロップの出力信号を反転するために、偶数ライン制御信号EVENは、偶数フィールド区間の間にハイレベルを維持する。

30

【0057】

まず、フレーム周波数の約2倍の周波数をもって開始パルスVSPがフリップフロップFF1に入力される。また、前記図4aのクロック周波数は、前記図3に示された順次走査動作時のクロック周波数の約2倍である。したがって、図4aで、開始パルスVSPは、少なくとも2クロック周期の間、ハイレベル区間を有する。したがって、それぞれのフリップフロップの出力信号は、2クロック周期の間、ハイレベル区間を有する。

【0058】

但し、フリップフロップFF1から出力される出力信号SR1、フリップフロップFF2から出力される出力信号SR2、フリップフロップFF3から出力される出力信号SR3、・・・、フリップフロップFFmから出力される出力信号SRmの生成過程は、前記図3に示されたことと同様である。したがって、フリップフロップの出力信号SR1、SR2、SR3、・・・、SRm-1及びSRmは、それぞれ1周期だけ遅れたハイレベル区間を有する。また、それぞれの出力信号は、2クロック周期の間、ハイレベルであるので、フリップフロップの出力信号は、隣接する出力信号と1クロック周期の間、重複するハイレベル区間がある。

40

【0059】

クロック信号CLKのn周期の間に、前記フリップフロップのm個の出力信号は、1周期間隔でハイレベルを有する。また、クロック信号CLKの残りのn+1周期の間に、前

50

記フリップフロップの m 個の出力信号は、1周期間隔でハイレベルを有する。

【0060】

奇数フィールド区間の間に、奇数ライン制御信号ODDはハイレベルを有する。但し、フリップフロップFF1の出力信号SR1との論理演算時に、転送線路を介しての時間遅延などのタイミングマージンを考慮して、奇数ライン制御信号ODDは、クロック信号CLKの第1の周期より半クロック先行してハイレベルになる。ハイレベルを有する奇数ライン制御信号ODDにより、奇数ライン選択部のNANDゲートは、奇数番目のフリップフロップの出力信号SR1、SR3、・・・、SR $m-1$ を反転して出力する。

【0061】

また、奇数フィールド区間の間に、偶数ライン制御信号EVENは、ロウレベルを有する。但し、タイミングマージンを考慮して、偶数ライン制御信号EVENは、クロック信号CLKの第1の周期より半クロック遅れてロウレベルになる。ロウレベルを有する偶数ライン制御信号EVENにより、偶数ライン選択部のNANDゲートは、マスクングされる。したがって、偶数番目の走査信号SCAN[2、4、・・・、 m]は、ハイレベルを有する。

10

【0062】

1フレームの残りの1/2周期である偶数フィールド区間の間に、奇数ライン制御信号ODDはロウレベルを有し、偶数ライン制御信号EVENはハイレベルを有する。したがって、偶数フィールド区間で奇数番目のフリップフロップの出力は、マスクングされ、奇数ライン走査信号SCAN[1、3、・・・、 $m-1$]はハイレベルを有する。また、偶数ライン選択部は、偶数番目のフリップフロップの出力信号SR2、SR4、・・・、SR m を反転して出力する。したがって、偶数ライン走査信号SCAN[2、4、・・・、 m]は、各々2クロック周期の間にロウレベルを有する。

20

【0063】

但し、偶数フィールド区間は、奇数フィールド区間に比べて1クロック周期分多い。これは、最終フリップフロップの出力信号SR m が反転され、完全な信号が走査ラインに伝達されるようにするためである。

【0064】

図4bは、前記図4aに比べて奇数フィールド区間の間に含まれたクロックの数と偶数フィールド区間の間に含まれたクロックの数は互いに一致する。すなわち、1フレームの奇数フィールド区間は、 $n+1$ のクロック周期を有し、偶数フィールド区間もまた $n+1$ のクロック周期を有する。前記図4aでは、奇数フィールド区間で m 番目のフリップフロップの出力信号SR m は、奇数フィールド区間及び偶数フィールド区間にわたってハイレベルを有するが、前記図4bでは、奇数フィールド区間内に含まれた2クロック周期の間でハイレベルを有する。

30

【0065】

フリップフロップの出力信号の生成、奇数ライン選択部の動作及び偶数ライン選択部の動作は、前記図4aで説明したことと同様なので、詳細な説明は省略する。

【0066】

実施例2

40

図5a及び図5bは、本発明の第2の実施例により、スキヤンドライバが適用された有機電界発光装置を示すブロック図及び前記有機電界発光装置を構成する画素駆動回路図である。

【0067】

図5aを参照すれば、有機電界発光装置は、スキヤンドライバ301、データドライバ303及び画素アレイ部305を備える。

【0068】

スキヤンドライバ301は、前記図1に示されたように、順次走査及び飛び越し走査を選択的に行う。また、前記スキヤンドライバ301は、 m 個の走査ラインを介して走査信号を印加する。また、 m 個の発光制御ラインを介して発光制御信号を印加する。

50

【0069】

データドライバ303は、発光制御信号及び走査信号により選択された画素アレイ部305のラインに対してデータを印加する。印加されるデータは、電圧または電流の形態を有することができる。印加されるデータが電圧の形態を有する場合、有機電界発光装置は、電圧書き込み型であり、印加されるデータが電流の形態を有する場合、有機電界発光装置は、電流書き込み型である。

【0070】

前記図5aでは、電流書き込み型有機電界発光装置を示したが、有機電界発光装置は、電圧書き込み型であってもよいことは当業者に公知の事実である。

【0071】

画素アレイ部305は、複数の画素から構成される。第1の行に配置された画素には、第1の走査信号SCAN[1]及び第1の発光制御信号EMI[1]が印加され、第2の行に配置された画素には、第2の走査信号SCAN[2]及び第2の発光制御信号EMI[2]が印加される。すなわち、1つの水平ラインを形成する1つの行の画素には、少なくとも1つの走査信号と発光制御信号が印加される。

【0072】

図5bは、本発明の第2の実施例により電流書き込み型画素駆動回路を示す回路図である。

【0073】

図5bを参照すれば、前記画素回路は、4つのトランジスタM1、M2、M3及びM4、プログラムキャパシタCst及び有機電界発光素子OLEDを備える。

【0074】

駆動トランジスタM1は、画素の発光動作時、データラインdata[n]を介してシンク(sink)されるデータ電流と同じ電流をトランジスタM4に供給する。データ電流と同じ電流を発生するために、駆動トランジスタM1のゲートは、プログラムキャパシタCstの一方端子及びトランジスタM2に連結される。また、駆動トランジスタM1は、ELVddに連結され、トランジスタM3及びトランジスタM4に連結される。

【0075】

スイッチングトランジスタM2は、走査信号SCAN[m]によってオンとなり、データラインとプログラムキャパシタCstとの間に電圧経路を形成するスイッチングトランジスタである。また、スイッチングトランジスタM2は、駆動トランジスタM1のゲートに所定のバイアス電圧を印加し、データ電流に相当する駆動トランジスタM1のVgsを形成する。

【0076】

トランジスタM3は、走査信号SCAN[m]によってオンとなり、データ電流プログラム時、駆動トランジスタM1から供給される電流をデータラインdata[n]に供給する役目をする。

【0077】

発光制御トランジスタM4は、発光制御信号EMI[m]によってオンとなり、発光動作時、駆動トランジスタM1から供給される電流を有機電界発光素子OLEDに供給する役目をする。

【0078】

前記電流書き込み型画素回路の動作は、データ電流に相当する電圧VgsをプログラムキャパシタCstに蓄積し、発光制御トランジスタM3をオンさせて、データ電流と実質的に同じ電流を有機電界発光素子OLEDに供給することである。

【0079】

まず、発光制御信号EMI[m]がハイレベルに遷移されると、発光制御トランジスタM4は、オフ状態となる。したがって、有機電界発光素子OLEDの発光動作は、遮断される。

【0080】

10

20

30

40

50

発光制御トランジスタM4がオフとなった状態で、走査信号SCAN[m]がロウレベルに遷移される場合、スイッチングトランジスタM2及びトランジスタM3は、オンとなる。ロウレベルの走査信号SCAN[m]により画素は選択され、データのプログラム動作が始まる。

【0081】

ロウレベルの走査信号SCAN[m]により前記トランジスタM2及びM3は、オンとなる。前記トランジスタM2及びM3がオンとなった状態で、データラインdata[n]を介してデータ電流Idataがシンクされると、Vdd、駆動トランジスタM1及びトランジスタM3で構成される電流経路が形成される。また、データ電流Idataがシンクされる場合、スイッチングトランジスタM2は、トライオード領域で動作する。すな

10

【0082】

また、ELVddからIdataをデータラインdata[n]に供給するために、前記駆動トランジスタM1は、飽和領域で動作することが好ましい。駆動トランジスタM1が飽和領域で動作する場合、駆動トランジスタM1を介して流れる電流であるIdataは、次の数1の数式から求めることができる。

【0083】

【数1】

$$I_{data} = K(V_{gs} - V_{th})^2$$

20

【0084】

上記式中、Kは、比例定数であり、Vgsは、駆動トランジスタM1のゲートとソース間の電圧差である。また、Vthは、駆動トランジスタM1の閾値電圧を示す。

【0085】

データ電流Idataが駆動トランジスタM1及びトランジスタM3を介して流れる間に、データ電流Idataに相当する駆動トランジスタM1のVgsは、プログラムキャパシタCstに蓄積される。

【0086】

続いて、走査信号SCAN[m]がハイレベルに遷移される場合、トランジスタM2及びM3は、オフ状態となり、プログラムキャパシタCstは、Vgsの電圧差を維持する。

30

【0087】

次いで、発光制御信号EMI[m]がハイレベルからロウレベルに遷移される場合、発光制御トランジスタM4は、オンとなる。前記発光制御トランジスタM4のオンにより、駆動トランジスタM1は、飽和領域で動作するようになり、プログラムキャパシタCstに蓄積された電圧Vgsに相当する電流であるIdataは、トランジスタM4に流れるようになる。データ電流Idataは、発光制御トランジスタM4を介して有機電界発光素子OLEDに供給され、有機電界発光素子OLEDは、データ電流Idataに相当する輝度をもって発光する。

40

【0088】

前述したような電流書き込み型画素回路の構成は多様に変更されることができる。

【0089】

図6a及び図6bは、本発明の第2の実施例により前記図5aに示された有機電界発光装置の順次走査及び飛び越し走査を説明するためのタイミング図である。

【0090】

図6aは、順次走査動作を行う有機電界発光装置の動作を説明するためのタイミング図である。

【0091】

50

図6aを参照すれば、有機電界発光装置は、データドライバ303による電流書き込み動作のために、発光制御信号EMI[1、2、・・・、m]を画素アレイ部305に印加する。また、発光制御信号EMI[1、2、・・・、m]が走査信号と時間的に同期される場合、画素に対するデータ電流プログラム動作と発光動作が同時に発生する問題が生じるので、走査信号SCAN[1、2、・・・、m]と発光制御信号EMI[1、2、・・・、m]は、所定の時間間隔をもって画素に印加される。したがって、走査信号SCAN[1、2、・・・、m]のロウレベル期間は、発光制御信号のハイレベル期間より短く設定される。

【0092】

走査信号SCAN[1、2、・・・、m]のロウレベル期間が発光制御信号のハイレベル期間より短く設定するために、奇数ライン制御信号ODD及び偶数ライン制御信号EVENは、パルス列の形態で印加される。

10

【0093】

前記図1に示されたように、奇数ライン制御信号ODDがロウレベルである場合、奇数番目のフリップフロップの出力信号SR1、SR3、・・・、SRm-1は、マスキングされて出力される。すなわち、奇数走査信号SCAN[1、3、・・・、m-1]は、ハイレベルを有する。

【0094】

また、偶数ライン制御信号EVENがロウレベルである場合、偶数番目のフリップフロップの出力信号SR2、SR4、・・・、SRmは、マスキングされて出力される。すなわち、偶数走査信号SCAN[2、4、・・・、m]は、ハイレベルを有する。

20

【0095】

したがって、パルス列の形態で印加される奇数ライン制御信号ODDにより、奇数走査信号SCAN[1、3、・・・、m-1]には、奇数ライン制御信号ODDのロウレベル部分が反映される。すなわち、奇数番目のフリップフロップの出力信号がハイレベルを有する区間で、奇数ライン制御信号ODDが短い時間の間にロウレベルを有する場合、奇数ライン制御信号ODDのロウレベル区間の間に奇数走査信号SCAN[1、3、・・・、m-1]は、ハイレベルとなる。したがって、前記図6aに示された奇数走査信号は、前記図3に示された奇数走査信号より短いロウレベル時間間隔をもって形成される。

【0096】

30

また、奇数番目の発光制御信号EMI[1、3、・・・、m-1]は、前記図6aに示された奇数走査信号のロウレベル区間より幅広いハイレベル区間を有する。奇数番目の発光制御信号EMI[1、3、・・・、m-1]は、奇数番目のフリップフロップの出力信号と実質的に同じ波形を有する。したがって、奇数番目の発光制御信号EMI[1、3、・・・、m-1]は、奇数番目のフリップフロップの出力信号を用いて形成されることができ、また、他の実施の形態による別途の波形発生回路を用いて形成されることがもできる。

【0097】

上述した波形の形成過程は、偶数番目の走査信号SCAN[2、4、・・・、m]の形成過程でも同様に適用される。したがって、奇数ライン制御信号ODD及び偶数ライン制御信号EVENにより、第1の発光制御信号EMI[1]及び第1の走査信号SCAN[1]、第2の発光制御信号EMI[2]及び第2の走査信号SCAN[2]、・・・及び第mの発光制御信号EMI[m]及び第mの走査信号SCAN[m]は、順次に形成される。

40

【0098】

発光制御信号EMI[1、2、・・・、m]がハイレベルを有する間に、前記発光制御信号EMI[1、2、・・・、m]が印加される画素は、発光が遮断される。また、前記発光制御信号EMI[1、2、・・・、m]と時間マージンを有する走査信号SCAN[1、2、・・・、m]が入力されれば、データ電流のプログラム動作が始まる。前記走査信号SCAN[1、2、・・・、m]がハイレベルに上昇すれば、前記画素に対するプロ

50

グラム動作は、終了し、走査信号SCAN[1、2、・・・、m]の立ち上がりエッジに対して時間マージンをもって形成される発光制御信号EMI[1、2、・・・、m]の立ち下がりエッジからプログラムされた画素は、発光動作を開始する。

【0099】

図6bは、飛び越し走査動作を行う有機電界発光装置の動作を説明するためのタイミング図である。

【0100】

図6bは、前記図4bのタイミング図に発光制御信号EMI[1、2、・・・、m]が付加されたものである。また、走査信号のロウレベル区間を発光制御信号のハイレベル区間より短くするために、奇数ライン制御信号ODD及び偶数ライン制御信号EVENの波形は、前記図4bに示された波形と異なる形状を有する。

10

【0101】

奇数フィールド区間で、奇数ライン制御信号ODDにより奇数番目の走査信号SCAN[1、3、・・・、m-1]がアクティブにされる。但し、奇数ライン制御信号ODDは、1周期毎にロウレベル区間を有するので、ロウレベル区間で奇数番目のフリップフロップの出力は、マスキングされる。したがって、それぞれの発光制御信号が有するハイレベル区間に比べて、それぞれの走査信号のロウレベル区間が短く設定される。

【0102】

発光制御信号は、フリップフロップの出力信号と実質的に同じ波形を有するので、フリップフロップの出力信号を発光制御信号として使用することができる。また、別途の回路を具備して発光制御信号を発生させることもできる。

20

【0103】

偶数フィールド区間で、偶数ライン制御信号EVENにより偶数走査信号SCAN[2、4、・・・、m]がアクティブにされる。偶数ライン制御信号EVENは、クロック信号CLKの1周期毎にロウレベル区間を有する。ロウレベル区間の間に、偶数番目のフリップフロップの出力信号は、マスキングされ、ハイレベルに出力される。

【0104】

前述の過程により、奇数ライン制御信号ODD及び偶数ライン制御信号EVENにより順次走査または飛び越し走査の動作が行われることが分かる。すなわち、奇数ライン制御信号ODD及び偶数ライン制御信号EVENによって、スキヤンドライバは、順次走査及び飛び越し走査動作を選択的に行い、前記スキヤンドライバが実装された有機電界発光装置は、順次走査及び飛び越し走査動作を選択的に行う。

30

【0105】

実施例3

図7は、本発明の第3実施例に係るスキヤンドライバを示す回路図である。

【0106】

図7を参照すれば、本発明によるスキヤンドライバは、シフトレジスタ400、モード選択部420、奇数ライン選択部440及び偶数ライン選択部460を備える。

【0107】

シフトレジスタ400は、パネルの走査ラインの数より多いフリップフロップから構成される。したがって、パネルがm個の走査ラインを備える場合、前記フリップフロップの個数は、少なくともm+1個である。それぞれのフリップフロップには、クロック信号CLKまたは反転されたクロック信号/CLKが入力される。

40

【0108】

第1のフリップフロップFF1は、開始パルスVSPを入力として有し、クロック入力ピンCKには、クロック信号CLKが入力される。前記第1のフリップフロップFF1は、クロック信号CLKの立ち上がりエッジで開始パルスのデータをサンプリングし、出力する。

【0109】

第2のフリップフロップFF2は、第1のフリップフロップの出力SR1を受信する。

50

また、第2のフリップフロップFF2のクロック入力ピンCKには、クロック信号CLKの反転されたクロック信号/ $\overline{\text{CLK}}$ が入力される。第2のフリップフロップFF2は、クロック信号CLKの立ち下がりエッジでSR1をサンプリングし、出力する。

【0110】

すなわち、奇数番目のフリップフロップFF1、FF3、 \dots 、FF $m-1$ 、FF $m+1$ は、クロック信号CLKの立ち上がりエッジで入力信号をサンプリングして出力し、クロック信号CLKのロウレベルでは、立ち下がりエッジ直前に入力されたデータを格納する。また、偶数番目のフリップフロップFF2、FF4、 \dots 、FF m は、クロック信号CLKの立ち下がりエッジで入力信号をサンプリングし出力し、クロック信号CLKのハイレベルでは、立ち上がりエッジ直前に入力されたデータを格納する。

10

【0111】

モード選択部420は、並列に配置された複数のモード選択回路を有する。それぞれのモード選択回路は、連続する2つのフリップフロップの出力信号を受信し、モード選択信号MODEによって、受信された2つのフリップフロップの出力信号に対する論理演算する。連続する2つのフリップフロップの出力信号を受信するために、前記モード選択回路は、NORゲートを有し、前記NORゲートの出力信号とモード選択信号MODEを受信するためのNANDゲートを有する。

【0112】

奇数ライン選択部440は、前記モード選択部420により決定された動作によって、奇数番目の走査ラインに奇数ライン走査信号SCAN[1、3、 \dots 、 $m-1$]を発生する。前記奇数ライン選択部440は、複数のライン選択回路を備える。奇数ライン選択部440の選択回路は、奇数ライン制御信号ODDの制御によって、フリップフロップの出力信号または前記モード選択回路の出力信号を選択する。

20

【0113】

偶数ライン選択部460は、前記モード選択部420により決定された動作によって、偶数番目の走査ラインに偶数ライン走査信号SCAN[2、4、 \dots 、 m]を発生する。前記偶数ライン選択部460は、複数のライン選択回路を備える。偶数ライン選択部460の選択回路は、偶数ライン制御信号EVENの制御によって、フリップフロップの出力信号または前記モード選択回路の出力信号を選択する。

【0114】

図8は、本発明の第3実施例により前記図7のフリップフロップを示す回路図である。

30

【0115】

図8を参照すれば、前記フリップフロップは、入力されるクロック信号のハイレベルで入力信号Dinをサンプリングするためのサンプラー501と、クロック信号のハイレベルで入力信号Dinを出力し、クロック信号のロウレベルで入力信号をホールドするためのホルダー503とを備える。

【0116】

サンプラー501は、クロック入力の制御によって動作を行うインバータから構成することが好ましい。したがって、クロック入力のハイレベルでサンプラー501は、入力信号Dinをサンプリングする。クロックがハイレベルを維持する間に、入力信号Dinは、フリップフロップに入力され、出力される。クロックがロウレベルに下降すれば、サンプラー501は、入力信号Dinの受信を遮断する。入力信号Dinの遮断と同時に、クロックの立ち下がりエッジ直前に入力された入力信号Dinは、ホルダー503により格納される。前記ホルダー503は、クロックの立ち下がりエッジで格納動作を開始する。したがって、前記フリップフロップは、クロック入力のハイレベル区間で入力を受信し、受信した入力を出力し、ロウレベル区間では、立ち下がりエッジ直前に入力された信号を格納し、これを出力する。

40

【0117】

図9a及び図9bは、本発明の第3実施例に係るモード選択回路の回路図及び真理表である。

50

【 0 1 1 8 】

図 9 a を参照すれば、前記モード選択回路は、NORゲートとNANDゲートとから構成される。NORゲート 6 0 1 は、 k 番目のフリップフロップの出力信号 $S R k$ 及び $k + 1$ 番目のフリップフロップの出力信号 $S R k + 1$ を入力として有する。したがって、モード選択回路は、奇数番目のフリップフロップの出力信号及び偶数番目のフリップフロップの出力信号を受信する。

【 0 1 1 9 】

NANDゲート 6 0 3 は、前記NORゲート 6 0 1 の出力信号及びモード選択信号MODEを入力として有する。NANDゲート 6 0 3 は、2つの入力信号に対してNAND演算を行い、演算結果である $o u t [k]$ をライン選択回路に入力する。

10

【 0 1 2 0 】

図 9 b を参照すれば、モード選択信号MODEのロジック状態と、 $S R k$ 及び $S R k + 1$ との演算結果である $o u t [k]$ の状態が示される。

【 0 1 2 1 】

モード選択信号MODEがロウレベルである場合、NANDゲート 6 0 3 は、NORゲート 6 0 1 の出力に関係なく、ハイレベルを出力する。

【 0 1 2 2 】

モード選択信号MODEがハイレベルである場合、NANDゲート 6 0 3 は、NORゲート 6 0 1 の出力を反転する。したがって、モード選択回路は、入力信号 $S R k$ 及び $S R k + 1$ の論理和を出力する。したがって、入力信号 $S R k$ がロウレベルであり且つ $S R k + 1$ がロウレベルである場合にだけ、 $o u t [k]$ は、ロウレベルとなる。その他の場合、 $o u t [k]$ は、ハイレベルを有する。

20

【 0 1 2 3 】

したがって、モード選択信号MODEがハイレベルであり且つ入力信号 $S R k$ 及び $S R k + 1$ がロウレベルである場合にだけ、モード選択回路は、ロウレベルを出力する。

【 0 1 2 4 】

図 1 0 は、本発明の第 3 実施例に係るライン選択回路を示す回路図である。

【 0 1 2 5 】

図 1 0 を参照すれば、ライン選択回路は、3つのNANDゲートと1つのインバータとを備える。前記ライン選択回路は、奇数ライン制御信号ODDまたは偶数ライン制御信号EVENによりフリップフロップの出力信号 $S R k$ またはモード選択回路の出力信号 $o u t [k]$ を選択する。例えば、前記ライン選択回路に奇数ライン制御信号ODDが入力され、奇数ライン制御信号ODDがハイレベルを有する場合、第 1 のNANDゲート 7 0 1 は、フリップフロップの出力信号 $S R k$ を反転する。また、インバータ 7 0 3 を介して第 2 のNANDゲート 7 0 5 には、ロウレベルが印加されるので、前記第 2 のNANDゲート 7 0 5 は、 $o u t [k]$ のレベルに関係なく、ハイレベルを出力する。ハイレベルを有する第 2 のNANDゲート 7 0 5 の出力信号は、第 3 のNANDゲート 7 0 7 に入力され、第 3 のNANDゲート 7 0 7 は、第 1 のNANDゲート 7 0 1 の出力信号を反転する。したがって、第 3 のNANDゲート 7 0 7 の出力信号 $S C A N [k]$ は、フリップフロップの出力信号 $S R k$ となる。

30

40

【 0 1 2 6 】

また、前記ライン選択回路に奇数ライン制御信号ODDが入力され、ロウレベルを有する場合、第 1 のNANDゲート 7 0 1 は、フリップフロップの出力信号 $S R k$ のレベルに関係なく、ハイレベルを出力する。また、インバータ 7 0 3 を介して第 2 のNANDゲート 7 0 5 には、ハイレベルが入力されるので、前記第 2 のNANDゲート 7 0 5 は、モード選択回路の出力信号 $o u t [k]$ を反転する。第 2 のNANDゲート 7 0 5 により反転されたモード選択回路の出力信号 $o u t [k]$ は、第 3 のNANDゲート 7 0 7 に入力される。第 3 のNANDゲート 7 0 7 は、ハイレベルを有する第 1 のNANDゲート 7 0 1 の出力信号を入力として有するので、前記第 3 のNANDゲート 7 0 7 は、第 2 のNANDゲート 7 0 5 の出力信号を反転する。したがって、第 3 のNANDゲート 7 0 7 の出力

50

信号SCAN[k]は、モード選択回路の出力信号out[k]を出力する。

【0127】

すなわち、前記図10に示されたライン選択回路は、奇数ライン制御信号ODD及び偶数ライン制御信号EVENがハイレベルを有する場合、フリップフロップの出力SRkを選択して出力し、奇数ライン制御信号ODD及び偶数ライン制御信号EVENがロウレベルを有する場合、前記モード選択回路の出力out[k]を選択して出力する。

【0128】

図11a及び図11bは、前記図7に示されたスキャンドライバの順次走査及び飛び越し走査を説明するためのタイミング図である。

【0129】

図11aを参照すれば、前記図7に示されたスキャンドライバは、順次走査動作を行う。順次走査動作を行うスキャンドライバは、1フレーム周期の間にm個の走査信号を順次にアクティブにする。

【0130】

まず、1フレームの映像が表示される区間を定義する垂直同期信号と同じ周波数を有する開始パルスVSPが、第1のフリップフロップFF1の入力端に入力される。第1のフリップフロップFF1は、クロック信号CLKの立ち上がりエッジで入力信号をサンプリングする。したがって、前フレームの最終周期の立ち上がりエッジで出力信号SR1は、ロウレベルに遷移される。また、クロック信号CLKの第1の周期の立ち上がりエッジでサンプリングされた開始パルスVSPは、ハイレベルを有するので、第1のフリップフロップFF1の出力信号SR1は、ハイレベルに遷移される。したがって、前記出力信号SR1は、前フレームの最終周期のハイレベル区間及びクロック信号CLKの第1の周期のロウレベル区間にわたってロウレベルを有する。

【0131】

第2のフリップフロップFF2には、前記第1のフリップフロップFF1の出力信号SR1が入力される。前記第2のフリップフロップFF2のクロック入力端CLKには、反転されたクロック信号/CLKが入力される。したがって、第2のフリップフロップFF2は、クロック信号CLKの立ち下がりエッジで第1のフリップフロップFF1の出力信号SR1をサンプリングする。サンプリング動作により、クロック信号CLKの第1の周期の立ち下がりエッジで第2のフリップフロップFF2の出力信号SR2は、ロウレベルに遷移され、クロック信号CLKの第2の周期の立ち下がりエッジで第2のフリップフロップFF2の出力信号SR2は、ハイレベルに遷移される。

【0132】

前述したような過程と同様の動作により、第3のフリップフロップFF3の出力信号SR3は、クロック信号CLKの第1の周期の立ち上がりエッジでハイレベルに遷移され、クロック信号CLKの第2の周期の立ち上がりエッジでロウレベルに遷移される。

【0133】

また、第mのフリップフロップFFmの出力信号SRmは、クロック信号CLKの第m/2の周期の立ち下がりエッジでロウレベルに遷移され、次のフレーム周期の最初の立ち下がりエッジでハイレベルに遷移される。

【0134】

第m+1のフリップフロップFFm+1の出力信号SRm+1は、クロック信号CLKの第m/2の周期の立ち上がりエッジでロウレベルに遷移され、次のフレーム周期の最初の立ち上がりエッジでハイレベルに遷移される。

【0135】

スキャンドライバが順次走査動作を行う場合、モード選択信号MODEは、ハイレベルに設定される。したがって、前記図9a及び図9bに示されたように、モード選択部420のモード選択回路は、隣接するフリップフロップの出力が全てロウレベルである場合にだけ、ロウレベルを出力する。

【0136】

10

20

30

40

50

また、奇数ライン制御信号 ODD 及び偶数ライン制御信号 $EVEN$ は、ロウレベルに設定される。奇数ライン制御信号 ODD がロウレベルを有するので、奇数ライン選択部 440 のライン選択回路は、奇数番目のモード選択回路の出力 $out[1, 3, \dots, m+1]$ を選択して、該当走査ラインに出力する。

【0137】

また、偶数ライン制御信号 $EVEN$ がロウレベルを有するので、偶数ライン選択部 460 のライン選択回路は、偶数番目のモード選択回路の出力 $out[2, 4, \dots, m]$ を選択して、該当走査ラインに出力する。

【0138】

前述したように、モード選択回路は、隣接するフリップフロップの出力が全てロウレベルを有する区間でだけ、ロウレベルを有するので、第1の走査信号 $SCAN[1]$ は、第1のフリップフロップ $FF1$ の出力 $SR1$ 及び第2のフリップフロップ $FF2$ の出力 $SR2$ がロウレベルである区間だけ、ロウレベルを有する。したがって、第1の走査信号 $SCAN[1]$ は、クロック信号 CLK の第1の周期のロウレベルでアクティブにされる。

【0139】

第2の走査信号 $SCAN[2]$ は、第2のフリップフロップ $FF2$ の出力 $SR2$ 及び第3のフリップフロップ $FF3$ の出力 $SR3$ が共にロウレベルである区間において、ロウレベルを有する。したがって、クロック信号 CLK の第2の周期のハイレベルでアクティブにされる。また、第3の走査信号 $SCAN[3]$ は、クロック信号 CLK の第1の周期のロウレベルでアクティブにされる。

【0140】

前述したような過程により、 m 個の走査信号は、クロック信号の半周期毎に順次にアクティブにされる。したがって、クロック信号 CLK の半周期の位相差をもって、それぞれの走査信号が走査ラインに伝達される順次走査動作が行われる。

【0141】

図11bを参照すれば、飛び越し走査動作を行うために、モード選択信号 $MODE$ は、ロウレベルに設定される。したがって、前記図9aに示されたモード選択回路は、隣接するフリップフロップの出力信号に関係なく、ハイレベルを出力する。したがって、モード選択回路の出力信号 $out[1, 2, \dots, m]$ は、いずれもハイレベルとなる。

【0142】

また、奇数番目の走査ラインに対する走査動作が行われる奇数フィールド区間で、偶数番目のフリップフロップの出力信号 $SR2, SR4, \dots, SRm$ は、マスキングされる。同様に、偶数番目の走査ラインに対する走査動作が行われる偶数フィールド区間で、奇数番目のフリップフロップの出力信号 $SR1, SR3, \dots, SRm-1$ は、マスキングされる。

【0143】

奇数フィールド区間で偶数番目のフリップフロップの出力信号 $SR2, SR4, \dots, SRm$ をマスキングするために、偶数ライン制御信号 $EVEN$ は、ロウレベルに設定される。飛び越し走査動作の場合、モード選択信号 $MODE$ は、ロウレベルに設定され、ライン選択回路の出力 $out[1, 2, \dots, m]$ は、全てハイレベルを有する。また、偶数ライン制御信号 $EVEN$ がロウレベルを有するので、偶数ライン選択部 460 のライン選択回路は、入力される偶数番目のフリップフロップの出力信号 $out[2, 4, \dots, m]$ を選択する。したがって、偶数番目の走査信号 $SCAN[2, 4, \dots, m]$ は、ハイレベルを出力する。すなわち、ロウレベルを有する偶数ライン制御信号 $EVEN$ により偶数番目のフリップフロップの出力信号 $SR2, SR4, \dots, SRm$ は、ライン選択回路により選択されることなく、ハイレベルにマスキングされる。

【0144】

奇数フィールド区間で奇数ライン制御信号 ODD はハイレベルを有する。奇数ライン選択部 440 のライン選択回路は、ハイレベルを有する奇数ライン制御信号 ODD によって奇数番目のフリップフロップの出力信号 $SR1, SR3, \dots, SRm-1$ を選択する

10

20

30

40

50

。したがって、奇数番目の走査信号SCAN[1、3、・・・、m-1]は、クロック信号CLKによって順次にロウレベルを有しながら出力される。

【0145】

すなわち、クロック信号CLKの第1の周期で第1の走査信号SCAN[1]は、ロウレベルを有し、クロック信号CLKの第2の周期で第3走査信号SCAN[3]は、ロウレベルを有する。また、クロック信号CLKの第m/2の周期で第m-1の走査信号SCAN[m-1]は、ロウレベルを有する。

【0146】

偶数フィールド区間で奇数番目のフリップフロップの出力信号をマスキングするために、奇数ライン制御信号ODDは、ロウレベルに設定される。飛び越し走査動作の場合、モード選択信号MODEは、ロウレベルに設定され、ライン選択回路の出力out[1、2、・・・、m]は、全てハイレベルを有する。また、奇数ライン制御信号ODDがロウレベルを有するので、奇数ライン選択部440のライン選択回路は、入力される奇数番目のフリップフロップの出力信号out[1、3、・・・、m-1]を選択する。したがって、奇数番目の走査信号SCAN[1、3、・・・、m-1]は、ハイレベルを出力する。すなわち、ロウレベルを有する奇数ライン制御信号ODDにより、奇数番目のフリップフロップの出力信号SR1、SR3、・・・、SRm-1は、ライン選択回路により選択されることなく、ハイレベルにマスキングされる。

10

【0147】

偶数フィールド区間で偶数ライン制御信号EVENはハイレベルを有する。偶数ライン選択部460のライン選択回路は、ハイレベルである偶数ライン制御信号EVENによって偶数番目のフリップフロップの出力信号SR2、SR4、・・・、SRmを選択する。したがって、偶数番目の走査信号SCAN[2、4、・・・、m]は、クロック信号によって順次にロウレベルになりながら出力される。

20

【0148】

すなわち、クロック信号CLKの第m/2+2の周期のロウレベル区間及び第m/2+3の周期のハイレベル区間で、第2の走査信号SCAN[2]はロウレベルであり、クロック信号CLKの第m/2+3の周期のロウレベル区間及び第m/2+4の周期のハイレベル区間で、第4の走査信号SCAN[4]はロウレベルである。また、クロック信号CLKの第m+1の周期のロウレベル区間及び第m+2の周期のハイレベル区間で、第mの走査信号SCAN[m]は、ロウレベルである。偶数フィールド区間で奇数番目のフリップフロップの出力信号SR1、SR3、・・・、SRm-1は、ハイレベルにマスキングされ、偶数番目のフリップフロップの出力信号SR2、SR4、・・・、SRmは、ライン選択回路により選択され、走査信号の形態で出力される。

30

【0149】

前述したような過程により、前記スキャンドライバは、飛び越し走査動作を行う場合、奇数フィールド区間でモード選択信号MODEと奇数ライン制御信号ODDとの組み合わせにより奇数走査信号SCAN[1、3、・・・、m-1]を順次に形成し、それぞれの奇数走査ラインに伝達する。

【0150】

前記奇数フィールド区間で、偶数ライン制御信号EVENにより偶数走査信号SCAN[2、4、・・・、m]は、マスキングされて出力される。すなわち、前記偶数走査信号SCAN[2、4、・・・、m]は、走査動作に要求される情報を有することなく、奇数フィールド区間の間は、ハイレベルである。

40

【0151】

奇数フィールド区間に連続する偶数フィールド区間で、モード選択信号MODEと偶数ライン制御信号EVENとの組み合わせにより、偶数走査信号SCAN[2、4、・・・、m]を順次に形成し、それぞれの偶数走査ラインに伝達する。

【0152】

前記偶数フィールド区間で、奇数ライン制御信号ODDにより奇数走査信号SCAN[

50

1、3、・・・、m-1]は、マスクングされて出力される。すなわち、前記奇数走査信号SCAN[1、3、・・・、m-1]は、走査動作に要求される情報を有することなく、偶数フィールド区間の間は、ハイレベルである。

【0153】

前述したような過程により、モード選択信号、奇数ライン制御信号及び偶数ライン制御信号を用いて順次走査及び飛び越し走査動作を選択的に行うことができることが分かる。

【0154】

以上において説明した本発明は、本発明が属する技術の分野における通常の知識を有する者であれば、本発明の技術的思想を逸脱しない範囲内で、様々な置換、変形及び変更が可能であるので、上述した実施例及び添付された図面に限定されるものではない。

10

【図面の簡単な説明】

【0155】

【図1】本発明の第1の実施例に係る順次走査及び飛び越し走査兼用スキャンドライバを示す回路図である。

【図2】本発明の第1の実施例に係るフリップフロップを示す回路図である。

【図3】本発明の第1の実施例により前記図1のスキャンドライバの順次走査動作を説明するためのタイミング図である。

【図4a】本発明の第1の実施例により前記図1のスキャンドライバの飛び越し走査動作を説明するためのタイミング図である。

【図4b】本発明の第1の実施例により前記図1のスキャンドライバの飛び越し走査動作を説明するためのタイミング図である。

20

【図5a】本発明の第2の実施例により、スキャンドライバが適用された有機電界発光装置を示すブロック図及び前記有機電界発光装置を構成する画素駆動回路図である。

【図5b】本発明の第2の実施例により、スキャンドライバが適用された有機電界発光装置を示すブロック図及び前記有機電界発光装置を構成する画素駆動回路図である。

【図6a】本発明の第2の実施例により前記図5aに示された有機電界発光装置の順次走査及び飛び越し走査を説明するためのタイミング図である。

【図6b】本発明の第2の実施例により前記図5aに示された有機電界発光装置の順次走査及び飛び越し走査を説明するためのタイミング図である。

【図7】本発明の第3実施例に係るスキャンドライバを示す回路図である。

30

【図8】本発明の第3実施例により前記図7のフリップフロップを示す回路図である。

【図9a】本発明の第3実施例に係るモード選択回路の回路図である。

【図9b】本発明の第3実施例に係るモード選択回路の真理表である。

【図10】本発明の第3実施例に係るライン選択回路を示す回路図である。

【図11a】前記図7に示されたスキャンドライバの順次走査及び飛び越し走査を説明するためのタイミング図である。

【図11b】前記図7に示されたスキャンドライバの順次走査及び飛び越し走査を説明するためのタイミング図である。

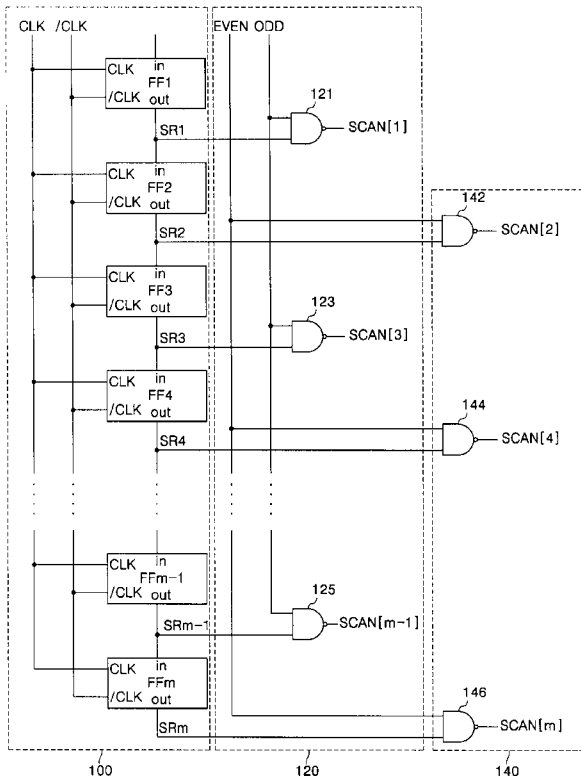
【符号の説明】

【0156】

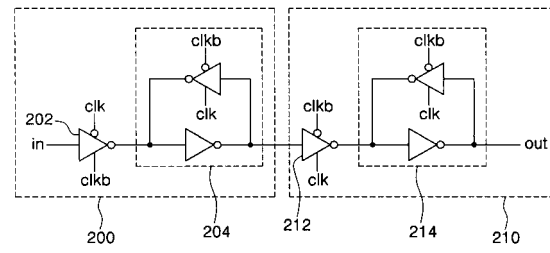
40

- 100、400 シフトレジスタ、
- 120、440 奇数ライン選択部、
- 140、460 偶数ライン選択部、
- 420 モード選択部。

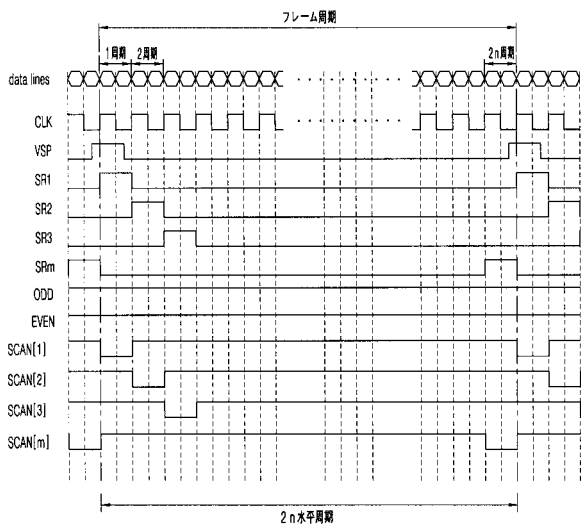
【図1】



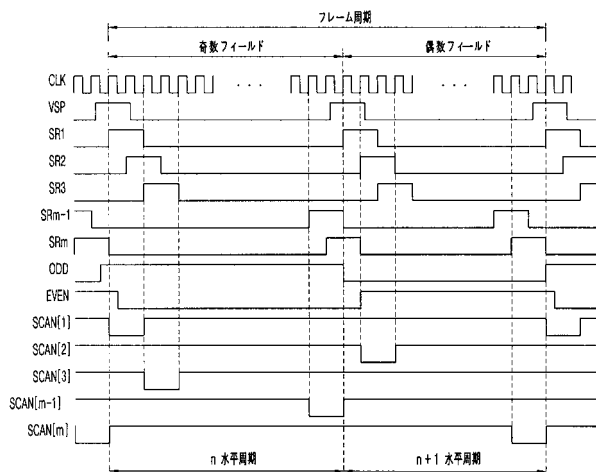
【図2】



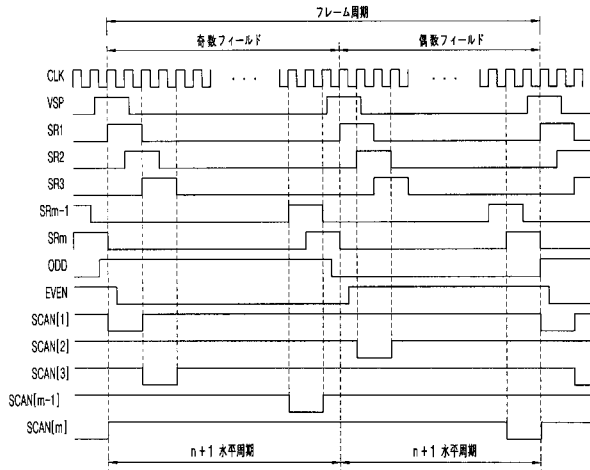
【図3】



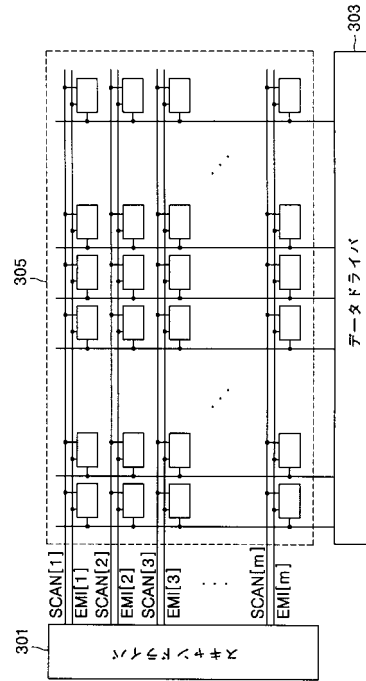
【図4 a】



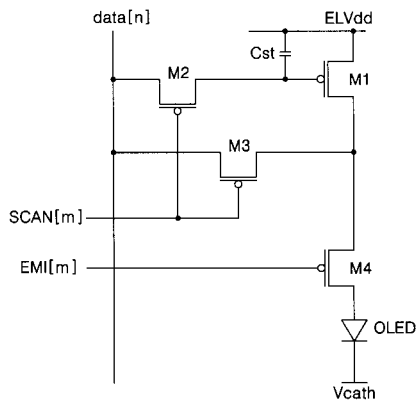
【図4b】



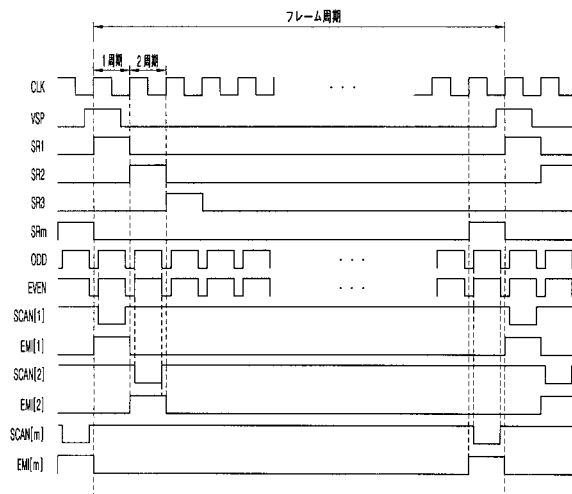
【図5a】



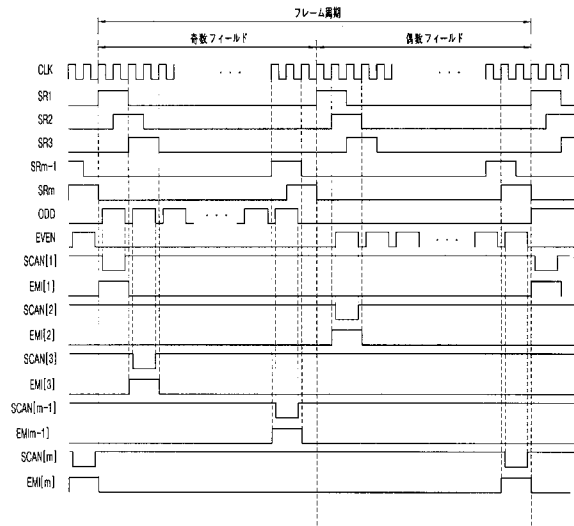
【図5b】



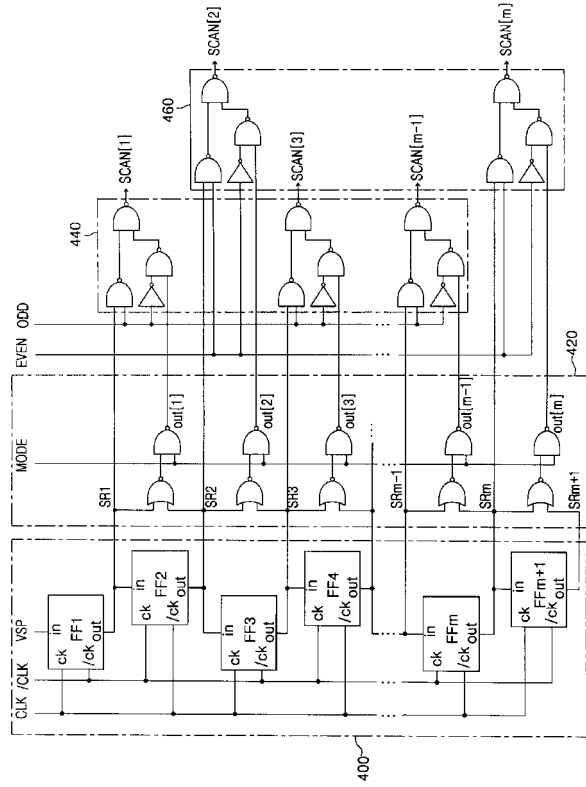
【図6a】



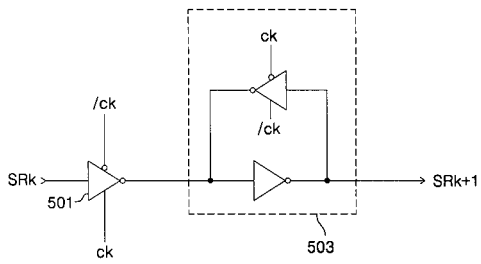
【図 6 b】



【図 7】



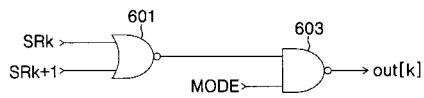
【図 8】



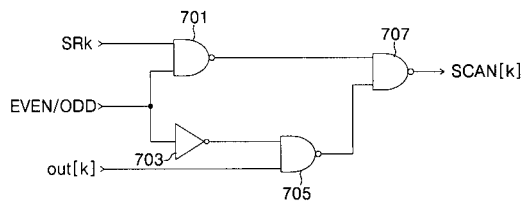
【図 9 b】

SRk / SRk+1	00	01	10	11
MODE 0	1	1	1	1
MODE 1	0	1	1	1

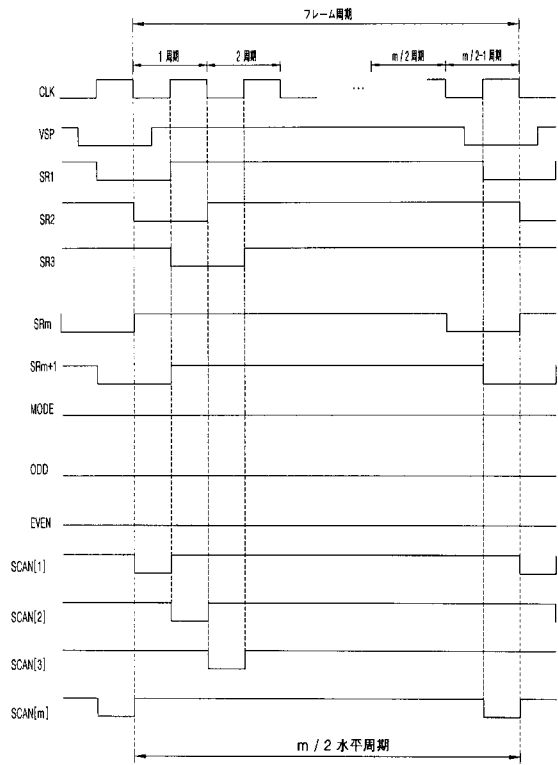
【図 9 a】



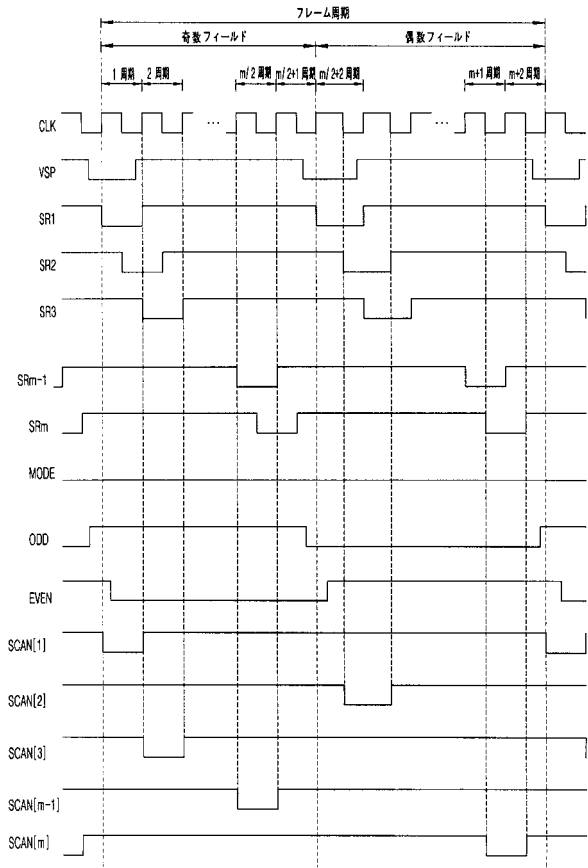
【図 10】



【図 11 a】



【図 11 b】



フロントページの続き

(51)Int.Cl.		F I		
G 1 1 C	19/28	(2006.01)	G 0 9 G	3/20 6 2 2 F
			G 0 9 G	3/20 6 1 2 J
			G 0 9 G	3/20 6 2 1 A
			G 0 9 G	3/20 6 2 2 R
			H 0 5 B	33/14 A
			G 0 2 F	1/133 5 0 5
			G 1 1 C	19/00 J
			G 1 1 C	19/28 B

(56)参考文献 特開平05 - 307166 (JP, A)
 特開平08 - 234703 (JP, A)
 特開平08 - 234702 (JP, A)
 特開平06 - 095071 (JP, A)
 特開平02 - 253232 (JP, A)
 特開2003 - 255899 (JP, A)

(58)調査した分野(Int.Cl., DB名)
 IPC G 0 9 G 3 / 0 0 - 3 / 3 8
 G 0 2 F 1 / 1 3 3
 G 1 1 C 1 9 / 0 0