

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 13/28 (2006.01)

G06F 9/38 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200710086079.4

[43] 公开日 2007年9月12日

[11] 公开号 CN 101034382A

[22] 申请日 2007.3.8

[21] 申请号 200710086079.4

[30] 优先权

[32] 2006.3.9 [33] US [31] 11/371,423

[71] 申请人 联发科技股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 蔡忠宏 赖明祥

[74] 专利代理机构 北京三友知识产权代理有限公司  
代理人 任默闻

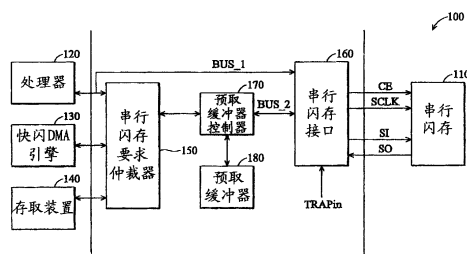
权利要求书6页 说明书9页 附图9页

## [54] 发明名称

用于嵌入式系统的命令控制器及预取模块及其控制方法

## [57] 摘要

本发明提供一种用于嵌入式系统的命令控制器及预取模块及其控制方法。所述嵌入式系统包括：一串行闪存、一处理器、复数个存取装置及一预取缓冲器。所述处理器及所述存取装置传送各种命令，以在该串行闪存中读取或写入数据。该预取缓冲器，在该串行闪存中读取或写入数据之前，暂时储存一既定数量的数据。比较相关技术，本发明的预取缓冲器可将几个单一存取要求转换至一突发存取。因此减少存取频率且提高效能。此外，该命令控制器可转换不同命令至对应的指令，即使这些指令是根据不同串行闪存制造商所提供的不同指令组。



1. 一种用于嵌入式系统的命令控制器，该嵌入式系统包括：一处理器、复数个存取装置及一串行闪存，其中该处理器及所述存取装置传送各种命令，以从该串行闪存读取数据或写入数据至该串行闪存，其特征在于，该命令控制器包括：

一直接读取器，根据一补捉输入处理一第一命令，以产生一第一指令，其中该第一命令可来自所述处理器或任一存取装置，且该第一指令被移位至所述串行闪存，以在该串行闪存中读取数据；以及

一命令解译器，根据一补捉输入解译一第二命令，以产生一第二指令，其中该第二命令可来自所述处理器，且该第二指令被移位至所述串行闪存，以在该串行闪存中读取/写入数据；

其中，所述补捉输入包括一串行闪存制造商的信息。

2. 如权利要求1所述的用于嵌入式系统的命令控制器，其特征在于，该命令控制器更进一步包括一复用器，耦接所述直接读取器及所述命令解译器，从所述第一指令及所述第二指令中，选择一被挑选的指令，以移位至所述串行闪存。

3. 如权利要求2所述的用于嵌入式系统的命令控制器，其特征在于，其中该嵌入式系统更进一步包括一并串移位寄存器，耦接所述复用器及所述串行闪存，以使该被挑选的指令由并行形式转换为串行形式，并且将该被挑选的指令移位至所述串行闪存。

4. 如权利要求1所述的用于嵌入式系统的命令控制器，其特征在于，所述直接读取器处理该第一命令，以产生该第一指令相等于一第一数值。

5. 如权利要求4所述的用于嵌入式系统的命令控制器，其特征在于，所述第一数值为 03h 或 E8h。

6. 如权利要求1所述的用于嵌入式系统的命令控制器，其特征在于，各种第二命令包括：一大量抹除命令、一读取状态命令、一写入状态命令及一

字节编程命令。

7.如权利要求6所述的用于嵌入式系统的命令控制器，其特征在于，所述命令解译器解译该读取状态命令，以产生一读取状态指令，包括相等于一第二数值的一读取状态寄存器指令。

8.如权利要求7所述的用于嵌入式系统的命令控制器，其特征在于，所述第二数值为05h或D7h。

9.一种用于嵌入式系统的预取模块，该嵌入式系统包括：一处理器、复数个存取装置及一串行闪存，其中该处理器及所述存取装置传送各种命令，以从该串行闪存读取数据或写入数据至该串行闪存，其特征在于，该预取模块包括：

一命令解译器，用以解译一第二命令以产生一第二指令，其中该第二命令来自所述处理器，且该第二指令被移位至所述串行闪存以在该串行闪存中读取/写入数据；及

一预取缓冲器，在所述串行闪存中读取或写入数据之前，暂时储存一既定数量的数据。

10.如权利要求9所述的用于嵌入式系统的预取模块，其特征在于，该预取缓冲器内的数据若需要由所述处理器或任一存取装置读取时，该处理器或任一存取装置将从所述预取缓冲器读取数据，而该预取缓冲器将持续读取数据直至该预取缓冲器全满；否则该预取缓冲器首先由该串行闪存读取所需的数据。

11.如权利要求9所述的用于嵌入式系统的预取模块，其特征在于，所述处理器或任一存取装置将数据写入至所述预取缓冲器，直至该预取缓冲器全满，并将数据写入至所述串行闪存直至该预取缓冲器为空。

12.如权利要求11所述的用于嵌入式系统的预取模块，其特征在于，所述命令解译器更进一步传送一指令以确定该串行闪存是否准备好被写入。

13.一种嵌入式系统，其特征在于，该嵌入式系统包括：

一串行闪存;

一处理器及复数个存取装置,用以传送各种命令;及

一命令控制器,用以处理各种命令以产生各种指令,并传送各种指令至所述串行闪存,以在该串行闪存中读取或写入数据,其中该命令控制器更包括:

一直接读取器,根据一补捉输入处理一第一命令,以产生一第一指令,其中该第一命令可来自所述处理器或任一存取装置,且该第一指令被移位至所述串行闪存以在该串行闪存中读取数据;及

一命令解译器,根据一补捉输入解译一第二命令,以产生一第二指令,其中该第二命令可来自所述处理器,且该第二指令被移位至所述串行闪存,以在该串行闪存中读取或写入数据;其中,该补捉输入包括一串行闪存制造商的信息。

14.如权利要求13所述的嵌入式系统,其特征在于,所述命令控制器更进一步包括一复用器,耦接所述直接读取器及所述命令解译器,从所述第一指令及所述第二指令中,选择一被挑选的指令,并移位至所述串行闪存。

15.如权利要求14所述的嵌入式系统,其特征在于,该嵌入式系统还包括一并串移位寄存器,耦接所述复用器及所述串行闪存,以使所述被挑选的指令由并行形式转换为串行形式,并将该被挑选的指令移位至该串行闪存。

16.如权利要求13所述的嵌入式系统,其特征在于,所述直接读取器处理所述第一命令以产生所述第一指令相等于一第一数值。

17.如权利要求16所述的嵌入式系统,其特征在于,所述第一数值为03h或E8h。

18.如权利要求13所述的嵌入式系统,其特征在于,各种第二命令包括:一大量抹除命令、一读取状态命令、一写入状态命令及一字节编程命令。

19.如权利要求18所述的嵌入式系统,其特征在于,所述命令解译器解译该读取状态命令,以产生一读取状态指令,包括相等于一第二数值的一读

取状态寄存器指令。

20.如权利要求 19 所述的嵌入式系统,其特征在于,所述第二数值为 05h 或 D7h。

21.一种嵌入式系统,其特征在于,该嵌入式系统包括:

一串行闪存;

一处理器及复数个存取装置,用以传送各种命令,以在所述串行闪存中读取或写入数据;及

一预取缓冲器,在所述串行闪存中读取或写入数据之前,暂时储存一既定数量的数据。

22.如权利要求 21 所述的嵌入式系统,其特征在于,所述预取缓冲器内的数据若需要由所述处理器或任一存取装置读取时,该处理器或任一存取装置将从所述预取缓冲器读取数据,而该预取缓冲器将持续读取数据直至该预取缓冲器全满;否则该预取缓冲器首先由该串行闪存读取所需的数据。

23.如权利要求 21 所述的嵌入式系统,其特征在于,所述处理器或任一存取装置将数据写入至所述预取缓冲器,直至该预取缓冲器全满,并将数据写入至所述串行闪存直至所述预取缓冲器为空。

24.一种用于嵌入式系统中控制命令控制器的方法,该嵌入式系统包括:一处理器、复数个存取装置及一串行闪存,其中该处理器及所述存取装置传送各种命令,以从该串行闪存读取数据或写入数据至该串行闪存,其特征在于,该方法包括:

根据一补捉输入处理来自于所述处理器的一第一命令,以产生一第一指令,以及将该第一指令移位至所述串行闪存以读取数据;

根据一补捉输入解译来自所述处理器或任一存取装置的一第二命令,以产生一第二指令,并将该第二指令移位至所述串行闪存,以在该串行闪存中读取或写入数据;

其中,该补捉输入包括一串行闪存制造商的信息。

25.如权利要求 24 所述的用于嵌入式系统中控制命令控制器的方法，其特征在于，该方法还包括从所述第一指令及所述第二指令中，选择一被挑选的指令并移位至所述串行闪存。

26.如权利要求 25 所述的用于嵌入式系统中控制命令控制器的方法，其特征在于，所述选择一指令的步骤还包括将被挑选的指令转换至串行形式，并将该串行形式的被挑选指令移位至所述串行闪存。

27.如权利要求 24 所述的用于嵌入式系统中控制命令控制器的方法，其特征在于，所述处理第一命令的步骤还包括处理该第一命令以产生该第一指令相等于一第一数值。

28.如权利要求 27 所述的用于嵌入式系统中控制命令控制器的方法，其特征在于，所述第一数值为 03h 或 E8h。

29.如权利要求 24 所述的用于嵌入式系统中控制命令控制器的方法，其特征在于，各种第二命令包括：一大量抹除命令、一读取状态命令、一写入状态命令及一字节编程命令。

30.如权利要求 29 所述的用于嵌入式系统中控制命令控制器的方法，其特征在于，所述解译第二命令的步骤还包括解译该读取状态命令，以产生一读取状态指令，包括相等于一第二数值的一读取状态寄存器指令。

31.如权利要求 30 所述的用于嵌入式系统中控制命令控制器的方法，其特征在于，所述第二数值为 05h 或 D7h。

32.一种用于嵌入式系统中控制预取缓冲器的方法，该嵌入式系统包括：一处理器、复数个存取装置及一串行闪存，其中该处理器及所述存取装置传送各种命令，通过一预取缓冲器，以在该串行闪存中读取或写入数据，其特征在于，该方法包括：

持续将数据储存至所述预取缓冲器直至该预取缓冲器全满；及  
由所述串行闪存传送数据 / 传送数据至该串行闪存。

33.如权利要求 32 所述的用于嵌入式系统中控制预取缓冲器的方法，其

特征在于，所述传送数据的步骤还包括：

读取所述串行闪存中的数据；

更新一读取指针以减少该串行闪存中的有效数据数量；

当有效数据数量少于一临界值时，发出一连续读取指令；及

由所述串行闪存读取数据，直至该预取缓冲器全满。

34.如权利要求 32 所述的用于嵌入式系统中控制预取缓冲器的方法，其特征在于，所述传送数据的步骤还包括：

轮询该串行闪存的状态；

检查该串行闪存是否准备好；

传送一写入致能命令至该串行闪存；

写入数据直至该预取缓冲器为空。

## 用于嵌入式系统的命令控制器及预取模块及其控制方法

### 技术领域

本发明是有关于命令控制器及预取缓冲器 (prefetch buffer), 且特别有关于嵌入式系统中, 用以存取串行闪存 (serial flash) 的命令控制器及预取缓冲器。

### 背景技术

嵌入式系统通常包括闪存以储存数据及程序, 如串行闪存或并行闪存。一嵌入式系统需复数个接脚 (地址接脚、数据接脚及控制接脚) 以存取一并行闪存。存取一串行闪存则需较少的接脚。例如: 一嵌入式系统仅需 4 根接脚 (一致能接脚 CE、一时序信号接脚 SCLK、一数据输入接脚 SI 及一数据输出接脚 SO) 以存取该串行闪存。不过, 该串行闪存每次被存取时需发出附加的命令及地址。当大量的附加命令及地址被发出时, 频繁地存取导致效能不彰。此外, 该串行闪存通过制造商特定指令控制, 随着制造者而变化, 因此导致兼容性问题。

### 发明内容

为了解决上述现有技术中所指出的问题, 本发明提出一种用于嵌入式系统的命令控制器及预取模块及其控制方法。

本发明的主要目的在于提供用于一嵌入式系统的命令控制器。该嵌入式系统包括: 一处理器、复数个存取装置及一串行闪存。该处理器及所述存取装置传送各种命令, 以从该串行闪存读取数据或写入数据至该串行闪存。该命令控制器包括一直接读取器及一命令解译器。该直接读取器根据一补捉输入处理一第一命令, 以产生一第一指令, 其中该第一命令可来自该处理器或任一存取装置, 而该第一指令被移位至该串行闪存以在该串行闪存中读取数



据。该命令解译器根据该补捉输入解译一第二命令，以产生一第二指令，其中该第二命令来自该处理器，而该第二指令被移位至该串行闪存，以在该串行闪存中读取/写入数据。

本发明的另一目的在于提供用于一嵌入式系统的预取模块，该嵌入式系统包括：一处理器、复数个存取装置及一串行闪存。该处理器及所述存取装置传送各种命令，以从该串行闪存读取数据或写入数据至该串行闪存。该预取模块包括一命令解译器及一预取缓冲器。该命令解译器解译一第二命令以产生一第二指令，其中该第二命令来自该处理器，而该第二指令被移位至该串行闪存以在该串行闪存中读取/写入数据。该预取缓冲器，在该串行闪存中读取或写入数据之前，暂时储存一既定数量的数据。

本发明更进一步提供一嵌入式系统。该嵌入式系统包括一串行闪存、一处理器、复数个存取装置及一命令控制器。处理器及所述存取装置传送各种命令。该命令控制器处理各种命令以产生各种指令，并传送各种指令至该串行闪存，以在该串行闪存中读取或写入数据。

本发明更进一步提供一嵌入式系统。该嵌入式系统包括一串行闪存、一处理器、复数个存取装置及一预取缓冲器。该处理器及所述存取装置传送各种命令，以从该串行闪存读取数据或写入数据至该串行闪存。该预取缓冲器在该串行闪存中读取或写入数据之前，暂时储存一既定数量的数据。

本发明更进一步提供用于嵌入式系统中控制命令控制器的方法。该方法包括：根据一补捉输入处理来自于该处理器的一第一命令，以产生一第一指令，以及将该第一指令移位至该串行闪存以读取数据；以及根据该补捉输入解译来自该处理器或任一存取装置的一第二命令，以产生一第二指令，并将该第二指令移位至该串行闪存以在该串行闪存中读取或写入数据。

本发明更另外提供一种用于嵌入式系统中控制预取缓冲器的方法，该方法包括：持续储存数据至该预取缓冲器直至该预取缓冲器全满；以及由该串行闪存传送数据/传送数据至该串行闪存。

比较相关技术,本发明的预取缓冲器可将几个单一存取要求转换至一突发存取。因此减少存取频率且提高效能。此外,该命令控制器可转换不同命令至对应的指令,即使这些指令是根据不同串行闪存制造商所提供的不同指令组。

### 附图说明

图 1 显示根据本发明实施例的一嵌入式系统;

图 2A 显示该串行闪存接口的方块图;

图 2B 显示存取命令解译处理的流程图;

图 3A 显示该命令控制器的方块图;

图 3B 显示该命令控制器的另一方块图;

图 4A 显示在图 2A 中该命令寄存器的示意图;

图 4B~4E 显示在该命令控制器的不同操作中,一连续指令、数据及地址传送至该串行闪存的示意图;

图 5 显示在嵌入式系统中,一预取缓冲器的读取控制方法流程图;

图 6 显示在嵌入式系统中,一预取缓冲器的写入控制方法流程图。

主要组件符号说明:

100~嵌入式系统;

110~串行闪存;

120~处理器;

130~快闪 DMA 引擎;

140~存取装置;

150~串行闪存要求仲裁器;

160~串行闪存接口;

170~预取缓冲器控制器;

180~预取缓冲器。

### 具体实施方式

以下将详细叙述本发明。请参考图 1。图 1 显示根据本发明实施例的一嵌入式系统 100。该嵌入式系统 100 包括:一串行闪存 110、一处理器 120、一快闪直接存储器存取 (DMA) 引擎 130、一存取装置 140、一串行闪存要

求仲裁器 150、一串行闪存接口 160、一预取缓冲器控制器 170 以及一预取缓冲器 180。处理器 120、快闪 DMA 引擎 130 及存取装置 140 可存取串行闪存 110。例如：处理器 120 可在该串行闪存 110 中读取 / 写入数据，而该快闪 DMA 引擎 130 可将该串行闪存 110 的数据移至一动态随机存取存储器 (DRAM) (未图标)。当超过两个组件同时要求存取该串行闪存 110 时，该串行闪存要求仲裁器 150 选择一组件，并经总线 BUS\_2 传送一命令，以存取该串行闪存 110。此外，该命令可由该处理器 120 经总线 BUS\_1 直接发出，不需经过总线 BUS\_2。利用该预取缓冲器控制器 170 收集并转换几个个别读取存取要求至突发读取存取 (burst read access)，以减少总存取时间。通过一预取缓冲器控制器 170 以减少存取时间将稍后叙述，而存取该串行闪存将详述如下。

请参考图 2A。图 2A 显示该串行闪存接口 160 的方块图。该串行闪存接口 160 包括一命令控制器 210、一写入数据寄存器 220、一地址寄存器 230、一命令寄存器 240、一指令寄存器 250 及一并串移位寄存器 260。该命令控制器 210 在所述寄存器及补捉输入 TRAP<sub>in</sub> 帮助下，解译该快闪命令 (来自总线 BUS\_1 的存取命令 COM<sub>access</sub>、或来自总线 BUS\_2 的直接命令 COM<sub>write</sub> / COM<sub>read</sub>) 成该快闪指令。最后该并串移位寄存器 260 将该指令由并行形式转换至串行形式，并将该指令移位至该串行闪存 110 (如图 1)。关于存取命令解译的处理将详述如下。

请参考图 2B。图 2B 是显示存取命令解译处理的流程图。该处理的步骤如下。

步骤 20: 一开始该处理器 120 通过总线 BUS\_1 设置复数个寄存器 220-250。

步骤 22: 该处理器 120 发出该存取命令 COM<sub>access</sub>，经总线 BUS\_1 至该命令控制器 210。

步骤 24: 根据之前步骤 20 所设置的命令寄存器 240 的值，决定一对应

动作（如大量抹除、字节读取、字节写入、字节编程...）。

步骤 26: 该命令控制器 210 执行解译以产生一连续指令、数据及地址。例如: 就字节写入动作而言, 首先产生制造商相关指令, 然后轮流产生欲写入的数据及写入地址。值得注意的是, 制造商相关指令是根据该指令寄存器 250 而产生, 而被写入该串行闪存 110 的数据则暂时储存于该写入数据寄存器 220 中, 以及该写入地址暂时储存于该地址寄存器 230 中。

该指令寄存器 250 进一步叙述如下。有各种指令寄存器实施方式。值得注意的是指令寄存器实施方式仅为举例, 非用以限定。例如: 当指令寄存器的空间足够储存一特定串行闪存制造商的全部指令组时, 则每当命令解译处理时, 该指令寄存器 250 不需被设置 (或初始化)。否则, 每当命令解译处理时, 该指令寄存器 250 需被重置 (或再初始化)。此外, 不同串行闪存制造商提供不同指令组, 因此当该串行闪存的制造商改变时, 该指令寄存器 250 需进一步更新内容。同样地, 当指令寄存器的空间足够储存对应于不同串行闪存制造商的复数指令组时, 该指令寄存器 250 能根据该补捉输入  $TRAP_{in}$ , 简单地提供目前制造商的指令组, 而非再重置。

请参考图 3A。图 3A 显示命令控制器 210 的方块图。该命令控制器 210 包括一直接读取器 320、一命令解译器 310 及一复用器 (MUX) 330。该直接读取器 320 处理该读取命令  $COM_{read}$  (来自总线  $BUS_2$ ), 以根据该补捉输入  $TRAP_{in}$  产生一指令  $INS_{temp_2}$ 。例如: 若该补捉输入  $TRAP_{in}$  来自制造商 ST, 则该直接读取器 320 产生的该解译指令  $INS_{temp_2}$  相等于 “03h”。若该补捉输入  $TRAP_{in}$  来自制造商 ATMEL, 则该直接读取器 320 产生的该解译指令  $INS_{temp_2}$  相等于 “E8h”。该命令解译器 310 也解译该存取命令  $COM_{access}$  (来自总线  $BUS_1$ ), 以根据该补捉输入  $TRAP_{in}$  产生另一指令  $INS_{temp_1}$ 。例如: 在一读取状态存取中, 若该补捉输入  $TRAP_{in}$  来自制造商 ST, 则该命令解译器 310 产生的该解译指令  $INS_{temp_1}$  相等于 “05h”。若该补捉输入  $TRAP_{in}$  来自制造商 ATMEL, 则该命令解译器 310 产生的该解译指令  $INS_{temp_1}$  相等

于“D7h”。该复用器 330，从指令  $INS_{temp\_1}$  及  $INS_{temp\_2}$  中选择一指令，以作为该解译指令  $INS_{com}$ 。该解译指令产生之后，相对应的快闪数据  $REG_{data}$  及快闪地址  $REG_{add}$  将轮流被传送。

就存取命令  $COM_{access}$ （通过总线  $BUS\_1$ ）而言，由该命令解译器 310 处理的对应动作若为执行读取（由寄存器值  $REG_{com}$  决定），该命令解译器 310 传送解译指令  $INS_{temp\_1}$ （根据该补捉输入  $TRAP_{in}$  及寄存器值  $REG_{ins}$ ）及来自寄存器值  $REG_{add}$  的读取地址。同样地，该对应动作若为执行写入（由寄存器值  $REG_{com}$  决定），该命令解译器 310 传送解译指令  $INS_{temp\_1}$ （根据该补捉输入  $TRAP_{in}$  及寄存器值  $REG_{ins}$ ）、来自寄存器值  $REG_{data}$  的写入数据及来自寄存器值  $REG_{add}$  的写入地址。

就读取命令  $COM_{read}$ （通过总线  $BUS\_2$ ）而言，由该直接读取器 320 处理的对应动作为执行读取。该直接读取器 320 传送解译指令  $INS_{temp\_2}$ （根据该补捉输入  $TRAP_{in}$  及寄存器值  $REG_{ins}$ ）及来自寄存器值  $REG_{add}$  的读取地址。

请参考图 3B。图 3B 显示命令控制器 210 的另一方块图。与图 3A 相比较，主要差别是该直接读取器 320 由一读取器/写入器 420 所取代。该读取器/写入器 420 不仅能处理读取命令  $COM_{read}$ ，也能处理写入命令  $COM_{write}$ 。

请参考图 4A~图 4E。图 4A 显示图 2A 的命令寄存器 240 的示意图。图 4B~图 4E 显示在该命令控制器 210 的不同操作（如大量抹除、字节读取、字节写入、字节编程...）中，一连续指令、数据及地址传送至该串行闪存 110 的示意图。该命令寄存器 240 包括一字节读取段 411、一字节写入段 412、一大量抹除段 413、一 WRSR（写入状态寄存器）段 414 及一 RDSR（读取状态寄存器）段 415。例如：该命令寄存器 240 中每段大小相等于一个位。在图 4B 中，该处理器 120 设置该大量抹除段 413 之后，产生一大量抹除指令。该命令解译器 310 处理该大量抹除存取命令  $COM_{access}$ ，以根据该补捉输入  $TRAP_{in}$  输出该大量抹除指令  $INS_{com}$ 。没有其它快闪数据  $REG_{data}$  或快闪地址  $REG_{add}$  跟随该大量抹除指令  $INS_{com}$  以及被传送至该串行闪存 110。在图

4C 中, 该处理器 120 设置该 RDSR 段 415 之后, 产生一读取状态指令。该命令解译器 310 处理该 RDSR 命令  $COM_{access}$ , 以根据该补捉输入  $TRAP_{in}$  输出该 RDSR 指令  $INS_{com}$ 。没有其它快闪数据  $REG_{data}$  或快闪地址  $REG_{add}$  跟随该 RDSR 指令  $INS_{com}$  及被传送至该串行闪存 110。在该 RDSR 命令  $COM_{access}$  被触发及完成之后, 可从该串行闪存 110 得到返回状态。在图 4D 中, 该处理器 120 设置该 WRSR 段 414 之后, 产生一写入状态指令。该命令解译器 310 处理该 WRSR 命令  $COM_{access}$ , 以根据该补捉输入  $TRAP_{in}$  输出该 WRSR 指令  $INS_{com}$ 。在图 4E 中, 该处理器 120 设置该字节写入段 412 之后, 产生一字节编程指令。该命令解译器 310 处理该字节写入命令  $COM_{access}$ , 以根据该补捉输入  $TRAP_{in}$  输出该写入指令  $INS_{com}$ 。在该存取命令  $COM_{access}$  被触发之后, 一系列 (series) 包括指令、数据、地址及交握被产生并传送至该串行闪存 110。接着, 该字节数据可被写入至该串行闪存 110 的指定地址。

由上述可知, 该命令控制器可转换不同命令至对应的指令, 即使这些指令是根据不同串行闪存制造商所提供的不同指令组。因此可解决兼容性问题。该预取缓冲器控制器 170 (如图 1 所示) 将详述如下。

请参考图 5。图 5 显示在嵌入式系统中, 一预取缓冲器的读取控制方法流程图。该方法的步骤提供如下。

步骤 502: 该预取缓冲器为闲置状态。

步骤 504: 该处理器或任何其它存取装置发出一要求至一串行闪存要求仲裁器, 以读取所需数据。

步骤 506: 该预取缓冲器控制器确定该预取缓冲器的数据是否为所需数据。如果是, 则进行步骤 508; 否则进行步骤 510。

步骤 508: 该预取缓冲器控制器, 送回该预取缓冲器中的数据至该处理器或任何其它存取装置, 并持续读取数据直至该预取缓冲器全满。

步骤 510: 该预取缓冲器控制器确定数据是否由该串行闪存被读取, 以及是否准备好被该处理器或任何其它存取装置读取。如果是, 则进行步骤

512; 否则进行步骤 514。

步骤 512: 等待及确定该数据是否准备好。如果是, 则进行步骤 508; 否则进行步骤 514。

步骤 514: 当提出并且发出一新请求至一串行闪存接口时, 中断先前命令。

请参考图 6。图 6 显示在嵌入式系统中, 一预取缓冲器的写入控制方法流程图。该方法的步骤提供如下。

步骤 602: 一处理器或任何其它存取装置发出一要求至一串行闪存要求仲裁器, 以将数据写入至一串行闪存。

步骤 604: 该处理器或任何其它存取装置将数据写入至该预取缓冲器直到写满为止。

步骤 606: 该处理器或任何其它存取装置设置多个相关参数(如一写入地址或一串行闪存制造商)。

步骤 608: 该处理器或任何其它存取装置触发一命令控制器以转换及传送命令至该串行闪存。

步骤 610: 该命令控制器轮询(poll)一串行闪存状态。

步骤 612: 确定该串行闪存是否准备好。如果是, 进行步骤 614; 否则进行步骤 612。

步骤 614: 该命令控制器传送一写入致能(enable)指令至该串行闪存。

步骤 616: 该命令控制器连续传送一解译指令(作业码)、一写入地址及数据, 直至写入完成。

比较相关技术, 本发明的预取缓冲器可将几个单一存取要求转换至一突发存取。因此减少存取频率且提高效能。此外, 该命令控制器可转换不同命令至对应的指令, 即使这些指令是根据不同串行闪存制造商所提供的不同指令组。

虽然本发明已以较佳实施例揭露如上, 然其并非用以限定本发明, 任何

---

熟习此技艺者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围当视权利要求书所界定的为准。



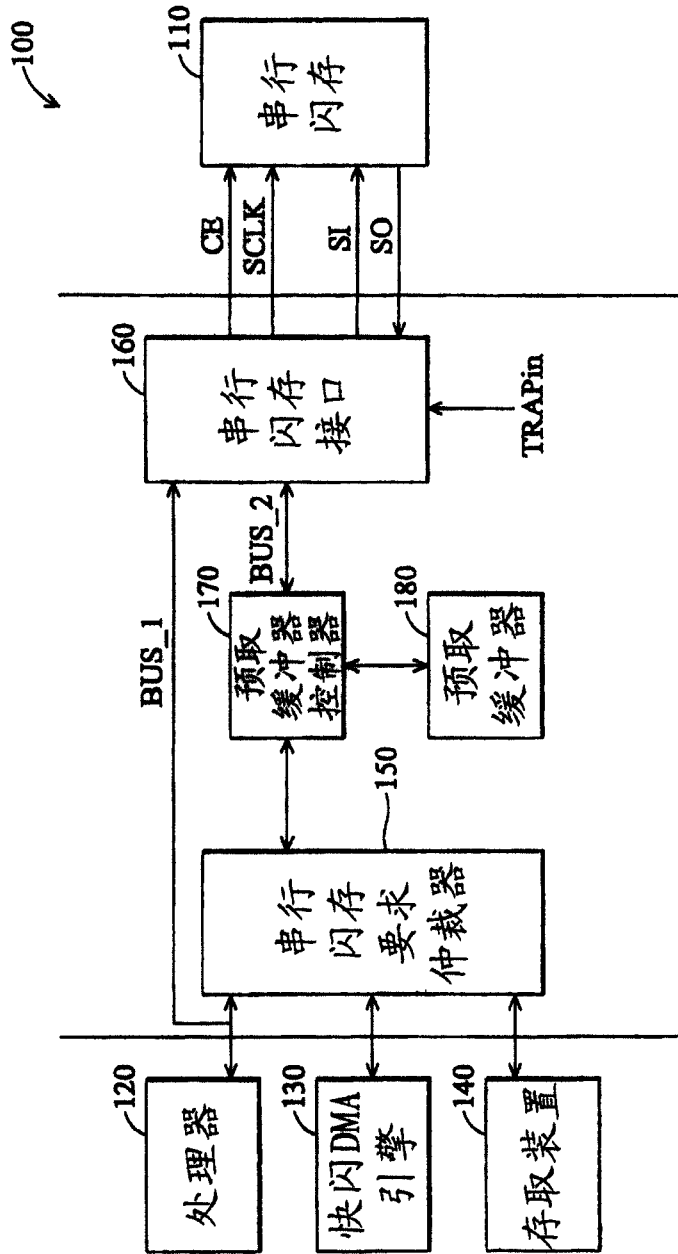


图 1

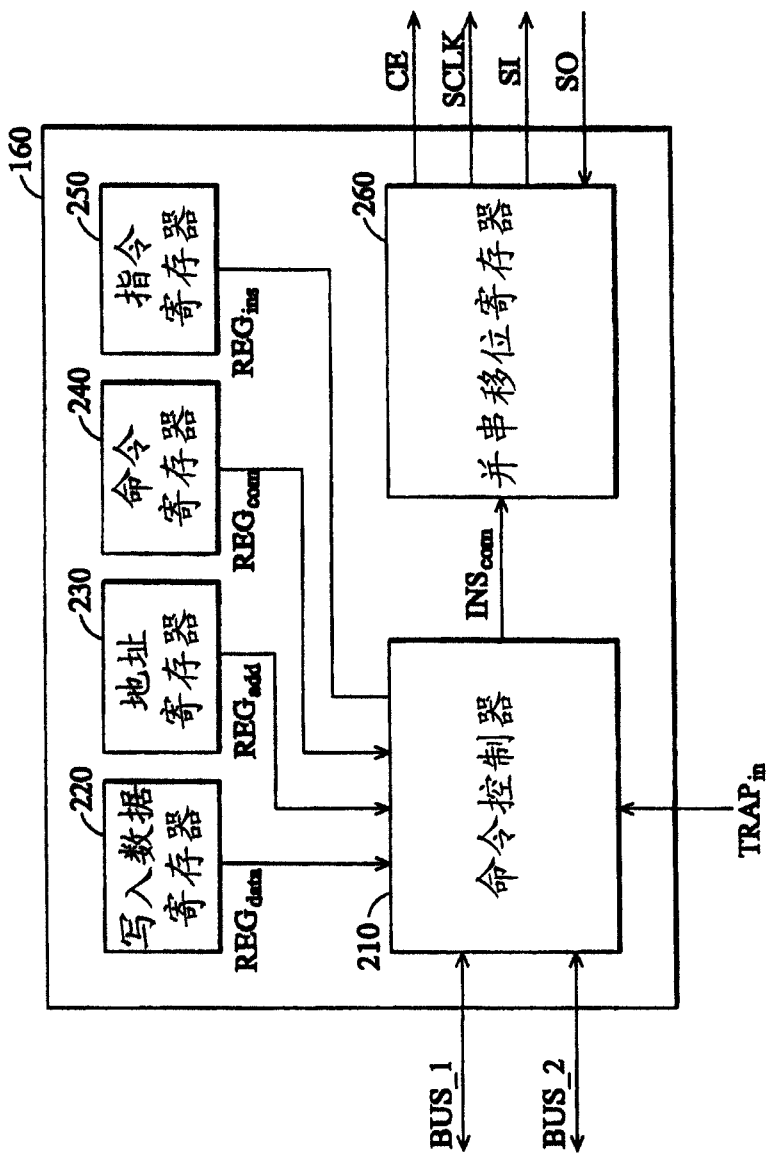


图 2A

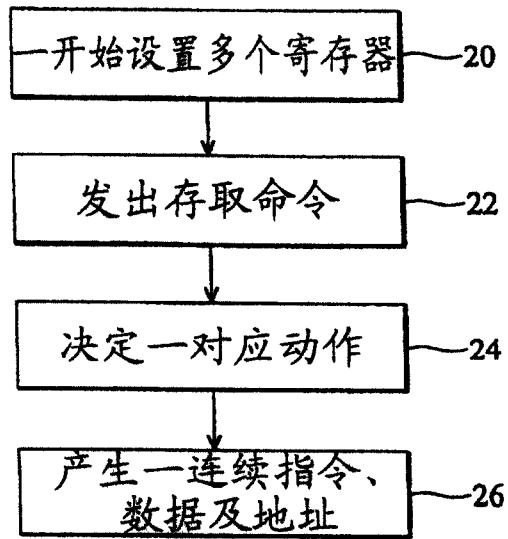


图 2B

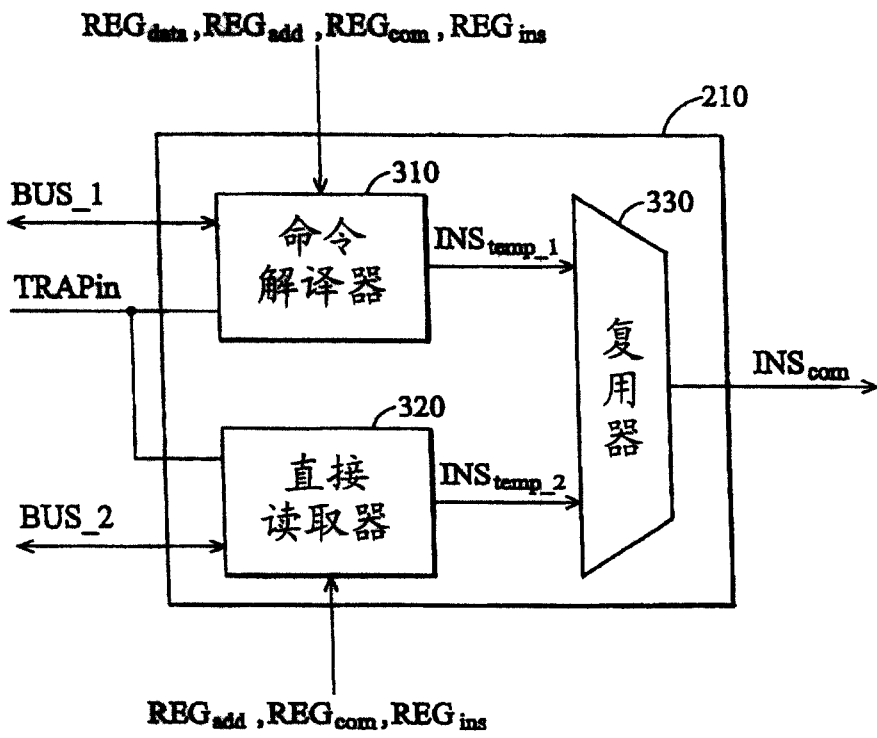


图 3A

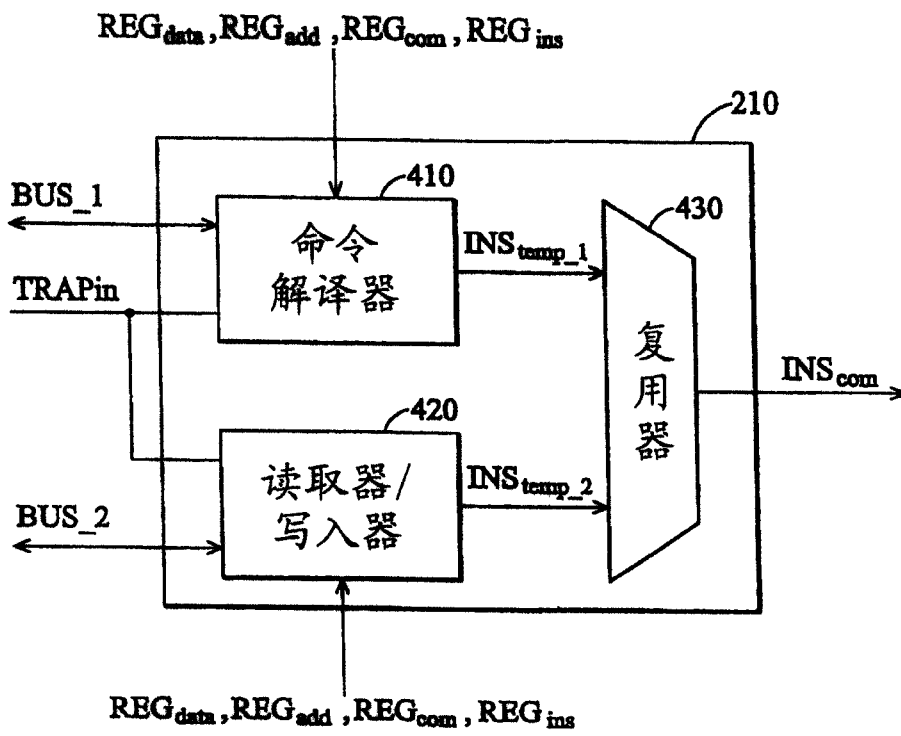


图 3B

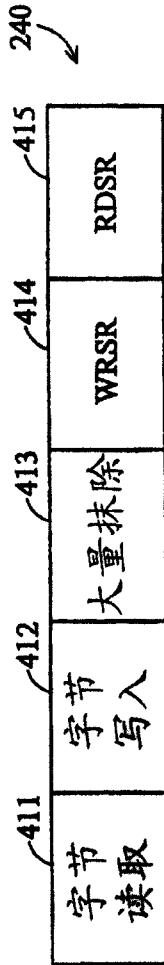


图 4A

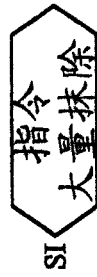


图 4B

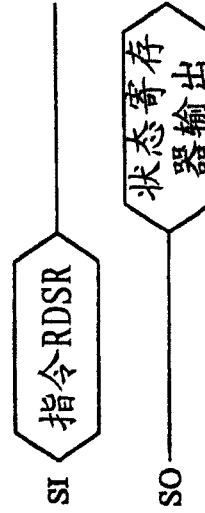


图 4C



图 4D

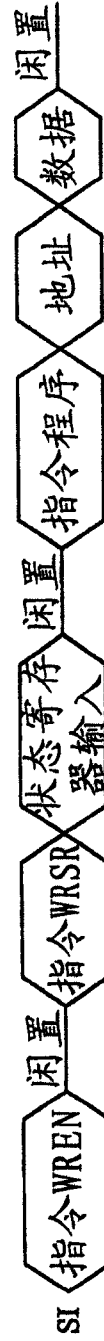


图 4E

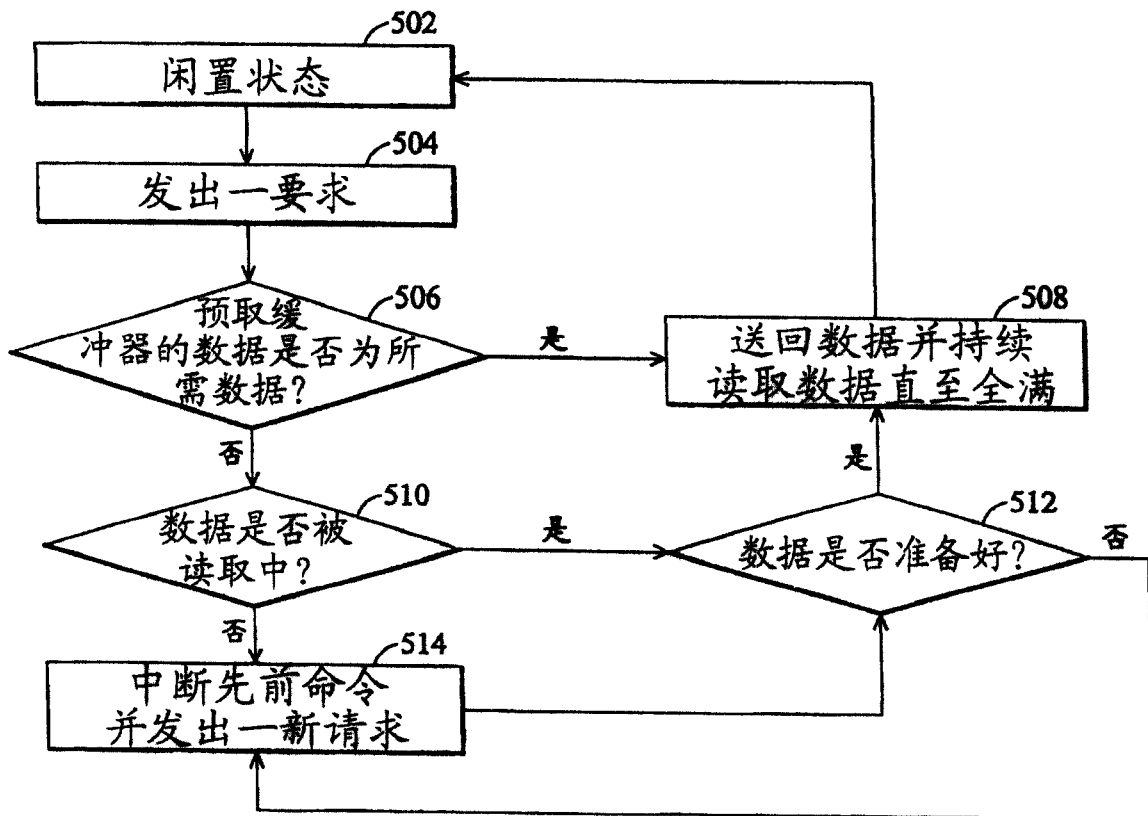


图 5



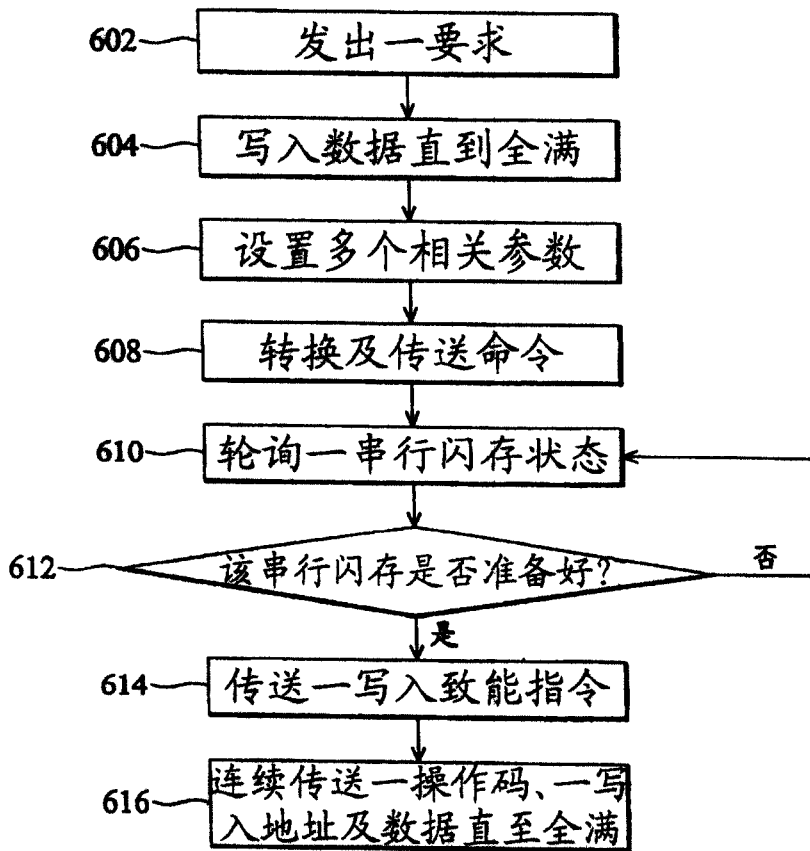


图 6