

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 21/76	(11) 공개번호 (43) 공개일자	특2000-0053417 2000년08월25일
(21) 출원번호	10-2000-0000648	
(22) 출원일자	2000년01월07일	
(30) 우선권주장	11-4531 1999년01월11일 일본(JP)	
(71) 출원인	닛본 덴기 가부시끼가이샤 가네꼬 히사시	
(72) 발명자	일본국 도쿄도 미나도꾸 시바 5쵸메 7방 1고 하세가와히데카즈	
(74) 대리인	일본국도쿄도미나도꾸시바5쵸메7방1고닛본덴기가부시끼가이샤나이 조의제	

심사청구 : 있음

(54) 반도체장치의 트렌치형성방법

요약

소자분리영역형성방법은, 실리콘산화막(21), 실리콘질화막(22), 그리고 레지스트막(23)을 마스크로 사용하여 반도체기판(11)을 에칭하는 단계와, 개구에서의 트렌치(12)의 코너에서 반도체기판(11)에 불순물이 온을 주입하는 단계와, 트렌치(12)의 내면을 열산화하는 단계와, 그리고 이 트렌치(12)를 폴리실리콘막(12)으로 충전하는 단계를 구비한다. 높은 산화레이트에 의해 트렌치(12)의 코너에 두꺼운 산화막이 형성된다. 트렌치를 가로지르는 게이트에 대한 높은 브레이크다운전압이 얻어질 수 있다.

대표도

도2b

색인어

트렌치, 열산화, 소자분리영역

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 연속적인 제조단계에서의 반도체장치의 단면도이다.  
 도 2a는 본 발명의 제 1 실시예에 따른 반도체장치의 평면도이고, 도 2b 및 도 2c는 각각 도 2a에서의 A-A선과, B-B선을 따른 단면도이다.  
 도 3a 내지 도 3d는 연속적인 제조단계에서의 도 2a의 반도체장치의 단면도이다.  
 도 4는 본 발명의 제 2 실시예에 따른 반도체장치의 단면도이다.  
 도 5는 본 발명의 제 3 실시예에 따른 반도체장치의 단면도이다.  
 도 6는 본 발명의 제 4 실시예에 따른 반도체장치의 단면도이다.  
 도 7a 내지 도 7c는 연속적인 제조단계에서의 제 5 실시예에 따른 반도체장치의 단면도이다.

※도면의 주요부분에 대한 부호의 설명

- |               |                |
|---------------|----------------|
| 11 : 반도체기판    | 12 : 트렌치       |
| 12a, 12b : 코너 | 13 : 절연막       |
| 14 : 게이트산화막   | 15a : 게이트패드    |
| 15b : 게이트전극   | 16a : 소오스영역    |
| 16b : 드레인영역   | 17 : 유전막       |
| 18 : 층간유전막    | 19a, 19b : 쓰루홀 |
| 21 : 실리콘산화막   | 22 : 실리콘질화막    |
| 23 : 포토레지스트막  | 24 : 내에칭막구조    |

24a : 개구

25a, 25b, 25c, 25d : 불순물주입영역

101 : 소자영역

102 : 분리트렌치

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체장치 제조방법에 관한 것으로서, 보다 상세하게는, 소자분리 또는 캐패시터구조에 사용되는 트렌치를 갖는 반도체장치 제조방법에 관한 것이다.

최근 에칭기술의 발전에 따라, 더욱 높은 애스펙트비, 즉, 트렌치의 깊이에 대한 폭의 비를 갖는 트렌치가 반도체장치에 형성될 수 있다. 따라서, 소자의 고밀도화를 위해, 소자영역이 분리트렌치로 분리되거나 또는 캐패시터가 트렌치베이스구조를 갖는, 트렌치를 구비한 반도체장치의 사용이 증가되고 있다.

소자분리트렌치로서 잘 알려진 이러한 종류의 트렌치중 하나가 일본 특개평10-4137호 공보 및 특개평10-242259호 공보에 개시되어 있고, 절연게이트전계효과트랜지스터(MOSFET)가 형성된 소자형성영역을 분리하는 소자분리트렌치에 이 트렌치기술이 적용된다. 또한, 이 트렌치기술이 MOSFET디바이스에서 캐패시터구조에 적용된 것이 알려져 있다.(예컨대, 특개평3-84942호 공보에 기재)

도 1a 내지 도 1c는 소자분리트렌치를 형성하기 위한 공정의 연속적인 단계를 나타낸다. 도 1a에서, 반도체기판(31)상에 실리콘산화막(32)과 실리콘질화막(33)이 연속적으로 형성된다. 다음에, 도 1b에 도시된 바와 같이, 포토레지스트막(34)을 마스크로 사용하여 실리콘질화막(33)과 실리콘산화막(32)을 패터닝하여 개구(35)를 갖는다. 다음에, 개구(35)를 통해 반도체기판(31)을 에칭하여 트렌치(36)를 형성한 후, 포토레지스트막(34), 실리콘질화막(33) 및 실리콘산화막(32)을 제거한다. 이 때, 트렌치(36)의 상부 개구의 코너(36a)는 거의 직각이다.

다음에, 도 1c에 도시된 바와 같이, 트렌치(36)의 내면을 포함하는 반도체기판(31)의 표면을 열산화하여 또 다른 실리콘산화막(37)을 형성한 후, 추가의 산화를 방지하기 위하여 상기 또 다른 실리콘산화막(37)상에 또 다른 실리콘질화막(38)을 형성한다. 다음에, 1000°C보다 높은 온도, 일반적으로는, 1100°C보다 높은 온도에서 또 다른 열산화가 수행되어, 트렌치(36)의 내면상에 또 다른 실리콘산화막(39)을 형성한다.

다음에, 이 트렌치(36)가 다결정실리콘(폴리실리콘)등의 적절한 충전물질로 채워진 후, 트렌치(36)의 상부 개구를 통해 노출된 폴리실리콘의 표면이 산화되어 소자분리영역을 형성한다.

상술한 분리트렌치형성공정에 있어서, 트렌치개구의 코너(36b)는 열산화에 의해 라운딩되기 때문에, 분리트렌치(36)에 작용하는 스트레스가 경감되고, 이에 의해, 트렌치개구의 코너(36b)에서 결정결함이 발생하는 것이 억제될 수 있다.

**발명이 이루고자하는 기술적 과제**

그러나, 종래의 공정에 있어서, 웨이퍼의 사이즈가 증가함에 따라 웨이퍼의 열용량이 증가되어, 상술한 바와 같은 경감효과는 1000°C보다, 특히, 1100°C보다 높은 온도범위에서 제한된다. 따라서, 트렌치개구의 코너(36b)에서 결정결함이 발생할 수 있고, 이 결정결함은 반도체기판(31)의 내부를 향하여 전파된다.

따라서, 본 발명의 목적은, 트렌치상에 열산화막을 형성할 때와 그 후의 스트레스를 효과적으로 경감시켜, 개구에서 트렌치의 코너상에 결정결함을 방지할 수 있는 반도체장치 제조방법을 제공하는 것이다. 또한, 본 발명의 상술한 방법에 의해 제조된 반도체장치를 제공하는 것을 목적으로 한다.

**발명의 구성 및 작용**

본 발명은, 반도체기판상에 내에칭막을 형성하는 단계와, 상기 내에칭막을 마스크로 사용하여 상기 반도체기판을 선택적으로 에칭하여, 상부개구를 갖는 트렌치를 형성하는 단계와, 상기 상부개구근처의 트렌치의 코너부에서 상기 반도체기판에 불순물이온을 선택적으로 주입하는 단계와, 그리고 상기 반도체기판을 열산화하여 상기 트렌치의 내면상에 산화막을 형성하는 단계를 구비하는 반도체장치 제조방법을 제공한다.

이하, 첨부도면을 참조하여 본 발명을 보다 상세하게 설명한다. 도면에 있어서, 유사한 구성요소에는 동일한 참조번호를 부여하였다.

**제 1 실시예**

본 발명의 제 1 실시예에 따른 반도체장치를 나타내는 도 2a, 2b 및 도 2c를 참조하면, 이 반도체장치는 P형 실리콘기판(11)의 주요표면상에 배치된 정방형 소자영역(101)을 포함한다. 소자영역(101)은, 실리콘기판(11)의 표면영역상에 형성된 고농도 n<sup>+</sup>형 소오스/드레인영역(16a, 16b)과 게이트산화막(14)을 개재하여 실리콘기판(11)상에 형성된 게이트전극(15b)을 포함하는 MOSFET를 내부에 수용한다.

소자영역(101)은 분리트렌치가 사용된 소자분리영역(102)에 의해 둘러싸이거나 격리된다. 분리트렌치는 그의 내면이 절연막(13)으로 덮여지고 폴리실리콘으로 이루어진 유전막(17)으로 채워진다. 이 절연막(13)은, 분리트렌치(102)가 라운딩표면을 갖는 개구에서, 트렌치(12)의 코너에서 두꺼운 막두께는

맞는다. 게이트전극(15b)는 소자영역(101)상에 분리트렌치(102)를 가로질러 연장되어 소자영역(101)외측의 게이트패트(15a)에 연결된다. MOSFET을 덮는 층간유전막(18)은 소오스/드레인영역(16a, 16b)상에 스루홀(19a, 19b)을 갖는다.

도 3a 내지 도 3d를 참조하면, 도 2 내지 도 2c의 반도체장치를 제조하기 위한 본 발명의 제 1 실시예에 따른 공정의 연속적인 단계를 나타낸다. 도 3a에서, 단결정실리콘으로 이루어진 반도체기판(실리콘기판)(11)을 850°C의 온도에서 열처리하여, 열산화기술에 의해 반도체기판(11)의 표면에 20nm두께의 실리콘산화막(21)을 형성한다. 다음에, 저압화학기상증착(LPCVD)에 의해 실리콘질화막(22)을 100~200nm 두께로 증착한다.

다음에, 도 3b에 도시된 바와 같이, 실리콘질화막(22)상에 레지스트막(포토리지스트막)(23)을 형성한 후, 포토리소그래피기술로 이를 패터닝하여 트렌치용 개구를 형성한다. 실리콘산화막(21), 실리콘질화막(22) 및 포토리지스트막(23)은, 후속공정에서 실리콘기판(11)의 에칭을 방지하기 위한 내에칭(anti-etching)막구조(24)를 구성한다.

다음에, 포토리지스트막(23)을 마스크로 사용하여 실리콘질화막(22) 및 실리콘산화막(21)을 에칭하여 실리콘질화막(22) 및 실리콘산화막(21)내에 개구(24a)를 형성한다. 또한, SF<sub>6</sub>를 사용하여 내에칭막구조(24)의 개구(24a)를 통해 실리콘기판(11)을 에칭하여 트렌치(12)를 형성한다.

다음에, 도 3c에 도시된 바와 같이, 실리콘기판(11)상에 포토리지스트막(23), 실리콘질화막(22) 및 실리콘산화막(21)을 남겨둔채로, 트렌치(12)의 개구를 통해 실리콘기판(11)에 인이온을 주입하는 이온주입을 수행한다. 인이온을 위한 가속에너지는, 예컨대 70KeV이고, 주입각은 트렌치의 측벽에 대하여 45°로 유지한다. 이온주입은 트렌치(12)의 코너(12a)의 실리콘기판(11)에 불순물주입영역(25a)을 형성한다.

다음에, 포토리지스트막(23)을 제거한 후, 도 3d에 도시된 바와 같이, 산소분위기에서 대략 900°C의 낮은 기판온도로 열산화공정을 수행하여, 트렌치(12)의 내면(저면 및 측면)상에 400Å 두께의 실리콘산화막(13)을 형성한다.

한편, 열산화전에 포토리지스트막(23)과 함께 실리콘질화막(22) 및 실리콘산화막(21)이 제거될 수 있다. 이 경우에, 트렌치의 내면을 포함하는 반도체기판의 전면에 또 다른 실리콘산화막을 형성하고, 다음에, 소자영역내의 실리콘산화막상에 내산화막으로서 또 다른 실리콘질화막을 형성하며, 이 실리콘질화막을 마스크로 사용하여 열산화함으로써 트렌치의 내면에 실리콘산화막(23)을 형성한다.

다음에, 트렌치를, 예컨대 충전물질의 역할을 하는 폴리실리콘막으로 채운 후, 트렌치(12)로부터 노출된 폴리실리콘막의 표면을 산화함으로써, 소자분리영역(102)을 형성한다.

상술한 바와 같이, 본 실시예의 방법은, 개구근처의 트렌치(12)의 코너에서와 그의 주변의 반도체기판에 인을 이온주입하는 단계와, 이 트렌치의 내면을 열산화하여 실리콘산화막을 형성하는 후속단계를 포함한다.

인이온이 주입된 반도체기판의 코너부는 높은 산화레이트를 가지기 때문에, 후속하는 트렌치내면의 열산화가 900°C의 낮은 온도에서 수행되어도 트렌치내면상, 특히 개구에서의 트렌치(12)의 코너에 두꺼운 실리콘산화막이 형성될 수 있다. 이는, 개구에서의 트렌치(12)의 코너가 라운딩면을 갖게 하며, 또한 두꺼운 실리콘산화막의 기능을 갖게 하여, 트렌치를 가로지르는 게이트의 브레이크다운전압의 감소를 방지한다.

저온에서의 열산화는, 열산화시에 실리콘산화막(13)과 실리콘기판(11)의 열팽창계수차에 의한 열스트레스를 감소시킨다. 이는, 열산화전에 개구에서 트렌치(12)의 코너를 에칭하여 라운딩면을 갖게하는 공정을 사용하지 않고 트렌치(12)의 코너(12b)에서 결정결함이 발생하는 것을 억제한다. 또한, 열산화후에 실리콘산화막(21)으로부터 인가된 실리콘기판(11)의 열스트레스가 감소될 수 있고, 이는 특히 개구근처의 트렌치(12)의 코너에서 발생하는 결정결함을 억제한다.

## 제 2 실시예

도 4를 참조하면, 본 발명의 제 2 실시예에 따른 공정단계에서의 반도체장치의 단면도가 도시되어 있다. 제 2 실시예는, 트렌치(12)의 코너에서의 인의 이온주입전에, 트렌치(12)를 형성하기 위해 사용되는 내에칭막구조(24)의 포토리지스트막(23)이, 본 실시예에서는, 개구근처의 트렌치(12)의 코너에서 제거되는 점을 제외하고는, 제 1 실시예와 유사하다. 상술한 바와 같이, 제 1 실시예에서는, 개구에서의 트렌치(12)의 코너에 대한 이온주입이 주입면으로부터 경사진 각에서 수행된다. 이 단계에서, 트렌치를 형성하기 위해 사용되는 포토리지스트막(23)의 일부만이 개구근처의 트렌치(12)코너에서의 이온주입에 장애가 될 수 있다. 이 제 2 실시예는 이 장애의 가능성을 제거한다.

제 2 실시예에 있어서도, 제 1 실시예와 유사하게, 이온주입영역(25b)이 반도체기판(11)내의 트렌치개구의 코너(12b)에 형성된다. 본 실시예에 있어서, 트렌치(12)의 코너에서 포토리지스트막(23)을 제거하는 것은, 주입각이 제 1 실시예와 비교하여 큰 경우에도, 반도체기판(11)에 깊게 이온주입할 수 있게 한다.

## 제 3 실시예

도 5를 참조하면, 본 발명의 제 3 실시예에 따른, 도 4의 단계와 유사한, 공정단계에서의 반도체장치가 도시되어 있다. 제 3 실시예는, 개구근처의 트렌치(12)의 코너에 대한 인이온주입전에, 본 실시예에서는 포토리지스트막(23)이 전체적으로 제거되는 점을 제외하고는, 제 2 실시예와 유사하다. 제 3 실시예는 유사한 장점을 제공한다.

## 제 4 실시예

도 6을 참조하면, 본 발명의 제 4 실시예에 따른, 도 4의 단계와 유사한, 공정단계에서의 반도체장치가 도시되어 있다. 제 4 실시예는 이온주입동안 주입각이 변화하는 점을 제외하고는 제 1 실시예와 유사하

다. 본 실시예에 있어서는, 불순물이온에 대한 가속에너지가 일정하게 유지되어, 도 6에 도시된 바와 같이, 이 이온주입은 불순물주입영역(25d)의 상부에는 깊게 주입되고 불순물주입영역(25d)의 저부에서는 얇게 주입된다. 이러한 형상은 개구근처의 트렌치(12)의 코너가 자연스럽게 큰 반경을 갖는 라운딩면을 갖게 한다.

**제 5 실시예**

도 7a 내지 도 7c를 참조하면, 본 발명의 제 5 실시예에 따른 공정이 제시되어 있다. 제 5 실시예는, 트렌치(12)를 형성한 후 개구근처의 트렌치(12)의 코너에 이온주입하기 전에 트렌치(12)의 코너를 에칭하는 점을 제외하고는 제 1 실시예와 유사하다.

보다 상세하게는, 본 실시예에 있어서는, 제 1 실시예의 도 3a 및 도 3b의 단계와 유사하게, 실리콘산화막, 실리콘질화막 및 포토레지스트막으로 이루어진 내에칭막구조가 트렌치를 형성하기 위해 사용된다. 다음에, 도 7a에 도시된 바와 같이, 예컨대, 플루오르화산수용액을 사용하는 사이드에칭기술을 이용하여, 내에칭막구조의 개구를 통해 실리콘산화막(21)의 가장자리를 선택적으로 에칭한다. 따라서, 실리콘기판(11)의 개구근처의 트렌치(12)의 코너는 내에칭막구조로부터 노출된다. 다음에, 화학적드라이에칭(CDE)기술에 의해 노출된 개구근처의 트렌치(12)의 코너에서 반도체기판(11)이 에칭되어, 코너에서 라운딩면(27)을 갖게 한다.

다음에, 도 7b에 도시된 바와 같이, 내에칭막구조의 개구와 트렌치개구를 통해 트렌치(12)의 라운딩코너(27)에 인이온을 주입하여 불순물주입영역(25e)을 형성한다.

다음에, 도 7c에 도시된 바와 같이, 포토레지스트막(23)을 제거한 후, 산소분위기에서 대략 900°C의 낮은 기판온도로 웨이퍼를 열산화하여 트렌치(12)의 내면상에 실리콘산화막(13)을 형성한다. 불순물주입영역(25e)은 열산화시에 높은 산화레이트를 가지기 때문에, 낮은 온도의 열산화에 의해 두꺼운 실리콘산화막으로 덮여진다. 그 결과, 개구근처의 트렌치(12)의 코너부는 큰 반경을 가지며 충분한 두께를 갖는 실리콘산화막으로 덮여진다. 다음에, 통상의 공정들이 반도체장치에 수행되어 도 2b 및 도 2c에 도시된 구조와 유사한 구조를 갖는다.

본 실시예에 있어서, 개구근처의 트렌치(12)코너의 라운딩면을 형성하기 위한 에칭단계는, 저온에 의한 열스트레스와 코너의 형상에 의한 기계적스트레스를 경감시키는 기능을 한다. 따라서, 본 실시예에 의해 제조된 반도체장치에 있어서, 트렌치를 가로지르는 게이트의 브레이크다운전압의 감소가 억제될 수 있고, 결정결함이 확실하게 억제될 수 있다.

상술한 실시예들에서는, MOSFET용 소자영역을 분리하기 위한 소자분리트렌치가 예시되었다. 그러나, 본 발명은 바이폴라트랜지스터 또는 다른 소자용 소자분리영역에 적용될 수 있다. 또한, 본 발명은 캐패시터트렌치에도 적용될 수 있다.

상술한 실시예들에서의 내에칭막구조는 실리콘산화막, 실리콘질화막 및 포토레지스트막으로 형성된다. 그러나, 이 내에칭막구조는, 단일레지스트막, 실리콘산화막과 레지스트막을 포함하는 2층구조, 또는 내에칭특성을 갖는 단일막 또는 복수개의 막이 사용될 수 있다.

불순물이온을 위한 가속에너지 및/또는 주입각은 임의의 값으로 설계될 수 있다.

상술한 실시예들은 단지 예시를 위하여 설명되었기 때문에, 본 발명은 이에 한정되지 않고, 당업자에게는 본 발명의 범위에서 벗어나지 않고 다양한 수정과 변경이 가능하다.

**발명의 효과**

본 발명의 방법 및 본 발명의 방법에 의해 제조된 반도체장치에 따르면, 트렌치개구의 코너부에서의 이온주입에 의해 인이온등의 불순물이온이 반도체기판내에 주입된 다음에, 반도체기판을 열산화하여 트렌치의 내면상에 산화막을 형성한다. 불순물이온이 주입된 트렌치의 코너부에서 열산화가 가속화되기 때문에, 낮은 온도에서 열산화가 수행되는 경우에도, 후속하는 열산화공정에서 트렌치의 코너부상에 두께가 큰 산화막이 형성된다. 코너부에서의 두께가 큰 열산화막은, 게이트전극이 트렌치를 가로지르는 위치에서 게이트전극의 브레이크다운전압의 감소를 방지한다.

낮은 온도의 열산화가 적용되는 경우에, 산화막과 반도체기판간의 열팽창계수차에 의해 열산화시에 발생하는 열스트레스를 감소시킨다. 따라서, 트렌치의 코너부에서 결정결함이 쉽게 일어나지 않는다. 이 경우에, 주입면에 대하여 경사진 방향으로 이온주입하여 반도체기판내에 깊게 이온주입할 수 있다. 또한, 개구근처의 트렌치의 코너부에서 내에칭막구조의 적어도 하나를 제거하는 것도 바람직하다.

불순물이온의 가속에너지를 일정하게 유지하면서 불순물이온의 주입각을 변화시키는 것도 바람직하다. 이는, 주입영역의 상부에서 이온주입깊이를 크게하고 주입영역의 저부에서 작게한다. 따라서, 개구에서의 트렌치코너의 라운딩을 향상시킬 수 있다.

또한, 개구에서의 트렌치의 코너부를 에칭하여 라운딩면을 갖도록 하는 것도 바람직하다. 이는, 저온의 열산화에 의해 열산화시의 열스트레스를 감소시키면서, 열산화 후의 기계적인 스트레스도 경감시킨다. 따라서, 개구에서의 트렌치코너에서 결정결함이 훨씬 감소될 수 있다.

**(57) 청구의 범위**

**청구항 1**

반도체장치 제조방법에 있어서:

반도체기판상에 내에칭막을 형성하는 단계와;

상기 내에칭막을 마스크로 사용하여 상기 반도체기판을 선택적으로 에칭하여, 상부개구를 갖는 트렌치를 형성하는 단계와;

상기 상부개구근처의 트렌치의 코너부에서 상기 반도체기판에 불순물이온을 선택적으로 주입하는 단계와; 그리고

상기 반도체기판을 열산화하여 상기 트렌치의 내면상에 산화막을 형성하는 단계를 구비하는 반도체장치 제조방법.

**청구항 2**

제 1 항에 있어서, 상기 불순물이온은 인이온인 것을 특징으로 하는 반도체장치 제조방법.

**청구항 3**

제 1 항 또는 제 2 항중 어느 한 항에 있어서, 상기 내에칭막은 상기 반도체기판으로부터 순차적으로 형성된 실리콘산화막, 실리콘질화막, 그리고 레지스트막을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

**청구항 4**

제 3 항에 있어서, 상기 레지스트막은 적어도 상기 트렌치근처의 상기 레지스트막의 에지부분에서 제거되는 것을 특징으로 하는 반도체장치 제조방법.

**청구항 5**

제 1 항 내지 제 4 항중 어느 한 항에 있어서, 상기 불순물이온주입단계 전에, 상기 트렌치의 코너부에서 상기 반도체기판을 선택적으로 에칭하여 실질적으로 라운딩코너를 형성하는 단계를 추가로 구비하는 것을 특징으로 하는 반도체장치 제조방법.

**청구항 6**

제 1 항 내지 제 5 항중 어느 한 항에 있어서, 상기 불순물이온주입단계는, 상기 불순물이온의 가속에너지를 실질적으로 일정하게 유지하면서 불순물이온의 주입각이 변화되도록 수행되는 것을 특징으로 하는 반도체장치 제조방법.

**청구항 7**

제 1 항 내지 제 6 항중 어느 한 항에 있어서, 상기 트렌치는 소자영역을 분리하는 것을 특징으로 하는 반도체장치 제조방법.

**청구항 8**

제 7 항에 있어서, 상기 열산화단계 후에, 폴리실리콘막으로 상기 트렌치를 충전하는 단계를 추가로 구비하는 것을 특징으로 하는 반도체장치 제조방법.

**청구항 9**

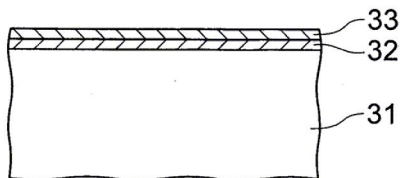
제 1 항 내지 제 8 항중 어느 한 항의 방법에 의해 제조된 반도체장치.

**청구항 10**

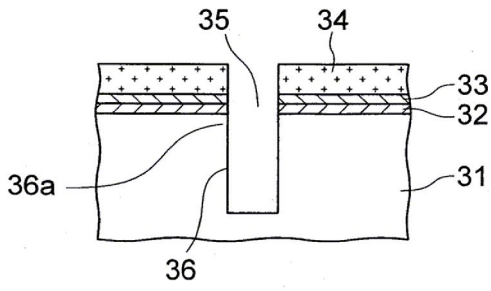
제 9 항에 있어서, 상기 반도체장치는 상기 트렌치를 가로지르는 게이트전극 또는 게이트라인을 구비하는 것을 특징으로 하는 반도체장치.

**도면**

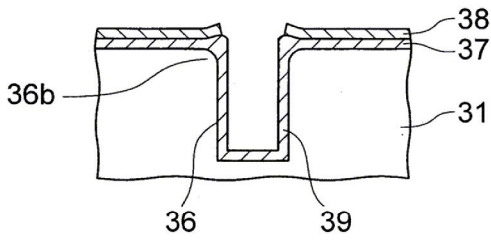
도면 1a



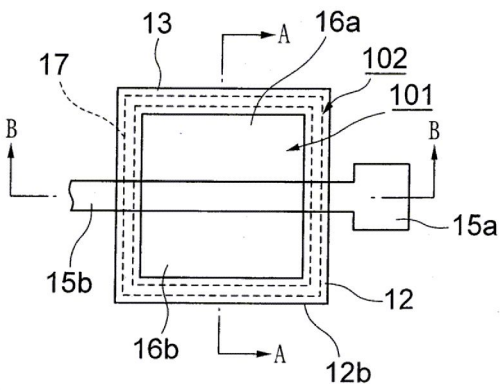
도면 1b



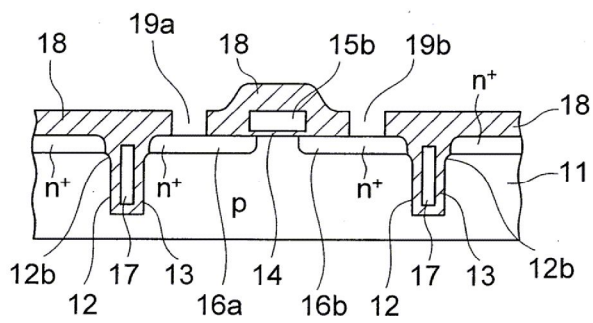
도면 1c



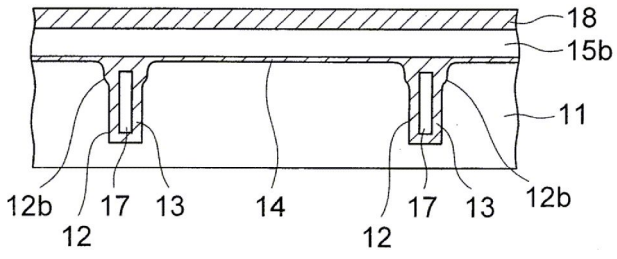
도면 2a



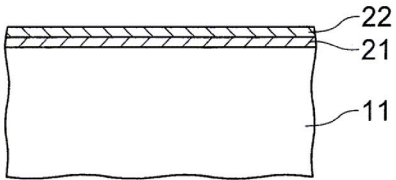
도면 2b



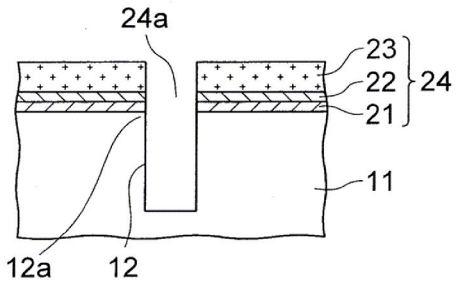
도면2c



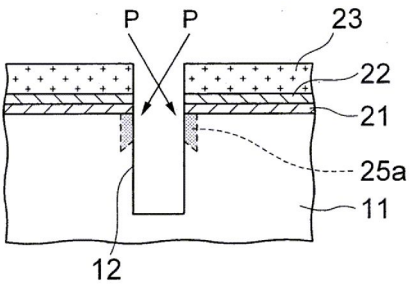
도면3a



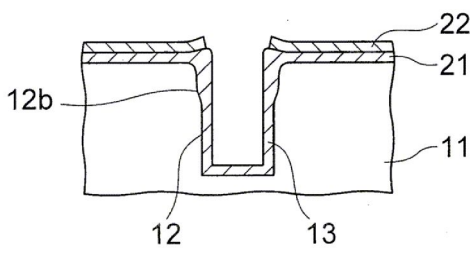
도면3b



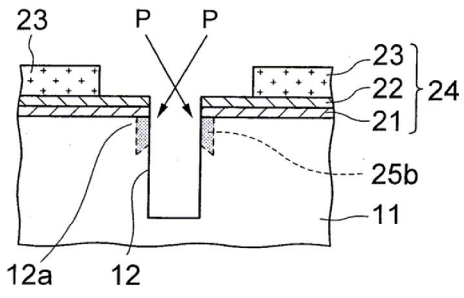
도면3c



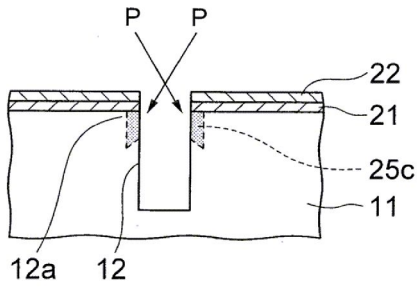
도면3d



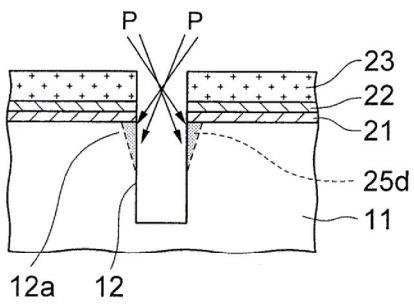
도면4



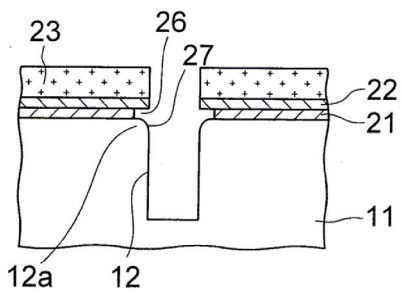
도면5



도면6

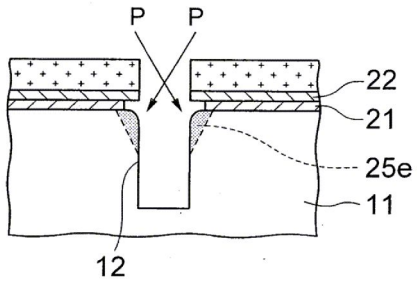


도면7a





도면7b



도면7c

