

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-273781
(P2004-273781A)

(43) 公開日 平成16年9月30日(2004.9.30)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 27/146	HO 1 L 27/14	4 M 1 1 8
HO 4 N 5/335	HO 4 N 5/335	5 C 0 2 4
	HO 4 N 5/335	P
	HO 4 N 5/335	U

審査請求 有 請求項の数 5 O L (全 18 頁)

(21) 出願番号	特願2003-62820 (P2003-62820)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成15年3月10日(2003.3.10)	(74) 代理人	110000028 特許業務法人明成国際特許事務所
		(72) 発明者	▲高▼村 孝士 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	4M118 AA10 AB01 BA14 CA04 CA19 DD12 FA06 FA16 5C024 CX12 GX03 GX16 GY31 GZ04 GZ20

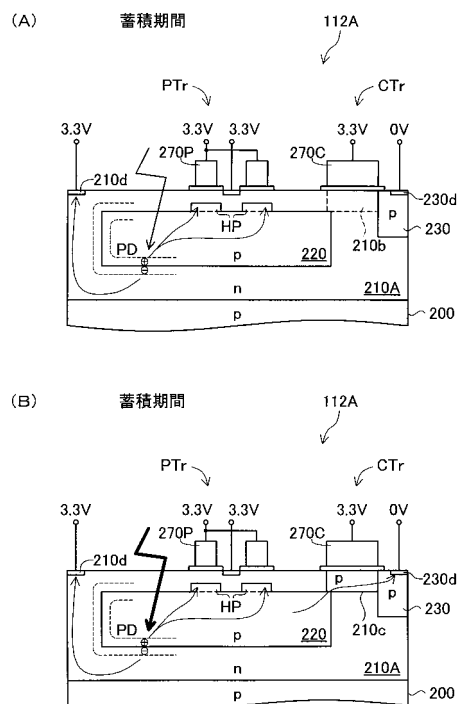
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】蓄積部内のキャリアを容易に排出することのできる技術を提供する。

【解決手段】固体撮像装置は、マトリクス状に配列された複数の画素を有する画素アレイを備える。画素は、入射光の強度に応じてキャリアを発生させるフォトダイオードFDと、発生したキャリアを蓄積する蓄積部HPと、蓄積部に蓄積されるキャリアの数に応じて変化するしきい値電圧に応じた信号を出力する出力トランジスタPTrと、蓄積部に蓄積されたキャリアを排出させるクリアトランジスタCTrと、を備える。フォトダイオードを構成する一方の半導体領域と蓄積部とは、クリアトランジスタのソース領域として機能する。クリアトランジスタは、蓄積期間において、発生したキャリアがクリアトランジスタのソース領域から溢れ出る場合には、溢れ出たキャリアが隣接する画素の蓄積部に侵入しないように、溢れ出たキャリアをクリアトランジスタのチャンネル210cを介して排出させる。

【選択図】 図12



【特許請求の範囲】

【請求項 1】

固体撮像装置であって、
 マトリクス状に配列された複数の画素を有する画素アレイと、
 前記画素アレイを制御するための制御部と、
 を備え、
 前記画素は、
 入射光の強度に応じてキャリアを発生させるためのフォトダイオード部と、
 前記発生したキャリアを蓄積するための蓄積部と、
 前記蓄積部に蓄積されるキャリアの数に応じて変化するしきい値電圧に応じた信号を出力 10
 するための絶縁ゲート型の出力トランジスタ部と、
 前記蓄積部に蓄積されたキャリアを排出させるための絶縁ゲート型のクリアトランジスタ
 部であって、前記フォトダイオード部を構成する一方の半導体領域と前記蓄積部とは、前
 記クリアトランジスタ部のソース領域として機能する、前記クリアトランジスタ部と、
 を備え、
 前記制御部は、前記発生したキャリアが前記蓄積部に蓄積される蓄積期間において、前記
 蓄積部に蓄積されたキャリアを排出させる排出期間に前記クリアトランジスタ部のゲート
 電極に印加される電圧とは異なる所定の電圧を、前記クリアトランジスタ部のゲート電極
 に印加し、
 前記クリアトランジスタ部は、前記蓄積期間において、前記発生したキャリアが前記クリ 20
 アトランジスタ部のソース領域から溢れ出る場合には、前記溢れ出たキャリアが隣接する
 画素の蓄積部に侵入しないように、前記溢れ出たキャリアを前記クリアトランジスタ部を
 介して排出させることを特徴とする固体撮像装置。

【請求項 2】

請求項 1 記載の固体撮像装置であって、
 前記クリアトランジスタ部は、
 前記クリアトランジスタ部のゲート電極の下方に設けられた基板領域を含み、
 前記基板領域は、
 前記クリアトランジスタ部のゲート電極付近に設けられた不純物濃度の比較的低い上部領 30
 域と、
 前記上部領域の下方に設けられた不純物濃度の比較的高い下部領域と、
 を含む、固体撮像装置。

【請求項 3】

請求項 1 記載の固体撮像装置であって、
 前記画素は、
 第 1 の伝導型の半導体基板に設けられ、前記画素が形成される第 2 の伝導型の画素形成領 40
 域と、
 前記画素形成領域の内部に形成された第 1 の伝導型の埋込領域であって、前記埋込領域は
 、比較的深い位置に設けられた不純物濃度の比較的低い第 1 の部分埋込領域と、比較的浅
 い位置に設けられた不純物濃度の比較的高い第 2 の部分埋込領域と、を含んでおり、前記 40
 第 1 の部分埋込領域と前記画素形成領域との接合領域は、前記フォトダイオード部を構成
 し、前記第 2 の部分埋込領域は、前記蓄積部を構成する、前記埋込領域と、
 前記画素形成領域内に形成され、前記蓄積部から排出されるキャリアが流入する第 1 の伝
 導型の排出領域と、
 を備え、
 前記出力トランジスタ部は、前記蓄積部の上方の前記画素形成領域上に、絶縁膜を介して
 設けられたゲート電極を含み、
 前記クリアトランジスタ部は、前記埋込領域と前記排出領域との間の前記画素形成領域上
 に、絶縁膜を介して設けられたゲート電極を含む、固体撮像装置。

【請求項 4】

請求項 3 記載の固体撮像装置であって、
前記第 1 のゲート電極は、略環状の形状を有しており、
前記出力トランジスタ部は、
前記第 1 のゲート電極の内側に設けられたソース領域と、
前記第 1 のゲート電極の外側に設けられたドレイン領域と、
を含む、固体撮像装置。

【請求項 5】

請求項 3 記載の固体撮像装置であって、
前記第 1 の伝導型は p 型であり、
前記第 2 の伝導型は n 型であり、
前記キャリアは、ホールである、固体撮像装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、しきい値電圧変調型の固体撮像装置に関する。

【0002】

【従来の技術】

近年、携帯電話やデジタルカメラなどの携帯型の電子機器には、小型の固体撮像装置が搭載されている。このような固体撮像装置として、しきい値電圧変調方式を採用する MOS 型の固体撮像装置が開発されている。

20

【0003】

しきい値電圧変調方式の MOS 型固体撮像装置は、マトリクス状に配列された複数の画素を備えており、各画素は、1つのフォトダイオードと、1つのトランジスタと、を含んでいる。また、トランジスタのゲート電極の下方には、ホールポケットと呼ばれるホールが集まり易い蓄積部が設けられている。フォトダイオードは、入射光の強度に応じてホールを発生させる。発生したホールは、蓄積部に蓄積される。トランジスタのしきい値電圧は、蓄積部に蓄積されるホールの数に応じて変化する。そして、しきい値電圧の変化に伴って変化するソース電圧を読み出すことによって、入射光の強度に応じた画素データが得られる。複数の画素に対応する複数の画素データを用いることによって、1枚の画像データが生成される。

30

【0004】

なお、しきい値電圧変調方式の MOS 型固体撮像装置については、例えば、特許文献 1 などに開示されている。

【0005】

【特許文献 1】

特開平 11 - 195778 号公報

【0006】

【発明が解決しようとする課題】

ところで、しきい値電圧変調方式の MOS 型固体撮像装置では、画像を撮影する前に、換言すれば、蓄積部にホールを蓄積させる前に、蓄積部内に既に存在するホールが排出（クリア）される。従来では、蓄積部内のホールは、トランジスタのゲート電極に比較的高い電圧を印加することによって、基板の深さ方向に向けて排出されていた。

40

【0007】

しかしながら、従来の方法を採用する場合には、蓄積部内のホールを排出するのが比較的困難であるという問題があった。

【0008】

この発明は、従来技術における上述の課題を解決するためになされたものであり、蓄積部内のキャリアを容易に排出することのできる技術を提供することを目的とする。

【0009】

【課題を解決するための手段およびその作用・効果】

50

上述の課題の少なくとも一部を解決するため、本発明の装置は、固体撮像装置であって、マトリクス状に配列された複数の画素を有する画素アレイと、前記画素アレイを制御するための制御部と、

を備え、

前記画素は、

入射光の強度に応じてキャリアを発生させるためのフォトダイオード部と、

前記発生したキャリアを蓄積するための蓄積部と、

前記蓄積部に蓄積されるキャリアの数に応じて変化するしきい値電圧に応じた信号を出力するための絶縁ゲート型の出力トランジスタ部と、

前記蓄積部に蓄積されたキャリアを排出させるための絶縁ゲート型のクリアトランジスタ部であって、前記フォトダイオード部を構成する一方の半導体領域と前記蓄積部とは、前記クリアトランジスタ部のソース領域として機能する、前記クリアトランジスタ部と、

を備え、前記制御部は、前記発生したキャリアが前記蓄積部に蓄積される蓄積期間において、前記蓄積部に蓄積されたキャリアを排出させる排出期間に前記クリアトランジスタ部のゲート電極に印加される電圧とは異なる所定の電圧を、前記クリアトランジスタ部のゲート電極に印加し、

前記クリアトランジスタ部は、前記蓄積期間において、前記発生したキャリアが前記クリアトランジスタ部のソース領域から溢れ出る場合には、前記溢れ出たキャリアが隣接する画素の蓄積部に侵入しないように、前記溢れ出たキャリアを前記クリアトランジスタ部を介して排出させることを特徴とする。

【0010】

この装置では、各画素は、クリアトランジスタ部を備えているため、排出期間において、蓄積部内のキャリアをクリアトランジスタ部を介して容易に排出することができる。

【0011】

また、この装置では、蓄積期間において、ソース領域から溢れ出る過剰なキャリアをクリアトランジスタ部を介して排出させることができるため、画質の劣化を抑制することが可能となる。

【0012】

上記の装置において、

前記クリアトランジスタ部は、

前記クリアトランジスタ部のゲート電極の下方に設けられた基板領域を含み、

前記基板領域は、

前記クリアトランジスタ部のゲート電極付近に設けられた不純物濃度の比較的低い上部領域と、

前記上部領域の下方に設けられた不純物濃度の比較的高い下部領域と、

を含むようにしてもよい。

【0013】

こうすれば、クリアトランジスタ部のしきい値電圧を比較的低く設定することができ、この結果、蓄積期間における過剰なキャリアの排出が実現される。

【0014】

上記の装置において、

前記画素は、

第1の伝導型の半導体基板に設けられ、前記画素が形成される第2の伝導型の画素形成領域と、

前記画素形成領域の内部に形成された第1の伝導型の埋込領域であって、前記埋込領域は、比較的深い位置に設けられた不純物濃度の比較的低い第1の部分埋込領域と、比較的浅い位置に設けられた不純物濃度の比較的高い第2の部分埋込領域と、を含んでおり、前記第1の部分埋込領域と前記画素形成領域との接合領域は、前記フォトダイオード部を構成し、前記第2の部分埋込領域は、前記蓄積部を構成する、前記埋込領域と、

10

20

30

40

50

前記画素形成領域内に形成され、前記蓄積部から排出されるキャリアが流入する第1の伝導型の排出領域と、

を備え、

前記出力トランジスタ部は、前記蓄積部の上方の前記画素形成領域上に、絶縁膜を介して設けられたゲート電極を含み、

前記クリアトランジスタ部は、前記埋込領域と前記排出領域との間の前記画素形成領域上に、絶縁膜を介して設けられたゲート電極を含むことが好ましい。

【0015】

こうすれば、画素の構造を比較的簡単にすることができる。具体的には、埋込領域は、フォトダイオード部の一方の半導体領域として機能すると共に、蓄積部として機能する。また、埋込領域は、クリアトランジスタ部のソース領域としても機能する。

【0016】

上記の装置において、

前記第1のゲート電極は、略環状の形状を有しており、

前記出力トランジスタ部は、

前記第1のゲート電極の内側に設けられたソース領域と、

前記第1のゲート電極の外側に設けられたドレイン領域と、

を含むことが好ましい。

【0017】

こうすれば、画素の構造をさらに簡単にすることができる。

【0018】

上記の装置において、

前記第1の伝導型はp型であり、

前記第2の伝導型はn型であり、

前記キャリアは、ホールであってもよい。

【0019】

こうすれば、各画素は、フォトダイオード部で発生したホールを蓄積部に蓄積させることができる。

【0020】

【発明の実施の形態】

次に、本発明の実施の形態を実施例に基づき以下の順序で説明する。

A．比較例：

A - 1．比較例の固体撮像装置の構成：

A - 2．比較例の固体撮像装置の動作：

A - 3．比較例における問題点：

B．実施例：

B - 1．第1実施例：

B - 2．第2実施例：

【0021】

A．比較例：

実施例の固体撮像装置を説明するために、まず、比較例の固体撮像装置を説明する。

【0022】

A - 1．比較例の固体撮像装置の構成：

図1は、比較例としての固体撮像装置の全体構成を示す説明図である。この固体撮像装置100は、マトリクス状に配列された複数の画素112を有する画素アレイ110と、タイミング制御回路120と、行制御回路130と、列制御回路140と、出力回路150と、を備えている。

【0023】

タイミング制御回路120は、行制御回路130と列制御回路140とに、動作の基準となるタイミング信号を供給する。行制御回路130は、与えられたタイミング信号に従っ

て、複数行のうちの1行を選択することができる。また、列制御回路140は、与えられたタイミング信号に従って、複数列のうちの1列を選択することができる。これにより、マトリクス状に配列された複数の画素のうちの任意の1つの画素を選択することができる。選択された画素から信号を読み出すことができる。

【0024】

図2は、図1の画素アレイ110と行制御回路130と列制御回路140との内部構成を示す説明図である。ただし、図2は、1つの画素112に注目して描かれている。

【0025】

図示するように、各画素112は、フォトダイオードPDと、出力トランジスタPTrと、クリアトランジスタCTrと、を備えている。また、出力トランジスタPTrのゲート電極の下方には、ホールが集まり易いホールポケットHPが設けられている。 10

【0026】

なお、出力トランジスタPTrのドレイン領域は、フォトダイオードPDのカソードと、クリアトランジスタCTrの基板領域（すなわち、クリアトランジスタのゲート電極の下方の半導体領域）と、に導通している。また、クリアトランジスタCTrのソース領域は、フォトダイオードPDのアノードと、ホールポケットHPを含む出力トランジスタPTrの基板領域（すなわち、出力トランジスタのゲート電極の下方の半導体領域）と、に導通している。

【0027】

以下では、出力トランジスタPTrのゲート電極、ドレイン領域、ソース領域を、それぞれ「出力ゲート」、「出力ドレイン」、「出力ソース」とも呼ぶ。また、クリアトランジスタCTrのゲート電極、ドレイン領域、ソース領域を、それぞれ「クリアゲート」、「クリアドレイン」、「クリアソース」とも呼ぶ。 20

【0028】

フォトダイオードPDは、入射した光を光電変換することによって、電子-ホール対を発生させる。発生する電子-ホール対の数は、入射光の強度が高い程、多い。ホールポケットHPは、フォトダイオードPDで発生したホールを蓄積する。出力トランジスタPTrのしきい値電圧は、ホールポケットHPに蓄積されるホールの数に応じて変化する。この結果、出力トランジスタPTrは、入射光の強度に応じたソース電圧を出力することができる。そして、クリアトランジスタCTrは、ホールポケットHPに蓄積されたホールを 30

【0029】

行制御回路130は、出力トランジスタPTrのゲート電極に電圧を印加するための出力ゲート制御部132と、出力トランジスタPTrのドレイン領域に電圧を印加するための出力ドレイン制御部134と、を備えている。また、行制御回路130は、クリアトランジスタCTrのゲート電極に電圧を印加するためのクリアゲート制御部136と、クリアトランジスタCTrのドレイン領域に電圧を印加するためのクリアドレイン制御部138と、を備えている。ただし、比較例では、出力トランジスタPTrのドレイン電圧は、約3.3Vに保たれており、クリアトランジスタCTrのドレイン電圧は、接地電位（約0V）に保たれている。したがって、実際には、行制御回路130は、出力トランジスタPTrのゲート電圧と、クリアトランジスタCTrのゲート電圧と、を変更するのみである。 40

【0030】

列制御回路140は、蓄積信号用ラインメモリ142と、オフセット信号用ラインメモリ144と、水平シフトレジスタ146と、を備えている。列制御回路140は、読み出し状態のとき、蓄積されたホール数を反映して得られた信号電圧を読み出す。出力回路150は、列制御回路140から与えられた信号電圧を増幅して、画素データとして出力する。

【0031】

具体的には、列制御回路140は、各画素から2種類の信号電圧を読み出して出力回路1 50

50へ供給する。一方の信号電圧は、入射光の強度に応じた電圧である。他方の信号電圧は、ホールポケットに蓄積されたホールをクリアした後に残存するホール数に応じた電圧である。本明細書では、このノイズ成分を含む電圧をオフセット電圧と呼ぶ。そして、出力回路150は、この2種類の信号電圧の差分を増幅して、画素データとして出力する。

【0032】

以上の説明から分かるように、比較例における各回路120, 130, 140は、本発明における制御部に相当する。

【0033】

図3は、画素112のレイアウトを模式的に示す説明図である。図4は、画素112の断面を模式的に示す説明図である。なお、図4では、図3のA-A'断面が示されている。

10

【0034】

画素112は、p型の半導体基板200(図4)上に形成されている。基板200には、n型半導体で構成されたn領域210が形成されており、n領域210内部には、p型半導体で構成された第1のp領域220が埋め込まれている。すなわち、第1のp領域220は、外部との直接的な電氣的接点を有していないフローティング領域である。第1のp領域220は、比較的深い位置に設けられた不純物濃度の比較的低い第1の部分p領域221aと、比較的浅い位置に設けられた不純物濃度の比較的高い第2の部分p領域222bと、を含んでいる。また、n領域210の端部には、第2のp領域230が形成されている。

【0035】

フォトダイオードPDは、n領域210と第1のp領域220との接合部分によって構成されている。

20

【0036】

出力トランジスタPTr(図4)は、デプレッション形のnチャネルMOSトランジスタである。出力トランジスタPTrは、表面にn領域210が形成された半導体基板に形成されている。半導体基板の表面をn領域とする理由は、半導体基板表面にあるトラップ準位を電子で埋め尽くし、ノイズとなるホールの発生を抑えるためである。n領域210上には、略環状のゲート絶縁膜260Pを介して、略環状の出力ゲート270Pが形成されている。略環状の出力ゲート270Pの内側は、出力トランジスタPTrのソース領域として機能し、外側は、出力トランジスタPTrのドレイン領域として機能する。また、出力ゲート270Pの下方に設けられた第1のp領域220は、周囲をn領域で囲まれた電氣的にフローティングな領域であり、出力トランジスタPTrに基板電位を与える領域(基板領域)として機能する。なお、図3, 図4では、金属配線と接続される不純物濃度の比較的高いソースコンタクト領域210sとドレインコンタクト領域210dとが、図示されている。ただし、図3, 図4では、ドレインコンタクト領域210dが1つの画素112内に描かれているが、実際には、複数の画素112に対して共通に設けられている。

30

【0037】

ホールポケットHPは、不純物濃度の比較的高い第2の部分p領域(p⁺領域)222bによって構成されている。ホールポケットHPは、略環状の形状を有しており、略環状の出力ゲート270Pの下方に形成されている。

40

【0038】

なお、図4では、図示の便宜上、ホールポケットHPは、基板200の表面から比較的深い位置に描かれているが、実際には、基板200の表面から比較的浅い位置に形成されている。また、ホールポケットHPは、比較的大きな厚みを有しているように描かれているが、実際には、比較的小さな厚みを有している。

【0039】

クリアトランジスタCTr(図4)は、エンハンスメント形のpチャネルMOSトランジスタである。n領域210上には、ゲート絶縁膜260Cを介して、クリアゲート270Cが形成されている。ホールポケットHPを含む第1のp領域220は、クリアトランジスタCTrのソース領域として機能する。クリアゲート270Cを介して第1のp領域

50

220と対向する第2のp領域230は、クリアトランジスタCTrのドレイン領域として機能する。また、クリアゲート270Cの下方に設けられたn領域210は、クリアトランジスタCTrの基板領域として機能する。なお、図3、図4では、金属配線と接続される不純物濃度の比較的高いドレインコンタクト領域230dが図示されている。

【0040】

なお、基板200の電圧は、接地電位(約0V)に保たれている。また、前述のように、出力トランジスタPtrのドレイン電圧は、約3.3Vに保たれている。このため、比較例では、n領域210が、隣接する画素間の電氣的な干渉を抑制する画素分離領域として機能している。

【0041】

上記のように、第1のp領域220は、フォトダイオードPDのアノードとして機能すると共に、ホールポケットHPとして機能する。また、第1のp領域220は、出力トランジスタPtrの基板領域として機能すると共に、クリアトランジスタCTrのソース領域としても機能する。このような構造を採用すれば、画素の構造を比較的簡単にすることができる。なお、画素112は、半導体基板に不純物イオンを導入することによって形成されていてもよいし、エピタキシャル成長によって形成されていてもよい。

【0042】

以上の説明から分かるように、比較例におけるn領域210と第1のp領域220と第2のp領域230とは、それぞれ、本発明における画素形成領域と埋込領域と排出領域とに相当する。

【0043】

A-2. 比較例の固体撮像装置の動作：

図5は、画素112の動作シーケンスを示す説明図である。図示するように、1回の動作シーケンスは、第1のクリア期間T1と、蓄積期間T2と、蓄積信号読出期間T3と、第2のクリア期間T4と、オフセット信号読出期間T5と、を経て完了する。2つのクリア期間T1、T4は、ホールポケットHP内のホールを排出するための期間である。蓄積期間T2は、ホールポケットHP内にホールを蓄積するための期間である。2つの読出期間T3、T5は、ホールポケットHP内に存在するホールの数に応じた信号を読み出すための期間である。

【0044】

前述したように、比較例では、出力トランジスタPtrのドレイン電圧PVdは、常に、約3.3Vに保たれており、クリアトランジスタCTrのドレイン電圧CVdは、常に、約0Vに保たれている。2つのクリア期間T1、T4における各トランジスタPtr、CTrの制御は、同じであり、2つの読出期間T3、T5における各トランジスタPtr、CTrの制御も、同じである。

【0045】

A-2-1. クリア期間：

図6は、第1のクリア期間T1における画素112内部の状態を示す説明図である。第1のクリア期間T1では、図5に示すように、出力トランジスタPtrのゲート電圧PVgは、約0Vに設定され、ソース電圧PVsは、約3.3Vに設定される。このとき、出力トランジスタPtrは、オフ状態に設定される。また、クリアトランジスタCTrのゲート電圧CVgは、約0Vに設定される。このとき、クリアトランジスタCTrは、オン状態に設定される。これは、クリアトランジスタCTrの基板電圧(すなわち、クリアゲート270Cの下方のn領域210の電圧)は、出力トランジスタPtrのドレイン電圧PVd(約3.3V)とほぼ等しいためである。

【0046】

クリア期間T1では、クリアゲート270Cの下方には、チャネル領域210cが形成される。このため、ホールポケットHPに存在するホールは、第1のp領域220とチャネル領域210cと第2のp領域230とを通過して、ドレインコンタクト領域230dから排出される。

10

20

30

40

50

【 0 0 4 7 】

第4のクリア期間T4(図5)における動作は、第1のクリア期間T1における動作と同様である。ただし、第1のクリア期間T1は、蓄積期間T2に先行して、ホールポケットHPに僅かに存在し得るホールを排出するために実行されているが、第2のクリア期間T4は、蓄積期間T2でホールポケットHPに蓄積されたホールを排出するために実行されている。

【 0 0 4 8 】

A - 2 - 2 . 蓄積期間 :

図7は、蓄積期間T2における画素112内部の状態を示す説明図である。蓄積期間T2では、図5に示すように、出力トランジスタPTrのゲート電圧PVgが変更される。具体的には、ゲート電圧PVgは、約3.3Vに設定される。このとき、出力トランジスタPTrは、オン状態に設定される。また、クリアトランジスタCTrのゲート電圧CVgも変更される。具体的には、ゲート電圧CVgは、約3.3Vに設定される。このとき、クリアトランジスタCTrは、オフ状態に設定される。

10

【 0 0 4 9 】

なお、上記のように、出力トランジスタPTrをオン状態に設定すれば、ゲート絶縁膜の界面に電子層を誘起させることができ、この結果、界面欠陥に起因する暗電流の発生を抑制することができる。

【 0 0 5 0 】

蓄積期間T2では、フォトダイオードPDを構成するn領域210とp領域220との接合界面付近には、空乏領域(例えば、図7の2つの破線に挟まれた領域)が形成されている。フォトダイオードPDに光が入射すると、光電変換によって、電子-ホール対が発生する。電子は、n領域210を通過して、ドレインコンタクト領域210dから排出される。一方、ホールは、p領域220内のホールポケットHPに集められ、蓄積される。これは、ホールポケットHPは、不純物濃度が比較的高く、ホールに対するポテンシャルが比較的低いためである。

20

【 0 0 5 1 】

A - 2 - 3 . 読出期間 :

図8は、蓄積信号読出期間T3における画素112内部の状態を示す説明図である。蓄積信号読出期間T3では、図5に示すように、出力トランジスタPTrのゲート電圧PVgが変更される。具体的には、ゲート電圧PVgは、ドレイン電圧PVd(約3.3V)よりも低い約2Vに設定される。また、蓄積信号読出期間T3では、出力トランジスタPTrは、ソースフォロア回路として動作する。そして、出力トランジスタPTrのソース領域からは、ホールポケットHPに蓄積されたホールの数に応じた蓄積電圧(蓄積信号)が読み出される。

30

【 0 0 5 2 】

蓄積信号読出期間T3では、ホールは、ホールポケットHP内に蓄積された状態で維持されている。出力トランジスタPTrのソース電圧PVsは、出力トランジスタPTrのしきい値電圧をVthとすると、「 $PVs = PVg - Vth$ 」で表される。しきい値電圧Vthは、ホールポケットHP内に蓄積されたホールの数に応じて変化する。具体的には、蓄積されたホールの数が多い程、しきい値電圧Vthは低くなる。そして、しきい値電圧Vthが低い程、ソース電圧PVsは高くなる。すなわち、ソース電圧PVsは、ホールポケットHP内に蓄積されたホールの数が多い程、換言すれば、フォトダイオードPDに入射する光の強度が高い程、高くなる。

40

【 0 0 5 3 】

オフセット信号読出期間T5(図5)における動作は、蓄積信号読出期間T3における動作と同様である。ただし、オフセット信号読出期間T5では、出力トランジスタPTrのソース領域からは、ホールポケットHPにホールが殆ど存在しない状態のオフセット電圧(オフセット信号)が出力される。出力回路150(図1)は、読み出された2つの信号(すなわち、蓄積信号およびオフセット信号)の差分を増幅することによって、ノイズ成

50

分が除去された画素データを出力する。

【0054】

なお、比較例では、図5に示すように、1回の動作シーケンスに、第2のクリア期間T4とオフセット信号読出期間T5とが含まれているが、2つの期間T4, T5は、省略可能である。この場合には、出力回路150(図1)は、読み出された蓄積信号と、予め準備された所定のオフセット信号との差分から、画素データを得るようにすればよい。あるいは、出力回路150は、読み出された蓄積信号のみから画素データを得るようにすればよい。

【0055】

以上説明したように、比較例の固体撮像装置100は、マトリクス状に配列された複数の画素112を有する画素アレイ110を備えている。そして、各画素は、入射光の強度に応じてホールを発生させるためのフォトダイオードPDと、発生したホールを蓄積するためのホールポケットHPと、ホールポケットに蓄積されるホールの数に応じて変化するしきい値電圧に応じた信号を出力するための出力トランジスタPT_rと、ホールポケットに蓄積されたホールを排出させるためのクリアトランジスタCT_rと、を備えている。このように、比較例の固体撮像装置100では、各画素112は、クリアトランジスタCT_rを備えているため、そのチャンネル領域210cを介してホールポケット内のホールを容易に排出することが可能となる。

【0056】

前述のように、従来では、各画素は、クリアトランジスタを備えていない。このため、従来では、出力トランジスタPT_rのゲート電極に比較的高い電圧(例えば、約5~約7V)を印加することによって、ホールを基板200の深さ方向に向けて排出していた。すなわち、従来では、行制御回路130(図1)は、比較的大きな電圧を発生させる必要があった。

【0057】

しかしながら、比較例では、各画素は、クリアトランジスタCT_rを備えているため、クリアトランジスタを比較的低い電圧で制御するのみで、ホールを基板200の表面付近に形成されるチャンネル領域210cを介して排出することができる。したがって、ホールポケットHP内のホールを比較的容易に排出することが可能となる。

【0058】

A-3. 比較例における問題点:

ところで、比較例では、蓄積期間T2(図5)において、画素アレイの一部の画素に強度の高い光が入射する場合には、画素アレイ上の入射光分布と、画素アレイから出力される画素データ分布とが、整合しない現象が生じ得る。

【0059】

図9は、蓄積期間T2において、強度の高い光が入射したときの画素112内部の状態を示す説明図である。図9(A)では、図3のB-B'断面が示されている。ただし、図9(A)では、光が入射する画素(注目画素)112と、注目画素と同じ行に配列された隣接画素112'と、が示されている。図9(B)は、図9(A)のC線に沿ったポテンシャル分布を示している。ただし、図9(B)の曲線は、ホールが蓄積されていない状態でのポテンシャル分布を示している。曲線から分かるように、第1のp領域220のポテンシャルは、その周囲のn領域210のポテンシャルよりも低い。また、第1のp領域220内部において、ホールポケットHPを構成する第2の部分p領域(p⁺領域)222bのポテンシャルは、第1の部分p領域221aのポテンシャルよりも低い。

【0060】

注目画素112に光が入射すると、フォトダイオードPDはホールを発生させる。発生したホールは、ホールポケットHPに蓄積される。しかしながら、注目画素112に入射する光の強度が比較的高い場合には、ホールは、ホールポケットHPから溢れ、ホールポケットHPを含む第1のp領域220内に収容される。そして、注目画素112に入射する光の強度がさらに高い場合、換言すれば、発生するホール数が第1のp領域220の収容

10

20

30

40

50

能力を超える場合には、過剰なホールは、第1のp領域220から溢れ出る。

【0061】

第1のp領域220から溢れ出たホールは、n領域210の障壁を超えて、隣接画素112'の第1のp領域220に侵入する。このとき、隣接画素112'では、光が入射していないにも関わらず、ホールポケット内にホールが蓄積される。そして、隣接画素112'からは、ホールポケット内に蓄積されたホールの数に応じた蓄積信号が読み出される。なお、図9は、過剰なホールが、注目画素112と同じ行に配列された隣接画素112'に侵入する場合について示しているが、過剰なホールは、注目画素112に隣接する行に配列された隣接画素にも同様に侵入し得る。この結果、生成される画像では、注目画素に対応する領域が白く表示されるだけでなく、その周辺領域も白く表示されてしまい、画質が劣化する。この現象は、「ブルーミング」と呼ばれている。

10

【0062】

以下に説明する実施例では、上記の画質の劣化が抑制できるよう工夫されている。具体的には、各画素に設けられたクリアトランジスタCTRを利用して、ブルーミング現象の発生が抑制されている。

【0063】

B. 実施例：

図10は、クリアトランジスタCTRの4つの端子に印加される電圧を示す説明図である。前述したように、比較例では、蓄積期間T2(図5)において、ゲート電圧CVgは、約3.3Vに設定されている。基板電圧(すなわち、クリアトランジスタの基板領域として機能するn領域210の電圧)CVbは、出力トランジスタのドレイン電圧PVdとほぼ等しい約3.3Vに設定されている。ドレイン電圧CVdは、約0Vに設定されている。そして、ソース電圧CVsは、第1のp領域220の電圧に等しく、フォトダイオードPDで発生するホール数に依存する。

20

【0064】

クリアトランジスタCTRは、「 $CVs > CVg + CVth$ 」が満足されるときにオン状態に設定され、満足されないときにオフ状態に設定される。ここで、CVthは、クリアトランジスタCTRのしきい値電圧(絶対値)である。

【0065】

比較例では、蓄積期間において、フォトダイオードPDで発生したホールが第1のp領域220から溢れ出る場合でも、クリアトランジスタCTRはオフ状態に保たれている。一方、以下に説明する実施例では、発生したホールが第1のp領域220から溢れ出る場合には、クリアトランジスタCTRはオン状態に設定される。換言すれば、発生したホールが第1のp領域220から溢れ出るときのソース電圧CVsで、クリアトランジスタCTRがオフ状態からオン状態に遷移するように調整されている。こうすれば、クリアトランジスタCTRは、第1のp領域220から溢れ出たホールを排除することができ、この結果、ブルーミング現象の発生を抑制することができる。

30

【0066】

B-1. 第1実施例：

第1実施例では、画素構造が変更されているのみであり、画素の制御は、比較例(図5)と同様に実行される。

40

【0067】

図11は、第1実施例における画素構造を示す説明図であり、図4に対応する。図11は、図4とほぼ同じであるが、この画素112Aでは、クリアトランジスタCTRの基板領域として機能するn領域210Aが変更されている。具体的には、クリアゲート270Cの下方に設けられたn領域210Aは、ゲート絶縁膜260Cとの界面付近に、不純物濃度の比較的低い界面領域210bを含んでいる。換言すれば、クリアトランジスタCTRの基板領域210Aは、クリアゲート270C付近に設けられた不純物濃度の比較的低い上部領域(界面領域210b)と、上部領域の下方に設けられた不純物濃度の比較的高い下部領域と、を含んでいる。このとき、クリアトランジスタのしきい値電圧CVthは、

50

比較的lowく設定されるため、クリアトランジスタC T rは、発生したホールが第1のp領域220から溢れ出るときのソース電圧C V sでオン状態に設定されることとなる。

【0068】

図12は、蓄積期間T2における画素112A内部の状態を示す説明図である。図12(A)、(B)は、それぞれ、入射光の強度が通常レベルである場合の画素内部の状態と、高レベルである場合の画素内部の状態と、を示している。

【0069】

入射光の強度が通常レベルである場合(図12(A))には、フォトダイオードPDで発生するホールは、ホールポケットHPのみに蓄積される。このとき、第1のp領域220の電圧、すなわち、クリアトランジスタのソース電圧C V sは、例えば約2~約3Vであり、クリアトランジスタC T rはオフ状態に設定される。

10

【0070】

一方、入射光の強度が高レベルである場合(図12(B))には、フォトダイオードPDで発生するホールは、ホールポケットHPを含む第1のp領域220から溢れ出る。このとき、第1のp領域220の電圧、すなわち、クリアトランジスタのソース電圧C V sは、例えば約5Vであり、クリアトランジスタC T rはオン状態に設定される。より具体的には、ソース電圧C V sが比較的高い場合には、クリアゲート270Cの下方のn領域210には、チャンネル領域210cが形成される。このため、第1のp領域220から溢れ出た過剰なホールは、チャンネル領域210cと第2のp領域230とを通過して、ドレインコンタクト領域230dから排出される。なお、チャンネル領域210cは、不純物濃度の比較的lowい界面領域210bに形成されている。

20

【0071】

以上説明したように、第1実施例では、クリアトランジスタのしきい値電圧C V t hは、比較的lowく設定されている。このため、行制御回路130(図1)がクリアゲート270Cに所定の電圧(本実施例では、約3.3V)を印加する場合でも、ソース電圧C V sに応じたクリアトランジスタC T rのオフ状態からオン状態への遷移が実現される。具体的には、クリアトランジスタC T rは、ソース電圧が比較的lowい場合(すなわち、発生したホールがソース領域220から溢れ出ない場合)には、オフ状態に設定される。また、クリアトランジスタC T rは、ソース電圧が比較的高い場合(すなわち、発生したホールがソース領域220から溢れ出る場合)には、オン状態に設定される。したがって、クリアトランジスタC T rは、ホールがクリアトランジスタのソース領域220から溢れ出る場合に、過剰なホールをチャンネル領域210cを介して排出することができる。この結果、溢れ出た過剰なホールが隣接画素のホールポケットに侵入することを抑制することができる。この結果、画質の劣化(ブルーミング現象の発生)を抑制することが可能となる。

30

【0072】

なお、蓄積期間T2においてクリアゲート270Cに印加される所定の電圧(本実施例では、約3.3V)は、クリア期間T1、T4にクリアゲート270Cに印加される電圧(本実施例では、約0V)と異なる。すなわち、クリア期間T1、T4では、ゲート電圧C V gは、チャンネル領域210cが必ず形成される電圧に設定されており、蓄積期間T2では、ゲート電圧C V gは、チャンネル領域210cがソース領域の状態(ソース電圧)に応じて形成される電圧に設定されている。

40

【0073】

B-2. 第2実施例:

第2実施例では、画素の制御が変更されているのみであり、画素構造は、比較例(図4)と同様である。

【0074】

図13は、第2実施例における画素112の動作シーケンスを示す説明図であり、図5に対応する。図13は、図5とほぼ同じであるが、蓄積期間T2におけるクリアトランジスタC T rのゲート電圧C V gが変更されている。具体的には、ゲート電圧C V gは、比較例の約3.3Vよりもlowい所定の電圧V p(例えば、約2.5V)に変更されている。こ

50

のように、ゲート電圧 $C V_g$ が比較的低い電圧 V_p に設定されていれば、クリアトランジスタ $C T_r$ は、発生したホールが第1のp領域220から溢れ出るときのソース電圧 $C V_s$ でオン状態に設定されることとなる。

【0075】

図14は、蓄積期間 T_2 における画素112内部の状態を示す説明図である。なお、図14(A)、(B)は、図12(A)、(B)に対応している。入射光の強度が通常レベルである場合(図14(A))には、図12(A)と同様に、クリアトランジスタ $C T_r$ はオフ状態に設定される。一方、入射光の強度が高レベルである場合(図14(B))には、図12(B)と同様に、クリアトランジスタ $C T_r$ はオン状態に設定される。ただし、第1実施例では、界面領域210bの不純物濃度が比較的 low に設定されていることに起因して、チャンネル領域210cが形成されているが、第2実施例では、クリアゲート270Cに印加されるゲート電圧 $C V_g$ が比較的 low に設定されていることに起因して、チャンネル領域210cが形成されている。

10

【0076】

以上説明したように、第2実施例では、クリアトランジスタのゲート電圧 $C V_g$ は、比較的低い所定の電圧 V_p に設定されている。このため、行制御回路130(図1)がクリアゲート270Cに所定の電圧(本実施例では、約2.5V)を印加する場合でも、ソース電圧 $C V_s$ に応じたクリアトランジスタ $C T_r$ のオフ状態からオン状態への遷移が実現される。具体的には、クリアトランジスタ $C T_r$ は、ソース電圧が比較的 low な場合には、オフ状態に設定され、ソース電圧が比較的 high な場合には、オン状態に設定される。したがって、クリアトランジスタ $C T_r$ は、ホールがクリアトランジスタのソース領域220から溢れ出るときに、過剰なホールをチャンネル領域210cを介して排出することができる。この結果、溢れ出た過剰なホールが隣接画素のホールポケットに侵入することを抑制することができる。この結果、画質の劣化(ブルーミング現象の発生)を抑制することが可能となる。

20

【0077】

なお、第1実施例と同様に、蓄積期間 T_2 においてクリアゲート270Cに印加される所定の電圧(本実施例では、約2.5V)は、クリア期間 T_1 、 T_4 にクリアゲート270Cに印加される電圧(本実施例では、約0V)と異なる。

【0078】

なお、本発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

30

【0079】

(1) 上記実施例では、出力トランジスタ $P T_r$ は、略環状のゲート電極270Pを有しているが、これに代えて、略矩形のゲート電極を有していてもよい。ただし、上記実施例のようにすれば、画素の構造を比較的簡単にすることができるという利点がある。なお、上記実施例では、略環状のゲート電極は、略円形の外周と略円形の内周とを有しているが、これに代えて、略多角形の外周と略多角形の内周とを有していてもよい。あるいは、略多角形の外周と略円形の内周とを有していてもよい。すなわち、略環状とは、閉じた形状であればよい。

40

【0080】

(2) 第1実施例では、しきい値電圧 $C V_{th}$ を比較的 low に設定することによって、蓄積期間において、ソース電圧 $C V_s$ に応じたクリアトランジスタ $C T_r$ のオフ状態とオン状態との切替が実現されている。

【0081】

また、第2実施例では、ゲート電圧 $C V_g$ を比較的 low に設定することによって、蓄積期間において、ソース電圧 $C V_s$ に応じたクリアトランジスタのオフ状態とオン状態との切替が実現されている。

【0082】

50

一般には、クリアトランジスタ部は、蓄積期間において、発生したキャリアがクリアトランジスタ部のソース領域から溢れ出る場合には、溢れ出たキャリアが隣接する画素の蓄積部に侵入しないように、溢れ出たキャリアをクリアトランジスタ部を介して排出させればよい。

【0083】

なお、第1実施例では、しきい値電圧 $C V_{th}$ は、界面領域 210b の不純物濃度によって調整されているが、これに代えて、ゲート絶縁膜 260C の容量によって調整されていてもよい。

【0084】

(3) 上記実施例では、蓄積部は、ホールを蓄積させているが、これに代えて、電子を蓄積させるようにしてもよい。なお、この場合には、p型の半導体領域とn型の半導体領域とを置換すればよい。

【図面の簡単な説明】

【図1】比較例としての固体撮像装置の全体構成を示す説明図である。

【図2】図1の画素アレイ110と行制御回路130と列制御回路140との内部構成を示す説明図である。

【図3】画素112のレイアウトを模式的に示す説明図である。

【図4】画素112の断面を模式的に示す説明図である。

【図5】画素112の動作シーケンスを示す説明図である。

【図6】第1のクリア期間 T_1 における画素112内部の状態を示す説明図である。

【図7】蓄積期間 T_2 における画素112内部の状態を示す説明図である。

【図8】蓄積信号読出期間 T_3 における画素112内部の状態を示す説明図である。

【図9】蓄積期間 T_2 において、強度の高い光が入射したときの画素112内部の状態を示す説明図である。

【図10】クリアトランジスタ $C T r$ の4つの端子に印加される電圧を示す説明図である。

【図11】第1実施例における画素構造を示す説明図であり、図4に対応する。

【図12】蓄積期間 T_2 における画素112A内部の状態を示す説明図である。

【図13】第2実施例における画素112の動作シーケンスを示す説明図であり、図5に対応する。

【図14】蓄積期間 T_2 における画素112内部の状態を示す説明図である。

【符号の説明】

100 ... 固体撮像装置

110 ... 画素アレイ

112, 112A ... 画素

120 ... タイミング制御回路

130 ... 行制御回路

132 ... 出力ゲート制御部

134 ... 出力ドレイン制御部

136 ... クリアゲート制御部

138 ... クリアドレイン制御部

140 ... 列制御回路

142 ... 蓄積信号用ラインメモリ

144 ... オフセット信号用ラインメモリ

146 ... 水平シフトレジスタ

150 ... 出力回路

200 ... 半導体基板

210, 210A ... n領域(クリアトランジスタの基板領域)

210b ... 界面領域

210c ... チャネル領域

10

20

30

40

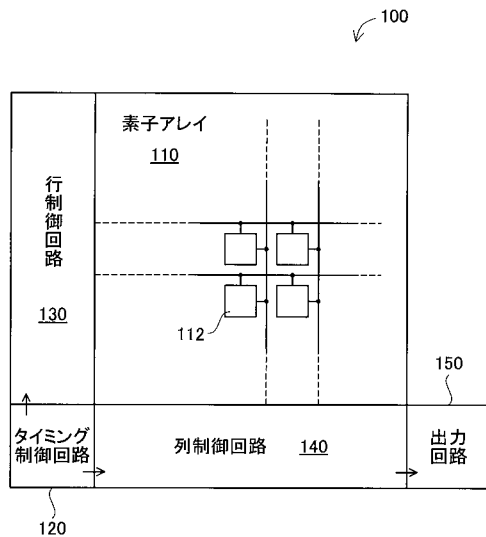
50

- 2 1 0 d ... ドレインコンタクト領域
- 2 1 0 s ... ソースコンタクト領域
- 2 2 0 ... 第 1 の p 領域 (クリアトランジスタのソース領域)
- 2 2 1 a ... 第 1 の部分 p 領域
- 2 2 2 b ... 第 2 の部分 p 領域
- 2 3 0 ... 第 2 の p 領域
- 2 3 0 d ... ドレインコンタクト領域
- 2 6 0 P ... ゲート絶縁膜
- 2 6 0 C ... ゲート絶縁膜
- 2 7 0 P ... 出力ゲート
- 2 7 0 C ... クリアゲート
- P T r ... 出力トランジスタ
- P V d ... ドレイン電圧
- P V g ... ゲート電圧
- P V s ... ソース電圧
- C T r ... クリアトランジスタ
- C V d ... ドレイン電圧
- C V g ... ゲート電圧
- C V s ... ソース電圧
- C V b ... 基板電圧
- H P ... ホールポケット
- P D ... フォトダイオード

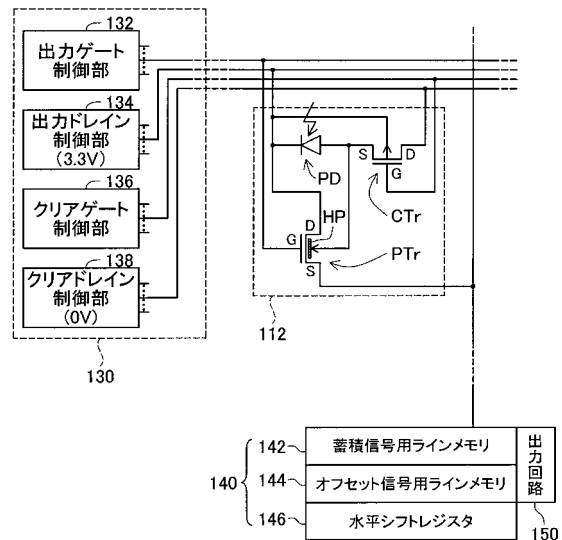
10

20

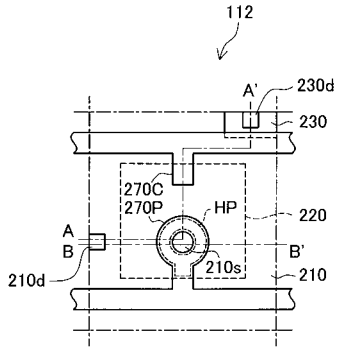
【 図 1 】



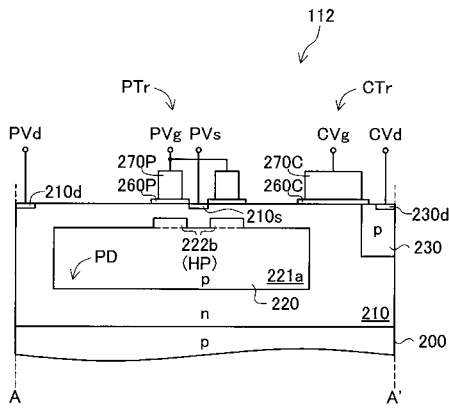
【 図 2 】



【図3】

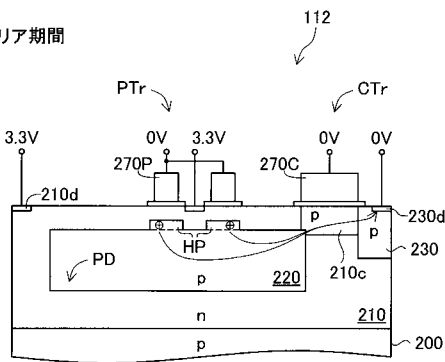


【図4】



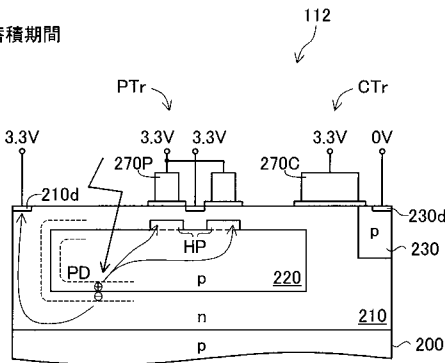
【図6】

クリア期間

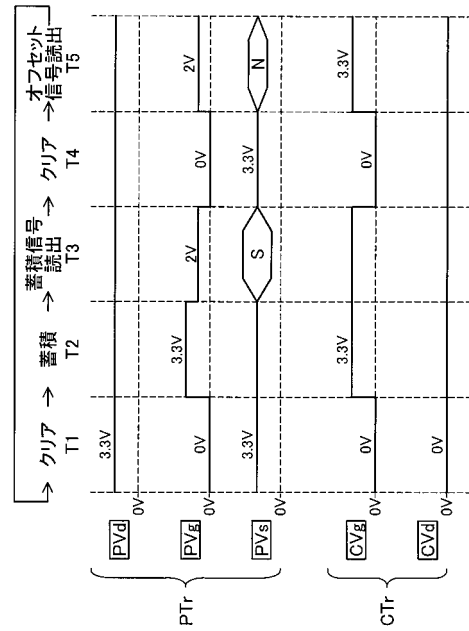


【図7】

蓄積期間

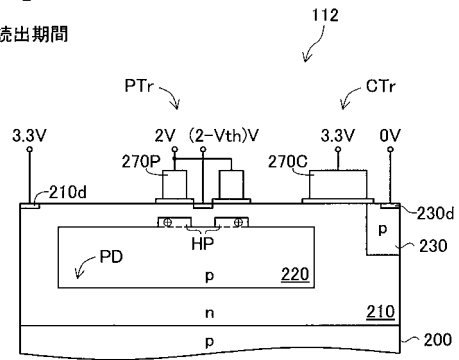


【図5】

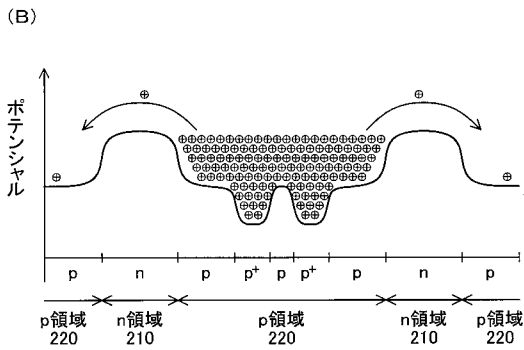
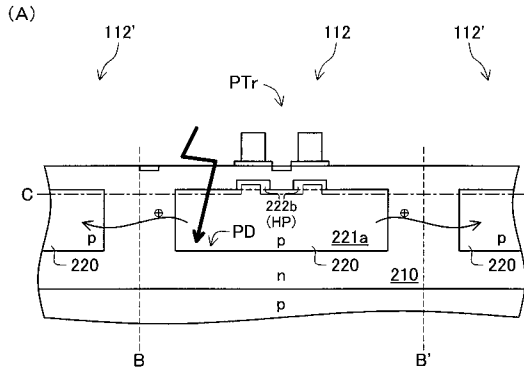


【図8】

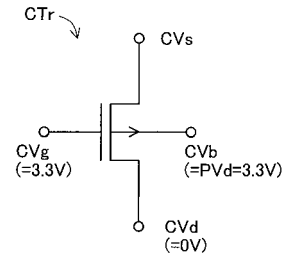
読出期間



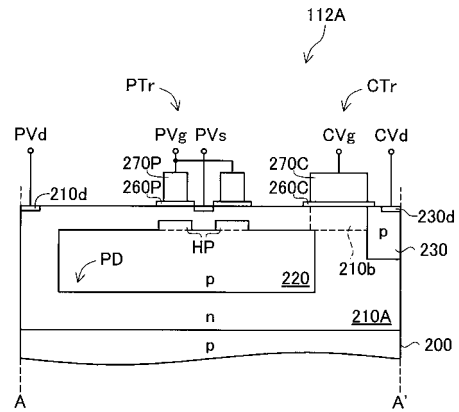
【図 9】



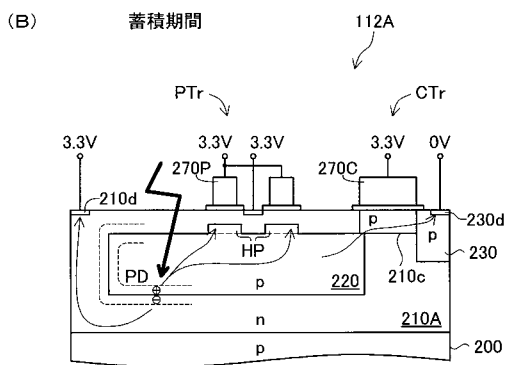
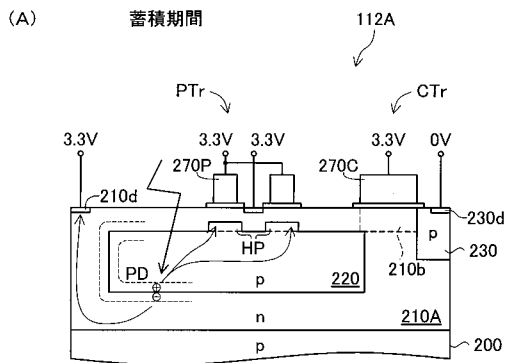
【図 10】



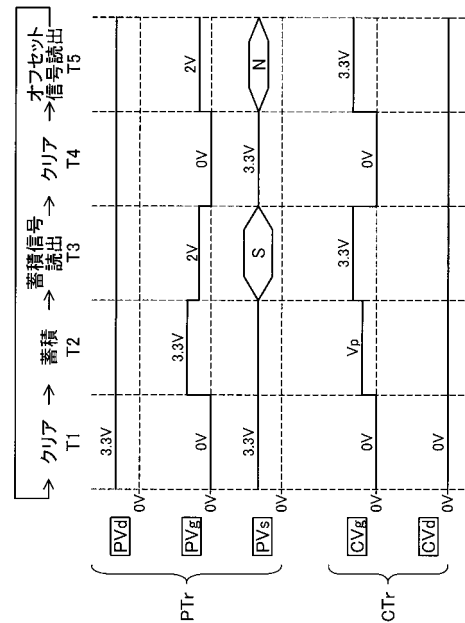
【図 11】



【図 12】

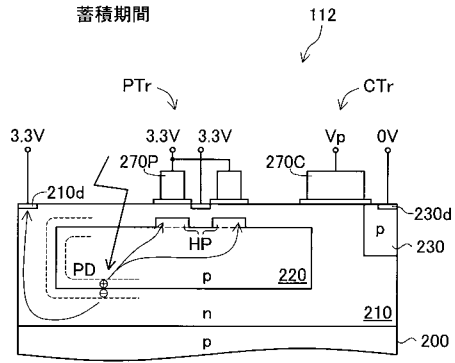


【図 13】



【 図 1 4 】

(A) 蓄積期間



(B) 蓄積期間

