

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4996323号
(P4996323)

(45) 発行日 平成24年8月8日(2012.8.8)

(24) 登録日 平成24年5月18日(2012.5.18)

| | | | |
|----------------|---------------|------------------|-----------------|
| (51) Int.Cl. | | F I | |
| G 1 1 B | 7/13 | (2012.01) | G 1 1 B 7/13 |
| H O 1 L | 27/146 | (2006.01) | H O 1 L 27/14 A |
| G 1 1 B | 7/0065 | (2006.01) | G 1 1 B 7/0065 |
| H O 4 N | 5/335 | (2011.01) | H O 4 N 5/335 |

請求項の数 13 (全 25 頁)

| | | | |
|-----------|-------------------------------|-----------|----------------|
| (21) 出願番号 | 特願2007-119437 (P2007-119437) | (73) 特許権者 | 000003078 |
| (22) 出願日 | 平成19年4月27日(2007.4.27) | | 株式会社東芝 |
| (65) 公開番号 | 特開2008-276864 (P2008-276864A) | | 東京都港区芝浦一丁目1番1号 |
| (43) 公開日 | 平成20年11月13日(2008.11.13) | (74) 代理人 | 100075812 |
| 審査請求日 | 平成22年4月27日(2010.4.27) | | 弁理士 吉武 賢次 |
| | | (74) 代理人 | 100088889 |
| | | | 弁理士 橘谷 英俊 |
| | | (74) 代理人 | 100082991 |
| | | | 弁理士 佐藤 泰和 |
| | | (74) 代理人 | 100096921 |
| | | | 弁理士 吉元 弘 |
| | | (74) 代理人 | 100103263 |
| | | | 弁理士 川崎 康 |

最終頁に続く

(54) 【発明の名称】 2次元デジタルデータ取得素子およびホログラフィックストレージ装置

(57) 【特許請求の範囲】

【請求項1】

それぞれが符号化された1つのデータからなる複数の単位データ領域を有する2次元デジタル画像情報が記録された光情報記録媒体に光を照射し前記光情報記録媒体からの再生光に基づいて、前記2次元デジタル画像情報の再生された2次元デジタルデータを取得する2次元デジタルデータ取得素子において、

前記光情報記録媒体からの再生光を電気信号に変換する光電変換素子をそれぞれ含みマトリクス状に配置された複数の画素を有する画素領域と、

前記画素を選択する選択回路と、

前記選択回路により選択された画素の電気信号を読み出す読出し回路と、

前記読出し回路の出力を、マトリクス状に配置された前記画素の1行方向の画素に対応する行単位のデジタルデータである1ビットデジタルデータに変換する1ビットAD変換器と、

前記行単位のデジタルデータを一定期間保持する行メモリと、

同一列方向に隣接する2行の行単位のデジタルデータ間で、同一列ごとの論理演算を行い演算結果を外部に出力する第1論理演算回路と、

を備え、

前記2次元デジタル画像情報の前記単位データ領域のピッチP1と前記画素領域の前記画素のピッチP2とのピッチ比Nを $N = P1 / P2$ により定義し、

前記2次元デジタルデータの1バイトの1次元方向のデジタルデータ数をA、2以上の

自然数を n としたとき、前記ピッチ比 N が

$$A \cdot n^2 / (A \cdot n + 1) < N < A \cdot n^2 / (A \cdot n - 1)$$

を満たすことを特徴とする 2 次元デジタルデータ取得素子。

【請求項 2】

前記 1 ビット A/D 変換器の出力を遅延させる遅延回路と、前記 1 ビット A/D 変換器の出力と前記遅延回路の出力とに基づいて論理演算する第 2 論理演算回路とを含む演算処理回路を更に備えていることを特徴とする請求項 1 記載の 2 次元デジタルデータ取得素子。

【請求項 3】

前記 n の値が 3 以上であり、前記演算処理回路に含まれる第 2 論理演算回路が AND 回路であることを特徴とする請求項 2 記載の 2 次元デジタルデータ取得素子。

10

【請求項 4】

前記 1 ビット A/D 変換器の閾値電圧が制御可能であることを特徴とする請求項 1 乃至 3 のいずれかに記載の 2 次元デジタルデータ取得素子。

【請求項 5】

前記読出し回路の出力を受けアナログデータを出力するアナログバッファ回路を更に備えていることを特徴とする請求項 1 乃至 4 のいずれかに記載の 2 次元デジタルデータ取得素子。

【請求項 6】

前記アナログデータを少なくとも 1 フレーム分記憶し、記憶されたアナログデータ群に基づき、前記 1 ビット A/D 変換器の閾値電圧を画素ごとに制御することを特徴とする請求項 5 記載の 2 次元デジタルデータ取得素子。

20

【請求項 7】

前記アナログデータを少なくとも 1 フレーム分記憶し、記憶されたアナログデータ群を演算処理して得られる値に基づき、前記 1 ビット A/D 変換器の閾値電圧を制御することを特徴とする請求項 5 記載の 2 次元デジタルデータ取得素子。

【請求項 8】

記憶された前記アナログデータ群から、最大アナログ出力を抽出し、前記 1 ビット A/D 変換器の閾値電圧が前記最大アナログ出力の $1/2$ となるように制御することを特徴とする請求項 7 記載の 2 次元デジタルデータ取得素子。

【請求項 9】

前記 1 ビット A/D 変換器の閾値電圧の制御に必要な、前記 1 フレーム分のアナログデータの記憶を、前記 2 次元デジタル画像情報が記録された前記光情報記録媒体がセットされる時に実行することを特徴とする請求項 6 乃至 8 のいずれかに記載の 2 次元デジタルデータ取得素子。

30

【請求項 10】

前記アナログバッファ回路は、ソースフォロア回路であることを特徴とする請求項 5 乃至 9 のいずれかに記載の 2 次元デジタルデータ取得素子。

【請求項 11】

前記 1 ビット A/D 変換器は、1 つ以上の CMOS インバータ回路により構成されていることを特徴とする請求項 1 乃至 10 のいずれかに記載の 2 次元デジタルデータ取得素子。

40

【請求項 12】

前記画素領域の各画素は、
前記光電変換素子に蓄積した信号電荷を検出ノードに転送するための転送トランジスタと、
前記検出ノードの電位をリセットするためのリセットトランジスタと、
前記検出ノードがゲートに接続された増幅トランジスタと、
前記選択回路からの信号により前記画素を選択するための選択トランジスタと、
を含み、

前記転送トランジスタは、前記画素領域の全ての画素において同時に制御されることを特徴とする請求項 1 乃至 11 のいずれかに記載の 2 次元デジタルデータ取得素子。

50

【請求項 13】

請求項 1 乃至 12 のいずれかに記載の 2 次元デジタルデータ取得素子をピックアップ素子として備えたことを特徴とするホログラフィックストレージ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2次元デジタルデータ取得素子およびホログラフィックストレージ装置に関する。

【背景技術】

【0002】

次々世代DVD (Digital Versatile Disc) として、ホログラフィックストレージ (Holographic Storage) という新しい光ディスクシステムが提案され、その製品化計画を公表するメーカーも現れつつある (例えば、非特許文献 1 参照)。

【0003】

ホログラフィックストレージは、400nm程度の短波長レーザーを用い、干渉縞としてホログラフィック層に高密度にエンコードされた2次元デジタルデータを高速で読み取るため、高データ密度化および高速読み出しが可能であるという特長がある。

【0004】

2次元デジタル画像のデータの高速読出しのために、例えば1000 [fps]以上の極めて高いフレームレートが2次元画像データ取得素子に要求される。

【0005】

2次元デジタル画像データを正確に取得するためには、CMOSセンサ等の2次元画像データ取得素子の画素と、2次元デジタル画像情報を構成する単位データ領域とが1対1で対応することが理想である。

【0006】

しかし、ミクロンオーダーでの光学系の位置調整には調整のためのコストが必要である上、2次元デジタル画像情報がエンコードされた光ディスクはドライブに設置するたびにその位置が変化してしまうので、厳密な光学系の位置調整は極めて困難と言える。

【0007】

さらに、光学系を構成するレンズ系は小型で低コストであることが要求されるために、2次元デジタルデータにおいて光学的な収差が発生することは避けられず、単位データ領域と画素とを厳密に1対1で対応させることを実現することは困難である。

【0008】

その対策として、2次元デジタル画像を構成する単位データ領域のピッチに対して、2次元画像データ取得素子の画素ピッチを1/Nに縮小し、単位データ領域の情報をN²個の画素で取得する「オーバーサンプリング」という手法が用いられる (例えば、非特許文献 2 参照)。

【非特許文献 1】H.J. Coufal, Holographic Data Storage (Springer, Berlin, 2000)

【非特許文献 2】Mark Ayres, Alan Hoskins, and Kevin Curtis, "Image oversampling for page-oriented optical data storage", Applied Optics, Vol. 45, Issue 11, pp. 2459-2464

【発明の開示】

【発明が解決しようとする課題】

【0009】

このオーバーサンプリング手法においても、上記の正確なデジタルデータを取得した画素以外では、画素出力が1 (ハイレベル) と、0 (ローレベル) との中間の値となってしまう。この中間階調の画素出力データを取得し出力するために、2次元画像データ取得素子は単位データ領域のデータ量が1ビットであるにもかかわらず、M (2) ビットの出力が必要であった。

【0010】

10

20

30

40

50

さらに、ホログラフィック画像を得るために参照光として光ディスクに照射する短波長レーザーの出力変動や、光ディスクを含む光学系での光学的損失の影響により、単位データ領域の光強度は変動し、正確にデジタルデータを取得できた画素の出力においても1（ハイレベル）の値が変動する。この変動を吸収するためにも、2次元画像データ取得素子は単位データ領域のデータ量が1ビットであるにもかかわらず、M（2）ビットの出力が必要であった。

【0011】

このMビット出力と、前述の高速読出しとを両立するためには、2次元画像データ取得素子として特殊なCMOSイメージセンサを使用することが必要であった。

【0012】

例えば、全画素で並列にA/D変換を行うことで高速動作を可能にする画素内ADC(Analog-Digital Converter)搭載型CMOSセンサを使用する、あるいは、行単位で動作するカラムCDS（相関二重サンプリング）/ADCを複数行並列で動作させることで高速化した多線カラムCDS/ADC搭載型CMOSセンサを使用することが必要になる。

【0013】

さらに、MビットADCからの出力をK画素分並列で出力する多線デジタルデータ並列出力構造により高速化することが必要であり、その出力ピン数はM×K本になる。例えば、ADC分解能が10ビットで、10画素並列読出しのデバイスでは、M×K=10×10=100本のピン数が必要になる。

【0014】

このため、CMOSセンサチップはその特殊性ゆえに小型化、低価格化が困難であり、また多線出力構造のためにCMOSセンサパッケージは多ピン化が必要であり同様に小型化、低価格化が困難であった。またCMOSセンサからの出力を受け画像信号処理を行い取得した2次元デジタルデータを再構築する外部回路は、多線入力のI/Oが必要であり、さらに2次元のMビット情報を高速で処理することが必要であり、その回路への要求仕様は厳しく、同様に小型化、低価格化が困難であった。

【0015】

本発明は上記の事情を考慮してなされたものであって、小型化かつ低価格化が可能かつ超高速な2次元デジタルデータ取得素子およびホログラフィックストレージ装置を提供することを目的とする。

【課題を解決するための手段】

【0016】

本発明の第1の態様による2次元デジタルデータ取得素子は、それぞれが符号化された1つのデータからなる複数の単位データ領域を有する2次元デジタル画像情報が記録された光情報記録媒体に光を照射し前記光情報記録媒体からの再生光に基づいて、前記2次元デジタル画像情報の再生された2次元デジタルデータを取得する2次元デジタルデータ取得素子において、前記光情報記録媒体からの再生光を電気信号に変換する光電変換素子をそれぞれ含みマトリクス状に配置された複数の画素を有する画素領域と、前記画素を選択する選択回路と、前記選択回路により選択された画素の電気信号を読み出す読出し回路と、前記読出し回路の出力を1ビットデジタルデータに変換する1ビットAD変換器と、を備え、前記2次元デジタル画像情報の前記単位データ領域のピッチP1と前記画素領域の前記画素のピッチP2とのピッチ比Nを $N = P1 / P2$ により定義し、前記2次元デジタルデータの1バイトの1次元方向のデジタルデータ数をA、2以上の自然数をnとしたとき、前記ピッチ比Nが

$$A \cdot n^2 / (A \cdot n + 1) < N < A \cdot n^2 / (A \cdot n - 1)$$

を満たすことを特徴とする。

【0017】

また、本発明の第2の態様によるホログラフィックストレージ装置は、上記記載の2次元デジタルデータ取得素子をピックアップ素子として備えたことを特徴とする。

【発明の効果】

10

20

30

40

50

【0018】

本発明によれば、小型化かつ低価格化が可能で超高速な2次元デジタルデータ取得素子およびホログラフィックストレージ装置を提供することができる。

【発明を実施するための最良の形態】

【0019】

本発明の実施形態を説明する前に、各実施形態で用いられる「オーバーサンプリング」について説明する。「オーバーサンプリング」とは、2次元デジタル画像を構成する単位データ領域のピッチに対して、2次元画像データ取得素子の画素ピッチを $1/N$ に縮小し、単位データ領域の情報を N^2 個の画素で取得することである。例えば、 $N=2$ であれば $N^2=4$ 画素中の1画素は正確なデジタルデータを得ることが可能であり、 $N=3$ であれば9画素中の4画素が正確なデジタルデータを得ることが可能となる。

10

【0020】

ここで、 N は自然数 n となるように設計されるが、厳密には、 N は自然数 n に近い値となる。これは、理想的な設計値として N が自然数 n となるよう設計しても、実際の素子または装置では、従来技術で説明した光学的収差等の原因により厳密には N は自然数 n に近い値($N \neq n$)となってしまうからである。

【0021】

具体的な例として、例1、例2の二つの例について説明する。

【0022】

(例1)

$n=3$ として、2次元デジタルデータにおいて、1バイトが1行8列の8ビットにより構成された場合を図24(a)乃至図24(f)に示す。このとき理想的な設計として $N=n=3$ としても、前述の理由で $N \neq n$ となってしまう。

20

【0023】

図24(a)乃至図24(f)には2次元デジタルデータ中の1バイト区間と、それに対応する2次元デジタルデータ取得素子の画素との位置関係を5種類示した。

【0024】

図24(a)に示す1バイト8ビットのデジタルデータに対して、 $N=n=3$ という理想的なケースでは、 $8 \times 3 = 24$ 画素が完全に対応する(図24(d))。しかし、光学収差等の影響により $N \neq n=3$ となってしまう、図24(b)、24(c)、24(e)、24(f)では $N=2.88$ 、 2.94 、 3.06 、 3.13 のようにデジタルデータと画素とが mismatch した場合を示している。このとき、2次元デジタルデータ取得素子のオーバーサンプリング量ズレに起因する、1バイト区間での画素数変動として1画素未満までを許容するように調整することが可能である。本例においては、 $2.88 < N < 3.13$ という条件が成立する実数 N が許容できることになる。

30

【0025】

(例2)

$n=3$ として、2次元デジタルデータにおいて、1バイトが4行4列の16ビットにより構成された場合を図25(a)乃至図25(f)に示す。このとき理想的な設計として $N=n=3$ としても、前述の理由で $N \neq n$ となってしまう。

40

【0026】

図25(a)乃至図25(f)には2次元デジタルデータ中の1バイト $= 4 \times 4$ ビットの一部を構成する1行4列のデータ区間と、それに対応する2次元デジタルデータ取得素子の画素との位置関係を、図24(a)乃至図24(f)と同様に5種類示した。

【0027】

1行4列のデジタルデータに対して、 $N=n=3$ という理想的なケースでは、 $4 \times 3 = 12$ 画素が完全に対応する(図25(d))。しかし、光学収差等の影響により $N \neq n=3$ となってしまう、図25(b)、25(c)、25(e)、25(f)では $N=2.77$ 、 2.88 、 3.06 、 3.23 のようにデジタルデータと画素とが mismatch した場合を示している。このとき、2次元デジタルデータ取得素子のオーバーサンプリング量ズ

50

レに起因する、1行4列区間での画素数変動として1画素未満までを許容するように調整することが可能である。本例においては、 $2.77 < N < 3.23$ という条件が成立する実数Nが許容できることになる。

【0028】

以下、本明細書では、設計上のn(自然数)と、1バイトを構成する1軸方向(1次元方向)のデジタルデータ数Aが与えられた場合、下記式を満たすNは「実質的に自然数n」であるという。

$$A \cdot n^2 / (A \cdot n + 1) < N < A \cdot n^2 / (A \cdot n - 1)$$

(ただし、nは2以上の自然数)

【0029】

次に、本発明の各実施形態を説明する。なお、各実施形態においては、オーバーサンプリングにおけるNは「実質的に自然数n」であるとする。

【0030】

(第1実施形態)

以下、本発明の実施形態について図面を参照して詳細に説明する。以下の図面の記載において、同一の部分には同一の符号を付し、重複する記載は省略する。また、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものと異なる。更に、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

【0031】

本発明の第1実施形態による2次元デジタルデータ取得素子の概略構成を図1に示す。本実施形態の2次元デジタルデータ取得素子100は、画素領域101と、負荷トランジスタ部102と、V選択回路(垂直選択回路)103と、H選択回路(水平選択回路)104と、読出し回路105と、1ビットA/D変換器(以下、1ビットADCとも云う)106と、タイミングジェネレータ(以下、TG回路とも云う)107とを備えている。読出し回路105は1行分のアナログ信号を保持する1Hメモリ回路を具備している。負荷トランジスタ部102と、V選択回路103と、H選択回路104と、読出し回路105と、1ビットADC106と、TG(タイミングジェネレータ)回路107とは、画素領域101の周囲に設けられる。なお、画素領域101と読出し回路105との間に画素固有の雑音を除去するためのCDS(相関二重サンプリング)回路を配置することも可能であるが、図1のようにCDS回路を配置しなくともかまわない。TG回路107は、別チップにしても構わないし、図1には記載されない信号処理回路に搭載してもよい。

【0032】

画素領域101は、光電変換により入射光信号を電気信号に変換する光電変換素子を有する画素が二次元マトリクス状に配列されている。これらマトリクス状に配列された画素において発生した信号はV選択回路103およびH選択回路104によって以下のように時系列で出力される。

【0033】

V選択回路103により選択された行に配置された画素において光電変換された信号は、信号線207(図2参照)を介して読出し回路105によって読み出され保持される。読出し回路105内部の1Hメモリ回路に保持された信号は、H選択回路104により順次選択され、時系列で出力される。この時系列で出力される信号は1ビットADCを介して外部に1ビットデジタル信号として出力される。V選択回路103、H選択回路104、読出し回路105、および1ビットADC106のそれぞれの動作は、TG回路107から出力されるタイミングパルスによって制御される。

【0034】

図2は、本実施形態に係る画素領域101を構成する画素2と、負荷トランジスタ部102との回路図を示す。画素2は、いわゆるnチャネルMOSトランジスタからなる4トランジスタ構造であり、光電変換素子であるフォトダイオード201と、このフォトダイオード201に蓄積された信号電荷を検出ノード203に転送する転送トランジスタ202と、検出ノード203の電位をリセットするリセットトランジスタ204と、検出ノード

10

20

30

40

50

ド203にゲートが接続された増幅トランジスタ205と、光電変換された信号を出力する画素を選択するための選択トランジスタ206とを有している。転送トランジスタ202、リセットトランジスタ204、および選択トランジスタ206のそれぞれのゲートに接続される転送トランジスタ制御線、リセットトランジスタ制御線、および選択トランジスタ制御線はV選択回路103によって所定のタイミングで制御される。

【0035】

画素領域101の垂直方向に設けられる信号線207は、画素の選択トランジスタ206のソースに接続されている。負荷トランジスタ部102内の負荷トランジスタ208と、画素2の増幅トランジスタ205でソースフォロア回路を構成する。同一の信号線207に接続されている複数の画素のうち選択トランジスタ206がオン状態となった画素、すなわちV選択回路103によって選択された画素のみが上記のソースフォロア回路を構成し、選択された画素の検出ノード203の電位に応じた電位が、各列の信号線207に発生し、読出し回路105に読み出され保持される。

10

【0036】

図3は、2次元デジタルデータ画像においてLow-Data単位データ領域に囲まれたHigh-Data単位データ領域1Hと、画素領域101の一部の相対的な位置関係を説明するための模式図であり、オーバーサンプリングとして $N=3$ の場合を示している。図3では、画素2として、5行×5列の25画素が配置された部分に、3行×3列の画素サイズのHigh-Data単位データ領域1Hが照射された様子を示しており、High-Data単位データ領域1Hの端部と画素2の境界とが一致していない。この状態で、超高速2次元デジタルデータ取得素子100の位置調整を行わない場合の一般的な状態を示している。

20

【0037】

図3の5行5列の25画素から得られる画素出力を図4に示す。

【0038】

各画素2を(n 行、 m 列)として表現すると、図3からもわかるように、(2, 2)、(2, 3)、(3, 2)、(3, 3)の4画素は画素全体がHigh-Data単位データ領域1Hに含まれており、その出力 S はHigh-Data:SHに対応する。一方、上記4画素に接する12画素は、画素の一部がHigh-Data単位データ領域1Hに含まれており、その出力 S はHigh-Dataより低い中間階調となっている。また、High-Data単位データ領域1Hに画素が含まれない9画素においては、その出力 S はLow-Data:SLとなる。

30

【0039】

一方、2次元デジタルデータ画像においてHigh-Data単位データ領域に囲まれたLow-Data単位データ領域1Lと、画素領域101の一部の相対的な位置関係を説明するための模式図と、このときに得られる画素出力を、各々、図5、図6に示す。

【0040】

画素2について、(n 行、 m 列)として表現すると、図5からもわかるように、(2, 2)、(2, 3)、(3, 2)、(3, 3)の4画素は画素全体がLow-Data単位データ領域1Lに含まれており、その出力 S はLow-Data:SLに対応する。一方、上記4画素に接する12画素は、画素の一部がLow-Data単位データ領域1Lに含まれており、その出力 S はLow-Dataより高い中間階調となっている。また、Low-Data単位データ領域1Lに画素が含まれない9画素においては、その出力 S はHigh-Data:SHとなる。

40

【0041】

通常のCMOSセンサであれば、図4または図6に示したアナログ出力をそのまま出力するか、あるいは N ビットADCによりデジタル化し N ビットデジタルデータとして出力する。

【0042】

しかし、本実施形態では、図1の1ビットADC106により、図4、図6のアナログ

50

出力を1ビットデジタル出力に変換し、出力する。1ビットADC106のしきい値電圧 V_{th} は、 $SL < V_{th} < SH$ になるように設定され、 SL と SH とを各々0、1に変換する。しかし、 $SL < SM < SH$ となるような中間階調出力 SM に対しては V_{th} と SM との関係により0、1いずれの出力が得られるかは確定しない。この不確定な出力を「？」として、図4、図6の各出力が1ビットADC106により変換された結果を図7、8に各々示す。図7、図8からわかるように、不確定な出力が1、0いずれであっても、1ビットデジタル出力が2個以上連続して同一の値であれば、その値により単位データ領域のHigh/Lowを認識することが可能である。

【0043】

図3～図8では、同一の情報を示す単位データ領域が隣接する場合について説明していないが、その場合にはHigh-Data領域とLow-Data領域の境界部に発生する中間階調出力が無いので、同一のデジタルデータが $2 + 3 = 5$ 個以上連続して出力される。したがって、同一のデジタルデータが連続出力される画素数を外部回路に設けたカウンタによりカウントすることにより同一データが隣接した場合にもHigh/Lowを認識することが可能である。例えば、同一データが連続出力される画素数を n とすれば、 $n - 1$ はノイズであり無視し、 $2 \leq n \leq 4$ で SH あるいは SL に相当するデータ領域が1個、 $5 \leq n \leq 7$ で SH あるいは SL に相当するデータ領域が2個連続、 $(3m - 1) \leq n \leq (3m + 1)$ のときに SH あるいは SL に相当するデータ領域が m 個連続、として認識することができる。

【0044】

外部回路では、1行分の1ビットメモリを利用して、上下に隣接する1ビットデジタルデータ間でデータが変化するかどうかを判定し、同様の方法で単位データ領域を認識することができる。なお、本実施形態においては、上記カウンタは外部回路に設けたが、後述する第2実施形態のように、2次元デジタルデータ取得素子100に内蔵させたカウンタ120であってもよい。

【0045】

1ビットADC106としては、図9(a)に示すように直列に接続された2段のインバータ回路すなわち、図9(b)に示すように直列に接続された2段のCMOSインバータ回路を用いることができる。図9(b)は一般的なCMOSインバータ回路を2段直列に接続したものであるが、出力の極性や動作マージンを考慮しなければ1段のインバータ回路でも構わないし、あるいは3段以上の直列接続構成にしてもよい。

【0046】

図9(a)、9(b)の1ビットADCの電源電圧 V_{DL} は、他の電源電圧 V_{dd} と異なる電圧を与えるように独立制御可能とすることが可能であり、このようにすることがより好ましい。その理由は、電源電圧 V_{DL} を制御することにより1ビットADCのしきい値電圧 V_{th} を制御可能であることにある。その詳細は他の実施形態で説明する。

【0047】

また、超高速読出しのためには、読出し回路105を多線出力にすることが一般的に行われる。例えば10線出力とすることで、同一のクロック周波数のまま、出力のデータレートを10倍に増加することができる。読出し回路105が3線出力の場合の例を図10に示す。図の簡略化のために3線出力で信号線は6列としているが、実際には10線以上の出力と数百本あるいは千本以上の信号線により構成される。図10においては、H選択回路104からのH選択パルスは3列の選択トランジスタに同時に印加され、選択された3列の信号線に発生した画素出力情報を各々の選択トランジスタに接続された出力線に伝える。3本の出力線の各々には独立した1ビットADC106が接続され、1ビットデジタル出力に変換され、3本の出力端子から出力される。

【0048】

このとき、3個の1ビットADC106の特性、すなわち、1ビットAD変換におけるしきい値電圧 V_{th} が揃っていることが重要である。1ビットADC106として、図9に示したCMOSインバータ回路を用いた場合、PMOSトランジスタとNMOSトラン

10

20

30

40

50

ジスタのそれぞれのしきい値電圧 V_{thp} 、 V_{thn} が一定であることが重要である。同一基板内でのトランジスタのしきい値電圧 V_{th} のばらつきの主原因はチャネル領域の不純物数の統計的な揺らぎであることが知られている。そして、1ビットADC106のトランジスタは、画素内部の微細トランジスタと異なり、周辺回路のトランジスタであるので、チャネル面積を十分に確保することで V_{thp} 、 V_{thn} を一定に保つことが可能である。また、基板が異なる場合には、電子・正孔の移動度、ゲート酸化膜厚によりCMOSインバータのしきい値電圧 V_{th} は変化するが、本実施形態においては同一基板上のトランジスタ特性が揃っていれば良いので、基板が異なる場合は関係ない。

【0049】

このような多線読出し構造の場合、画素出力をMビットADCによりMビットのデジタルデータに変換・出力しようとする、極めて多数の出力ピンが必要となる。たとえば、10線読出し、10ビット出力というCMOSセンサが製品化されているが、この場合、出力ピンだけで $10 \times 10 = 100$ 本にもなり、パッケージコストを下げるのが困難である。

10

【0050】

それに対して、本実施形態では、高速読出しのために10線読出し構造としても、出力データは1ビットデジタル信号であるので出力ピンはわずか10本にとどまる。この出力ピン数は、1線読出し・10ビット出力の標準CMOSセンサと同一であり、低価格のパッケージを使用することが可能であり、また、外部回路とのI/F（インターフェース）も簡略化でき、システム全体を小型化・低コスト化することが可能となる。

20

【0051】

以上説明したように、本実施形態によれば、標準的な画素構成を持つCMOSセンサ素子をベースにした、簡単なデバイス構成により超高速な2次元デジタルデータ取得素子を得ることができ、小型化、低コスト化が可能である。

【0052】

さらに、高速動作のために多線読出しを行う場合、読み出し線数をKとした場合、従来のMビット出力素子では $M \times K$ 本の出力ピンが必要なのに対して、K本の出力ピンで十分でありチップコストのみならずパッケージコストも大幅にコストダウンすることが可能である。その上、出力が1ビットデジタル出力であるので、外部回路による2次元デジタルデータ再構築プロセスは大幅に単純化され、超高速な2次元デジタルデータ取得装置としての大幅な小型化、低コスト化が可能となる。

30

【0053】

(第2実施形態)

本発明の第2実施形態による2次元デジタルデータ取得素子の概略構成を図11に示す。本実施形態の2次元デジタルデータ取得素子100Aは、図1に示す第1実施形態の2次元デジタルデータ取得素子100において、1ビットADC106と出力端子との間に、論理演算処理回路108と、カウンタ120とを設けた構成となっている。

【0054】

第1実施形態において説明したように、1ビットデジタル出力を外部回路により処理することで、2次元デジタルデータを再構築可能である。本実施形態においては、外部回路における処理をより簡略化するために、上記1ビットデジタル出力を、オンチップ化した論理演算処理回路108により演算処理し、その演算結果を1ビットデジタルデータとして出力し、この出力をカウンタ120によりカウントし、このカウント値により単位データを認識する。

40

【0055】

論理演算処理回路108の一具体例を図12に示す。1ビットADC106の出力を分岐し、一方をAND回路108bに直接入力し、もう一方を遅延回路108aを介してAND回路108bに入力する。そしてAND回路108bによる演算結果を出力する。遅延回路108aでは、1画素分の遅延を行う。図12に示す画素データ間演算処理回路108によって、連続的に読み出される隣接画素データ間のAND演算が行われ、2画素連

50

続で High - Data デジタル出力：SH が入力された場合にのみ SH を出力する。

【0056】

図3、図5に示す2次元デジタルデータが入射し、図4、図6に示す画素出力が得られ、1ビットADC106の出力として図7、図8に示す1ビットデジタルデータが論理演算処理回路108に入力した場合の演算処理結果を図13、図14に示す。中間階調出力が存在するために不確定な1ビットデジタルデータ「？」が存在するが、High - Data 領域が存在する場合にはSHが最低でも1画素分出力され、逆にLow - Data 領域が存在する場合にはSLが最低でも3画素連続で出力される。このため、例えば、High - Data に注目すれば、SHが出現した場合をHigh - Data として認識することができる。また、二つのHigh - Data 領域が隣接した場合には、SHが最低でも4画素連続して出力されるので、第1実施形態と同様に、SHが出力された場合にはSHが連続で出力される画素数をカウンタ120によりカウントすればよい。このカウント数によりHigh - Data 領域の連続数が判定できる。SHが連続出力される画素数をnとすれば、 $1 \leq n \leq 3$ でHigh - Data 領域が1個、 $4 \leq n \leq 6$ でHigh - Data 領域が2個連続、 $(3m - 2) \leq n \leq 3m$ のときにHigh - Data 領域がm個連続、として認識することができる。なお、外部回路においても、1行分の1ビットメモリを利用して、上下に隣接する1ビットデジタルデータ間でAND演算を行い、同様の方法でHigh - Data 領域を認識することができる。

10

【0057】

本実施形態のように、オンチップで画素データ間の論理演算処理を行うことは外部回路における処理プロセスへの負荷を軽減するという他にも重要な効果がある。それは、白傷画像欠陥による誤出力をオンチップで防止することができるという効果である。

20

【0058】

白傷画像欠陥とは、画素内部のフォトダイオードや検出ノードの部分に結晶欠陥や重金属汚染等に起因する発生中心が形成されてしまい、画素出力が入射光量によらず、常にHigh - Data を出力してしまうものである。一般に、良くコントロールされた基板や製造プロセスにより、白傷画像欠陥の発生率は低減されており、白傷画像欠陥が隣接画素に連続的に発生することは極めて稀である。したがって、白傷画像欠陥は1画素単独の点欠陥である。白傷画像欠陥が問題となるのは、Low - Data 領域においてであり、本来SLが出力される画素においてSHが出力されてしまう。しかし、本実施形態のように画素データ間に演算処理回路108による論理演算を行えば、白傷画像欠陥による画素出力はオンチップで除去される。

30

【0059】

逆に、入射光量によらず常にLow - Data を出力するという黒傷画像欠陥がHigh - Data 領域に存在した場合、本実施形態の画素データ間演算処理回路108においてHigh - Data 領域が失われることが懸念されるが、出力が常にLow - Data となるような黒傷画像欠陥は、良くコントロールされた製造プロセスにより、ほぼ完全に排除されている。

【0060】

また、第1実施形態において説明したように、超高速読出しのためには、読出し回路105を多線出力にすることが一般的に行われる。例えば10線出力とすることで、同一のクロック周波数のまま、出力のデータレートを10倍に増加することができる。読出し回路105が3線出力の場合の構成例を図15に示す。図の簡略化のために3線出力で信号線は6列としているが、実際には10線以上の出力と数百本あるいは千本以上の信号線により構成される。図15においては、H選択回路104からのH選択パルスは3列の選択トランジスタに同時に印加され、選択された3列の信号線に発生した画素出力情報を各々の選択トランジスタに接続された出力線に伝える。3本の出力線の各々には独立した1ビットADC106が接続され、1ビットデジタル出力に変換され、その1ビットデジタル出力に対して演算処理を行い、演算結果を3本の出力端子から出力する。

40

【0061】

50

第1実施形態において説明したように、3個の1ビットADC106の特性、すなわち、1ビットAD変換におけるV_{th}を揃えることは可能であり、問題ない。図15では、多線読出しにおける画素データ間演算処理回路108が図12に示した画素データ間演算処理回路108と異なっている。

【0062】

多線読出しにおいては、隣接列が同時に選択・出力されるので、各読出し線から1ビットADCを介して出力されたデジタルデータをAND回路108bに直接に入力することが可能である。そして、隣接列が異なるタイミングで選択・出力される列に関してのみ、遅延回路108aを介してAND回路108bに入力している。したがって、遅延回路108bは読出し線の本数によらず1個のみでよい。

10

【0063】

このような多線読出し構造の場合、従来のように、画素出力をMビットADCによりMビットのデジタルデータに変換・出力しようとする、極めて多数の出力ピンが必要となる。例えば、10線読出し、10ビット出力というCMOSセンサが製品化されているが、この場合、出力ピンだけで10×10=100本にもなり、パッケージコストを下げるのが困難である。

【0064】

それに対して、本実施形態では、高速読出しのために10線読出し構造としても、出力データは1ビットデジタル信号であるので出力ピンはわずか10本にとどまる。この出力ピン数は、1線読出し・10ビット出力の標準CMOSセンサと同一であり、低価格のパッケージを使用することが可能であり、また、外部回路とのI/Fも簡略化でき、システム全体を小型化・低コスト化することが可能となる。

20

【0065】

以上説明したように、本実施形態によれば、標準的な画素構成を持つCMOSセンサ素子をベースにした、簡単なデバイス構成により超高速な2次元デジタルデータ取得素子を得ることができ、小型化、低コスト化が可能であり、また白傷画像欠陥の影響をオンチップで排除することで素子の製造歩留りを向上し、さらに低コスト化できる。

【0066】

さらに、高速動作のために多線読出しを行う場合、読み出し線数をKとした場合、従来のMビット出力素子ではM×K本の出力ピンが必要なのに対して、K本の出力ピンで十分でありチップコストのみならずパッケージコストも大幅にコストダウンすることが可能である。

30

【0067】

その上、出力が画素データ間で演算された1ビットデジタル出力であるので、外部回路による2次元デジタルデータ再構築プロセスは大幅に単純化され、超高速な2次元デジタルデータ取得装置としての大幅な小型化、低コスト化が可能となる。

【0068】

なお、本実施形態においては、カウンタ120を2次元デジタルデータ取得素子100Aに内蔵させたが、外部に設けてもよい。

【0069】

40

(第3実施形態)

本発明の第3実施形態による2次元デジタルデータ取得素子の概略構成を図16に示す。本実施形態の2次元デジタルデータ取得素子100Bは、図1に示す第1実施形態の2次元デジタルデータ取得素子100において、アナログバッファ回路109を新たに設け、読出し回路105の出力が1ビットADC106に入力されるだけでなく、アナログバッファ回路109にも入力されるようにした構成となっている。

【0070】

本実施形態の2次元デジタルデータ取得素子100Bによれば、1ビットデジタル出力だけでなく、画素からのアナログ出力を得ることが可能であり、このアナログ出力を用いて1ビットADC106の動作を最適化することが可能でかつ超高速な2次元デジタルデ

50

ータ取得素子を得ることができる。なお、アナログバッファ回路109としては、入力インピーダンスが高いバッファ回路として、例えば図17に示すソースフォロア回路を用いることが可能である。

【0071】

本実施形態の2次元デジタルデータ取得素子100Bにおける、1ビットADC106の動作の最適化について、以下に説明する。

【0072】

2次元デジタルデータのHigh-Data領域の抽出については、第1実施形態および第2実施形態において説明したが、High-Data領域において発生する画素出力は、2次元デジタルデータを形成するための光源の光強度により変化する。例えば、ホログラフィックストレージ装置においては、2次元デジタルデータであるホログラフィック像を得るために400nm程度の短波長レーザー光源からの参照光を媒体である光ディスクに照射するが、このレーザー光源の光強度が経時変化することで、2次元デジタルデータのHigh-Data領域の照度が変化し、その結果、High-Data領域において発生する画素出力が変化する。あるいは、媒体である光ディスクの状態により光経路における光学的損失が変化することで、同様に2次元デジタルデータのHigh-Data領域の照度が変化し、その結果、High-Data領域において発生する画素出力が変化する。これらの場合には、1ビットADC106のしきい値電圧V_{th}を調整することで、1ビットADC106の動作を最適化することが可能である。

【0073】

本実施形態の2次元デジタルデータ取得素子100Bでは、アナログバッファ回路109を介してアナログ出力を得ることができるので、このアナログ出力を利用することで、1ビットADC106のしきい値電圧V_{th}を調整し、その動作を最適化することができる。

【0074】

2次元デジタルデータを取得する際には、媒体である光ディスクを装置にセットする。その光ディスクをセットするたびに、少なくとも1フレーム分のHigh-Dataアナログ出力を外部回路に読出し、その1フレーム分のHigh-Dataアナログ出力データから、High-Data領域において発生する画素出力を知り、その値を元に1ビットADC106のしきい値電圧V_{th}を調整することで、1ビットADC106の動作を最適化することが可能である。例えば、最も単純な方法としては、1フレーム分のアナログ出力データから最大となるアナログ出力：V_{max}を抽出し、1ビットADC106のしきい値電圧V_{th}がV_{max}/2になるように設定する方法がある。特に、1ビットADC106として、図9に示すように、CMOSインバータ回路を用いた場合には、このV_{max}と同じ電圧をVDLに与えることで、1ビットADC106のしきい値電圧V_{th}をV_{max}/2に設定することが可能である。それは、CMOSインバータ回路のしきい値電圧V_{th}は、CMOSインバータ回路を構成するnMOS、pMOSの各トランジスタについて、以下の条件があれば、V_{th} = VDL/2となるからである。

$$n = p$$

$$V_{thn} = -V_{thp}$$

ただし、

$$n = \mu_n \cdot C_{ox} \cdot (W_{effn} / L_{effn})$$

$$p = \mu_p \cdot C_{ox} \cdot (W_{effp} / L_{effp})$$

ここで、 μ_n は電子の移動度、 μ_p は正孔の移動度、 C_{ox} は単位面積あたりのゲート酸化膜容量、 W_{effn} は、nMOSトランジスタの有効チャネル幅、 W_{effp} はpMOSトランジスタの有効チャネル幅、 L_{effn} はnMOSトランジスタの有効チャネル長、 L_{effp} はpMOSトランジスタの有効チャネル長である。

【0075】

この条件は、チャネル不純物濃度、チャネルサイズ等の設計により実現可能である。

【0076】

また、この条件が満たされなくとも、CMOSインバータのしきい値電圧 V_{th} をVDLで表現することは可能であるので、その場合には、 $V_{th} = V_{max} / 2$ となるようにVDLを設定すればよい。

【0077】

以上説明したように、アナログ出力情報を元に、1ビットADCの動作を最適化することができる。

【0078】

なお、1フレーム分のHigh-Dataアナログ出力データから、High-Data領域において発生する画素出力を知り、その値を元に1ビットADCの V_{th} を画素ごとに調整することで、1ビットADCの動作を画素ごとに最適化することも可能である。この場合、図18に示すように、外部フレームメモリ301に1フレーム分のHigh-Dataアナログ出力データを保持し、該当画素のADC動作と同期するように、外部フレームメモリ301に保持されたHigh-Dataアナログ出力データをADCのVDLとして供給すればよい。

10

【0079】

前述したように、 $V_{th} = VDL / 2$ が満たされない場合においては、High-Dataアナログ出力データ V_{HD_i} に対して適当な変換処理を行うことで、 $V_{th_i} = V_{HD_i} / 2$ となるような VDL_i を与えることが可能である。ここで、添え字の*i*は、画素ごとのデータという意味である。

20

【0080】

1ビットADC106のしきい値電圧 V_{th} を画素ごとに調整する場合の装置構成と、その動作フローを図19に示す。まず、媒体をセットする(図19のステップS1)。その後、本実施形態のデータ取得素子100Bを用いて1フレームHigh-Dataを取得する(図19のステップS2)。続いて、アナログバッファ回路109の出力を1フレーム分、フレームメモリ301に記憶させる(図19のステップS3)。そして、フレームメモリ301からの画素ごとのHigh-Data出力に応じた電圧を1ビットADC106に与えながらデータ取得動作を行う(図19のステップS4)。このとき、必要に応じて外部の変換回路302で電圧変換を行う(図19のステップS5)。

【0081】

また、前述の最も単純な方法である、1フレーム分のアナログ出力データから最大となるアナログ出力 V_{max} を抽出し、1ビットADC106のしきい値電圧 V_{th} が $V_{max} / 2$ になるように設定する方法においても、その動作フロー等は図19と同じであり、その場合、図18に示す変換回路302において V_{max} の抽出を行うことが可能である。また、 V_{max} を変換回路302の内部に保持・記憶することで、それ以降のフレームメモリ動作を終了させることもできる。

30

【0082】

このアナログ出力は、1ビットADCの動作を最適化するためにのみ使用するもので、図17に示すソースフォロア回路の電源電圧 V_D をパルス駆動する、あるいは負荷トランジスタのゲート電圧 V_{GL} をパルス駆動することで、デジタル出力時にアナログバッファ回路109の動作を停止することも可能であり、消費電力を抑制するためには好ましいといえる。

40

【0083】

また、第1実施形態および第2実施形態において説明したように、超高速読出しのためには、読出し回路105を多線出力にすることが一般的に行われる。例えば、10線出力とすることで、同一のクロック周波数のまま、出力のデータレートを10倍に増加することができる。その場合には、多線読出しのための読出し線と同数のアナログバッファ回路を配置することで対応でき、その場合にはデジタル出力のピン数と同数のアナログ出力ピンが必要となる。

【0084】

50

あるいは、アナログ出力と1ビットデジタル出力を同時に得る必要が無ければ、出力ピンをアナログ・デジタルで共用し、スイッチで切り替えて使用することも可能であり、その場合には出力ピンが増加することもなく、より好ましいといえる。

【0085】

さらに、本実施形態を図11に示した第2実施形態と組み合わせて実施することも可能である。

【0086】

以上説明したように、本実施形態によれば、アナログ出力データを演算して得た結果から、1ビットADCのしきい値電圧 V_{th} を調整し、その動作を最適化することができ、光源の変動・媒体の状態の変化等による2次元デジタルデータの照度変化が発生しても、安定なデータ読み取りが可能でかつ超高速な2次元デジタルデータ取得素子および2次元デジタルデータ取得装置を得ることができる。

【0087】

また、第1実施形態、または第2実施形態と同様の効果も得ることができる。

【0088】

(第4実施形態)

本発明の第4実施形態による2次元デジタルデータ取得素子の概略構成を図20に示す。本実施形態の2次元デジタルデータ取得素子100Cは、図1に示す第1実施形態の2次元デジタルデータ取得素子100において、1Hメモリ回路110および論理演算回路111を新たに設けた構成となっている。

【0089】

この1Hメモリ回路110は、2個の第1および第2の1Hメモリ(図示せず)と、これら第1および第2の1Hメモリ間でデータをコピーするコピー部(図示せず)とを備えている。そして、これら第1および第2の1HメモリはH選択回路104により同一列が選択される。

【0090】

次に、この1Hメモリ回路110および論理演算回路111の動作を説明する。

ステップ1: 先頭行データである1ビットADC106の出力を第1の1Hメモリに記憶する。

ステップ2: 第1の1Hメモリに記憶されたデータをコピー部によって第2の1Hメモリにコピーし、記憶させる。

ステップ3: 次行データである1ビットADC106の出力を第1の1Hメモリに記憶する。

ステップ4: ステップ3の記憶動作と並行して1ビットADC106の出力と同期して第2の1Hメモリから出力される前行の出力と、1ビットADC106との出力とを、論理演算回路111において順次、論理演算を行いながら、「列内」の演算結果を時系列で出力する。

ステップ5: 第1の1Hメモリから第2の1Hメモリにデータをコピーする。

ステップ6: ステップ3乃至ステップ5をデータが無くなるまで繰り返す。

【0091】

このように構成された本実施形態の2次元デジタルデータ取得素子は、水平方向に隣接する画素間の論理演算処理に加えて、垂直方向に隣接する画素間の論理演算処理機能をオンチップで実現しており、第1実施形態に比べて、外部回路における演算処理を大幅に軽減可能であり、第1実施形態以上に、外部回路の大幅な小型化および大幅な低コスト化が可能となる。

【0092】

なお、本実施形態においては、1ビットADC106が1個しか設けられていなかったが、例えば、図10に示すように多線読出し構造として、1ビットADC106が複数個設けられていてもよい。この場合、1Hメモリ回路110および論理演算回路111も1ビットADC106の個数に応じて設ける必要がある。

【0093】

(第5実施形態)

本発明の第5実施形態による2次元デジタルデータ取得素子の概略構成を図21に示す。本実施形態の2次元デジタルデータ取得素子100Dは、図11に示す第2実施形態の2次元デジタルデータ取得素子100Aにおいて、1Hメモリ回路110および論理演算回路111を新たに設けた構成となっている。

【0094】

この1Hメモリ回路110は、2個の第1および第2の1Hメモリ(図示せず)と、これら第1および第2の1Hメモリ間でデータをコピーするコピー部(図示せず)とを備えている。そして、これら第1および第2の1HメモリはH選択回路104により同一列が

10

【0095】

次に、この1Hメモリ回路110および論理演算回路111の動作を説明する。

ステップ1: 先頭行データである画素データ間演算処理回路108の出力を第1の1Hメモリに記憶する。

ステップ2: 第1の1Hメモリに記憶されたデータをコピー部によって第2の1Hメモリにコピーし、記憶させる。

ステップ3: 次行データである画素データ間演算処理回路108の出力を第1の1Hメモリに記憶する。

ステップ4: ステップ3の記憶動作と並行して画素データ間演算処理回路108の出力と同期して第2の1Hメモリから出力される前行の出力と、画素データ間演算処理回路108の出力とを、論理演算回路111において順次、論理演算を行いながら、「列内」の演算結果を時系列で出力する。

20

ステップ5: 第1の1Hメモリから第2の1Hメモリにデータをコピーする。

ステップ6: ステップ3乃至ステップ5をデータが無くなるまで繰り返す。

【0096】

このように構成された本実施形態の2次元デジタルデータ取得素子は、水平方向に隣接する画素間の論理演算処理に加えて、垂直方向に隣接する画素間の論理演算処理機能をオンチップで実現しており、外部回路における演算処理を大幅に軽減可能であり、第2実施形態以上に、外部回路の大幅な小型化および大幅な低コスト化が可能となる。

30

【0097】

なお、本実施形態においては、1ビットADC106が1個しか設けられていなかったが、例えば、図10に示すように複数個設けられていてもよい。この場合、画素データ間演算処理回路108、1Hメモリ回路110、および論理演算回路111も1ビットADC106の個数に応じて設ける必要がある。

【0098】

(第6実施形態)

次に、本発明の第6実施形態による2次元デジタルデータ取得素子の駆動方法を説明する。本実施形態の駆動方法は、上記第1乃至第5実施形態のいずれかによる2次元デジタルデータ取得素子の駆動に用いられ、その駆動タイミングチャートを図22に示す。

40

【0099】

図22に示したタイミングチャートの特徴は、転送トランジスタ202を全画素で同時に制御していることにあり、その目的とするところは、全画素で同時に2次元デジタルデータを取得することにある。

【0100】

一般的に、CMOSセンサの読出し動作は行単位で実行され、その際にはCDS回路による画素固有雑音除去を目的に、検出ノードをリセットした状態での暗時信号読出しと、信号電荷をフォトダイオードから検出ノードに転送した状態での明時信号読出しを行う。その結果、フォトダイオードにおいて信号電荷が蓄積する時間帯、言い換えれば、時刻は、行ごとに異なってしまう。

50

【 0 1 0 1 】

また、ホログラフィックストレージ装置等の超高速 2 次元デジタルデータ取得装置では、2 次元デジタルデータを全画素で同時に読み取り、その後のデータ読出し期間を利用して、光ディスク等の媒体を移動し、次の 2 次元デジタルデータを形成することにより、効率的に高速読出しを実現することが可能である。

【 0 1 0 2 】

また、図 2 2 に示すように、転送トランジスタ 2 0 2 を全画素同時にオン動作させ、フォトダイオード 2 0 1 に蓄積した信号電荷を全画素同時に検出ノード 2 0 3 に転送しており、上記の効率的な高速読出し動作に対応している。図 2 2 を参照して、素子動作を説明する。

10

【 0 1 0 3 】

まず、媒体が固定された状態で、転送トランジスタ 2 0 2 とリセットトランジスタ 2 0 4 を全画素同時にオンし、全画素のフォトダイオード 2 0 1、検出ノード 2 0 3 をリセットする(時刻 T_1)。

【 0 1 0 4 】

次に、一定時間経過後、全画素の転送トランジスタ 2 0 2 を同時にオンし、全画素同時に、フォトダイオード 2 0 1 に蓄積した信号電荷を検出ノード 2 0 3 に転送する(時刻 T_2)。期間($T_2 - T_1$)が、いわゆる蓄積期間となり、この期間は光ディスク等の媒体を固定し、2 次元デジタルデータが変化しないようにする。

20

【 0 1 0 5 】

信号電荷の転送が完了した後、光ディスク等の媒体を移動し、次の 2 次元デジタルデータを発生させる準備を行う。

【 0 1 0 6 】

検出ノード 2 0 3 に転送された信号電荷は、行選択パルス V_1 、 V_2 、 \dots 、 V_n により信号線 2 0 7 の電圧に変換される。行選択パルス V_1 により発生した信号線電圧は、H 選択パルスが H 選択回路 1 0 4 から出力されることにより読出し回路 1 0 5 に読み出される。

【 0 1 0 7 】

H 選択パルスの終了に続き、次の行選択パルス V_2 で新たな信号線電圧が発生し、H 選択パルスが H 選択回路 1 0 4 から出力されることにより読出し回路に読み出され、以降、最後の行の信号読出しが完了するまで繰り返される。

30

【 0 1 0 8 】

全ての信号読出しが完了した後、全画素同時に転送トランジスタ 2 0 2 とリセットトランジスタ 2 0 4 をオンにし、全画素のフォトダイオード 2 0 1、検出ノード 2 0 3 をリセットする。

【 0 1 0 9 】

このリセット動作が行われるまでに、光ディスク等の媒体の移動は完了し、次の 2 次元デジタルデータが発生している。

【 0 1 1 0 】

本実施形態の駆動方法によれば、全画素同時の積分動作を行うことにより、2 次元デジタルデータを形成する光ディスク等の媒体を固定する期間を短縮することが可能であり、また、検出ノードに転送した信号電荷を順次読み出す動作を行っている期間に、光ディスク等の媒体を移動し、次の 2 次元デジタルデータを形成する準備を行うことができるので、効率的に超高速 2 次元デジタルデータ読出しを行うことが可能となる。

40

【 0 1 1 1 】

さらに、必要に応じて、画素領域 1 0 1 と読出し回路 1 0 5 との間に C D S 回路を設けて、各行の検出ノード情報を信号線に読出した後に、該当行の検出ノードをリセットし、検出ノード情報を含む信号線出力と、検出ノードをリセットした状態での信号線出力との差分を取ることも可能である。この場合、検出ノードのリセットに起因する $k T C$ 雑音の除去はできないが、画素内の増幅トランジスタの閾値ばらつきに起因する画素固有の雑音

50

を除去することが可能である。

【0112】

(第7実施形態)

本発明の第7実施形態によるホログラフィックストレージ装置を図23に示す。図23は、空間光変調器SLMから2次元デジタルデータ取得素子までの光学系を示す模式図である。

【0113】

本実施形態のホログラフィックストレージ装置は、ピックアップ素子(撮像素子)として、第1実施形態の2次元デジタルデータ取得素子100が用いられている。なお、ピックアップ素子として第2乃至第6実施形態のいずれかの2次元デジタルデータ取得素子を用いてもよい。

10

【0114】

本実施形態によるホログラフィックストレージ装置の光学系は、6個のレンズ $L_1 \sim L_6$ と、レンズ L_1 とレンズ L_2 との間の光路に設けられたアイリス I_r とを有しており、各レンズ L_i ($i = 1, \dots, 6$)の焦点距離は f_i である。

【0115】

空間光変調器SLM上に表示された2次元データは、結像位置 IP_1 、 IP_2 を経て結像位置 IP_3 に設けられた2次元デジタルデータ取得素子100に結像される。アイリス I_r は空間光変調器SLMから生じる高次回折光を除くために設けられている。結像位置 IP_1 に結像される像の、空間光変調器SLM上に表示された像に対する拡大率は f_2 / f_1 で与えられる。同様に、結像位置 IP_1 、 IP_2 、および IP_3 における拡大率を順に考えると、最終的に2次元デジタルデータ取得素子100上に結像される像の、空間光変調器SLM上に表示された像に対する拡大率は $(f_2 / f_1) \cdot (f_4 / f_3) \cdot (f_6 / f_5)$ で与えられる。本実施形態においては、 $f_1 = f_2 = 50 \text{ mm}$ 、 $f_3 = f_4 = 40 \text{ mm}$ 、 $f_5 = 70 \text{ mm}$ 、 $f_6 = 120 \text{ mm}$ のレンズ $L_1 \sim L_6$ を用いたため、拡大率は、 $120 / 70 = 1.71$ となっている。また、空間光変調器SLMの画素ピッチは $13.68 \mu\text{m}$ であることから、空間光変調器SLMの1画素は2次元デジタルデータ取得素子100上では、 $13.68 \times 120 / 70 = 23.45 \mu\text{m}$ となる。一方、2次元デジタルデータ取得素子100の画素領域101の画素ピッチはCMOSセンサ素子の画素ピッチ $8 \mu\text{m}$ であるので、オーバーサンプリングレート(画素のピッチと2次元デジタル画像の単位データ領域ピッチとの比： n)は、約 $3 (= 23.45 / 8)$ となっている。

20

30

【0116】

図23に示したホログラフィックストレージ装置は、いわゆる透過型ホログラム方式であり、レンズ L_3 と L_4 の間に設けられたサンプル(透過型ホログラム)を2次元デジタルデータ光が透過する構造となっている。本実施形態は図23に示す構造に限定されるものではなく、いわゆる反射型ホログラム方式のホログラフィックストレージ装置であっても構わない。すなわち、図23に示すように2次元デジタルデータ光がサンプルを透過する構造ではなく、2次元デジタルデータ光がサンプル(反射型ホログラム)で反射する構造となっても構わない。

【0117】

本実施形態のホログラフィックストレージ装置は、ピックアップ素子として、第1実施形態の2次元デジタルデータ取得素子を用いているので、超高速で小型化かつ低価格化が可能となる。

40

【0118】

以上説明したように、本発明の一実施形態による2次元デジタルデータ取得素子は、出力部において1ビットAD変換を行い、1ビットデジタル信号を出力する。また、上記1ビットデジタル信号を隣接画素間で演算処理した結果を出力する。さらに、アナログ信号をアナログバッファを介して出力することも可能であり、このアナログ出力に基づき、前記1ビットADCの閾値を調整することが可能である。そして、全画素同時にフォトダイオードのリセット、フォトダイオードからの信号電荷転送を行うことで、2次元デジタル

50

データを含む媒体を固定する時間を大幅に短縮でき、効率的な高速読出しが可能となる。

【0119】

したがって、標準的な画素構成を持つCMOSセンサ素子をベースにした、簡単なデバイス構成により超高速2次元デジタルデータ取得素子を得ることができ、小型化、低コスト化が可能である。さらに、高速動作のために多線読出しを行う場合、読み出し線数をK本とした場合、従来のMビット出力素子ではM×K本の出力ピンが必要なのに対して、K本の出力ピンで十分でありチップコストのみならずパッケージコストも大幅にコストダウンすることが可能である。その上、出力が1ビットデジタル出力であるので、外部回路による2次元デジタルデータ再構築プロセスは大幅に単純化され、超高速2次元デジタルデータ取得装置としての大幅な小型化、低コスト化が可能となる。また、レーザー光源の出力変動があった場合にも、1ビットADCの閾値を調整することで正確なデータ取得が可能である。

10

【図面の簡単な説明】

【0120】

【図1】第1実施形態による2次元デジタルデータ取得素子を示すブロック図。

【図2】第1実施形態による2次元デジタルデータ取得素子の画素を示す回路図。

【図3】2次元デジタルデータのHigh-Dataブロックと画素の相対的な位置関係を説明するための模式図。

【図4】図3に示す2次元デジタルデータを読み出したときの出力を示す模式図。

【図5】2次元デジタルデータのLow-Dataブロックと画素の相対的な位置関係を説明するための模式図。

20

【図6】図5に示す2次元デジタルデータを読み出したときの出力を示す模式図。

【図7】図4に示す出力を1ビットAD変換した1ビットデジタル出力を示す模式図。

【図8】図6に示す出力を1ビットAD変換した1ビットデジタル出力を示す模式図。

【図9】第1実施形態による2次元デジタルデータ取得素子の1ビットADCを示す回路図。

【図10】第1実施形態による2次元デジタルデータ取得素子の多線読出し構造を説明するブロック図。

【図11】第2実施形態による2次元デジタルデータ取得素子を示すブロック図。

【図12】第2実施形態による2次元デジタルデータ取得素子における演算回路を示すブロック図。

30

【図13】図7の出力を図12に示した演算回路により演算した結果の出力を示す模式図。

【図14】図8の出力を図12に示した演算回路により演算した結果の出力を示す模式図。

【図15】第2実施形態による2次元デジタルデータ取得素子の多線読出し構造を説明するブロック図。

【図16】第3実施形態による2次元デジタルデータ取得素子を示すブロック図。

【図17】第3実施形態に係るアナログバッファ回路を示すブロック図。

【図18】画素ごとに1ビットADCのV_{th}を制御する場合の構成を示すブロック図。

40

【図19】画素ごとに1ビットADCのV_{th}を制御する場合の動作フローを示す図。

【図20】第4実施形態による2次元デジタルデータ取得素子を示すブロック図。

【図21】第5実施形態による2次元デジタルデータ取得素子を示すブロック図。

【図22】第6実施形態による2次元デジタルデータ取得素子の駆動方法を説明するタイミングチャート。

【図23】第7実施形態によるホログラフィックストレージを示す図。

【図24】オーバーサンプリングにおいて実数Nが実質的に自然数nである例1を説明する図。

【図25】オーバーサンプリングにおいて実数Nが実質的に自然数nである例2を説明する図。

50

【符号の説明】

【0121】

1 H High - Data 単位データ領域

1 L Low - Data 単位データ領域

2 画素

1 0 0 2次元デジタルデータ取得素子

1 0 0 A 2次元デジタルデータ取得素子

1 0 0 B 2次元デジタルデータ取得素子

1 0 1 画素領域

1 0 2 負荷トランジスタ部

10

1 0 3 V 選択回路

1 0 4 H 選択回路

1 0 5 読出し回路

1 0 6 1ビットADC

1 0 7 タイミングジェネレータ(TG回路)

1 0 8 画素データ間演算処理回路

1 0 9 アナログバッファ回路

1 2 0 カウンタ

2 0 1 フォトダイオード

2 0 2 転送トランジスタ

20

2 0 3 検出ノード

2 0 4 リセットトランジスタ

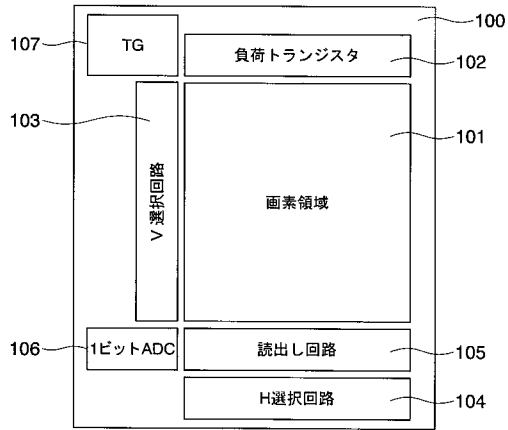
2 0 5 増幅トランジスタ

2 0 6 選択トランジスタ

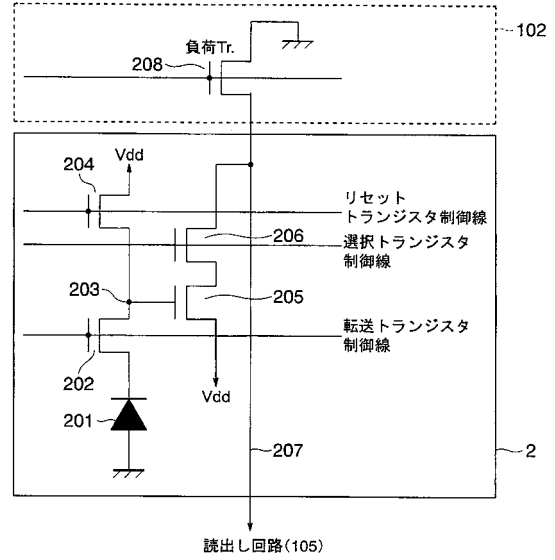
2 0 7 信号線

2 0 8 負荷トランジスタ

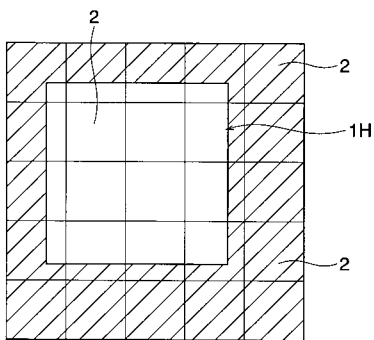
【図1】



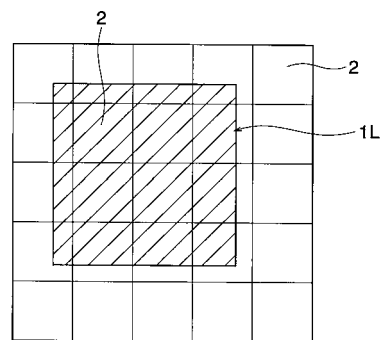
【図2】



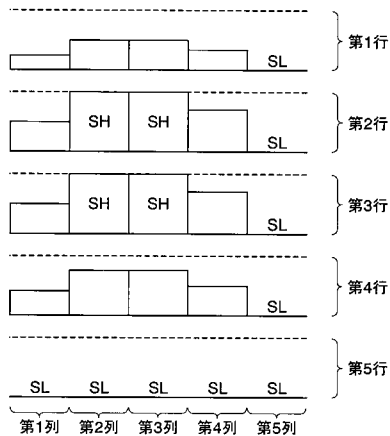
【図3】



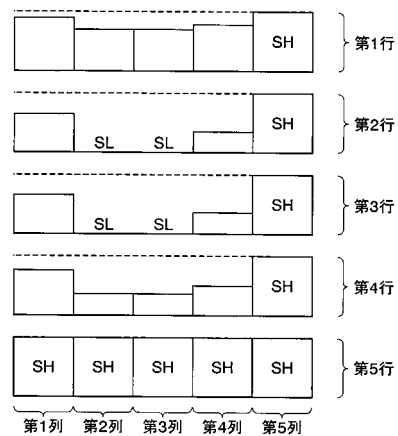
【図5】



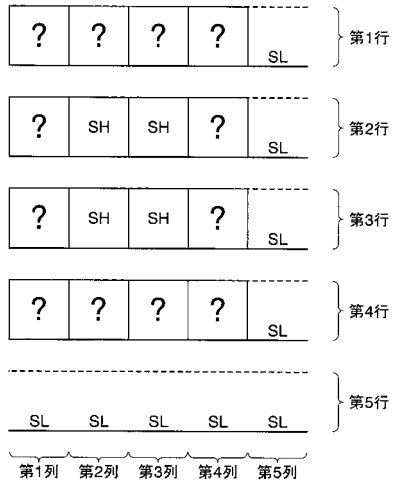
【図4】



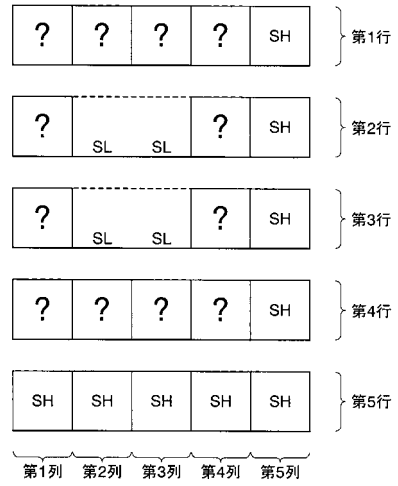
【図6】



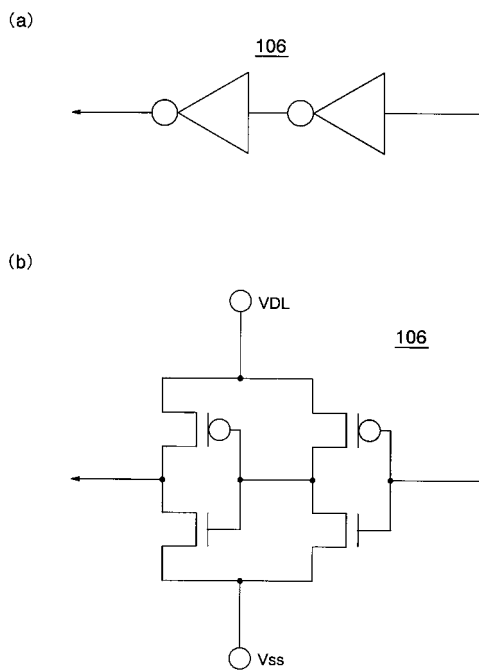
【図7】



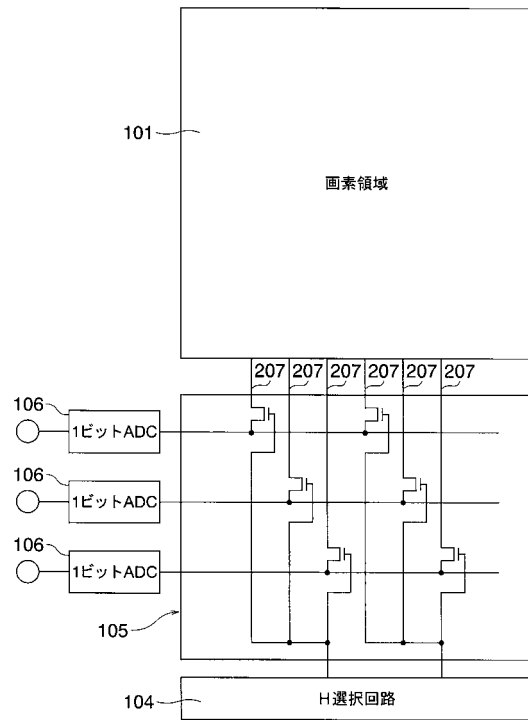
【図8】



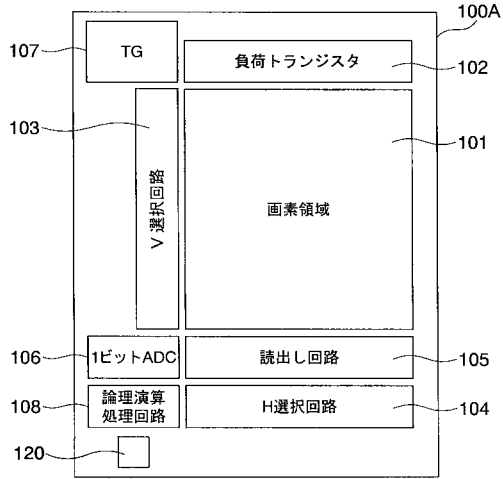
【図9】



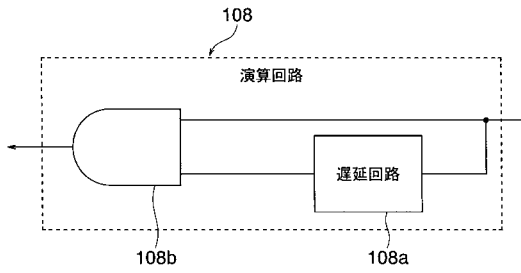
【図10】



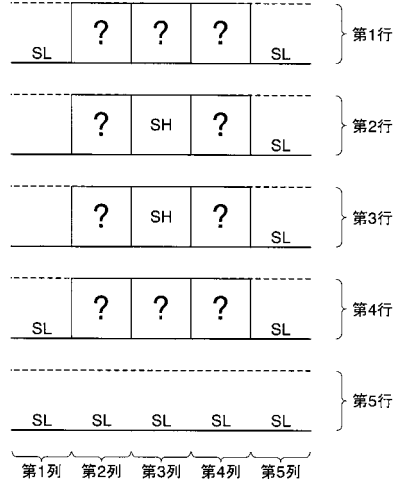
【図11】



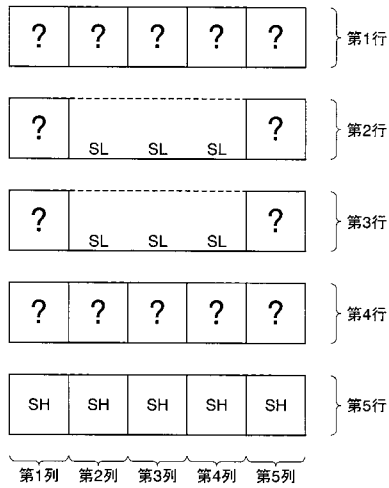
【図12】



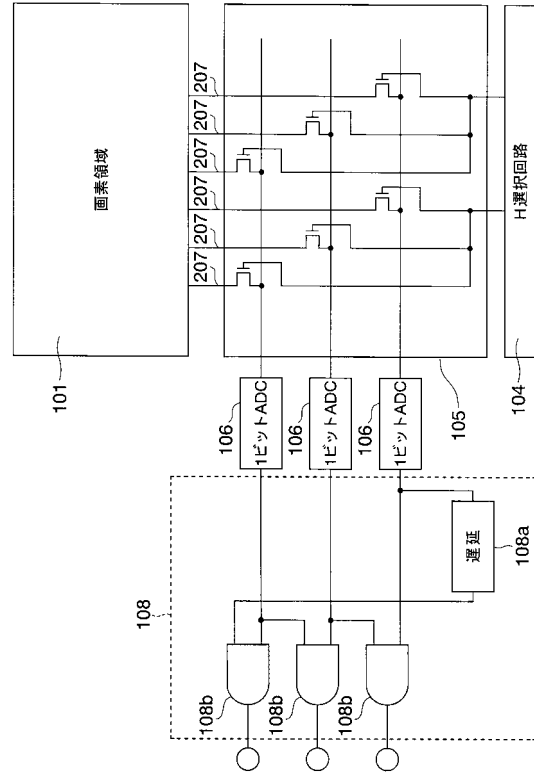
【図13】



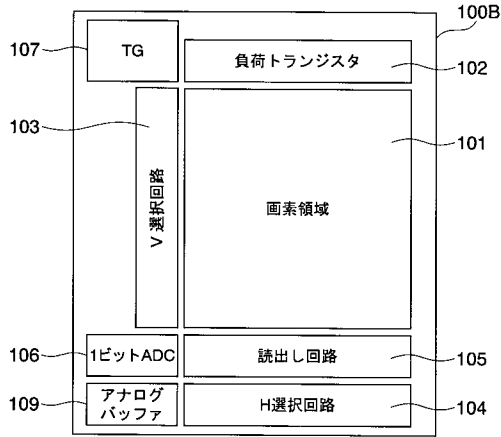
【図14】



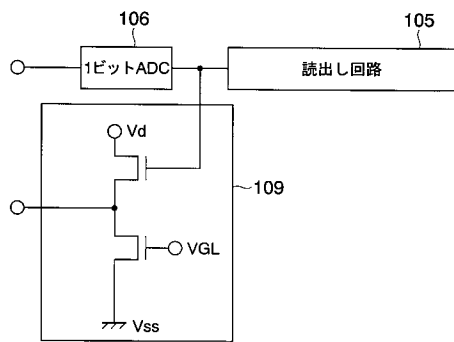
【図15】



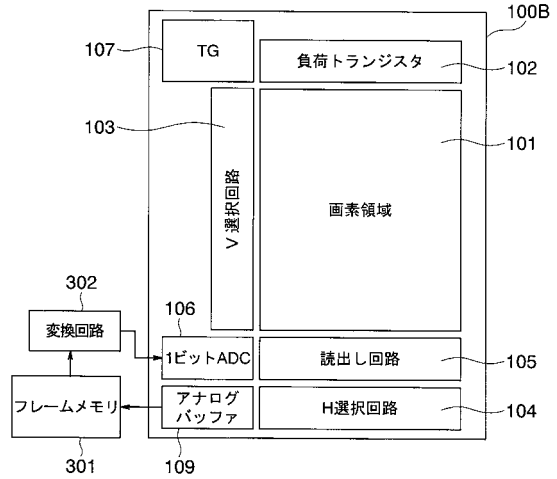
【図16】



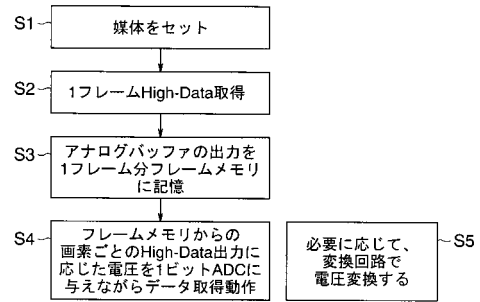
【図17】



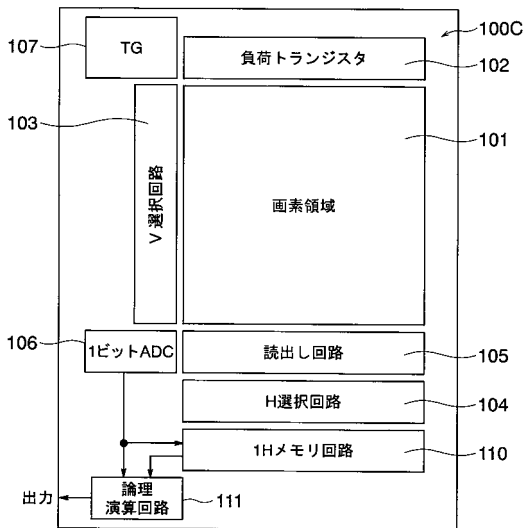
【図18】



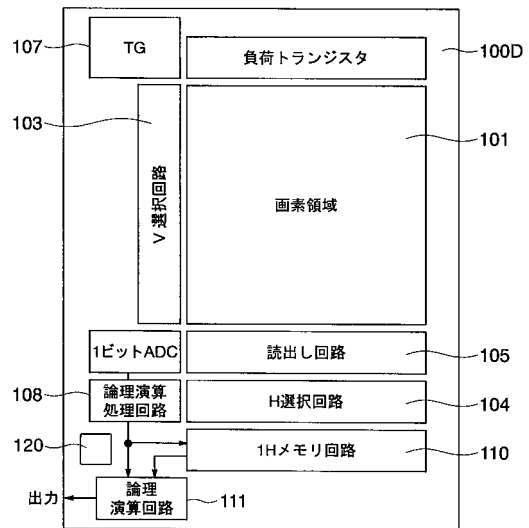
【図19】



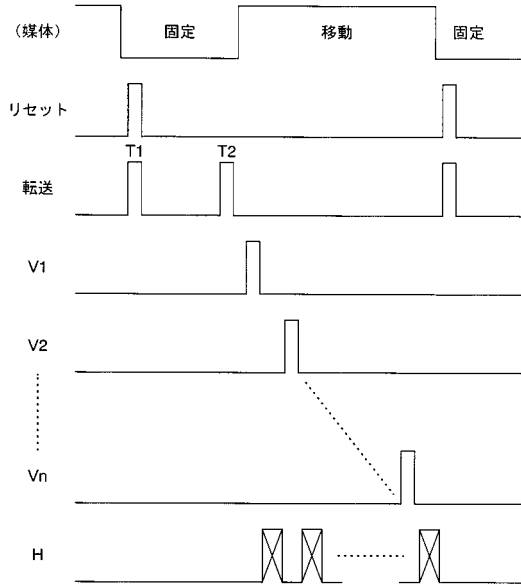
【図20】



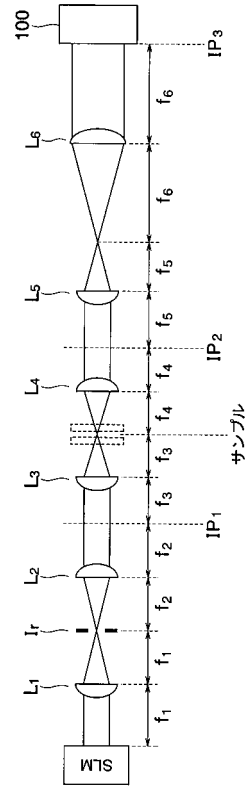
【図21】



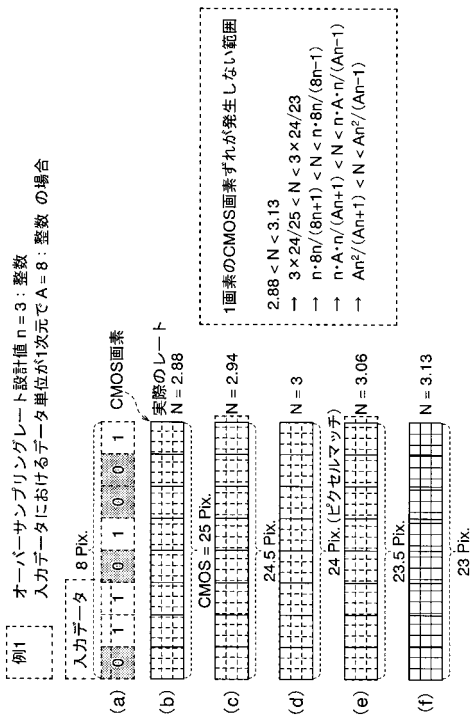
【図 2 2】



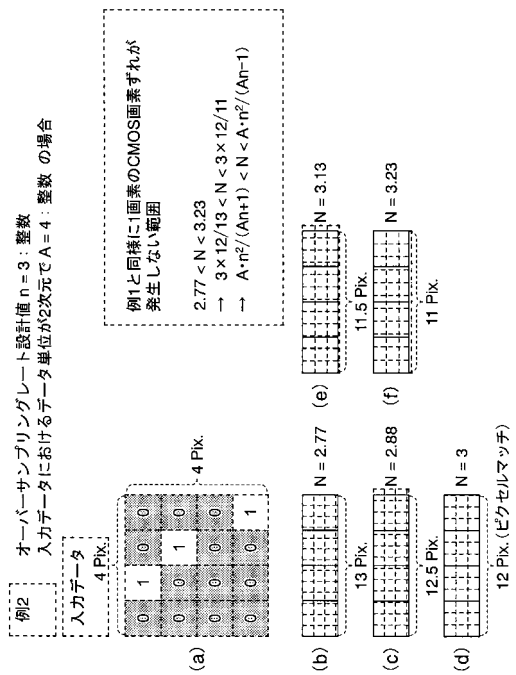
【図 2 3】



【図 2 4】



【図 2 5】



フロントページの続き

- (72)発明者 飯田 義典
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 本多 浩大
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 平尾 明子
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 松本 一紀
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 中野 和彦

- (56)参考文献 特開2006-352372(JP,A)
特開2007-148148(JP,A)
特開2005-302282(JP,A)
特開2000-138863(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11B 7/12 - 7/22、
H01L 27/146
H04N 5/335