

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4900200号
(P4900200)

(45) 発行日 平成24年3月21日(2012.3.21)

(24) 登録日 平成24年1月13日(2012.1.13)

(51) Int.Cl. F 1
HO 4 N 5/357 (2011.01) HO 4 N 5/335 5 7 0
HO 4 N 5/374 (2011.01) HO 4 N 5/335 7 4 0

請求項の数 6 (全 22 頁)

(21) 出願番号	特願2007-297268 (P2007-297268)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成19年11月15日(2007.11.15)	(74) 代理人	100094053 弁理士 佐藤 隆久
(65) 公開番号	特開2009-124513 (P2009-124513A)	(72) 発明者	田中 憲一 神奈川県横浜市保土ヶ谷区神戸町134番 地 ソニー・エルエスアイ・デザイン株式 会社内
(43) 公開日	平成21年6月4日(2009.6.4)	審査官	若林 治男
審査請求日	平成22年11月4日(2010.11.4)		

最終頁に続く

(54) 【発明の名称】 固体撮像素子、およびカメラシステム

(57) 【特許請求の範囲】

【請求項1】

間欠動作が可能な固体撮像素子であって、
 光電変換を行う複数の画素が行列状に配列された画素部と、
 上記画素部から複数の画素単位で画素信号の読み出しをカラム毎に行う画素信号読み出し回路と、を有し、

上記画素信号読み出し回路は、

画素の列配列に対応して配置され、読み出し信号電位と参照電圧とを比較判定し、その判定信号を出力する複数の比較器と、

上記比較器の出力により動作が制御され、対応する上記比較器の比較時間をカウントする複数のカウンタと、を含み、

上記各比較器は、

行動作開始時に各カラム毎に動作点を定めるための初期化用スイッチを有し、当該初期化用スイッチに印加する初期化信号が、水平方向における間欠動作の基本単位分だけ並列して独立に制御され、非動作行開始に当該初期化用スイッチがオフ状態に保持される固体撮像素子。

【請求項2】

上記各比較器は、

一方のトランジスタのゲートに上記参照電圧を受け、他方のトランジスタのゲートに上記読み出し信号を受けて、当該参照電圧と当該読み出し信号電位との比較動作を行う差

動トランジスタを含む第 1 アンプと、

上記第 1 アンプの出力をゲインアップして出力する第 2 アンプと、

上記第 1 アンプは、

上記差動トランジスタの一方のトランジスタの制御端子と上記参照電圧の入力ライン間に接続された第 1 のキャパシタと、

上記差動トランジスタの他方のトランジスタの制御端子と上記読み出し信号の入力ライン間に接続された第 2 のキャパシタと、を含み、

上記初期化用スイッチは、

上記一方のトランジスタのゲートと上記第 1 のキャパシタとの接続ノードと、上記一方のトランジスタのドレイン間、並びに、上記他方のトランジスタのゲートと上記第 2 のキャパシタとの接続ノードと、上記他方のトランジスタのドレイン間にそれぞれ配置されている

10

請求項 1 記載の固体撮像素子。

【請求項 3】

上記一方のトランジスタ側の一方の上記初期化用スイッチと上記一方のトランジスタのゲートと上記第 1 のキャパシタとの接続ノードとの間、および上記他方のトランジスタ側の他方の上記初期化用スイッチと上記他方のトランジスタのゲートと上記第 1 のキャパシタとの接続ノードとの間のうち、少なくとも、一方の上記初期化用スイッチと上記一方のトランジスタのゲートと上記第 1 のキャパシタとの接続ノードとの間にさらに追加の初期化用スイッチが配置され、

20

対象比較器の非動作行開始時に、上記追加の初期化用スイッチがオフ状態に保持される

請求項 2 記載の固体撮像素子。

【請求項 4】

上記一方のトランジスタ側の一方の上記初期化用スイッチと上記一方のトランジスタのゲートと上記第 1 のキャパシタとの接続ノードとの間、および上記他方のトランジスタ側の他方の上記初期化用スイッチと上記他方のトランジスタのゲートと上記第 1 のキャパシタとの接続ノードとの間のうち、少なくとも、一方の上記初期化用スイッチと上記一方のトランジスタのゲートと上記第 1 のキャパシタとの接続ノードとの間にさらに追加の初期化用スイッチが配置され、

上記追加の初期化用スイッチが動作状態にかかわらずオン状態に保持される

30

請求項 2 記載の固体撮像素子。

【請求項 5】

上記一方のトランジスタ側の一方の上記初期化用スイッチと上記一方のトランジスタのゲートと上記第 1 のキャパシタとの接続ノード、および上記他方のトランジスタ側の他方の上記初期化用スイッチと上記他方のトランジスタのゲートと上記第 1 のキャパシタとの接続ノードとのうち、少なくとも、一方の上記初期化用スイッチと上記一方のトランジスタのゲートと上記第 1 のキャパシタとの接続ノードが、対象比較器の非動作行開始時に、固定電位に設定される

請求項 2 記載の固体撮像素子。

【請求項 6】

40

間欠動作が可能な固体撮像素子と、

上記撮像素子に被写体像を結像する光学系と、を有し、

上記固体撮像素子は、

光電変換を行う複数の画素が行列状に配列された画素部と、

上記画素部から複数の画素単位で画素信号の読み出しをカラム毎に行う画素信号読み出し回路と、を有し、

上記画素信号読み出し回路は、

画素の列配列に対応して配置され、読み出し信号電位と参照電圧とを比較判定し、その判定信号を出力する複数の比較器と、

上記比較器の出力により動作が制御され、対応する上記比較器の比較時間をカウン

50

トする複数のカウンタと、を含み、

上記各比較器は、

行動作開始時に各カラム毎に動作点を定めるための初期化用スイッチを有し、当該初期化用スイッチに印加する初期化信号が、水平方向における間欠動作の基本単位分だけ並列して独立に制御され、非動作行開始に当該初期化用スイッチがオフ状態に保持される

カメラシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CMOSイメージセンサに代表される固体撮像素子、およびカメラシステムに関するものである。

【背景技術】

【0002】

近年、CCDに代わる固体撮像素子（イメージセンサ）として、CMOSイメージセンサが注目を集めている。

これは、CCD画素の製造に専用プロセスを必要とし、また、その動作には複数の電源電圧が必要であり、さらに複数の周辺ICを組み合わせて動作させる必要があるため、システムが非常に複雑化するという処々の問題を、CMOSイメージセンサが克服しているからである。

【0003】

CMOSイメージセンサは、その製造には一般的なCMOS型集積回路と同様の製造プロセスを用いることが可能であり、また単一電源での駆動が可能、さらにCMOSプロセスを用いたアナログ回路や論理回路を同一チップ内に混在させることができるため、周辺ICの数を減らすことができるといった、大きなメリットを複数持ち合わせている。

【0004】

CCDの出力回路は、浮遊拡散層（FD：Floating Diffusion）を有するFDアンプを用いた1チャンネル（ch）出力が主流である。

これに対して、CMOSイメージセンサは各画素毎にFDアンプを持ち合わせており、その出力は、画素アレイの中のある一行を選択し、それらを同時に列方向へと読み出すような列並列出力型が主流である。

これは、画素内に配置されたFDアンプでは十分な駆動能力を得ることは難しく、したがってデータレートを下げることが必要で、並列処理が有利とされているからである。

【0005】

この列並列出力型CMOSイメージセンサの信号出力回路については実に様々なものが提案されている。

【0006】

CMOSイメージセンサの画素信号読み出しで用いられる手法としてフォトダイオードなどの光電変換素子で生成した光信号となる信号電荷をその近傍に配置したMOSスイッチを介し、その先の容量に一時的にサンプリングしそれを読み出す方法がある。

サンプリング回路においては、通常サンプリング容量値に逆相関を持つノイズがのる。画素においては、信号電荷をサンプリング容量に転送する際はポテンシャル勾配を利用し、信号電荷を完全転送するため、このサンプリング過程においてノイズは発生しないが、その前の容量の電圧レベルをある基準値にリセットするときノイズがのる。

【0007】

これを除去する一般的な手法として、相関2重サンプリング（CDS；Correlated Double Sampling）がある。これは一度信号電荷をサンプリングする直前の状態（リセットレベル）読み出して記憶しておき、ついで、サンプリング後の信号レベルを読み出し、それを差し引きすることでノイズを除去する手法である。

CDSの具体的な手法にはさまざまな方法がある。

10

20

30

40

50

【 0 0 0 8 】

以下に、一般的なCMOSイメージセンサについて説明する。

【 0 0 0 9 】

図1は、4つのトランジスタで構成されるCMOSイメージセンサの画素の一例を示す図である。

【 0 0 1 0 】

この画素10は、光電変換素子としてたとえばフォトダイオード11を有し、この1個のフォトダイオード11に対して、転送トランジスタ12、増幅トランジスタ13、選択トランジスタ14、リセットトランジスタ15の4つのトランジスタを能動素子として有する。

10

【 0 0 1 1 】

フォトダイオード11は、入射光をその光量に応じた量の電荷（ここでは電子）に光電変換する。

転送トランジスタ12は、フォトダイオード11とフローティングディフュージョンFDとの間に接続され、転送制御線LTxを通じてそのゲート（転送ゲート）に駆動信号が与えられることで、フォトダイオード11で光電変換された電子をフローティングディフュージョンFDに転送する。

【 0 0 1 2 】

フローティングディフュージョンFDには、増幅トランジスタ13のゲートが接続されている。増幅トランジスタ13は、選択トランジスタ14を介して信号線LSGNに接続され、画素部外の定電流源16とソースフォロアを構成している。

20

そして、選択制御線SELを通してアドレス信号が選択トランジスタ14のゲートに与えられ、選択トランジスタ14がオンすると、増幅トランジスタ13はフローティングディフュージョンFDの電位を増幅してその電位に応じた電圧を出力（垂直）信号線LSGNに出力する。信号線LSGNを通じて、各画素から出力された信号電圧は、画素信号読み出し回路に出力される。

【 0 0 1 3 】

リセットトランジスタ15は、電源ラインLVDDとフローティングディフュージョンFDとの間に接続され、リセット制御線LRS Tを通してそのゲートにリセット信号が与えられることで、フローティングディフュージョンFDの電位を電源ラインLVDDの電位にリセットする。

30

【 0 0 1 4 】

より具体的には、画素をリセットするときは、転送トランジスタ12をオンし、光電変換素子11にたまった電荷をはきすて、次に転送トランジスタ12をオフし、光電変換素子11が光信号を電荷に変換し、蓄積する。

読み出し時には、リセットトランジスタ15をオンしてフローティングディフュージョンFDをリセットし、リセットトランジスタ15をオフし、そのときのフローティングディフュージョンFDの電圧を増幅トランジスタ13、選択トランジスタ14を通して出力する。このときの出力をP相出力とする。

次に、転送トランジスタ12をオンして光電変換素子11に蓄積された電荷をフローティングディフュージョンFDに転送し、そのときのフローティングディフュージョンFDの電圧を増幅トランジスタ13で出力する。このときの出力をD相出力とする。

40

D相出力とP相出力の差分を画像信号とすることで、画素ごとの出力のDC成分のばらつきだけでなく、フローティングディフュージョンのFDリセットノイズも画像信号から除去することができる。

これらの動作は、たとえば転送トランジスタ12、選択トランジスタ14およびリセットトランジスタ15の各ゲートが行単位で接続されていることから、1行分の各画素について同時に行われる。

【 0 0 1 5 】

また、列並列出力型CMOSイメージセンサの画素信号読み出し（出力）回路について

50

は実に様々なものが提案されているが、その最も進んだ形態のひとつが列毎にアナログ - デジタル変換装置（以下、A D C (Analog digital converter)と略す）を備え、デジタル信号として画素信号を取り出すタイプである。

【 0 0 1 6 】

このような列並列型のA D Cを搭載したC M O Sイメージセンサは、たとえば非特許文献1や特許文献1に開示されている。

【 0 0 1 7 】

図2は、列並列A D C搭載固体撮像素子（C M O Sイメージセンサ）の構成例を示すブロック図である。

【 0 0 1 8 】

この固体撮像素子20は、図2に示すように、撮像部としての画素部21、垂直走査回路22、水平転送走査回路23、タイミング制御回路24、A D C群25、デジタル - アナログ変換装置（以下、D A C (Digital - Analog converter)と略す）26、アンプ回路（S / A）27、および信号処理回路28を有する。

【 0 0 1 9 】

画素部2は、フォトダイオードと画素内アンプとを含む、たとえば図1に示すような画素がマトリックス状（行列状）に配置されて構成される。

また、固体撮像素子20においては、画素部21の信号を順次読み出すための制御回路として、内部クロックを生成するタイミング制御回路24、行アドレスや行走査を制御する垂直走査回路22、そして列アドレスや列走査を制御する水平転送走査回路23が配置される。

【 0 0 2 0 】

A D C群25は、D A C 26により生成される参照電圧を階段状に変化させたランプ波形（R A M P）である参照電圧 V_{s1op} と、行線毎に画素から垂直信号線を経由し得られるアナログ信号とを比較する比較器（コンパレータ）25 - 1と、比較時間をカウントするカウンタ25 - 2と、カウント結果を保持するラッチ25 - 3とからなるA D Cが複数列配列されている。

A D C群25は、 n ビットデジタル信号変換機能を有し、垂直信号線（列線）毎に配置され、列並列A D Cブロックが構成される。

各ラッチ25 - 3の出力は、たとえば $2n$ ビット幅の水平転送線29に接続されている

。そして、水平転送線29に対応した $2n$ 個のアンプ回路27、および信号処理回路28が配置される。

【 0 0 2 1 】

A D C群25においては、垂直信号線に読み出されたアナログ信号（電位 V_{s1} ）は列毎に配置された比較器（比較器）25 - 1で参照電圧 V_{s1op} （ある傾きを持った線形に変化するスロープ波形）と比較される。

このとき、比較器25 - 1と同様に列毎に配置されたカウンタ25 - 2が動作しており、ランプ波形のある電位 V_{s1op} とカウンタ値が一对一の対応を取りながら変化することで垂直信号線の電位（アナログ信号） V_{s1} をデジタル信号に変換する。

参照電圧 V_{s1op} の変化は電圧の変化を時間の変化に変換するものであり、その時間のある周期（クロック）で数えることでデジタル値に変換するものである。

そしてアナログ電気信号 V_{s1} と参照電圧 V_{s1op} が交わったとき、比較器25 - 1の出力が反転し、カウンタ25 - 2の入力クロックを停止し、A D変換が完了する。

以上のA D変換期間終了後、水平転送走査回路23により、ラッチ25 - 3に保持されたデータが、水平転送線29、アンプ回路27を経て信号処理回路28に入力され、2次元画像が生成される。

このようにして、列並列出力処理が行われる。

【非特許文献1】W. Yang等 (W. Yang et. Al., "An Integrated 800x600 CMOS Image System," ISSCC Digest of Technical Papers, pp.304-305, Feb., 1999)

10

20

30

40

50

【特許文献1】特開2005-278135号公報

【発明の開示】

【発明が解決しようとする課題】

【0022】

上述したように、列並列ADC搭載CMOSイメージセンサ(カラムAD方式CMOSイメージセンサ)では、コンパレータはDACからのRAMP波と画素信号の比較をして、後段のカウンタでデジタルCDSを行うことによりAD変換を行う。

【0023】

そして、プレビューやドラフトモードでフレームレートを上げる場合、低消費電流化が有効であるため、カラムの比較器の間欠動作が必要である。

ところが、比較器の電流源をオフする制御のみであると、非動作比較器の各ノード確定までの動作時間が、2個直列のpチャネルMOS(PMOS)トランジスタまたはnチャネルMOS(NMOS)トランジスタのオン抵抗と寄生容量で決まる時定数で決まる。

このため、1行の動作時間に対し、非動作比較器の初期化動作が遅く、動作中の比較器が行動作開始後すぐに初期化(以降AZ)、リセット信号のサンプリング、AD変換(以降P相)、画素信号のサンプリング、AD変換(以降D相)を行う場合、非動作比較器の初期化不良のため、非動作の比較器部でのAZ終了時のフィードスルー量、チャージインジェクション量が大きくなるため、RAMP波へのACカップリングが大きくなり、カラム比較器の間欠動作において、P相ばらつき量や固定縦筋量が大きくなり、画質に影響を与える。

【0024】

本発明は、間欠カラム動作時におけるP相ばらつき量や縦筋量を小さくすることが可能で、ひいては画質の向上を図れる固体撮像素子、およびカメラシステムを提供することにある。

【課題を解決するための手段】

【0025】

本発明の第1の観点は、間欠動作が可能な固体撮像素子であって、光電変換を行う複数の画素が行列状に配列された画素部と、上記画素部から複数の画素単位で画素信号の読み出しをカラム毎に行う画素信号読み出し回路と、を有し、上記画素信号読み出し回路は、画素の列配列に対応して配置され、読み出し信号電位と参照電圧とを比較判定し、その判定信号を出力する複数の比較器と、上記比較器の出力により動作が制御され、対応する上記比較器の比較時間をカウントする複数のカウンタと、を含み、上記各比較器は、行動作開始時に各カラム毎に動作点を決めるための初期化用スイッチを有し、当該初期化用スイッチに印加する初期化信号が、水平方向における間欠動作の基本単位分だけ並列して独立に制御され、非動作行開始に当該初期化用スイッチがオフ状態に保持される。

【0026】

好適には、上記各比較器は、一方のトランジスタのゲートに上記参照電圧を受け、他方のトランジスタのゲートに上記読み出し信号を受けて、当該参照電圧と当該読み出し信号電位との比較動作を行う差動トランジスタを含む第1アンプと、上記第1アンプの出力をゲインアップして出力する第2アンプと、上記第1アンプは、上記差動トランジスタの一方のトランジスタの制御端子と上記参照電圧の入力ライン間に接続された第1のキャパシタと、上記差動トランジスタの他方のトランジスタの制御端子と上記読み出し信号の入力ライン間に接続された第2のキャパシタと、を含み、上記初期化用スイッチは、上記一方のトランジスタのゲートと上記第1のキャパシタとの接続ノードと、上記一方のトランジスタのドレイン間、並びに、上記他方のトランジスタのゲートと上記第2のキャパシタとの接続ノードと、上記他方のトランジスタのドレイン間にそれぞれ配置されている。

【0027】

好適には、上記一方のトランジスタ側の一方の上記初期化用スイッチと上記一方のトランジスタのゲートと上記第1のキャパシタとの接続ノードとの間、および上記他方のトランジスタ側の他方の上記初期化用スイッチと上記他方のトランジスタのゲートと上記第1

10

20

30

40

50

のキャパシタとの接続ノードとの間のうち、少なくとも、一方の上記初期化用スイッチと上記一方のトランジスタのゲートと上記第1のキャパシタとの接続ノードとの間にさらに追加の初期化用スイッチが配置され、対象比較器の非動作行開始時に、上記追加の初期化用スイッチがオフ状態に保持される。

【0028】

好適には、上記一方のトランジスタ側の一方の上記初期化用スイッチと上記一方のトランジスタのゲートと上記第1のキャパシタとの接続ノードとの間、および上記他方のトランジスタ側の他方の上記初期化用スイッチと上記他方のトランジスタのゲートと上記第1のキャパシタとの接続ノードとの間のうち、少なくとも、一方の上記初期化用スイッチと上記一方のトランジスタのゲートと上記第1のキャパシタとの接続ノードとの間にさらに追加の初期化用スイッチが配置され、上記追加の初期化用スイッチが動作状態にかかわらずオン状態に保持される。

10

【0029】

好適には、上記一方のトランジスタ側の一方の上記初期化用スイッチと上記一方のトランジスタのゲートと上記第1のキャパシタとの接続ノード、および上記他方のトランジスタ側の他方の上記初期化用スイッチと上記他方のトランジスタのゲートと上記第1のキャパシタとの接続ノードとのうち、少なくとも、一方の上記初期化用スイッチと上記一方のトランジスタのゲートと上記第1のキャパシタとの接続ノードが、対象比較器の非動作行開始時に、固定電位に設定される。

【0030】

20

本発明の第2の観点のカメラシステムは、間欠動作が可能な固体撮像素子と、上記撮像素子に被写体像を結像する光学系と、を有し、上記固体撮像素子は、光電変換を行う複数の画素が行列状に配列された画素部と、上記画素部から複数の画素単位で画素信号の読み出しをカラム毎に行う画素信号読み出し回路と、を有し、上記画素信号読み出し回路は、画素の列配列に対応して配置され、読み出し信号電位と参照電圧とを比較判定し、その判定信号を出力する複数の比較器と、上記比較器の出力により動作が制御され、対応する上記比較器の比較時間をカウントする複数のカウンタと、を含み、上記各比較器は、行動作開始時に各カラム毎に動作点を決めるための初期化用スイッチを有し、当該初期化用スイッチに印加する初期化信号が、水平方向における間欠動作の基本単位分だけ並列して独立に制御され、非動作行開始に当該初期化用スイッチがオフ状態に保持される。

30

【0031】

本発明によれば、比較器における行動作開始時に各カラム毎に動作点を決めるための初期化用スイッチが、初期化信号により、水平方向における間欠動作の基本単位分だけ並列して独立に制御される。

そして、画素信号読み出し回路において、読み出し信号電位と参照電圧とが比較判定され、その判定信号が出力される。そして、カウンタは、比較器の出力により動作が制御され、対応する比較器の比較時間がカウントされる。

【発明の効果】

【0032】

本発明によれば、間欠カラム動作時におけるP相ばらつき量や縦筋量を小さくすることが可能で、ひいては画質の向上を図ることができる。

40

【発明を実施するための最良の形態】

【0033】

以下、本発明の実施の形態を図面に関連付けて説明する。

【0034】

図3は、本発明の実施形態に係る列並列ADC搭載固体撮像素子(CMOSイメージセンサ)の構成例を示すブロック図である。

図4は、図3の列並列ADC搭載固体撮像素子(CMOSイメージセンサ)におけるADC群をより具体的に示すブロック図である。

【0035】

50

この固体撮像素子100は、図3および図4に示すように、撮像部としての画素部110、垂直走査回路120、水平転送走査回路130、タイミング制御回路140、画素信号読み出し回路としてのADC群150、DAC(デジタル-アナログ変換装置)161を含むDACおよびバイアス回路160、アンプ回路(S/A)170、信号処理回路180、およびラインメモリ190を有する。

これらの構成要素のうち、画素部110、垂直走査回路120、水平転送走査回路130、ADC群150、DACおよびバイアス回路160、並びにアンプ回路(S/A)170はアナログ回路により構成される。

また、タイミング制御回路140、信号処理回路180、およびラインメモリ190はデジタル回路により構成される。

10

【0036】

画素部110は、フォトダイオードと画素内アンプとを含む、たとえば図1に示すような画素がマトリックス状(行列状)に配置されて構成される。

また、固体撮像素子100においては、画素部110の信号を順次読み出すための制御回路として、内部クロックを生成するタイミング制御回路140、行アドレスや行走査を制御する垂直走査回路120、そして列アドレスや列走査を制御する水平転送走査回路130が配置される。

そして、タイミング制御回路140は、画素部110、垂直走査回路120、水平転送走査回路130、ADC群(カラムADC回路)150、DACおよびバイアス回路160、信号処理回路180、ラインメモリ190の信号処理に必要なタイミング信号を生成する。

20

【0037】

画素部110においては、ラインシャッタを使用した光子蓄積、排出により、映像や画面イメージを画素行毎に光電変換し、アナログ信号VSLをADC群に出力する。

ADC群150では、ADCブロック(各カラム部)でそれぞれ、画素部110のアナログ出力をDAC161からのランプ信号RAMPを使用したAPGA対応積分型ADC、およびデジタルCDSを行い、数ビットのデジタル信号を出力する。

【0038】

ADC群150は、DAC161により生成される参照電圧を階段状に変化させたランプ波形(RAMP)である参照電圧Vsl_{op}と、行線毎に画素から垂直信号線を経由し得られるアナログ信号(電位VSL)とを比較する比較器(コンパレータ)151と、比較時間をカウントするカウンタ152と、カウント結果を保持するラッチ153とからなるADCが複数列配列されている。

30

ADC群150は、nビットデジタル信号変換機能を有し、各垂直信号線(列線)毎に配置され、列並列ADCブロックが構成される。

各ラッチ153の出力は、たとえば2nビット幅の水平転送線LTRFに接続されている。

そして、水平転送線LTRFに対応した2n個のアンプ回路170、および信号処理回路180が配置される。

比較器151の具体的な構成および機能については後で詳述する。

40

【0039】

ADC群150においては、垂直信号線に読み出されたアナログ信号(電位VSL)は列毎(カラム毎)に配置された比較器151で参照電圧Vsl_{op}(ある傾きを持った線形に変化するスロープ波形であるランプ信号RAMP)と比較される。

このとき、比較器151と同様に列毎に配置されたカウンタ152が動作しており、ランプ波形のあるランプ信号RAMP(電位Vsl_{op})とカウンタ値が一对一の対応を取りながら変化することで垂直信号線の電位(アナログ信号)VSLをデジタル信号に変換する。

参照電圧Vsl_{op}(ランプ信号RAMP)の変化は電圧の変化を時間の变化に変換するものであり、その時間をある周期(クロック)で数えることでデジタル値に変換するもの

50

である。

そしてアナログ信号V S Lとランプ信号R A M P（参照電圧V s l o p）が交わったとき、比較器151の出力が反転し、カウンタ152の入力クロックを停止し、または、入力を停止していたクロックをカウンタ152に入力し、A D変換を完了させる。

【0040】

以上のA D変換期間終了後、水平転送走査回路130により、ラッチ153に保持されたデータが、水平転送線L T R Fに転送され、アンプ170を経て信号処理回路180に入力され、所定の信号処理により2次元画像が生成される。

【0041】

水平転送走査回路130では、転送速度の確保のために数チャンネル同時並列転送を行う。

タイミング制御回路140においては、画素部110、A D C群150等の各ブロックでの信号処理に必要なタイミングを作成している。

後段の信号処理回路180では、ラインメモリ190内に格納された信号より縦線欠陥や点欠陥の補正、信号のクランプを行ったり、パラレル-シリアル変換、圧縮、符号化、加算、平均、間欠動作などデジタル信号処理を行う。

ラインメモリ190には、画素行毎に送信されるデジタル信号が格納される。

本実施形態の固体撮像素子100においては、信号処理回路180のデジタル出力がI S Pやベースバンド（baseband）L S Iの入力として送信される。

【0042】

そして、本実施形態に係るA D C群（画素信号読み出し回路）150においては、非動作比較器の初期化不良のため、非動作の比較器部でのA Z終了時のフィードスルー量、チャージインジェクション量が大きくなることを抑制し、R A M P波へのA Cカップリングが大きくなることを抑制し、カラム比較器の間欠動作において、P相ばらつき量や固定縦筋量を小さくでき、画質の向上を図れるように、比較器151が以下に示す第1～第4の構成例のように構成される。

【0043】

カラム毎に配置される各比較器151は、第1の構成例として、縦続接続された第1アンプと第2アンプを有し、行動作開始時に各カラム毎に動作点を決めるための初期化（オートゼロ：A Z）用スイッチ（以下、A Zスイッチ）に印加する初期化信号を、水平方向間欠動作基本単位分だけ並列独立制御することで、非動作比較器のA Zスイッチのみ非動作行開始時にオフに固定にする。

第1アンプは初段で低速信号比較動作を行い動作帯域を狭くし、次段の第2アンプはゲインアップするように構成される。

【0044】

また、第2の構成例の各比較器では、追加のA Zスイッチを設けてA Zスイッチを2個直列にし、対象比較器の非動作行開始時に、少なくともR A M P波との容量結合側のスイッチトランジスタをオフにする。

また、第3の構成例の各比較器では、追加のA Zスイッチを設けてA Zスイッチを2個直列にし、少なくともR A M P波との容量結合側のスイッチトランジスタを常時オンにする。

また、第4の構成例の各比較器では、少なくともA ZスイッチのR A M P波との容量結合端を、対象比較器の非動作行開始時にプルアップする。

【0045】

以下、本実施形態の特徴的な構成を有するA D C群（画素信号読み出し回路）150の比較器151の構成、機能、およびその制御について詳細に説明する。

以下の比較器は符号200を付して説明する。

【0046】

図5は、本実施形態に係る比較器の第1の構成例を示す回路図である。

【0047】

10

20

30

40

50

比較器200は、図5に示すように、初段で低速信号比較動作を行い動作帯域を狭くする機能を有する第1アンプ210、および第1アンプ210の出力をゲインアップする機能を有する第2アンプ220が縦続接続されている。

そして、比較器200は、行動作開始時に各カラム毎に動作点を定めるためのAZスイッチに印加する第1アンプ210のための第1のAZ（初期化）信号PSELを、水平方向（比較器の配列方向、列方向）の間欠動作基本単位分だけ並列に独立して制御することで、非動作比較器のAZスイッチのみ非動作行開始時にオフに固定にするように構成されている。

【0048】

第1アンプ210は、pチャンネルMOS（PMOS）トランジスタPT211～PT215、nチャンネルMOS（NMOS）トランジスタMT211～NT215、およびAZレベルのサンプリング容量である第1のキャパシタC211、キャパシタC212を有する。

【0049】

PMOSトランジスタPT211のソースおよびPMOSトランジスタPT212のソースが電源電位VDDに接続されている。

PMOSトランジスタPT211のドレインがNMOSトランジスタNT211のドレインに接続され、その接続点によりノードND211が形成されている。また、PMOSトランジスタPT211のドレインとゲートが接続され、その接続点がPMOSトランジスタ212のゲートに接続されている。

PMOSトランジスタPT212のドレインがNMOSトランジスタNT212のドレインに接続され、その接続点により第1アンプ210の出力ノードND212が形成されている。

NMOSトランジスタNT211とNMOSトランジスタNT212のエミッタ同士が接続され、その接続点がNMOSトランジスタNT214のドレインに接続され、NMOSトランジスタNT214のソースがNMOSトランジスタNT213のドレインに接続されている。NMOSトランジスタNT213のソースは接地電位GNDに接続されている。

【0050】

NMOSトランジスタNT211のゲートがキャパシタC211の第1電極に接続され、その接続点によりノードND213が形成されている。そして、キャパシタC211の第2電極がランプ信号RAMPの入力端子TRAMPに接続されている。

NMOSトランジスタNT212のゲートがキャパシタC212の第1電極に接続され、その接続点によりノードND214が形成されている。そして、キャパシタC212の第2電極がアナログ信号VSLの入力端子TVSLに接続されている。

また、NMOSトランジスタNT213のゲートがバイアス信号BIASの入力端子TBIASに接続されている。

また、NMOSトランジスタNT214のゲートが制御信号MASKの入力端子TMASKに接続されている。

PMOSトランジスタPT213のドレインがノードND211に接続され、ソースがノードND213に接続されている。PMOSトランジスタPT214のドレインがノードND212に接続され、ソースがノードND214に接続されている。

そして、PMOSトランジスタPT213およびPT214のゲートがローレベルでアクティブの第1のAZ信号PSELの入力端子TPSELに共通に接続されている。

また、PMOSトランジスタPT215のソースが電源電位VDDに接続され、ドレインが出力ノードND212に接続され、ゲートが制御信号MASKの入力端子TMASKに接続されている。

【0051】

このような構成を有する第1アンプ210において、PMOSトランジスタPT211、PT212によりカレントミラー回路が構成され、NMOSトランジスタNT211、

10

20

30

40

50

NT 2 1 2 により NMOS トランジスタ NT 2 1 3 を電流源とする差動の比較部が構成されている。

また、PMOS トランジスタ PT 2 1 3 , PT 2 1 4 が AZ スイッチとして機能し、キャパシタ C 2 1 1 , C 2 1 2 が AZ レベルのサンプリング容量として機能する。

そして、第 1 アンプ 2 1 0 の出力信号 1 s t c o m p は出力ノード ND 2 1 2 から第 2 アンプ 2 2 0 に出力される。

また、NMOS トランジスタ NT 2 1 4 は、制御信号 M A B K がローレベルの場合にはオフして第 1 アンプ 2 1 0 を非動作状態とし、ハイレベルの場合にはオンして第 1 アンプ 2 1 0 を動作状態とする機能を有する。

PMOS トランジスタ 2 1 5 は、制御信号 M A B K がローレベルの場合にはオンして第 1 アンプ 2 1 0 を非動作状態時の出力ノード ND 2 1 2 に接続される出力ラインを電源電位 V D D に固定し、次段の第 2 アンプ 2 2 0 のゲート入力トランジスタを確実にカットオフさせる機能を有する。PMOS トランジスタ PT 2 1 5 は、制御信号 M A S K がハイレベルの場合にはオフして第 1 アンプ 2 1 0 の出力 1 s t c o m p を第 2 アンプ 2 2 0 に伝達させる機能を有する。

【 0 0 5 2 】

第 2 アンプ 2 2 0 は、PMOS トランジスタ PT 2 2 1、NMOS トランジスタ NT 2 2 1 , NT 2 2 2、および AZ レベルのサンプリング容量 C 2 2 1 を有する。

【 0 0 5 3 】

PMOS トランジスタ PT 2 1 1 のソースが電源電位 V D D に接続され、ゲートが第 1 アンプ 2 1 0 の出力ノード ND 2 1 2 に接続されている。

PMOS トランジスタ PT 2 1 1 のドレインが NMOS トランジスタ NT 2 1 1 のドレインに接続され、その接続点により出力ノード ND 2 2 1 が形成されている。

NMOS トランジスタ NT 2 2 1 のソースが接地電位 G N D に接続され、ゲートがキャパシタ C 2 2 1 の第 1 電極に接続され、その接続点によりノード ND 2 2 2 が形成されている。キャパシタ C 2 2 1 の第 2 電極は接地電位 G N D に接続されている。

NMOS トランジスタ NT 2 2 2 のドレインがノード ND 2 2 1 に接続され、ソースがノード ND 2 2 2 に接続されている。

そして、NMOS トランジスタ PT 2 2 2 のゲートがハイレベルでアクティブの第 2 の AZ 信号 N S E L の入力端子 T N S E L に共通に接続されている。

この第 2 の AZ 信号 N S E L は、第 1 アンプ 2 1 0 に供給される第 1 の AZ 信号 P S E L と相補的なレベルをとる。

【 0 0 5 4 】

このような構成を有する第 2 アンプ 2 2 0 において、PMOS トランジスタ PT 2 2 1 により入力および電流源回路が構成されている。

また、NMOS トランジスタ PT 2 2 2 が AZ スイッチとして機能し、キャパシタ C 2 2 1 が AZ レベルのサンプリング容量として機能する。

そして、第 2 アンプ 2 2 0 の出力ノード ND 2 2 1 は、比較器 2 0 0 の出力端子 T O U T に接続されている。

【 0 0 5 5 】

次に、本実施形態に係る比較器 2 0 0 の動作について図 6 ~ 図 9 に関連付けて説明する。

【 0 0 5 6 】

図 6 は、本実施形態に係る比較器の全画素動作時のタイミングチャートである。

図 7 は、本実施形態に係る比較器の 1 / 4 H カラム間欠動作時の第 1 例のタイミングチャートである。

図 8 は、本実施形態に係る比較器の 1 / 4 H カラム間欠動作時の第 2 例のタイミングチャートである。

図 9 は、第 1 の構成例の比較器を 4 カラム分まとめて制御対象の 1 グループとした例を示す図である。この図 9 の 4 カラムからなる 1 グループが水平方向における間欠動作の基

10

20

30

40

50

本単位の一例である。

【 0 0 5 7 】

比較器 2 0 0 において、A Z 期間において、行動作開始時に各カラム毎に動作点を決めるために、第 1 の A Z 信号 P S E L がローレベル、第 2 の A Z 信号 N S E L はハイレベルで供給される。これにより、第 1 アンプ 2 1 0 の A Z スイッチとしての P M O S トランジスタ P T 2 1 3、P T 2 1 4 がオンする。同様に、第 2 アンプ 2 2 0 の A Z スイッチとしての N M O S トランジスタ N T 2 2 2 がオンする。

このように A D C 群 1 5 0 においては、比較器 2 0 0 (1 5 1) を使用し、はじめに D A C オフセットレベル、画素リセットレベルと各カラム毎の A Z レベルをサンプリングして、A Z レベルサンプリング容量であるキャパシタ C 2 1 1、C 2 1 2、C 2 2 1 に電荷を蓄える。

10

【 0 0 5 8 】

すなわち、図 6 の通常動作時のタイミングチャートに示すように、行動作開始直後に第 1 の A Z 信号 P S E L がローレベル (L)、第 2 の A Z 信号 N S E L がハイレベル (H) に設定されているが、このパルス期間で A Z を行う。

【 0 0 5 9 】

次に P 相動作である。画素のリセット信号 R S T をうけてアナログ信号 V S L が変化し、D A C 1 6 1 からのランプ信号 R A M P との比較を行うことでカラム毎に A D 変換する。

A D 変換は比較器 2 0 0 (1 5 1) の A Z 以降ハイインピーダンス (H i Z) になっている、第 1 アンプ 2 1 0 のノード N D 2 1 3、N D 2 1 4 へのランプ信号 R A M P、アナログ信号 V S L のカップリングした各信号が交差する時点で比較器 2 0 0 (1 5 1) の出力が変化することで後段のカウンタ動作を制御して行われる。

20

図 6 の P 相期間が上記動作タイミングである。図 6 のタイミングチャートで出力信号 c o m p o u t が P 相期間開始直後、一旦ローレベルに変化して、R A M P 波とアナログ信号 V S L が交差した時点でハイレベルに変化していることがわかる。

【 0 0 6 0 】

次に D 相動作である。P 相と同じ経路で A D 変換するが、P 相と比べて、D 相では画素で光電変換した信号量が大きいため、一般的に A D 変換のダイナミックレンジが広がる。

30

そのため、図 6 の P 相 R A M P 波と同じ階調で A D 変換する場合、D 相期間は P 相期間と比較して長くなる。A D 変換動作は P 相と同じく、比較器 2 0 0 (1 5 1) の A Z 以降ハイインピーダンス (H i Z) になっている、第 1 アンプ 2 1 0 のノード N D 2 1 3、N D 2 1 4 へのランプ信号 R A M P、アナログ信号 V S L のカップリングした各信号が交差する時点で比較器 2 0 0 (1 5 1) の出力が変化することで後段のカウンタ動作を制御して行われる。

図 6 の D 相期間が上記動作タイミングである。図 6 のタイミングチャートで出力信号 c o m p o u t が P 相期間終了直後に再度ローレベルに変化するが、D 相期間で R A M P 波とアナログ信号 V S L が交差した時点でハイレベルに変化していることがわかる。

このように各行動作で各カラム毎の A Z、P 相、D 相動作が同じ経路で 2 重に行われることにより、各カラム毎の固有のばらつきや k T C ノイズなどがアナログ C D S で除去される。

40

【 0 0 6 1 】

そして、本実施形態においては、基本的に、比較器 2 0 0 (1 5 1) の A Z 入力である第 1 の A Z (初期化) 信号 P S E L を、水平方向における間欠動作の基本単位分だけ比較器 2 0 0 (1 5 1) の並列独立制御することで、非動作比較器の A Z スイッチのみ非動作開始時にオフに固定にする。

1 例として図 9 に図 5 の比較器を 4 カラム分まとめたブロック図を、また図 7 に 1 / 4 H カラム間欠動作のタイミングチャートを示している。

アナログ信号 V S L、第 1 の A Z 信号 P S E L、制御信号 M A B K は各カラム毎にあり

50

、ランプ信号 RAMP、バイアス信号 BIAS は各カラムに並列に入力される。

制御信号 MABK は、図 5 で比較器 200 (151) を非動作時にスタンバイにする信号で NMOS トランジスタ NT214 のゲートに供給され、バイアス信号 BIAS は第 1 アンブ 210 の定電流源としての NMOS トランジスタ NT213 のゲートに供給される DC (直流) アナログ信号である。

【0062】

水平方向間欠動作をアナログ的に制御するためには、行動作開始時に非動作カラムの比較器 200 (151) はスタンバイにする必要があり、たとえば 0 ~ 2 カラムだけ非動作にするためには、制御信号 MABK <2:0> をローレベル (L) に固定、制御信号 MABK <3> だけハイレベル (H) に固定にする。

10

第 1 の構成例では、上記例の場合、行動作開始時に制御信号 MABK だけではなく、第 1 の AZ 信号 PSEL <2:0> もハイレベル (H) に固定にし、非動作比較器の AZ スイッチ動作も行わないように制御する。

このとき動作カラムの比較器の AZ スイッチをオンさせるため、第 1 の AZ 信号 PSEL <3> は通常通りローレベルに設定する。

図 7 に示すように、3 カラム目の比較器は AZ、P 相、D 相動作を行うが、0 ~ 2 カラム目は比較器の各ノードがスタンバイ状態になり、電流が流れなくなり、比較器出力がローレベル (L) に固定となる。これと同時に AZ スイッチである PMOS トランジスタ PT213、PT214 のオンオフで発生するフィードスルーやチャージインジェクションが容量カップリングを介して RAMP 波に伝わることがない。このため、カラム比較器の間欠動作において、動作カラムの P 相ばらつき量や固定縦筋量を低減させることが可能である。

20

【0063】

図 10 は、本実施形態に係る比較器の第 2 の構成例を示す回路図である。

図 11 は、第 2 の構成例の比較器を 4 カラム分まとめて制御対象の 1 グループとした例を示す図である。この図 11 の 4 カラムからなる 1 グループが水平方向間欠動作基本単位の一例である。

【0064】

第 2 の構成例の比較器 200A が第 1 の構成例の比較器 200 と異なる点は、第 1 アンブ 210A の AZ スイッチのノード ND213、ND214 側に追加の AZ スイッチを設けてそれぞれ 2 個直列にし、対象比較器の非動作行開始時に、少なくとも RAMP 波との容量結合側のスイッチトランジスタをオフにする点にある。

30

【0065】

具体的には、第 1 アンブ 210A において、ノード ND213 と PMOS トランジスタ PT213 のソース間に AZ スイッチとしての PMOS トランジスタ PT216 のソース、ドレインが接続されている。同様に、ノード ND214 と PMOS トランジスタ PT214 のソース間に AZ スイッチとしての PMOS トランジスタ PT217 のソース、ドレインが接続されている。

そして、PMOS トランジスタ PT213 および PT214 のゲートが制御信号 MABK の反転信号 XMABK の入力端子 TXMABK に共通に接続されている。

40

【0066】

1 例として図 11 に図 10 の比較器を 4 カラム分まとめたブロック図を、また図 8 に第 2 の構成例における 1 / 4 H カラム間欠動作のタイミングチャートを示している。

図 10 と第 1 の構成例で使用した図 9 との違いは、第 1 の AZ 信号 PSEL が全カラムに並列に入力されている点と、制御信号 MABK <3:0> の各反転信号 XMABK <3:0> を制御信号として使用し、追加した容量側の AZ スイッチの PMOS トランジスタ PT216、PT217 のゲートに入力とする点である。

【0067】

水平方向間欠動作をアナログ的に制御するためには、行動作開始時に非動作カラムの比較器はスタンバイにする必要があり、たとえば 0 ~ 2 カラムだけ非動作にするためには、

50

制御信号 M A B K <2:0> をローレベル (L) に固定、制御信号 M A B K <3> だけハイレベル (H) に固定にする。

このとき、図 8 および図 1 1 に示すように、第 1 の A Z 信号 P S E L は全カラムの第 1 アンブ 2 1 0 A の A Z スイッチとしての P M O S トランジスタ P T 2 1 3 , P T 2 1 4 のゲートに入力されている。

このため、A Z スイッチ動作は全カラム分行われるが、0 ~ 2 カラム目は比較器の各ノードがスタンバイ状態になり、電流が流れなくなり、比較器出力がローレベル (L) に固定となるが、3 カラム目の比較器は A Z、P 相、D 相動作を行う。

また、非動作比較器の A Z スイッチである P M O S トランジスタ P T 2 1 3 , P T 2 1 4 のオンオフで発生するフィードスルーやチャージインジェクションは、容量側に追加したもう一つの A Z スイッチとしての P M O S トランジスタ P T 2 1 6 , P T 2 1 7 が行開始時に制御信号 M A B K の反転信号 X M A B K <2:0> でオフになっているため、容量カップリングを介して R A M P 波に伝わることなく、カラム比較器の間欠動作において、動作カラムの P 相ばらつき量や固定縦筋量を低減させることが可能である。

なお、全カラム動作は図 6 で示すタイミングチャートのうち、第 1 の A Z 信号 P S E L がカラム毎にわかれていないタイミングチャートで示される。

【 0 0 6 8 】

図 1 2 は、本実施形態に係る比較器の第 3 の構成例を示す回路図である。

図 1 3 は、第 3 および第 4 の構成例の比較器を 4 カラム分まとめて制御対象の 1 グループとした例を示す図である。この図 1 3 の 4 カラムからなる 1 グループが水平方向間欠動作基本単位の一例である。

【 0 0 6 9 】

第 3 の構成例の比較器 3 0 0 B が第 2 の構成例の比較器 2 2 0 A と異なる点は、第 1 アンブ 2 1 0 A の A Z をそれぞれ 2 個直列にし、対象比較器の非動作行開始時に、R A M P 波との容量結合側の A Z スイッチである P M O S トランジスタ P T 2 1 6 , P T 2 1 7 のゲートを固定電位 V S S に接続して常時オンにする点にある。

【 0 0 7 0 】

1 例として図 1 3 に図 1 2 の比較器を 4 カラム分まとめたブロック図を、また図 8 に 1 / 4 H カラム間欠動作のタイミングチャートを示している。

図 1 3 が第 2 の構成例で使用した図 1 1 との違いは、制御信号 M A B K <3:0> の各反転信号 X M A B K <3:0> を使用せず、追加した容量側の A Z スイッチの入力を基準電位 V S S に固定にし、全カラム動作時もカラム間欠動作時も常時オンとする点である。

水平方向間欠動作をアナログ的に制御するためには、行動作開始時に非動作カラムの比較器はスタンバイにする必要があり、たとえば 0 ~ 2 カラムだけ非動作にするためには、制御信号 M A B K <2:0> をローレベル (L) に固定、制御信号 M A B K <3> だけハイレベル (H) に固定にする。

このとき、図 8 および図 1 3 に示すように、第 1 の A Z 信号 P S E L は全カラムの第 1 アンブ 2 0 0 B の A Z スイッチとしての P M O S トランジスタ P T 2 1 3 , P T 2 1 4 のゲートに入力されている。

このため、A Z スイッチ動作は全カラム分行われるが、0 ~ 2 カラム目は比較器の各ノードがスタンバイ状態になり、電流が流れなくなり、比較器出力がローレベル (L) に固定となるが、3 カラム目の比較器は A Z、P 相、D 相動作を行う。

また、非動作比較器の A Z スイッチである P M O S トランジスタ P T 2 1 3 , P T 2 1 4 のオンオフで発生するフィードスルーやチャージインジェクションは、容量側に追加したもう一つの A Z スイッチとしての P M O S トランジスタ P T 2 1 6 , P T 2 1 7 のオン抵抗とソース/ドレイン-基板容量、ゲート-ソース/ドレイン容量、その他配線寄生容量で高周波成分をフィルターアウトする。

このため、A Z スイッチングノイズが容量カップリングを介して R A M P 波に伝わる成分は、低周波、低振幅となり、カラムコンパレータの間欠動作において、動作カラムの P 相ばらつき量や固定縦筋量を低減させることが可能である。

10

20

30

40

50

なお、全カラム動作は図6で示すタイミングチャートのうち、第1のAZ信号PSELがカラム毎にわかれていないタイミングチャートで示される。

【0071】

図14は、本実施形態に係る比較器の第4の構成例を示す回路図である。

【0072】

第4の構成例の比較器200Cが第2の構成例の比較器200Aと異なる点は、第1アンプ201CのAZスイッチのRAMP波との容量結合端、すなわちノードND213、ND214を対象比較器の非動作行開始時にプルアップする点にある。

具体的には、ドレインがノードND213に接続され、ソースが電源電位VDDに接続されたスイッチとしてのPMOSトランジスタPT218と、ドレインがノードND214に接続され、ソースが電源電位VDDに接続されたスイッチとしてのPMOSトランジスタPT219とが設けられ、PMOSトランジスタPT218、PT219のゲートが制御信号MABKの入力端子TMABKに接続されている。

【0073】

1例として図13に図14の比較器を4カラム分まとめたブロック図を、また図8に1/4Hカラム間欠動作のタイミングチャートを示している。

図14の比較器200Cが第2および第3の構成例の比較器200A、200Bとの違いは、AZスイッチとしてのPMOSトランジスタPT213、PT214に並列にノードND213、ND214をプルアップするPMOSトランジスタPT218、PT219rを接続し、その入力として制御信号MABK<3:0>を使用する点である。

水平方向間欠動作をアナログ的に制御するためには、行動作開始時に非動作カラムの比較器はスタンバイにする必要があり、たとえば0~2カラムだけ非動作にするためには、制御信号MABK<2:0>をローレベル(L)に固定、制御信号MABK<3>だけハイレベル(H)に固定にする。

このとき、図8および図14に示すように、第1のAZ信号PSELは全カラムの第1アンプ200BのAZスイッチとしてのPMOSトランジスタPT213、PT214のゲートに入力されている。

このため、AZスイッチ動作は全カラム分行われるが、0~2カラム目は比較器の各ノードがスタンバイ状態になり、電流が流れなくなり、比較器出力がローレベル(L)に固定となるが、3カラム目の比較器はAZ、P相、D相動作を行う。

また、非動作比較器の第1アンプ210CのノードND213、ND214は、制御信号MABK<2:0>を行動作開始時にローレベル(L)に固定することで、アナログ電源にプルアップされるため、AZ期間中、AZスイッチとしてのPMOSトランジスタPT213、PT214のオンオフで発生するフィードスルーやチャージインジェクションは、プルアップ用のPMOSトランジスタPT218、PT219を介して、アナログ電源に逃がせる。

このまた、容量カップリングを介してRAMP波に伝わることなく、カラム比較器の間欠動作において、動作カラムのP相ばらつき量や固定縦筋量を低減させることが可能である。

なお、全カラム動作は図6で示すタイミングチャートのうち、第1のAZ信号PSELがカラム毎にわかれていないタイミングチャートで示される。

【0074】

以上説明したように、本実施形態によれば、光電変換を行う複数の画素が行列状に配列された画素部110と、画素部110から行単位でデータの読み出しを行う画素信号読み出し回路(ADC群)150と、を有し、ADC群(画素信号読み出し回路)150は、画素の列配列に対応して配置され、読み出し信号電位と参照電圧とを比較判定し、その判定信号を出力する複数の比較器151と、比較器の出力により動作が制御され、対応する上記比較器の比較時間をカウントする複数のカウンタ152と、を有し、比較器151は、縦続接続された第1アンプと第2アンプを有し、行動作開始時に各カラム毎に動作点を定めるための初期化(AZ)用スイッチ(AZスイッチ)に印加する初期化信号を、水平方

10

20

30

40

50

向における間欠動作の基本単位分だけ並列独立制御することで、非動作比較器のA Zスイッチのみ非動作行開始時にオフに固定にする、あるいは、追加のA Zスイッチを設けてA Zスイッチを2個直列にし、対象比較器の非動作行開始時に、少なくともRAMP波との容量結合側のスイッチトランジスタをオフにする、あるいは、追加のA Zスイッチを設けてA Zスイッチを2個直列にし、少なくともRAMP波との容量結合側のスイッチトランジスタを常時オンにする、あるいは、少なくともA ZスイッチのRAMP波との容量結合端を、対象コンパレータの非動作行開始時にプルアップするように構成されることから、以下の効果を得ることができる。

【0075】

すなわち、非動作比較器のハイインピーダンス(HiZ)ノードへのフィードスルー、チャージインジェクションの減少、高周波ノイズ成分のフィルタリング、またはプルアップ化により、間欠カラム動作時の縦筋量やP相ばらつきを小さくすることができ、ひいては画質の向上を図ることができる。

【0076】

このような効果を有する固体撮像素子は、デジタルカメラやビデオカメラの撮像デバイスとして適用することができる。

【0077】

図15は、本発明の実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

【0078】

本カメラシステム300は、図15に示すように、本実施形態に係る固体撮像素子100が適用可能な撮像デバイス310と、この撮像デバイス310の画素領域に入射光を導く(被写体像を結像する)光学系、たとえば入射光(像光)を撮像面上に結像させるレンズ320と、撮像デバイス310を駆動する駆動回路(DRV)330と、撮像デバイス310の出力信号を処理する信号処理回路(PRC)340と、を有する。

【0079】

駆動回路330は、撮像デバイス310内の回路を駆動するスタートパルスやクロックパルスを含む各種のタイミング信号を生成するタイミングジェネレータ(図示せず)を有し、所定のタイミング信号で撮像デバイス310を駆動する。

【0080】

また、信号処理回路340は、撮像デバイス310の出力信号に対して所定の信号処理を施す。

信号処理回路340で処理された画像信号は、たとえばメモリなどの記録媒体に記録される。記録媒体に記録された画像情報は、プリンタなどによってハードコピーされる。また、信号処理回路340で処理された画像信号を液晶ディスプレイ等からなるモニターに動画として映し出される。

【0081】

上述したように、デジタルスチルカメラ等の撮像装置において、撮像デバイス310として、先述した固体撮像素子100を搭載することで、高精度なカメラが実現できる。

【図面の簡単な説明】

【0082】

【図1】4つのトランジスタで構成されるCMOSイメージセンサの画素の一例を示す図である。

【図2】列並列ADC搭載固体撮像素子(CMOSイメージセンサ)の構成例を示すブロック図である。

【図3】本発明の実施形態に係る列並列ADC搭載固体撮像素子(CMOSイメージセンサ)の構成例を示すブロック図である。

【図4】図3の列並列ADC搭載固体撮像素子(CMOSイメージセンサ)におけるADC群をより具体的に示すブロック図である。

【図5】本実施形態に係る比較器の第1の構成例を示す回路図である。

10

20

30

40

50

- 【図6】本実施形態に係る比較器の全画素動作時のタイミングチャートである。
- 【図7】本実施形態に係る比較器の1/4 Hカラム間欠動作時の第1例のタイミングチャートである。
- 【図8】本実施形態に係る比較器の1/4 Hカラム間欠動作時の第2例のタイミングチャートである。
- 【図9】第1の構成例の比較器を4カラム分まとめて制御対象の1グループとした例を示す図である。
- 【図10】本実施形態に係る比較器の第2の構成例を示す回路図である。
- 【図11】第2の構成例の比較器を4カラム分まとめて制御対象の1グループとした例を示す図である。
- 【図12】本実施形態に係る比較器の第3の構成例を示す回路図である。
- 【図13】第3および第4の構成例の比較器を4カラム分まとめて制御対象の1グループとした例を示す図である。
- 【図14】本実施形態に係る比較器の第4の構成例を示す回路図である。
- 【図15】本発明の実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

10

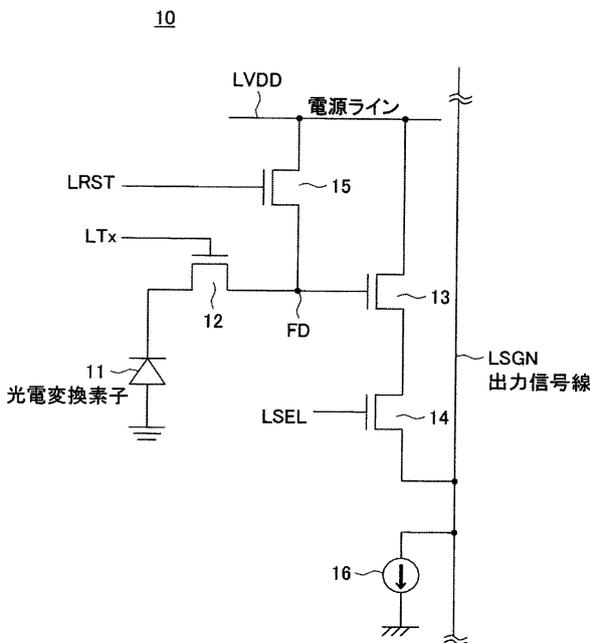
【符号の説明】

【0083】

100・・・固体撮像素子、120・・・画素部、130・・・垂直走査回路、130
 ...水平転送走査回路、140・・・タイミング制御回路、150・・・ADC群、1
 51・・・比較器、152・・・カウンタ、153・・・ラッチ、160・・・DAC、
 170・・・アンプ回路、180・・・信号処理回路、190・・・ラインメモリ、LT
 RF・・・水平転送線、200・・・比較器、210・・・第1アンプ、220・・・第
 2アンプ、300・・・カメラシステム、310・・・撮像デバイス、320・・・駆動
 回路、330・・・レンズ、340・・・信号処理回路。

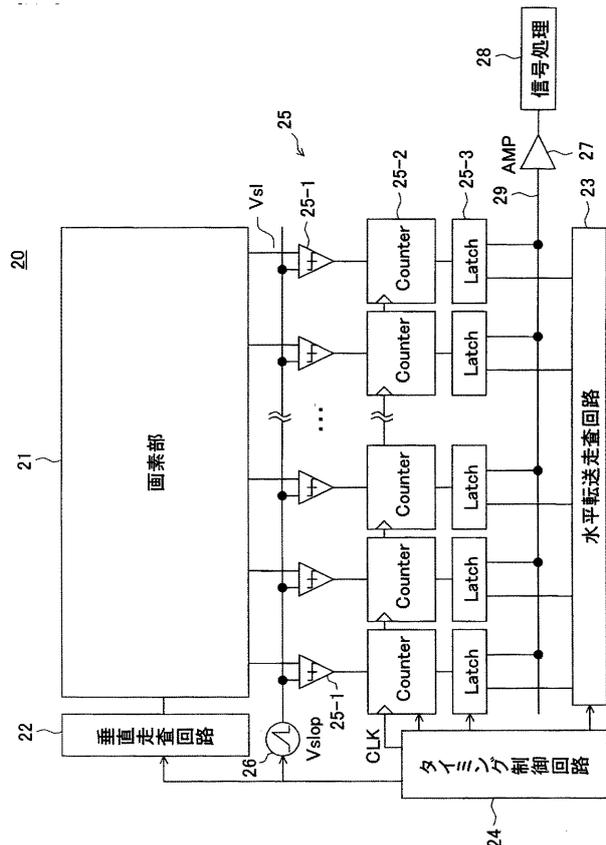
20

【図1】



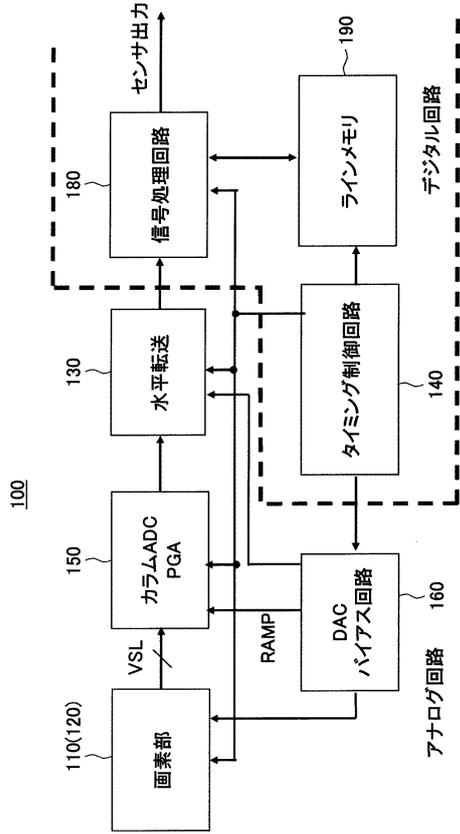
10

【図2】

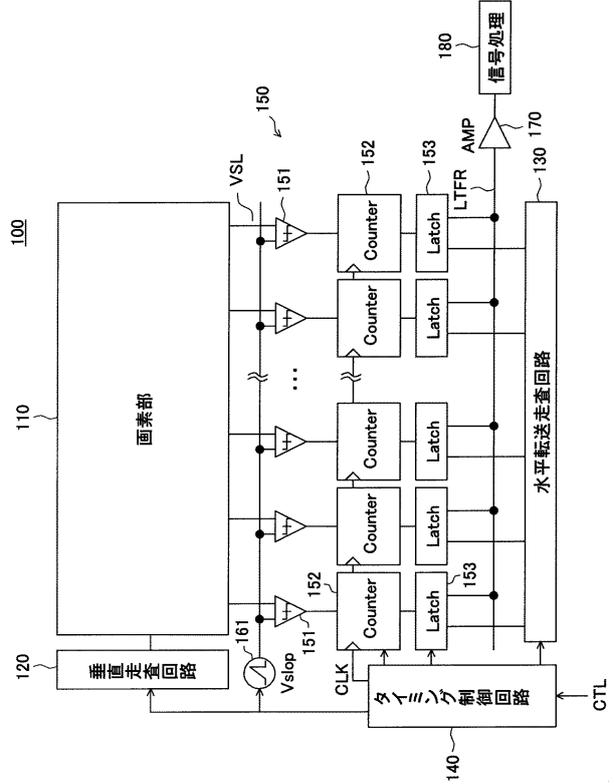


24

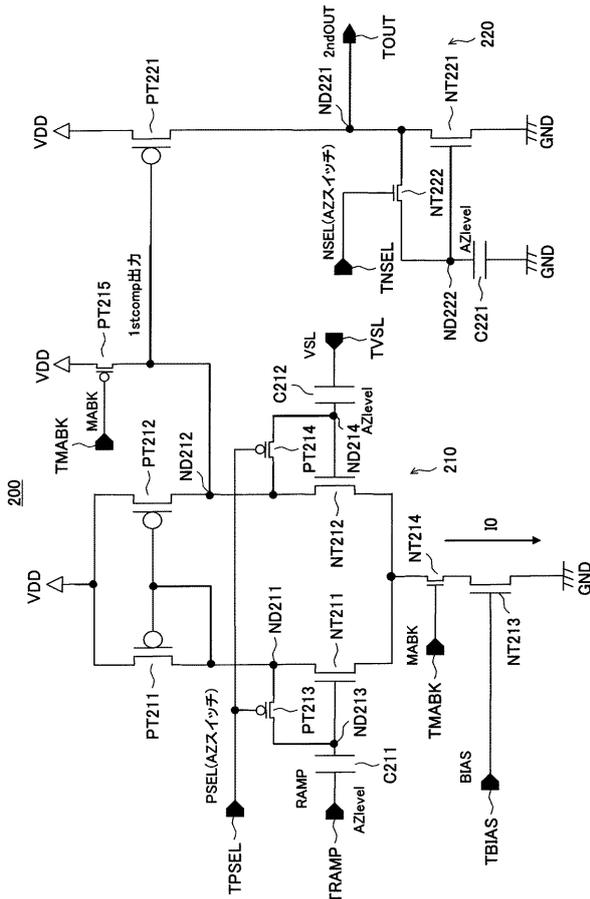
【図3】



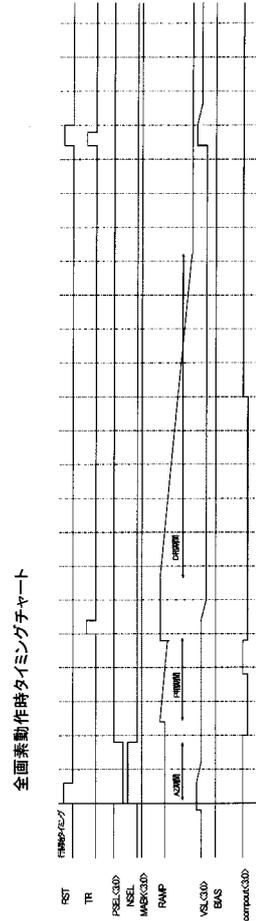
【図4】



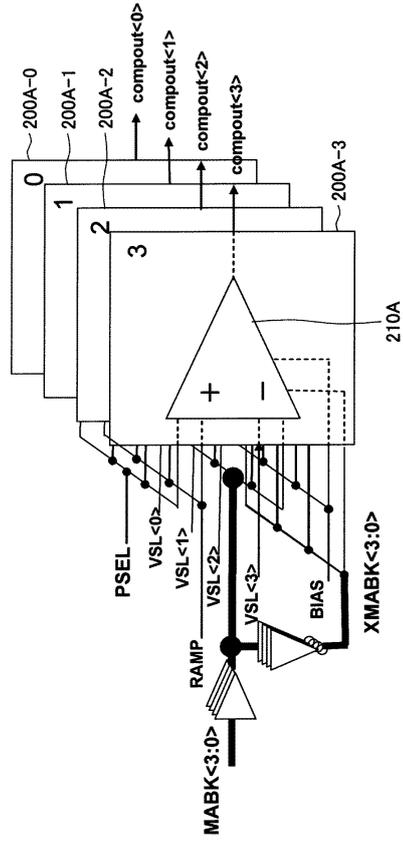
【図5】



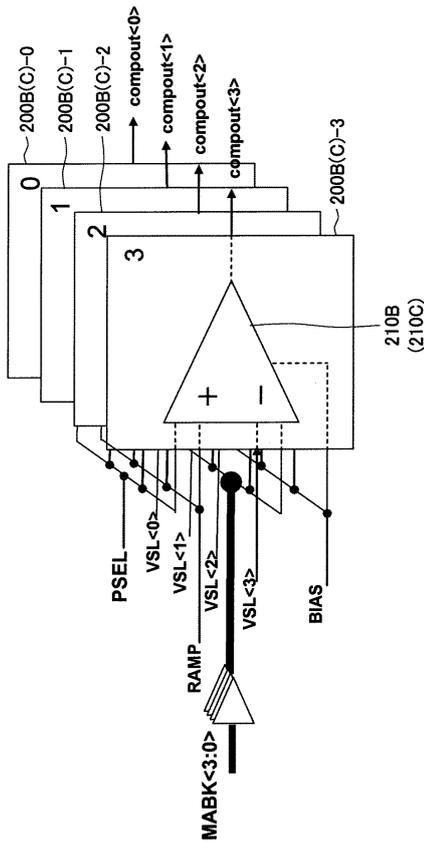
【図6】



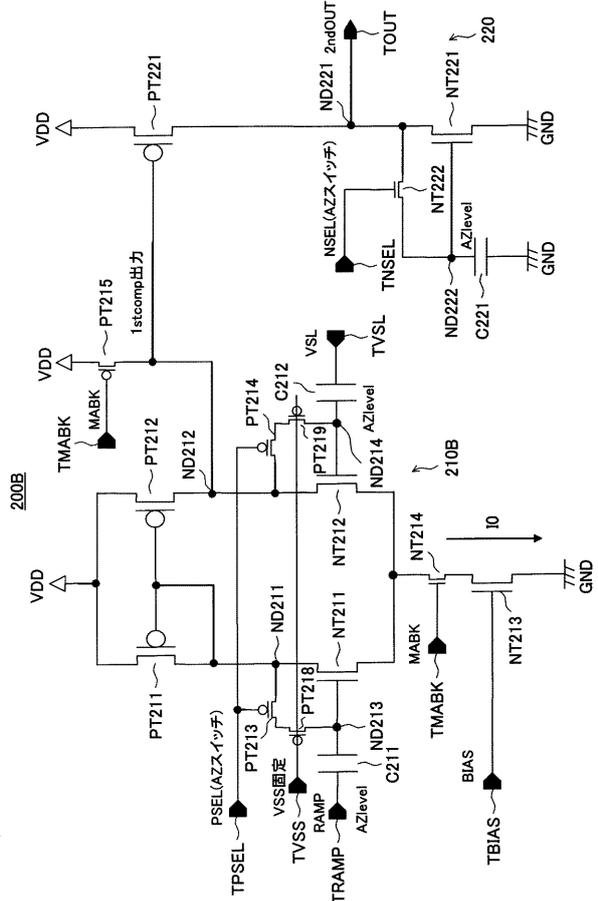
【図 1 1】



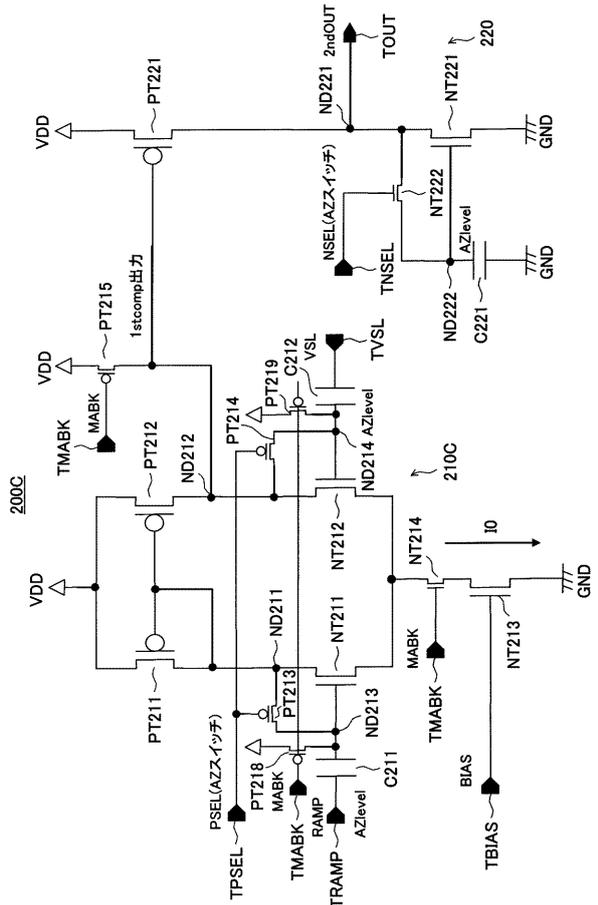
【図 1 3】



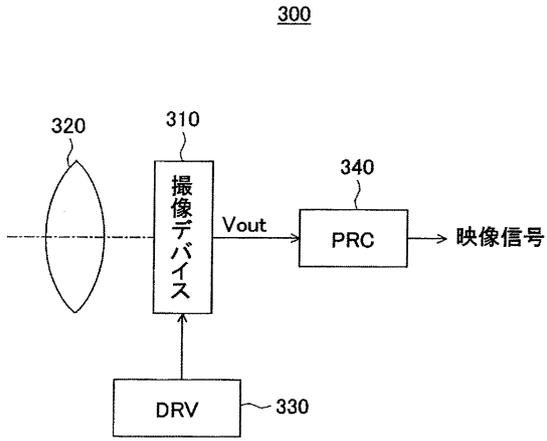
【図 1 2】



【図 1 4】



【図 15】



フロントページの続き

(56)参考文献 特開2006-340044(JP,A)
特開2007-243266(JP,A)
特開2003-060507(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/357
H04N 5/374