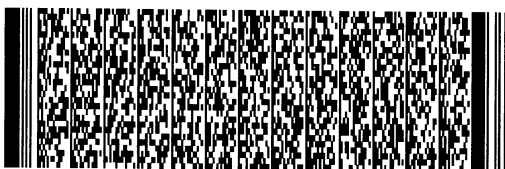


申請日期： P215.27	IPC分類 H01L 23/488
申請案號： P2114021	

(以上各欄由本局填註)

發明專利說明書 200427040

一、 發明名稱	中文	晶片結構及其製程
	英文	Chip structure and method for fabricating the same
二、 發明人 (共4人)	姓名 (中文)	1. 周健康 2. 周秋明
	姓名 (英文)	1. Chou, Chien-Kang 2. Chou, Chiu-Ming
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台南縣新化鎮竹仔腳247-72號 2. 高雄市三民區察哈爾一街64號
	住居所 (英文)	1. No. 247-72, Jutzjieu, Shinhua Jen, Tainan County, Taiwan 712, R. O. C. 2. No. 64, Chaha-er 1st St., Sanmin Chiu, Kaohsiung City, Taiwan
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 米輯科技股份有限公司
	名稱或姓名 (英文)	1. Megic Corporation
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區研發一路21號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 21, R&D 1st Rd., Science-Based Industrial Park Hsinchu, Taiwan, R. O. C.
	代表人 (中文)	1. 林茂雄
	代表人 (英文)	1. Mou-Shiung Lin



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	3. 林立人 4. 林鉅富
	姓名 (英文)	3. Lin, Li-Ren 4. Lin, Chu-Fu
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中文)	3. 台北縣八里鄉國利新村18號 4. 高雄市鹽埕區建國四路36號
	住居所 (英文)	3. No. 18, Guoli Shincun, Bali Shiang, Taipei County, Taiwan 249, R. O. C. 4. No. 36, Jianguo 4th Rd., Yancheng Chiu, Kaohsiung City, Taiwan
三、 申請人 (共1人)	名稱或 姓名 (中文)	803, R. O. C.
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種晶圓結構及製程，且特別是有關於一種能夠將焊料凸塊(solder bump)或焊料焊接墊(solder pad)以及金凸塊(gold bump)或金焊接墊(gold bonding pad)整合於同一晶圓上之晶圓結構及製程。

先前技術

在高度情報化社會的今日，多媒體應用的市場不斷地急速擴張著，積體電路封裝技術亦需配合電子裝置的數位化、網路化、區域連接化以及使用人性化的趨勢發展。為了達成上述的要求，必須強化電子元件的高速處理化、多機能化、積集化、小型輕量化以及低價化等多方面的需求，於是積體電路封裝技術也跟著朝向微型化、高密度化發展，因此球格陣列式構裝(Ball Grid Array, BGA)、晶片尺寸構裝(Chip-Scale Package, CSP)、覆晶構裝(Flip Chip, F/C)與多晶片模組(Multi-Chip Module, MCM)等高密度積體電路封裝技術也應運而生。對於高密度積體電路封裝而言，縮短連結線路的長度將有助訊號傳遞速度的提昇，因此凸塊的應用已逐漸成為高密度封裝的主流。

目前許多積體電路封裝業者已相繼提出了一些晶片對晶片(die-to-die)的封裝架構，此晶片對晶片的封裝架構主要是將一個或多個腳位較少的晶片或被動元件以面對面(face-to-face)的方式配置於一腳位較多的晶片上，並藉由凸塊作為晶片之間電性連接的媒介。此外，在此封裝架構中，通常會使用焊料凸塊作為各個晶片之間電性連接的



五、發明說明 (2)

媒介，而上述腳位較多的晶片則會藉由打線(wire bonding)的方式與承載基材(carrier)電性連接。

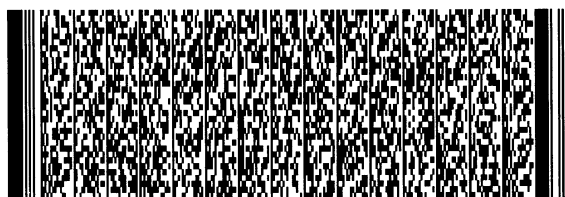
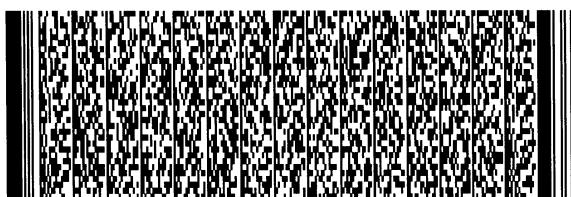
在習知技術中，大部分晶圓上的焊墊(bonding pad)皆採用鋁墊(Al pad)，因此若要在同一晶圓上製作出焊料凸塊並預留一些打線用的鋁墊時，常會使得打線用的鋁墊受損，其原因在於：焊料凸塊與鋁墊之間必須形成具有黏著(adhesion)與阻障(barrier)作用的球底金屬層(Under Bump Metallurgy, UBM)，而球底金屬層在蝕刻過程中所使用的蝕刻液通常含有氫氟酸(HF)及其他緩衝溶液(buffer solution)，氫氟酸將會造成鋁墊的表面損傷，進而使得打線製程的焊接信賴性(reliability)不佳。

發明內容

因此，本發明的目的之一就是在提供一種晶片結構及製程，以於同一晶片上同時製作出打線焊接墊(wire bonding pad)與焊料焊接墊(solder pad)。

本發明的目的之二就是在提供一種晶片與外部線路的連接結構，其藉由焊料凸塊與打線導線(bonding wire)將同一晶片上之打線焊接墊(wire bonding pad)與焊料焊接墊(solder pad)與外部線路連接。

為達上述目的，本發明提出一種晶片結構，其主要係由基材、打線焊接墊，以及焊料焊接墊所構成。其中，基材上具有多個焊墊以及一保護層，焊墊之材質例如為銅、鋁、鋁合金等，而保護層覆蓋於基材表面，且具有多個開口以將焊墊暴露。打線焊接墊係配置於保護層之開口所暴



五、發明說明 (3)

露出的部份焊墊上，而焊料焊接墊則配置於未被打線焊接墊覆蓋之焊墊上。此外，本發明例如可在打線焊接墊上進一步形成金凸塊或金焊接墊，而在焊料焊接墊上進一步形成焊料凸塊或焊料墊。

本發明之一實施例中，打線焊接墊例如係由一黏著層(adhesion layer)以及一配置於黏著層上之金膜層所構成，黏著層之材質例如為鈦鎢合金。

本發明之一實施例中，焊料焊接墊例如係由一黏著層以及一配置於黏著層上電鍍種子層(seed layer)所構成。黏著層之材質例如為鈦、鉻或鉻銅合金，而電鍍種子層之材質例如為銅。此外，焊料焊接墊更包括一配置於電鍍種子層上之擴散阻障層，此擴散阻障層之材質例如為鎳，而在擴散阻障層上例如可再形成有鍍料沾附層(wettable layer)，其材質例如為金、銅、錫、錫鉛合金或無鉛合金。

本發明之另一實施例中，打線焊接墊的表層材質為金，而焊料焊接墊之表層包括金。

本發明之再一實施例中，打線焊接墊以及焊料焊接墊例如同為鈦/銅/鎳/金之堆疊結構。

為達上述目的，本發明提出一種晶片製程，首先提供一基材，此基材上具有多個焊墊以及一保護層，其中保護層係覆蓋於基材表面並將焊墊暴露，接著於部份焊墊上形成多個打線焊接墊。之後再於未被打線焊接墊覆蓋之焊墊上形成多個焊料焊接墊。此外，在打線焊接墊以及焊料焊



五、發明說明 (4)

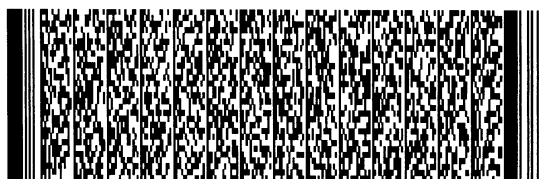
接墊製作完之後，更可於打線焊接墊上進一步形成金凸塊或金焊接墊，而在焊料焊接墊上進一步形成焊料凸塊或未經過迴焊之焊料墊。

本發明之一實施例中，打線焊接墊的製作例如係先於部份焊墊上形成一黏著層，再於黏著層上形成一金膜層，而此由黏著層與金膜層所構成之打線焊接墊例如係藉由濺鍍方式形成。上述黏著層之材質例如為黏著層之材質包括鈦鎢合金。

本發明之一實施例中，焊料焊接墊的製作例如係先於基材表面上形成一黏著層以及一電鍍種子層，以覆蓋住打線焊接墊，接著再於電鍍種子層上形成一罩幕層，此罩幕層具有多個開口，且這些開口係位於未被打線焊接墊覆蓋之焊墊上方。上述黏著層與電鍍種子層例如係藉由濺鍍方式形成。另外，黏著層之材質例如為鈦、鉻或鉻銅合金，而電鍍種子層之材質例如為銅。

本發明之一實施例中，在電鍍種子層形成之後與罩幕層撥除之前，例如可形成一擴散阻障層於電鍍種子層上，而此擴散阻障層之材質例如為鎳、銅或銅鎳複合層。另外，更可形成一鍍料沾附層(wettable layer)於前述之擴散阻障層上，而此鍍料沾附層之材質例如為金、銅、錫、錫鉛合金或無鉛合金。

本發明雖僅以晶片結構以及製程為例子進行說明，但並非限定本發明之應用範圍，本發明亦可進一步針對這些晶片結構進行打線製程或是焊料的製作，以形成晶片與外



五、發明說明 (5)

部線路的連接結構。

由於本發明於晶片上同時製作打線焊接墊以及焊料焊接墊，因此可使得此晶片可同時藉由打線以及焊料焊接的方式進行封裝的動作。此外，本發明於焊料凸塊製作之前，例如先形成鈦鎢/金膜層覆蓋於部份的焊墊上，如此之製程步驟以及鈦鎢/金的材料選擇，將可有效避免焊墊的表面被後續蝕刻製程所使用的蝕刻液所損傷。

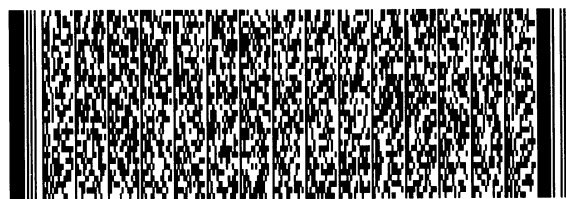
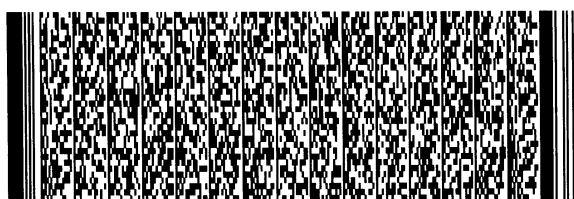
為讓本發明之上述和其他目的、特徵與優點能更明顯易懂，下文特舉數個較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式

第一實施例

第1A圖至第1H圖繪示為依照本發明第一實施例晶圓製程之流程剖面示意圖。請參照第1A圖，首先提供一基材100，此基材100上具有多個可供訊號及電源輸入/輸出的焊墊102以及一保護層104，此保護層104通常係覆蓋於基材100的表面上，且保護層104具有多個開口104a以將焊墊102表面暴露。此外，基材100上焊墊102之材質例如為鋁、銅、鋁合金等。

上述基材100上的保護層104例如係由氮矽化合物(Si_3N_4)、氧矽化合物(SiO_2)、氧氮矽化合物(oxy-nitride)的單層或多層堆疊所構成，此保護層104可以防止移動離子(mobile ions)、水氣(moisture)、過渡金屬(transition metal)及其他雜質(impurity)穿透，而



五、發明說明 (6)

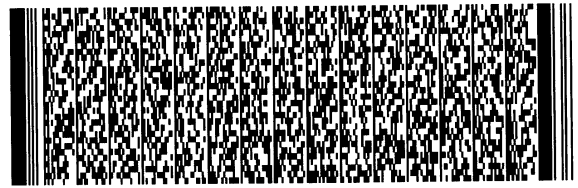
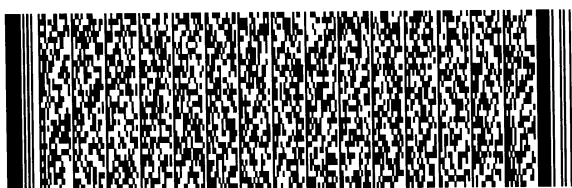
損壞保護層104下方之電子元件及金屬內連線。

接著參照第1B圖，為了確保基材100上各個焊墊102（如鋁墊、銅墊或鋁合金焊墊）表面不受到後續製程的損傷，本實施例可於基材100上依序形成一黏著層106以及一金膜層108，此黏著層106之材質例如為鈦鎢合金。然而，熟習此項技術者應知，黏著層106與金膜層108亦可以其他與焊線（金線）接合能力較佳之導體膜層所構成。此外，上述之黏著層106以及金膜層108例如係藉由濺鍍的方式全面性地形成於基材100上。

接著參照第1C圖，在黏著層106以及金膜層108形成之後，接著於金膜層108上形成一罩幕層110，此罩幕層110具有多個開口110a，且這些開口110a的位置係對應於部份的焊墊102。換言之，罩幕層110中的開口110a能夠將特定焊墊102上的金膜層108暴露。

同樣請參照第1C圖，在形成罩幕110之後，接著再於開口110a所暴露出的第一金膜層108上形成金凸塊200。本實施例中，欲形成金凸塊200的位置下方之基材例如係已製作有主動元件、被動元件，以及金屬連線等。本實施例之封裝製程中，金凸塊200例如係藉由電鍍的方式形成，且金凸塊200的厚度可視需求而有所變化。一般金凸塊200的高度約介於1微米至15微米之間，而最常用的厚度約介於2微米至5微米之間。

接著參照第1D圖，首先將罩幕層110去除，接著再藉由蝕刻的方式將未被金凸塊200覆蓋之金膜層108及鈦鎢膜



五、發明說明 (7)

層106 移除，經過圖案化之後的鈦鎢膜層106a、金膜層108a 以及金凸塊200 即構成一打線焊接墊107，且此打線焊接墊107 係位於特定焊墊102 上。

接著同時參照第1D 圖與第1E 圖，在打線焊接墊107 形成之後，緊接著形成一黏著層114 及電鍍種子層115 於基材100 上，此黏著層114 及電鍍種子層115 例如係以濺鍍方式形成，黏著層114 所使用之材質例如為鈦、鉻或鉻銅合金，而電鍍種子層115 之材質例如為銅。上述之黏著層114 與電鍍種子層115 不但會將晶圓100 表面上的焊墊102 與保護層104 覆蓋住，且會覆蓋住第1D 圖中所形成的打線焊接墊107。

接著參照第1E 圖，而在黏著層114 及電鍍種子層115 形成之後，接著形成一單幕層116 於電鍍種子層115 上，此單幕層116 中具有多個開口116a，且這些開口116a 的位置係對應於未被打線焊接墊107 覆蓋的焊墊102 上方。換言之，單幕層116 中的開口116a 能夠將特定焊墊102 上的電鍍種子層115 暴露。

接著參照第1F 圖，於上述之開口116a 所暴露出之電鍍種子層115 上形成擴散阻障層118，此擴散阻障層118 例如係藉由電鍍的方式形成，其材質例如為鎳或銅，為了加強其阻障效果，亦可先電鍍一層銅，再電鍍一層鎳（銅鎳複合層）。緊接著，再於擴散阻障層118 上形成錫料(solder)120 於單幕層116 的開口116a 中。上述錫料120 例如為錫鉛焊料、錫銀焊料、錫銀銅等材質，以錫鉛焊料為



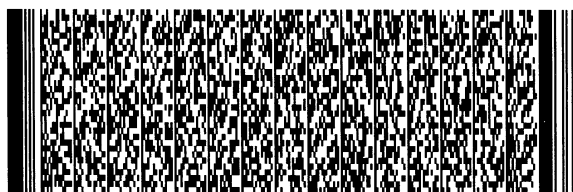
五、發明說明 (8)

例，其錫/鉛比可視需求而有所調整，較常見的錫鉛比為90/10、95/5、97/3、99/1、37/63等比例，而此焊料120之厚度例如介於1微米至400微米之間。另外，錫料120的填入方式例如係藉由電鍍或是印刷(printing)的方式。

上述黏著層114之材質例如為鈦、鉻或鉻銅合金，而擴散阻障層118之材質例如為銅、鎳或鎳銅複合層。換言之，黏著層114、電鍍種子層115與擴散阻障層118所構成之膜堆例如為鈦/銅(Ti/Cu)、鉻/銅(Cr/Cu)、鉻銅合金/銅(CrCu/Cu)、鈦/銅/鎳(Ti/Cu/Ni)、鉻/銅/鎳(Cr/Cu/Ni)或鉻銅合金/銅/鎳(CrCu/Cu/Ni)等複層結構。另外，本實施例亦可在擴散阻障層118上再形成一層焊料沾附膜層(solder wettable layer)，以增進後續形成之錫料120與擴散阻障層118之間的接合性，此焊料沾附膜層之材質例如為金、銅、錫、錫鉛合金、無鉛合金等。

綜上所述，本實施例主要係於基材100上製作打線焊接墊107以及焊料焊接墊117，其中打線焊接墊107之表層材質例如為金，以利打線接合的進行，而焊料焊接墊117之表層例如為金，以利與焊料120接合。

接著同時參照第1G圖與第1H圖，在錫鉛錫料120形成之後，將罩幕層116移除，並將未受到擴散阻障層118或是錫料120覆蓋的電鍍種子層115與黏著層114移除，以使得圖案化之後的黏著層114、電鍍種子層115與擴散阻障層118構成焊料焊接墊117。其中去除黏著層114例如係藉由濕蝕刻方式去除，而該濕蝕刻方式使用含有H₂O₂之液體。

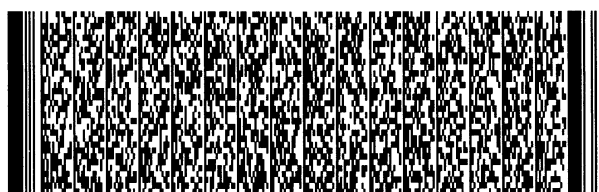
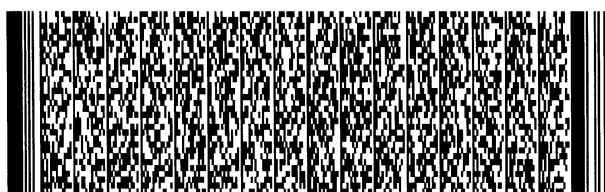


五、發明說明 (9)

之後再對錒料120進行迴焊(reflow)的動作，以使錒料120受熱後球化為焊料凸塊120a。然而，熟習此項技術者應知，上述黏著層114與電鍍種子層115的移除與錒料120的迴焊並無絕對順序，本實施例亦可先對錒料120進行迴焊，再將黏著層114及電鍍種子層115移除。

上述晶圓製作完畢之後，本實施例可將晶圓切割為多個晶片。一般而言，切割後的晶片通常包含了基材100、一金屬內連線積層(interconnection scheme)，以及保護層140等部分。基材100表層具有多個電子元件，例如是電晶體或是金屬氧化半導體(MOS)等。除此之外，在晶片上更可製作重配置線路層(Re-Distribution Layer, RDL)，藉由重配置線路層可將原先晶片上焊墊的位置重新佈局至特定位置。本實施例中雖僅以未經過重配置的焊墊102為例子進行說明，但並非限定本實施例，本實施例在同一晶片上製作打線焊接墊與焊料焊接墊的精神，亦可應用在已製作有重配置線路層的晶片上，而重配置線路層可為任何佈局型態。

更詳細的說，本發明可將後護層金屬連接結構製作於保護層上，此後護層金屬連接結構通常係指保護層(passivation)與膠層(encapsulant)之間的線路結構及元件(component)。後護層金屬連接結構例如係經由保護層之開口與保護層下之線路連接。另外，後護層金屬連接結構例如為金屬連線，而此金屬連線例如與上述金凸塊或金焊墊之材質相同，且金屬連線經由保護層之開口連接保護



五、發明說明 (10)

層下之部份電路至保護層下之其他部份電路。尚且，保護層之開口例如可以小至0.1微米。

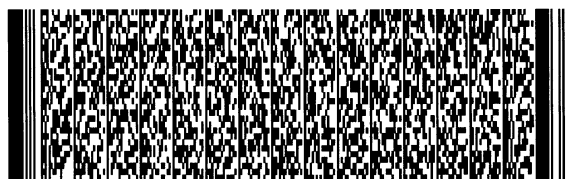
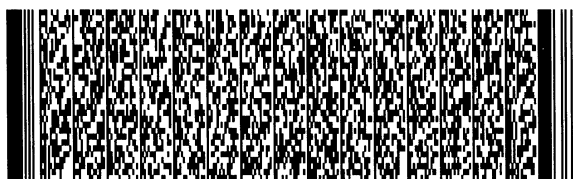
除此之外，後護層金屬連接結構亦可以是一包含了電源匯流排、訊號匯流排，以及接地匯流排的線路，其可經由保護層之開口連接至保護層下之電源線路、訊號線路及接地線路，且電源匯流排、訊號匯流排以及接地匯流排與金凸塊或是金焊墊之材質相同。另外，保護層之開口例如可以小至0.1微米。

另一方面，本發明採用表層材質為金的打線焊接墊與焊料焊接墊，其可與保護層上製作金屬內連線的製程整合，以於保護層上製作包含有電源匯流排(power bus)、訊號匯流排、與接地匯流排(ground bus)之金屬內連線。在較佳的實施例中，可直接將打線焊接墊中的金膜層應用在金屬內連線的製作上。

第二實施例

第2A圖至第2H圖繪示為依照本發明第二實施例晶圓製程之流程剖面示意圖。請參照第2A圖至第2H圖，本實施例之晶圓製程與第一實施例相近，惟二者差異之處在於：本實施例揭露了金焊墊109（繪示於第2D圖）的製作，而非金凸塊的製作，其在製作上較第一實施例簡單。以下僅針對第2C圖與第2D進行說明，其他製程步驟將不予重複進行說明。

請參照第2C圖，在黏著層106以及金膜層108形成之後，於金膜層108上形成一光阻層110，經曝光、顯影後，



五、發明說明 (11)

此光阻層110只覆蓋於部份的焊墊102上的金膜層108，再以光阻層110為罩幕層，將未受光阻層110覆蓋之金膜層108及黏著層106移除，以形成圖案化之金焊墊108a及黏著層106a。承上述，金膜層108以及金焊墊108a之厚度例如係介於0.005微米至3微米之間。

上述第一實施例所揭露的晶圓結構中，打線焊接墊107的表面為金凸塊200，而在與焊料焊接墊117上則形成有已迴焊球化的凸塊120a。在第二實施例所揭露的晶圓結構中，打線焊接墊107上只形成有金焊墊108a，而沒有電鍍形成的金凸塊，而在與焊料焊接墊117上同樣形成有已迴焊球化的凸塊120a。另外，在上述晶圓製作完畢之後，本實施例可將晶圓切割為多個晶片。

然而，本發明焊料焊接與打線接合兩用的晶圓結構亦可以有其他結構及材質上的變化，以下將搭配第3A圖至第3B圖進行說明。

第三實施例

請同時參照第3A圖與第3B圖，本實施例之晶圓結構與第一實施例相近，其主要差異之處在於第3A圖中的焊料焊接墊117上形成有未經過迴焊之焊料300，而非已迴焊並球化的凸塊，而在第3B圖中，為了讓本發明之晶圓有更廣的運用層面，其焊料焊接墊117例如係直接暴露，而不在其上形成焊料墊或焊料凸塊。在不失去焊料焊接與打線接合兩用功能的前提下，本實施例可讓封裝者依照其需求而在晶圓上做適當的變化。



五、發明說明 (12)

本發明雖僅以晶片結構以及製程為例子進行說明，但並非限定本發明之應用範圍，本發明亦可進一步針對這些晶片結構進行打線製程或是焊料的製作，以形成晶片與外部線路的連接結構。

第四實施例

第4A圖至第4C圖繪示為依照本發明第三實施例晶圓之剖面示意圖。請同時參照第4A圖至第4C圖，本實施例係針對打線焊接墊111與焊料焊接墊117的材質作一整合的動作，這些晶圓上的打線焊接墊111與焊料焊接墊117之材質例如是黏著層/銅/鎳/金(adhesion/Cu/Ni/Au)，而黏著層之材質例如為鈦或鉻。上述之金屬疊層可同時作為焊料焊接與打線接合之用。

上述由黏著層/銅/鎳/金(adhesion/Cu/Ni/Au)所構成之焊墊，會具有下列優點：

(a)簡化製程，相同之材質，可以作為打線及錫料焊接用。

(b)可增加設計的彈性，在某些實際使用例子上，IC設計者可以不須事先考慮哪一個錫墊給打線用，哪一些給錫料接合用。

(c)延展IC使用壽命與範圍。舉例來說，一個IC原本是設計給打線用的，後來可能因為封裝的改變而無法繼續使用。但如果此IC使用本實施例之雙功能焊接墊，則其使用壽命與應用範圍不會受此限制。

另外，在第4A圖中，打線焊接墊107與焊料焊接墊117



五、發明說明 (13)

直接暴露於晶圓表面；第4B圖中，焊料焊接墊117上形成有未經過迴焊之焊料300，而非已迴焊並球化的凸塊；在第4C圖中，打線焊接墊107上係以藉由焊線製程形成焊線(bonding wire)於其上，而在焊料焊接墊117上係形成有已迴焊並球化的凸塊500。

承上述，前述之四個實施例雖僅以晶片結構以及製程為例子進行說明，但並非限定本發明之應用範圍，本發明亦可進一步針對這些晶片結構進行打線製程或是焊料的製作，以形成晶片與外部線路的連接結構。

綜上所述，本發明之晶圓結構與製程至少具有下列優點：

1. 本發明可於同一晶圓上同時製作出打線焊接墊與焊料焊接墊，使得此晶圓上的各個晶片能夠藉由焊料接合或是打線的方式與其他承載具(carrier)、晶片、被動元件等電性連接。

2. 本發明可於同一晶圓上同時製作出焊料凸塊與金凸塊，使得此晶圓上的各個晶片能夠同時因應不同間距(pitch)需求的封裝。

雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖至第1H圖繪示為依照本發明第一實施例晶圓製程之流程剖面示意圖；

第2A圖至第2H圖繪示為依照本發明第二實施例晶圓製程之流程剖面示意圖；

第3A圖與第3B圖繪示為依照本發明第三實施例晶圓之剖面示意圖；以及

第4A圖至第4C圖繪示為依照本發明第四實施例晶圓之剖面示意圖。

[圖式標示說明]

- 100：晶圓
- 102：焊墊
- 104：保護層
- 104a：開口
- 106、106a：黏著層
- 107、109、111：打線焊接墊
- 108：金膜層
- 108a：金焊墊
- 110：光阻層
- 110a、116a：開口
- 114：黏著層
- 115：電鍍種子層
- 116：罩幕層
- 118：擴散阻障層
- 117：焊料焊接墊



圖式簡單說明

120 : 鐳料

120a : 凸塊

200 : 金凸塊

300 : 焊料

400 : 凸塊

500 : 焊線



四、中文發明摘要 (發明名稱：晶片結構及其製程)

一種晶片結構，其主要係由基材、打線焊接墊，以及焊料焊接墊所構成。其中，基材上具有多個焊墊以及一保護層，焊墊之材質例如為銅、鋁、鋁合金等，而保護層覆蓋於基材表面，且具有多個開口以將焊墊暴露。打線焊接墊係配置於保護層之開口所暴露出的部份焊墊上，而焊料焊接墊則配置於未被打線焊接墊覆蓋之焊墊上。承上述，本發明在打線焊接墊以及焊料焊接墊上包括形成金凸塊以及焊料凸塊。另外，本發明亦提出上述晶圓的製造方法。

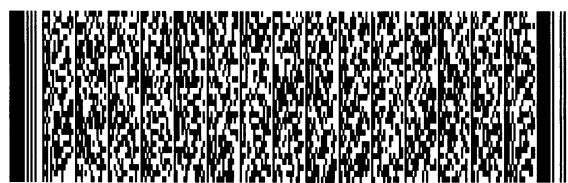
伍、(一)、本案代表圖為：第____1H____圖

(二)、本案代表圖之元件代表符號簡單說明：

100：基材	102：焊墊	104：保護層
106a：黏著層	107：打線焊接墊	108a：金焊墊
114：黏著層	115：電鍍種子層	117：焊料焊接墊
118：擴散阻障層	120a：焊料凸塊	200：金凸塊

六、英文發明摘要 (發明名稱：Chip structure and method for fabricating the same)

A chip structure comprising a substrate, a plurality of wire connecting pads and a plurality of solder connecting pads is provided. There are a plurality of bonding pads and a passivation layer formed on the surface of the substrate. The material of the bonding pads may be Cu, Al, Al alloy etc. The passivation layer encapsulates on the surface of the substrate and exposes the



四、中文發明摘要 (發明名稱：晶片結構及其製程)

六、英文發明摘要 (發明名稱：Chip structure and method for fabricating the same)

bonding pads. The wire connecting pads disposed on some of the bonding pads exposed by the openings of the passivation layer, and the solder connecting pads disposed on the other bonding pads. As described above, it is possible to form gold bumps and solder bumps on the disposed on some of the bonding pads exposed by the openings of the wire connecting pads and the solder



四、中文發明摘要 (發明名稱：晶片結構及其製程)

六、英文發明摘要 (發明名稱：Chip structure and method for fabricating the same)

connecting pads respectively. In addition, Present invention also provides a method for fabricating the chip.



六、申請專利範圍

1. 一種晶片結構，包括：

一基材，該基材上具有複數個焊墊以及一保護層，其中該保護層係覆蓋於該基材表面，且該保護層具有複數個開口以將該些焊墊暴露；

複數個打線焊接墊，配置於部份該些開口所暴露出之焊墊上，其中每一該些打線焊接墊之表層包括一金凸塊；以及

複數個焊料焊接墊，配置於未被該些打線焊接墊之該些焊墊上，其中每一該些焊料焊接墊之表層包括一焊料凸塊。

2. 如申請專利範圍第1項所述之晶片結構，其中該些金凸塊經由複數個打線導線與一外部線路連接，而該些焊料凸塊與外部線路連接。

3. 如申請專利範圍第1項所述之晶片結構，其中該些金凸塊之厚度介於1微米至15微米之間。

4. 如申請專利範圍第1項所述之晶片結構，其中該些金凸塊之下，更包括主動元件、被動元件，以及金屬連線至少其中之一。

5. 如申請專利範圍第1項所述之晶片結構，其中每一該些打線焊接墊更包括一金屬黏著層，配置於該些金凸塊之下。

6. 如申請專利範圍第5項所述之晶片結構，該些金屬黏著層之材質包括鈦鎢合金。

7. 如申請專利範圍第1項所述之晶片結構，其中該些



六、申請專利範圍

焊料凸塊之厚度介於1微米至400微米之間。

8. 如申請專利範圍第1項所述之晶片結構，其中每一該些焊料焊接墊更包括一金屬黏著層，配置於該些焊料凸塊之下。

9. 如申請專利範圍第8項所述之晶片結構，該金屬黏著層之材質包括鈦、鉻、鉻銅，以及鈦鎢其中之一。

10. 如申請專利範圍第8項所述之晶片結構，其中每一該些焊料焊接墊更包括一金屬擴散阻障層，配置於該些焊料凸塊與該些金屬黏著層之間。

11. 如申請專利範圍第10項所述之晶片結構，該金屬擴散阻障層之材質包括鎳、銅，以及銅鎳複合層其中之一。

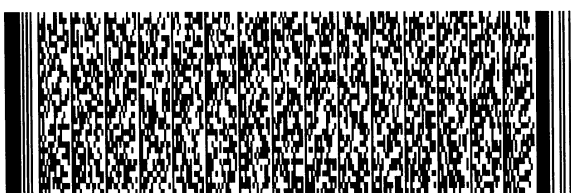
12. 如申請專利範圍第1項所述之晶片結構，其中該些焊墊之材質包括銅、鋁，以及鋁合金其中之一。

13. 如申請專利範圍第10項所述之晶片結構，其中每一該些焊料焊接墊更包括一鍍料沾附層，配置於該些焊料凸塊與該些金屬擴散阻障層之間。

14. 如申請專利範圍第13項所述之晶片結構，其中該些鍍料沾附層之材質包括金、銅、錫、錫鉛合金，以及無鉛合金其中之一。

15. 如申請專利範圍第1項所述之晶片結構，其中該些焊料凸塊之材質包括錫鉛焊料、錫銀焊料、錫銀銅其中之一。

16. 如申請專利範圍第1項所述之晶片結構，其中該保



六、申請專利範圍

護層上更包括一金屬連線，且該金屬連線與該些金凸塊之材質相同。

17. 如申請專利範圍第16項所述之晶片結構，其中該金屬連線經由該保護層之該些開口連接該保護層下之部份電路至該保護層下之其他部份電路。

18. 如申請專利範圍第17項所述之晶片結構，其中該保護層之該些開口大於0.1微米。

19. 如申請專利範圍第1項所述之晶片結構，其中該保護層上更包括一電源匯流排、訊號匯流排以及一接地匯流排，並經由該保護層之該些開口，連接至該保護層下之電源線路、訊號線路及接地線路，且該電源匯流排、訊號匯流排以及接地匯流排與該些金凸塊之材質相同。

20. 如申請專利範圍第19項所述之晶片結構，其中該保護層之該些開口大於0.1微米。

21. 如申請專利範圍第1項所述之晶片結構，其中該保護層上更包括一重配線路層，該重配線路層將原先晶片上焊墊的位置重新佈局至特定位置，且該重配線路層與該些金凸塊之材質相同。

22. 一種晶片結構，包括：

一基材，該基材上具有複數個焊墊以及一保護層，其中該保護層係覆蓋於該基材表面，且該保護層具有複數個開口以將該些焊墊暴露；

複數個打線焊接墊，配置於部份該些開口所暴露出之焊墊上，其中每一該些打線焊接墊之表層包括一金焊墊；



六、申請專利範圍

以及

複數個焊料焊接墊，配置於未被該些打線焊接墊之該些焊墊上，其中每一該些焊料焊接墊之表層包括一焊料凸塊。

23. 如申請專利範圍第22項所述之晶片結構，其中些金焊墊經由複數個打線導線與一外部線路連接，而該些焊料凸塊與外部線路連接。

24. 如申請專利範圍第22項所述之晶片結構，其中該些金焊墊之厚度介於0.005微米至3微米之間。

25. 如申請專利範圍第22項所述之晶片結構，其中每一該些打線焊接墊更包括一金屬黏著層，配置於該些金焊墊之下。

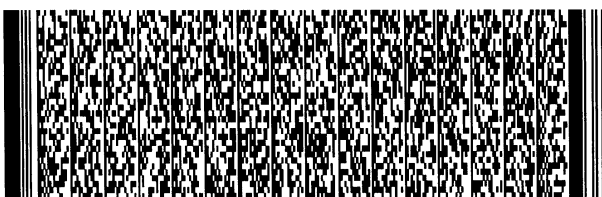
26. 如申請專利範圍第25項所述之晶片結構，其中該些金屬黏著層之材質包括鈦鎢合金。

27. 如申請專利範圍第22項所述之晶片結構，其中該些焊料凸塊之厚度介於1微米至400微米之間。

28. 如申請專利範圍第22項所述之晶片結構，其中該些焊料凸塊之材質包括錫鉛焊料、錫銀焊料、錫銀銅其中之一。

29. 如申請專利範圍第22項所述之晶片結構，其中該保護層上更包括一金屬連線，且該金屬連線與該些金焊墊之材質相同。

30. 如申請專利範圍第29項所述之晶片結構，其中該金屬連線經由該保護層之該些開口連接該保護層下之部份



六、申請專利範圍

電路至該保護層下之其他部份電路。

31. 如申請專利範圍第30項所述之晶片結構，其中該保護層之該些開口大於0.1微米。

32. 如申請專利範圍第22項所述之晶片結構，其中該保護層上更包括一電源匯流排、訊號匯流排以及一接地匯流排，並經由該保護層之該些開口，連接至該保護層下之電源線路、訊號線路及接地線路，且該電源匯流排、訊號匯流排以及接地匯流排與該些金焊墊之材質相同。

33. 如申請專利範圍第22項所述之晶片結構，其中該保護層上更包括一重配線路層，該重配線路層將原先晶片上焊墊的位置重新佈局至特定位置，且該重配線路層與該些金凸塊之材質相同。

34. 如申請專利範圍第32項所述之晶片結構，其中該保護層之該些開口大於0.1微米。

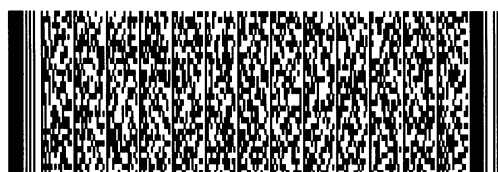
35. 一種晶片與外部線路的連接結構，包括：

一基材，該基材上具有複數個焊墊以及一保護層，其中該保護層係覆蓋於該基材表面，且該保護層具有複數個開口以將該些焊墊暴露；

複數個打線焊接墊，配置於部份該些開口所暴露出之焊墊上，其中每一該些打線焊接墊之表層包括一金凸塊；

複數個打線導線連接該些金凸塊與外部線路連接；以及

複數個焊料焊接墊，配置於未被該些打線焊接墊之該些焊墊上，其中每一該些焊料焊接墊之表層包括一焊料凸



六、申請專利範圍

塊，且該些焊墊凸塊與外部線路連接。

36. 如申請專利範圍第35項所述之晶片與外部線路的連接結構，其中該些金凸塊之厚度介於1微米至15微米之間。

37. 如申請專利範圍第35項所述之晶片與外部線路的連接結構，其中該些打線導線連接該些金凸塊的區域之下，更包括主動元件、被動元件及金屬連線至少其中之一。

38. 如申請專利範圍第35項所述之晶片與外部線路的連接結構，其中該些焊料凸塊之厚度介於1微米至400微米之間。

39. 如申請專利範圍第35項所述之晶片與外部線路的連接結構，其中該些焊料凸塊之材質包括錫鉛焊料、錫銀焊料、錫銀銅其中之一。

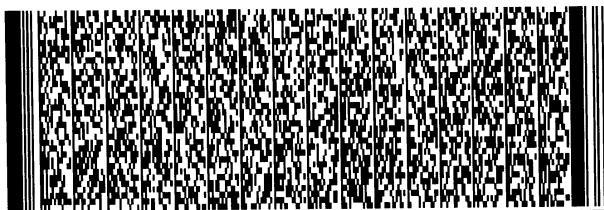
40. 一種晶片與外部線路的連接結構，包括：

一基材，該基材上具有複數個焊墊以及一保護層，其中該保護層係覆蓋於該基材表面，且該保護層具有複數個開口以將該些焊墊暴露；

複數個打線焊接墊，配置於部份該些開口所暴露出之焊墊上，其中每一該些打線焊接墊之表層包括一金焊墊；

複數個打線導線連接該些金焊墊與外部線路連接；以及

複數個焊料焊接墊，配置於未被該些打線焊接墊之該些焊墊上，其中每一該些焊料焊接墊之表層包括一焊料凸



六、申請專利範圍

塊，且該些焊墊凸塊與外部線路連接。

41. 如申請專利範圍第40項所述之晶片與外部線路的連接結構，其中該些金焊墊之厚度介於0.005微米至3微米之間。

42. 如申請專利範圍第40項所述之晶片與外部線路的連接結構，其中該些焊料凸塊之厚度介於1微米至400微米之間。

43. 如申請專利範圍第40項所述之晶片與外部線路的連接結構，其中該些焊料凸塊之材質包括錫鉛焊料、錫銀焊料、錫銀銅其中之一。

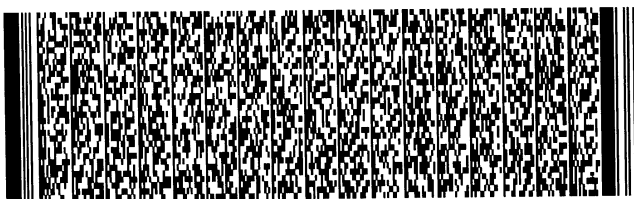
44. 一種晶片結構，包括：

一基材，該基材上具有複數個金屬墊以及一保護層，其中該保護層係覆蓋於該基材表面，且該保護層具有複數個開口以將該些金屬墊暴露；

一後護層金屬連接結構，配置於該保護層之上，該後護層金屬連接結構經由該些保護層之該些開口與該保護層下之線路連接，且該後護層金屬連接結構，在其表層暴露出複數個鐳墊；

複數個打線焊接墊，配置於部份該些表層所暴露出之焊墊上，其中每一該些打線焊接墊之表層包括一金凸塊；以及

複數個焊料焊接墊，配置於未被該些打線焊接墊之該些焊墊上，其中每一該些焊料焊接墊之表層包括一焊料凸塊。



六、申請專利範圍

45. 如申請專利範圍第44項所述之晶片結構，其中該後護層金屬結構經由該保護層之該些開口連接該保護層下之部份電路至該保護層下之其他部份電路。

46. 如申請專利範圍第45項所述之晶片結構，其中該保護層之該些開口大於0.1微米。

47. 如申請專利範圍第44項所述之晶片結構，其中該後護層金屬結構包括電源匯流排、訊號匯流排以及接地匯流排，並經由保護層開口，連接至保護層下之電源線路、訊號線路及接地線路。

48. 如申請專利範圍第47項所述之晶片結構，其中該保護層之該些開口大於0.1微米。

49. 如申請專利範圍第44項所述之晶片結構，其中該後護層金屬結構包括重配置線路層。

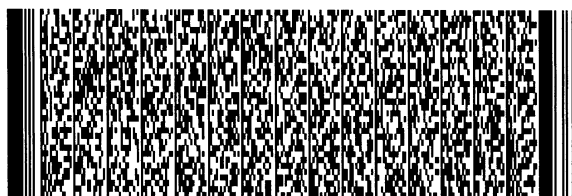
50. 如申請專利範圍第44項所述之晶片結構，其中該些金凸塊經由打線導線與外部線路連接，而該些焊料凸塊與外部線路連接。

51. 如申請專利範圍第44項所述之晶片結構，其中該些金凸塊之厚度介於1微米至15微米之間。

52. 如申請專利範圍第44項所述之晶片結構，其中該些焊料凸塊之厚度介於1微米至400微米之間。

53. 如申請專利範圍第44項所述之晶片結構，其中該些焊料凸塊之材質包括錫鉛焊料、錫銀焊料、錫銀銅其中之一。

54. 一種晶片結構，包括：



六、申請專利範圍

一 基材，該基材上具有複數個金屬墊以及一保護層，其中該保護層係覆蓋於該基材表面，且該保護層具有複數個開口以將該些金屬墊暴露；

一 後護層金屬連接結構，配置於該保護層之上，該後護層金屬連接結構經由該些保護層之該些開口與該保護層下之線路連接，且該後護層金屬連接結構，在其表層暴露出複數個鉚墊；

複數個打線焊接墊，配置於部份該些表層所暴露出之焊墊上，其中每一該些打線焊接墊之表層包括一金焊墊；以及

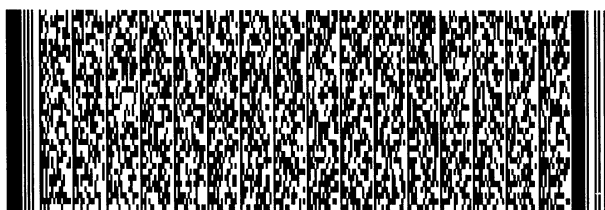
複數個焊料焊接墊，配置於未被該些打線焊接墊之該些焊墊上，其中每一該些焊料焊接墊之表層包括一焊料凸塊。

55. 如申請專利範圍第54項所述之晶片結構，其中該後護層金屬結構，經由該保護層之該些開口連接該保護層下之部份電路至該保護層下之其他部份電路。

56. 如申請專利範圍第55項所述之晶片結構，其中該保護層之該些開口大於0.1微米。

57. 如申請專利範圍第54項所述之晶片結構，其中該後護層金屬結構包括一電源匯流排、訊號匯流排以及一接地匯流排，並經由該保護層之該些開口連接至該保護層下之電源線路、訊號線路及接地線路。

58. 如申請專利範圍第57項所述之晶片結構，其中該保護層之該些開口大於0.1微米。



六、申請專利範圍

59. 如申請專利範圍第54項所述之晶片結構，其中該後護層金屬結構包括重配置線路層。

60. 如申請專利範圍第54項所述之晶片結構，其中該些金焊墊經由打線導線與外部線路連接，而該些焊料凸塊與外部線路連接。

61. 如申請專利範圍第54項所述之晶片結構，其中該些金焊墊之厚度介於0.005微米至3微米之間。

62. 如申請專利範圍第54項所述之晶片結構，其中該些焊料凸塊之厚度介於1微米至400微米之間。

63. 如申請專利範圍第54項所述之晶片結構，其中該些焊料凸塊之材質包括錫鉛焊料、錫銀焊料、錫銀銅其中之一。

64. 一種晶片製程，包括：

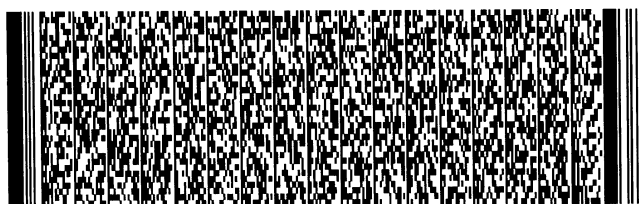
提供一基材，該基材上具有複數個焊墊以及一保護層，其中該保護層係覆蓋於該基材表面，且該保護層具有複數個開口以將該些焊墊暴露；

形成複數個打線焊接墊於部份該些開口所暴露出之焊墊上，其中每一該些打線焊接墊之表層包括一金凸塊；

形成複數個焊料焊接墊於未被該些打線焊接墊之該些焊墊上，其中每一該些焊料焊接墊之表層包括一焊料凸塊；以及

切割該基材，形成複數個晶片。

65. 如申請專利範圍第64項所述之晶片製程，其中形成該些打線焊接墊包括：



六、申請專利範圍

形成一黏著層，覆蓋該保護層及該些焊墊；

形成一金膜層於該黏著層上；

形成一罩幕層於該金膜層上；

形成複數個開口於該罩幕層，且該些開口係位於部分該些焊墊上方，並暴露該金膜層；

形成複數個金凸塊於該些開口所暴露之該金膜層上；

去除該罩幕層；

去除位於該些金凸塊底下以外之該金膜層；以及

去除位於該些金凸塊底下以外之該黏著層，暴露出該保護層以及位於該些金凸塊底下以外之該些焊墊。

66. 如申請專利範圍第65項所述之晶片製程，其中該黏著層之材質包括鈦鎢合金。

67. 如申請專利範圍第65項所述之晶片製程，其中該黏著層係藉由濺鍍方式形成。

68. 如申請專利範圍第65項所述之晶片製程，其中該金膜層係藉由濺鍍方式形成。

69. 如申請專利範圍第65項所述之晶片製程，其中該些金凸塊係藉由電鍍方式形成。

70. 如申請專利範圍第65項所述之晶片製程，其中去除位於該些金凸塊底下以外之該黏著層係藉由濕蝕刻方式去除，而該濕蝕刻方式使用含有H₂O₂之液體。

71. 如申請專利範圍第64項所述之晶片製程，其中形成該些焊料焊接墊包括：

形成一黏著層，覆蓋該保護層、該些金凸塊及未被該



六、申請專利範圍

些金凸塊覆蓋的該些焊墊；

形成一電鍍種子層於該黏著層上；

形成一罩幕層於該電鍍種子層上；

形成複數個開口於該罩幕層，且該些開口係位於未被該些金凸塊覆蓋的該些焊墊上方，並暴露該電鍍種子層；

形成一金屬擴散阻障層於該些開口所暴露之該電鍍種子層上；

形成一焊料於該金屬擴散阻障層上；

去除該罩幕層；

去除位於該焊料底下以外之該電鍍種子層；以及

去除位於該焊料底下以外之該黏著層，暴露出該保護層及該些金凸塊。

72. 如申請專利範圍第71項所述之晶片製程，其中該黏著層之材質包括鈦、鉻及鉻銅合金其中之一。

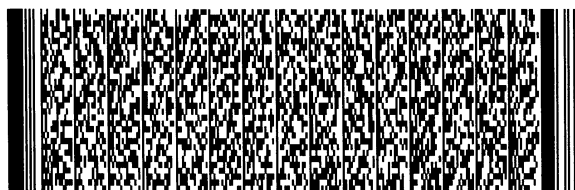
73. 如申請專利範圍第71項所述之晶片製程，其中該黏著層係藉由濺鍍方式形成。

74. 如申請專利範圍第71項所述之晶片製程，其中該電鍍種子層包括銅。

75. 如申請專利範圍第71項所述之晶片製程，其中該電鍍種子層係藉由濺鍍方式形成。

76. 如申請專利範圍第71項所述之晶片製程，其中該金屬擴散阻障層之材質包括鎳、銅、銅鎳複合層其中之一。

77. 如申請專利範圍第71項所述之晶片製程，其中該



六、申請專利範圍

金屬擴散阻障層藉由電鍍方式形成。

78. 如申請專利範圍第71項所述之晶片製程，其中該焊料之材質包括錫鉛焊料、錫銀焊料、錫銀銅其中之一。

79. 如申請專利範圍第71項所述之晶片製程，其中該焊料係藉由電鍍方式形成。

80. 如申請專利範圍第71項所述之晶片製程，其中該焊料係藉由印刷方式形成。

81. 如申請專利範圍第71項所述之晶片製程，其中在形成該金屬擴散阻障層之後，形成該焊料之前，更包括形成一鍍料沾附層。

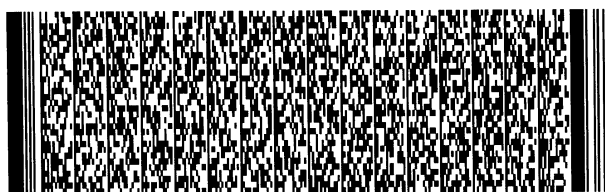
82. 如申請專利範圍第71項所述之晶片製程，其中該鍍料沾附層之材質包括金、銅、錫、錫鉛合金及無鉛合金其中之一。

83. 如申請專利範圍第71項所述之晶片製程，其中在形成該些金凸塊的同時，形成一金屬連線。

84. 如申請專利範圍第83項所述之晶片製程，其中該金屬連線，經由該保護層之該些開口連接該保護層下之部份電路至該保護層下之其他部份電路。

85. 如申請專利範圍第83項所述之晶片製程，其中該些保護層之該些開口大於0.1微米。

86. 如申請專利範圍第64項所述之晶片製程，其中在形成該些金凸塊的同時，形成一電源匯流排、訊號匯流排，以及一接地匯流排，並經由該保護層之該些開口連接至該保護層下之電源線路、訊號線路及接地線路。



六、申請專利範圍

87. 如申請專利範圍第86項所述之晶片製程，其中這些保護層之這些開口大於0.1微米。

88. 如申請專利範圍第86項所述之晶片製程，其中該保護層上更包括一重配線路層，該重配線路層將原先晶片上焊墊的位置重新佈局至特定位置，且該重配線路層與這些金凸塊之材質相同。

89. 一種晶片製程，包括：

提供一基材，該基材上具有複數個焊墊以及一保護層，其中該保護層係覆蓋於該基材表面，且該保護層具有複數個開口以將這些焊墊暴露；

形成複數個打線焊接墊於部份這些開口所暴露出之焊墊上，其中每一這些打線焊接墊之表層包括一金焊墊；

形成複數個焊料焊接墊於未被這些打線焊接墊之這些焊墊上，其中每一這些焊料焊接墊之表層包括一焊料凸塊；以及

切割該基材，形成複數個晶片。

90. 如申請專利範圍第89項所述之晶片製程，其中形成複數個金焊墊包括：

形成一黏著層，覆蓋該保護層及這些焊墊；

形成一金膜層於該黏著層上；

形成一罩幕層於該金膜層上；

經由曝光、顯影方法，去除位於部分這些焊墊上方以外的該罩幕層，並曝露該區域的該金膜層；

經由蝕刻方法，去除未被罩幕層覆蓋區域的該金膜層



六、申請專利範圍

及該黏著層，留下被該罩幕層覆蓋區域的該金膜層及該黏著層以形成該些金焊墊；以及

去除該罩幕層。

91. 如申請專利範圍第89項所述之晶片製程，其中該黏著層之材質包括鈦鎢合金。

92. 如申請專利範圍第89項所述之晶片製程，其中該黏著層係藉由濺鍍方式形成。

93. 如申請專利範圍第89項所述之晶片製程，其中該金膜層係藉由濺鍍方式形成。

94. 如申請專利範圍第89項所述之晶片製程，其中去除位於該些金焊墊底下以外之該黏著層係藉由濕蝕刻方式去除，而該濕蝕刻方式使用含有H₂O₂之液體。

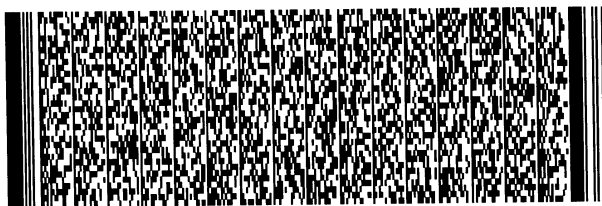
95. 如申請專利範圍第90項所述之晶片製程，其中在形成該些金焊墊的同時，形成一金屬連線。

96. 如申請專利範圍第95項所述之晶片製程，其中該金屬連線，經由該保護層之該些開口，連接該保護層下之部份電路至該保護層下之其他部份電路。

97. 如申請專利範圍第96項所述之晶片製程，其中該保護層之該些開口大於0.1微米。

98. 如申請專利範圍第90項所述之晶片製程，其中在形成該些金焊墊的同時，形成一電源匯流排、訊號匯流排以及一接地匯流排，並經由該保護層之該些開口連接至該保護層下之電源線路、訊號線路及接地線路。

99. 如申請專利範圍第98項所述之晶片製程，其中該



六、申請專利範圍

保護層之該些開口大於0.1微米。

100. 如申請專利範圍第86項所述之晶片製程，其中該保護層上更包括一重配線路層，該重配線路層將原先晶片上焊墊的位置重新佈局至特定位置，且該重配線路層與該些金凸塊之材質相同。

101. 一種晶片與外部線路的電性連接結構，包括：

一基材，該基材上具有複數個焊墊以及一保護層，其中該保護層係覆蓋於該基材表面，且該保護層具有複數個開口以將該些焊墊暴露；

複數個打線焊接墊，配置於部份該些開口所暴露出之焊墊上，其中該些打線焊接墊為黏著層/銅/鎳/金；

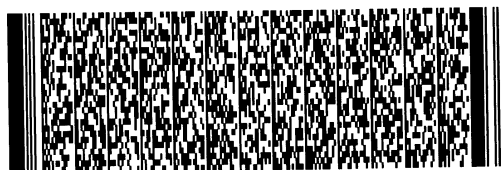
複數個焊線，電性連接於該些打線焊接墊與外部線路之間；

複數個焊料焊接墊，配置於未被該些打線焊接墊覆蓋之該些焊墊上，其中該些焊料焊接墊為黏著層/銅/鎳/金；以及

複數個焊料，配置於該些焊料焊接墊上，以與外部線路電性連接。

102. 如申請專利範圍第101項所述之晶片與外部線路的電性連接結構，其中該黏著層之材質包括鈦、鉻、鉻銅合金。

103. 如申請專利範圍第101項所述之晶片與外部線路的電性連接結構，其中該些焊墊之材質包括銅、鋁，以及鋁合金其中之一。



六、申請專利範圍

104. 如申請專利範圍第101項所述之晶片與外部線路的電性連接結構，其中該些焊料之材質包括錫鉛焊料、錫銀焊料、錫銀銅其中之一。

105. 如申請專利範圍第101項所述之晶片與外部線路的電性連接結構，其中該保護層上更包括一金屬內連線，且該金屬內連線以與該打線焊接墊之材質相同。

106. 如申請專利範圍第101項所述之晶片與外部線路的電性連接結構，其中該金屬內連線包括電源匯流排、訊號匯流排以及接地匯流排。

107. 一種晶片結構，包括：

一基材，該基材上具有複數個焊墊以及一保護層，其中該保護層係覆蓋於該基材表面，且該保護層具有複數個開口以將該些焊墊暴露；

複數個打線焊接墊，配置於部份該些開口所暴露出之焊墊上；以及

複數個焊料焊接墊，配置於未被該些打線焊接墊覆蓋之該些焊墊上。

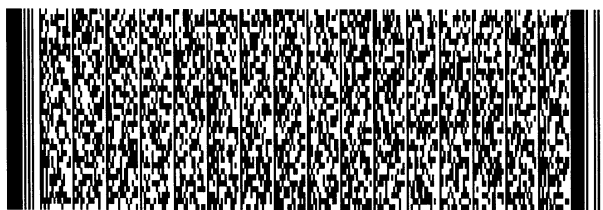
108. 如申請專利範圍第107項所述之晶片結構，其中每一該些打線焊接墊包括：

一黏著層；以及

一金凸塊，配置於該黏著層上。

109. 如申請專利範圍第107項所述之晶片結構，其中該些焊墊之材質包括銅、鋁，以及鋁合金其中之一。

110. 如申請專利範圍第107項所述之晶片結構，其中



六、申請專利範圍

每一該些打線焊接墊包括：

一黏著層；以及

一金焊墊，配置於該黏著層上。

111. 如申請專利範圍第110項所述之晶片結構，其中該黏著層之材質包括鈦鎢合金。

112. 如申請專利範圍第107項所述之晶片結構，其中每一該些焊料焊接墊包括：

一黏著層；以及

一電鍍種子層，配置於該黏著層上。

113. 如申請專利範圍第112項所述之晶片結構，其中該黏著層之材質包括鈦、鉻及鉻銅合金其中之一。

114. 如申請專利範圍第112項所述之晶片結構，其中該電鍍種子層之材質包括銅。

115. 如申請專利範圍第112項所述之晶片結構，其中每一該些焊料焊接墊更包括一擴散阻障層，配置於該電鍍種子層上。

116. 如申請專利範圍第115項所述之晶片結構，其中該擴散阻障層之材質包括鎳、銅其鎳銅複合層其中之一。

117. 如申請專利範圍第115項所述之晶片結構，其中每一該些焊料焊接墊更包括一錒料沾附層，配置於該擴散阻障層上。

118. 如申請專利範圍第117項所述之晶片結構，其中該錒料沾附層之材質金、銅、錫鉛合金及無鉛合金其中之一。



六、申請專利範圍

119. 如申請專利範圍第117項所述之晶片結構，更包括複數個焊料，配置於該些鉚料沾附層上。

120. 如申請專利範圍第117項所述之晶片結構，更包括複數個凸塊，配置於該些鉚料沾附層上。

121. 如申請專利範圍第120項所述之晶片結構，其中該些凸塊之材質包括錫鉛焊料、錫銀焊料、錫銀銅其中之一。

122. 如申請專利範圍第107項所述之晶片結構，其中該保護層上更包括一金屬內連線，且該金屬內連線以與該打線焊接墊之材質相同。

123. 如申請專利範圍第122項所述之晶片結構，其中該金屬內連線包括電源匯流排、訊號匯流排以及接地匯流排。

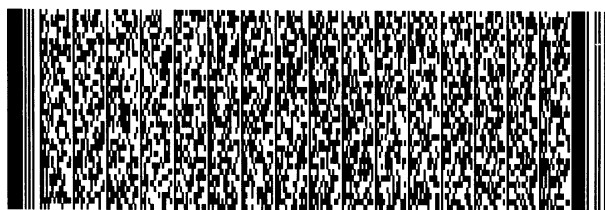
124. 一種晶片結構，包括：

一基材，該基材上具有複數個焊墊以及一保護層，其中該保護層係覆蓋於該基材表面，且該保護層具有複數個開口以將該些焊墊暴露；

複數個打線焊接墊，配置於部份該些開口所暴露出之焊墊上，其中該些打線焊接墊的表層材質為金；以及

複數個焊料焊接墊，配置於未被該些打線焊接墊覆蓋之該些焊墊上，其中該些焊料焊接墊之表層材質包括銅及金其中之一。

125. 如申請專利範圍第124項所述之晶片結構，更包括複數個金凸塊，配置於該些打線焊接墊。



六、申請專利範圍

126. 如申請專利範圍第124項所述之晶片結構，其中該些焊墊之材質包括銅、鋁，以及鋁合金其中之一。

127. 如申請專利範圍第124項所述之晶片結構，其中該些打線焊接墊包括：

一黏著層；以及

一金膜層，配置於該黏著層上。

128. 如申請專利範圍第127項所述之晶片結構，其中該黏著層之材質包括鈦鎢合金。

129. 如申請專利範圍第124項所述之晶片結構，其中每一該些焊料焊接墊包括：

一黏著層；以及

一電鍍種子層，配置於該黏著層上。

130. 如申請專利範圍第129項所述之晶片結構，其中該黏著層之材質包括鈦、鉻及鉻銅合金其中之一。

131. 如申請專利範圍第129項所述之晶片結構，其中該電鍍種子層之材質包括銅。

132. 如申請專利範圍第129項所述之晶片結構，其中每一該些焊料焊接墊更包括一擴散阻障層，配置於該電鍍種子層上。

133. 如申請專利範圍第132項所述之晶片結構，其中每一該些焊料焊接墊更包括一鍍料沾附層，配置於該擴散阻障層上。

134. 如申請專利範圍第132項所述之晶片結構，其中該鍍料沾附層之材質金、銅、錫鉛合金及無鉛合金其中之



六、申請專利範圍

一。

135. 如申請專利範圍第132項所述之晶片結構，更包括複數個焊料，配置於該些鉚料沾附層上。

136. 如申請專利範圍第132項所述之晶片結構，更包括複數個凸塊，配置於該些鉚料沾附層上。

137. 如申請專利範圍第136項所述之晶片結構，其中該些凸塊之材質包括錫鉛焊料、錫銀焊料、錫銀銅其中之一。

138. 如申請專利範圍第124項所述之晶片結構，其中該保護層上更包括一金屬內連線，且該金屬內連線以與該打線焊接墊之材質相同。

139. 如申請專利範圍第138項所述之晶片結構，其中該金屬內連線包括電源匯流排、訊號匯流排以及接地匯流排。

140. 一種晶片製程，包括：

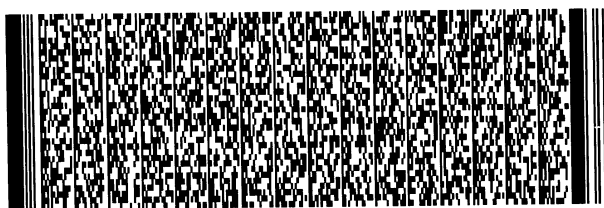
提供一基材，該基材上具有複數個焊墊以及一保護層，其中該保護層係覆蓋於該基材表面並將該些焊墊暴露；

於部份該些焊墊上形成複數個打線焊接墊；

於未被該些打線焊接墊覆蓋之該些焊墊上形成複數個焊料焊接墊；以及

切割該基材以形成複數個晶片。

141. 如申請專利範圍第140項所述之晶片製程，其中該些打線焊接墊係藉由濺鍍方式形成。



六、申請專利範圍

142. 如申請專利範圍第140項所述之晶片製程，其中該些焊料焊接墊的形成方法包括濺鍍及電鍍。

143. 如申請專利範圍第140項所述之晶片製程，其中該些打線焊接墊的形成方法包括下列步驟：

於部份該些焊墊上形成一圖案化之黏著層；以及

於該黏著層上形成一金膜層。

144. 如申請專利範圍第143項所述之晶片製程，其中該黏著層之材質包括鈦鎢合金。

145. 如申請專利範圍第140項所述之晶片製程，其中該些焊料焊接墊的形成方法包括：

於該基材表面上形成一黏著層，以覆蓋住該些打線焊接墊；

於該黏著層上形成一罩幕層，該罩幕層具有複數個開口，且該些開口係位於未被該些打線焊接墊覆蓋之焊墊上方；

於該些開口所暴露之該黏著層上形成一電鍍種子層；以及

將該黏著層圖案化。

146. 如申請專利範圍第145項所述之晶片製程，其中該黏著層之材質包括鈦、鉻及鉻銅合金其中之一。

147. 如申請專利範圍第145項所述之晶片製程，其中該電鍍種子層之材質包括銅。

148. 如申請專利範圍第145項所述之晶片製程，其中



六、申請專利範圍

該電鍍種子層形成之後與該罩幕層撥除之前，更包括形成一擴散阻障層於該電鍍種子層上。

149. 如申請專利範圍第148項所述之晶片製程，其中該擴散阻障層之材質包括鎳。

150. 如申請專利範圍第148項所述之晶片製程，更包括形成一鍍料沾附層(wettable layer)於該擴散阻障層上。

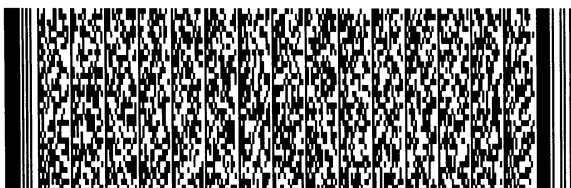
151. 如申請專利範圍第150項所述之晶片製程，其中該鍍料沾附層之材質包括金、銅、錫鉛合金及無鉛合金其中之一。

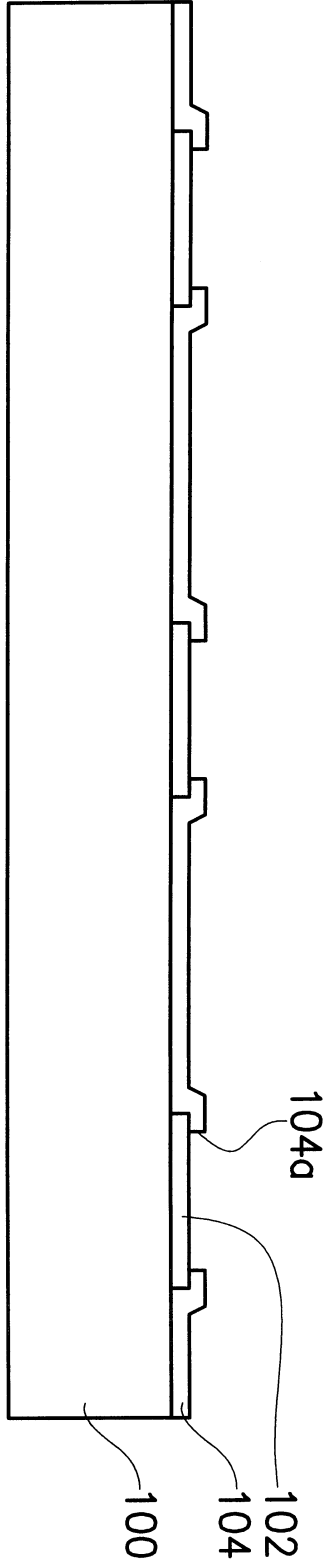
152. 如申請專利範圍第140項所述之晶片製程，更包括於該些焊料焊接墊上形成一鍍料。

153. 如申請專利範圍第152項所述之晶片製程，更包括對該鍍料進行迴焊，以使該鍍料球化為凸塊。

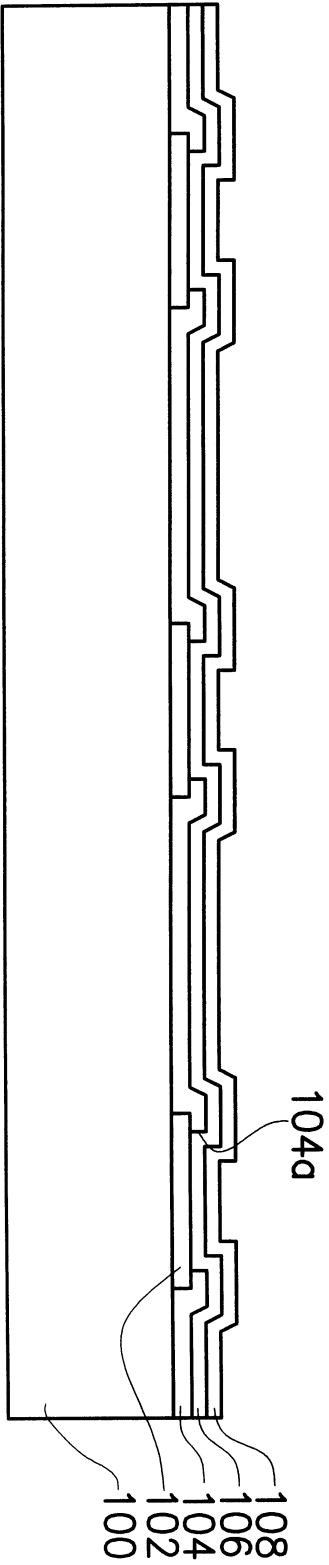
154. 如申請專利範圍第140項所述之晶片製程，更包括形成一金凸塊於該打線焊接墊上。

155. 如申請專利範圍第140項所述之晶片製程，其中該打線焊接墊形成同時，更包括形成與該打線焊接墊材質相同之一金屬內連線於該保護層上。

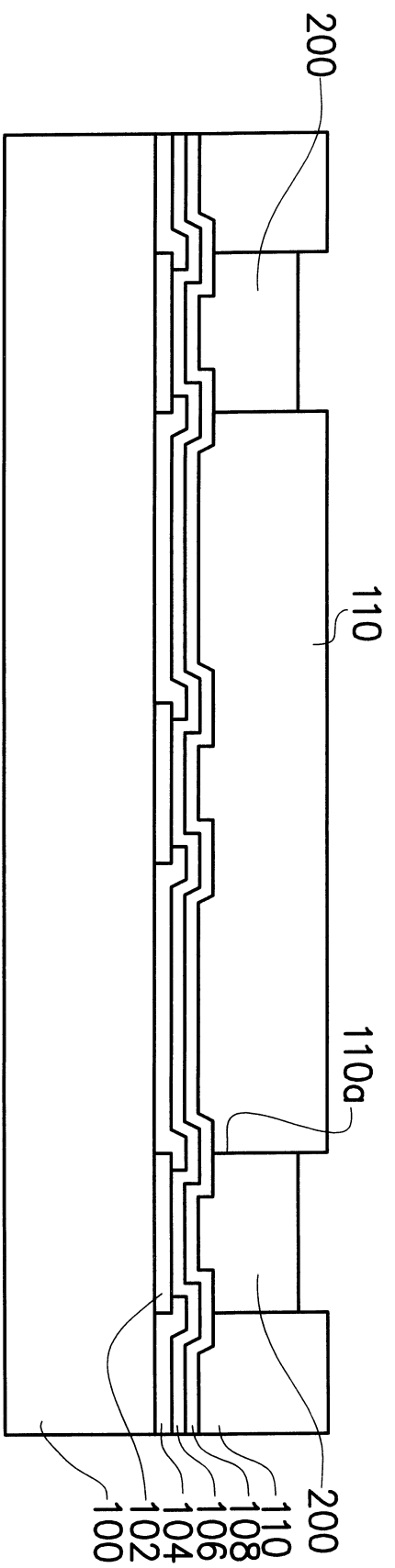




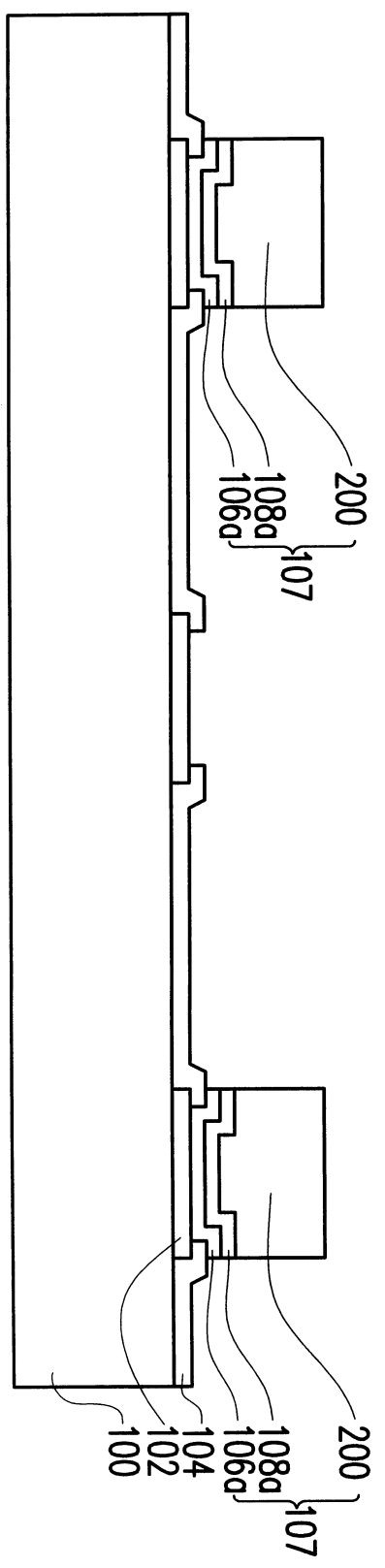
第1A圖



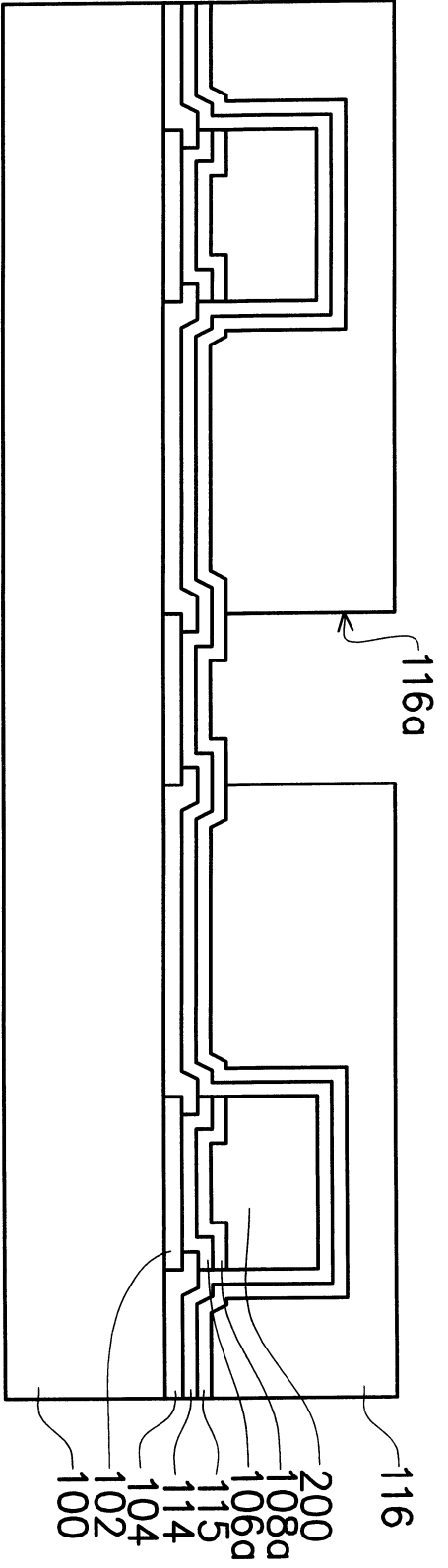
第1B圖



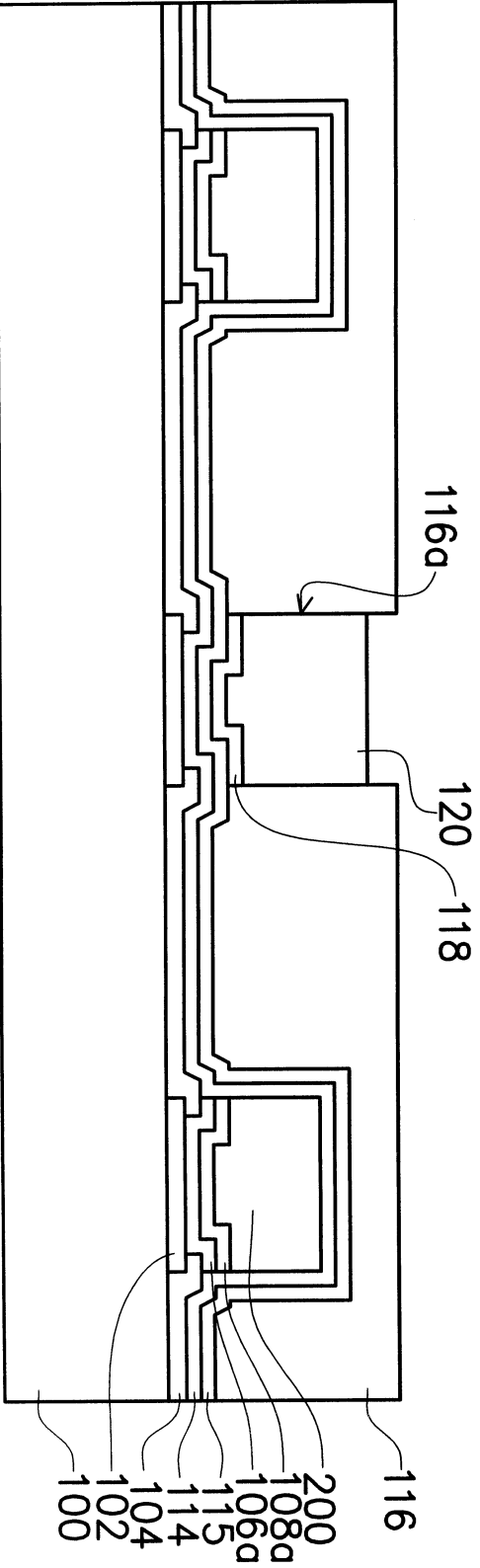
第1C圖



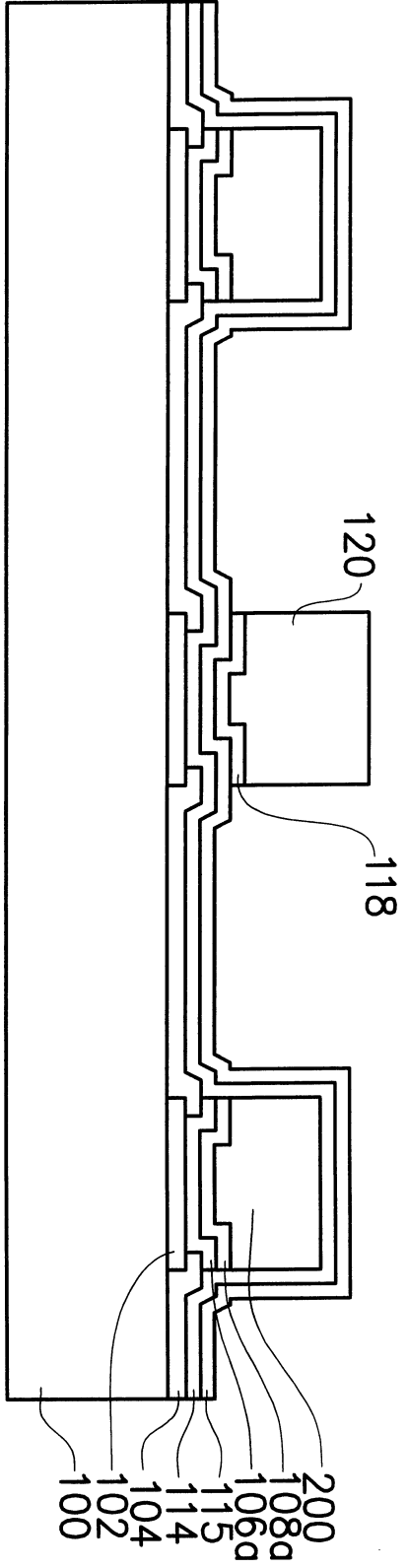
第1D圖



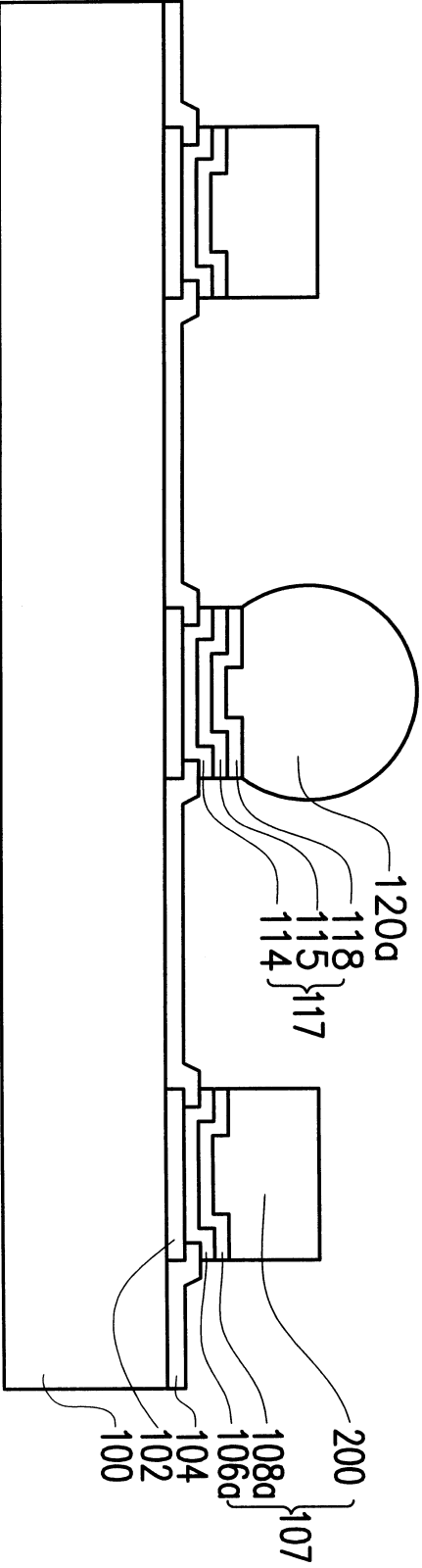
第1E圖



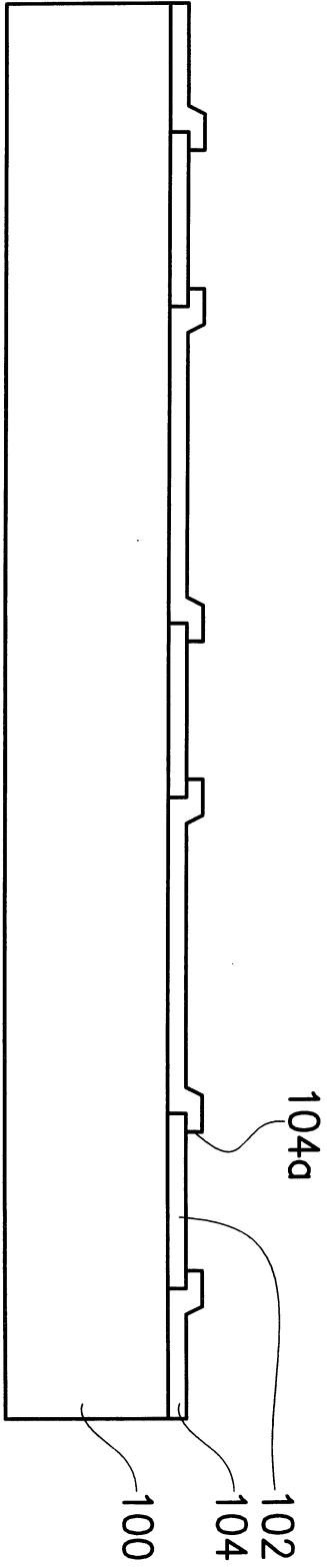
第1F圖



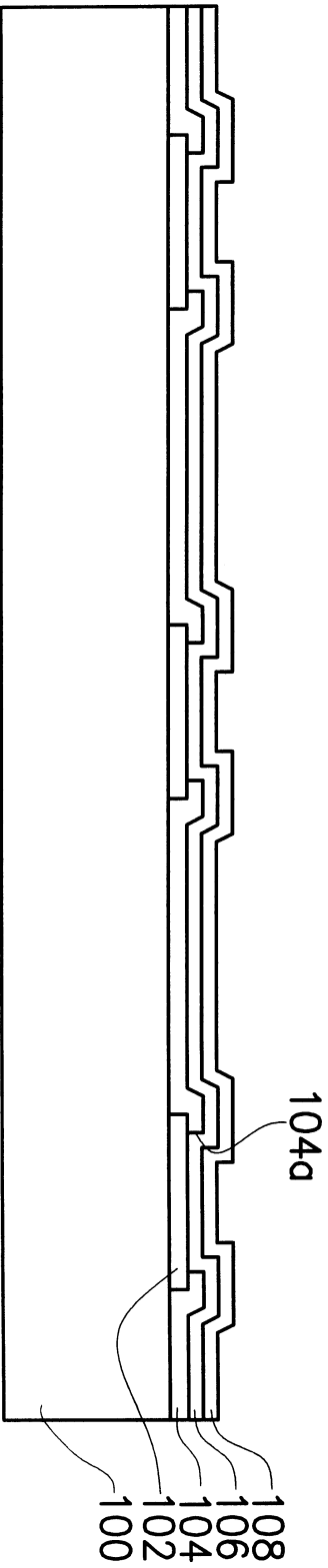
第1G圖



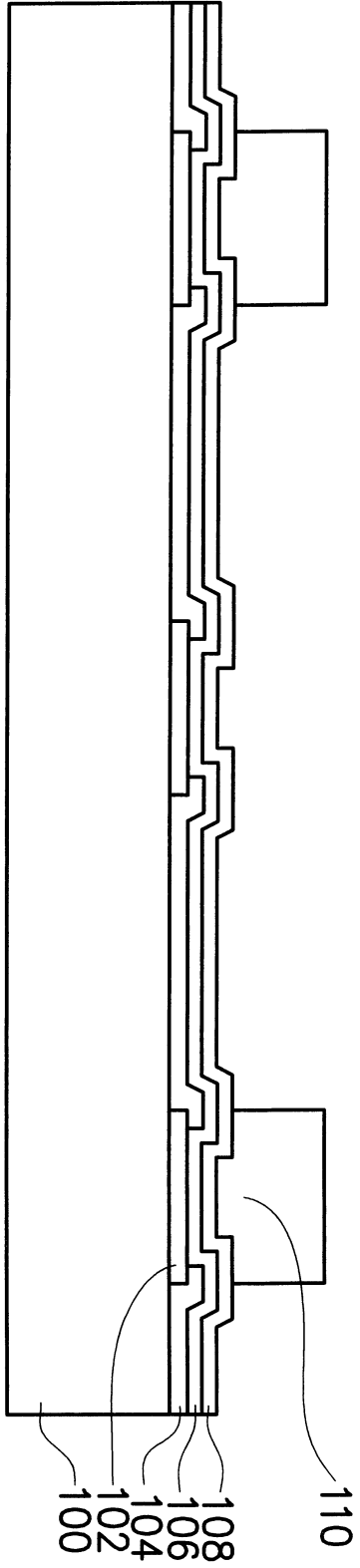
第1H圖



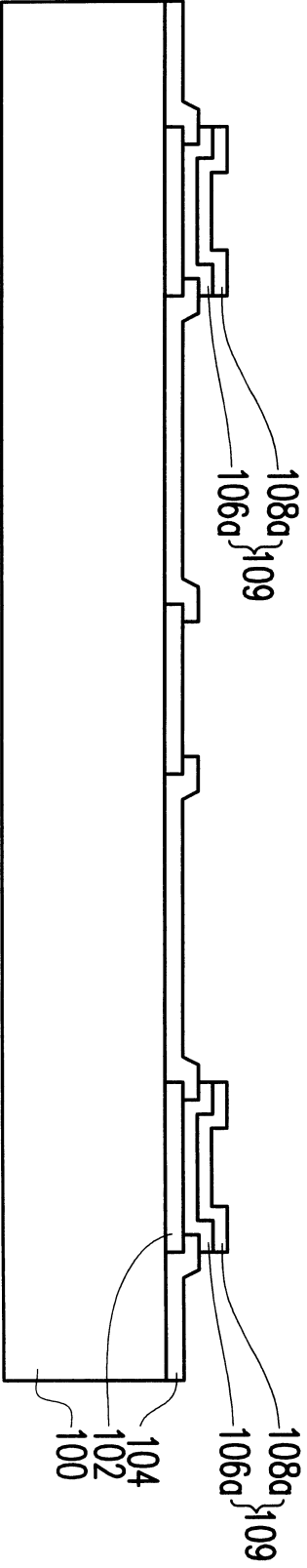
第2A圖



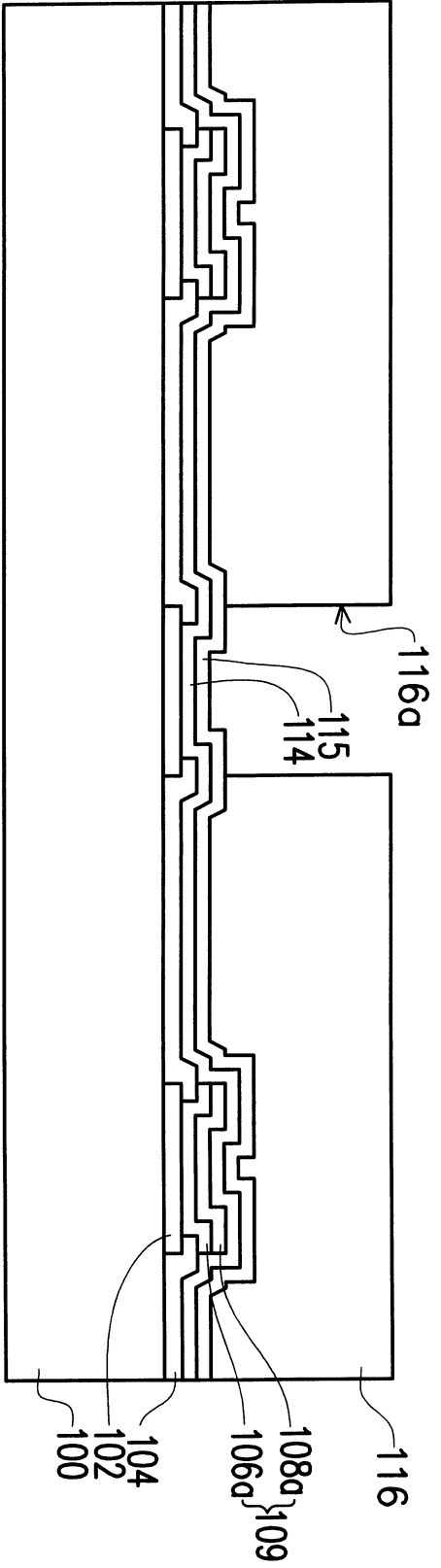
第2B圖



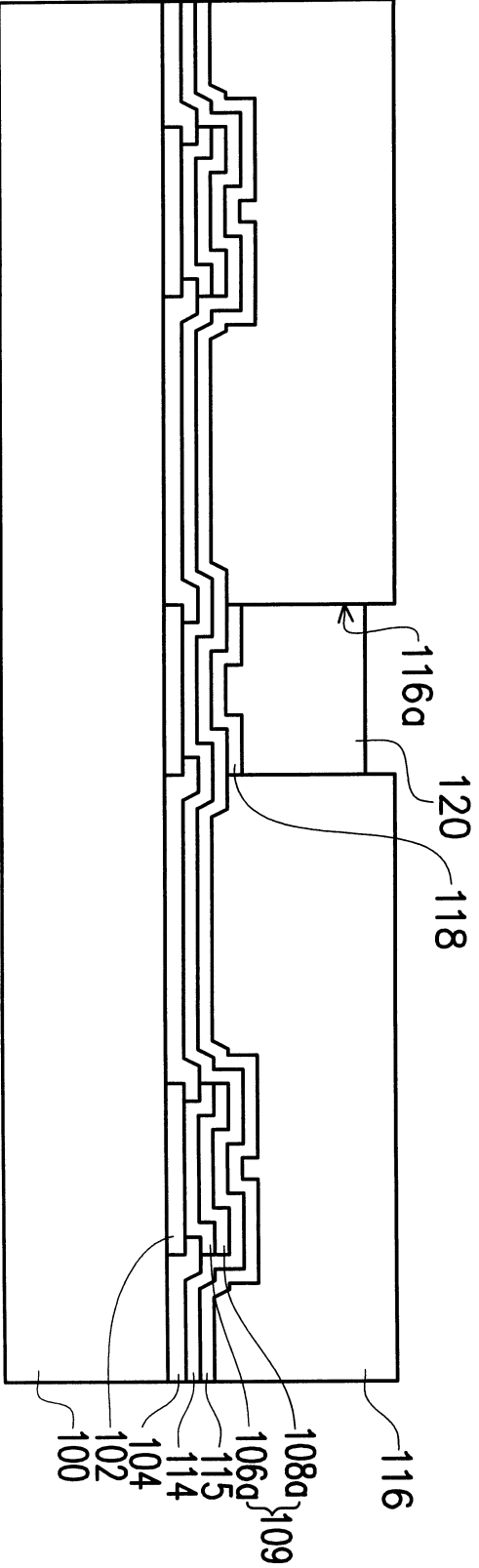
第2C圖



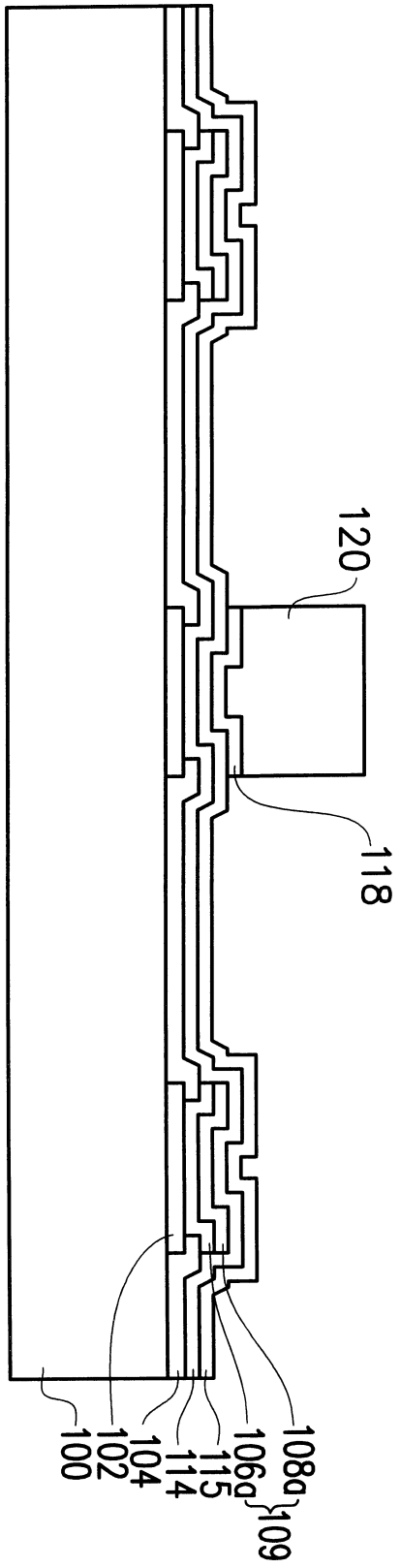
第2D圖



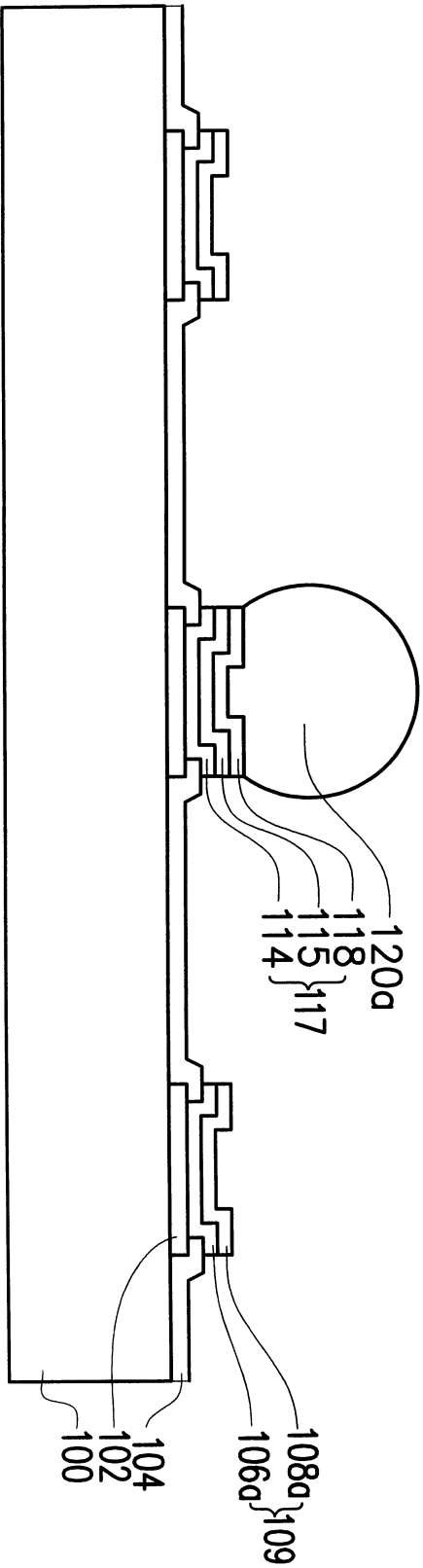
第2E圖



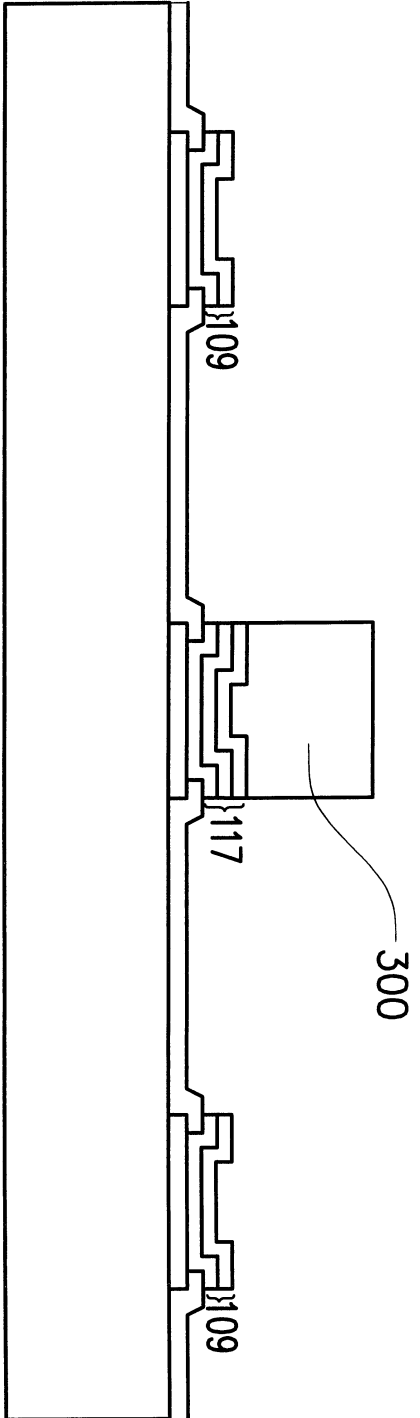
第2F圖



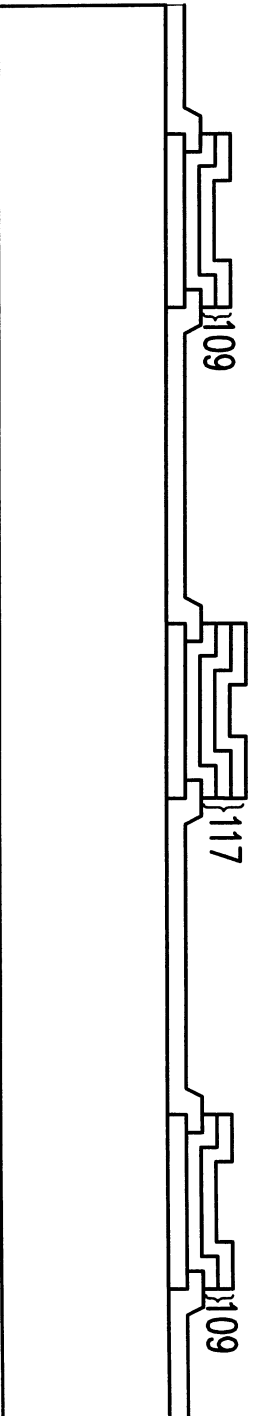
第2G圖



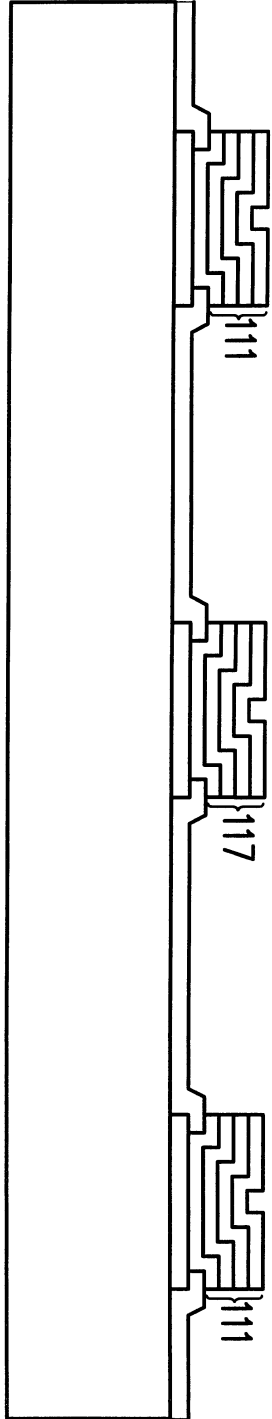
第2H圖



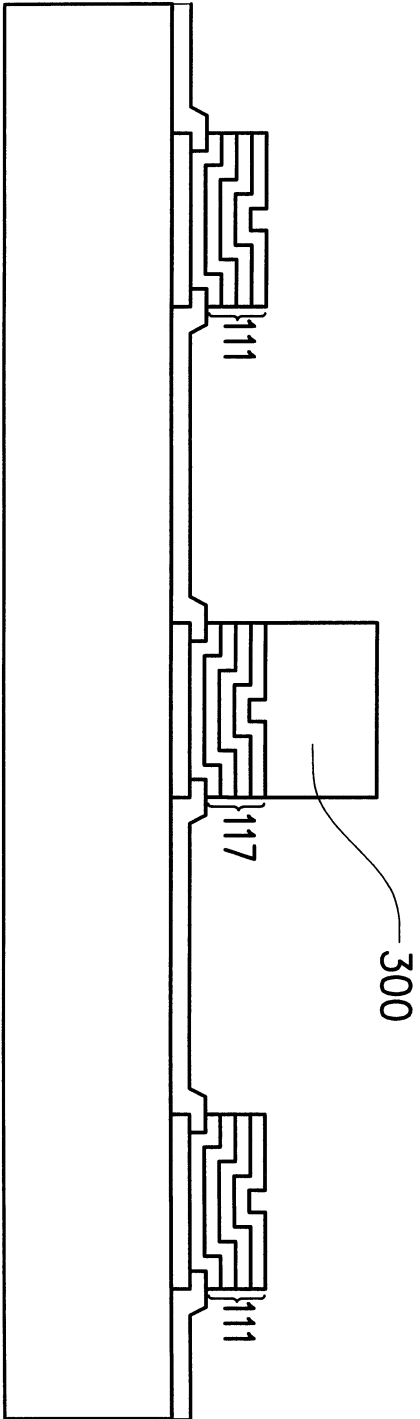
第 3A 圖



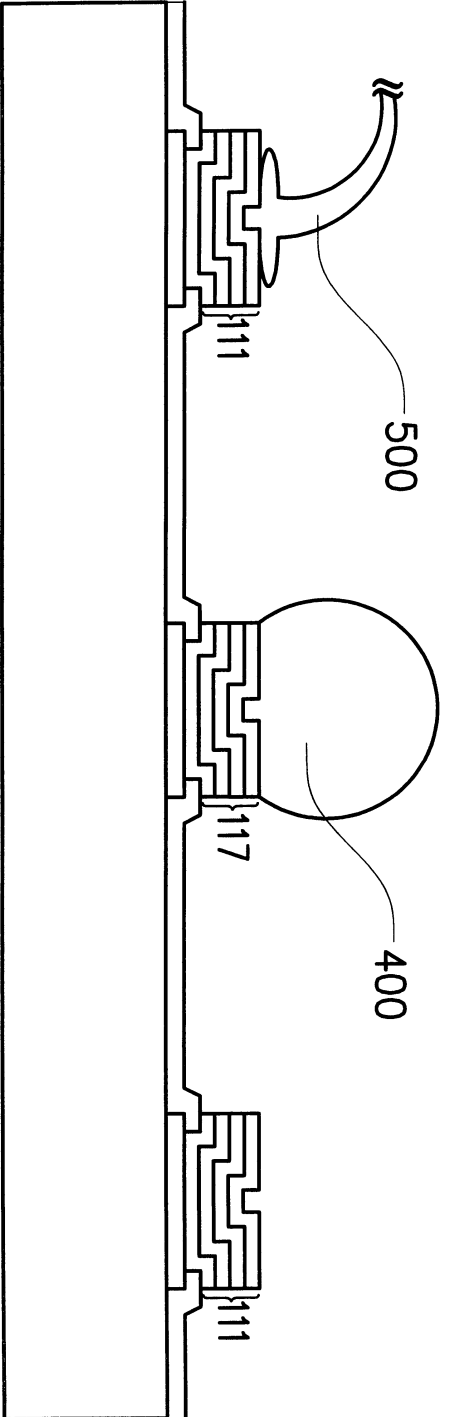
第 3B 圖



第4A圖



第4B圖



第4C圖