



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201027753 A1

(43)公開日：中華民國 99 (2010) 年 07 月 16 日

(21)申請案號：098135771

(22)申請日：中華民國 98 (2009) 年 10 月 22 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/316 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2008/10/23 日本 2008-273421

(71)申請人：出光興產股份有限公司 (日本) IDEMITSU KOSAN CO., LTD. (JP)

日本

(72)發明人：井上一吉 INOUE, KAZUYOSHI (JP) ; 矢野公規 YANO, KOKI (JP) ; 菅井重和 TOMAI, SHIGEKAZU (JP) ; 笠見雅司 KASAMI, MASASHI (JP) ; 川嶋浩和 KAWASHIMA, HIROKAZU (JP) ; 宇都野太 UTSUNO, FUTOSHI (JP)

(74)代理人：憚軼群；陳文郎

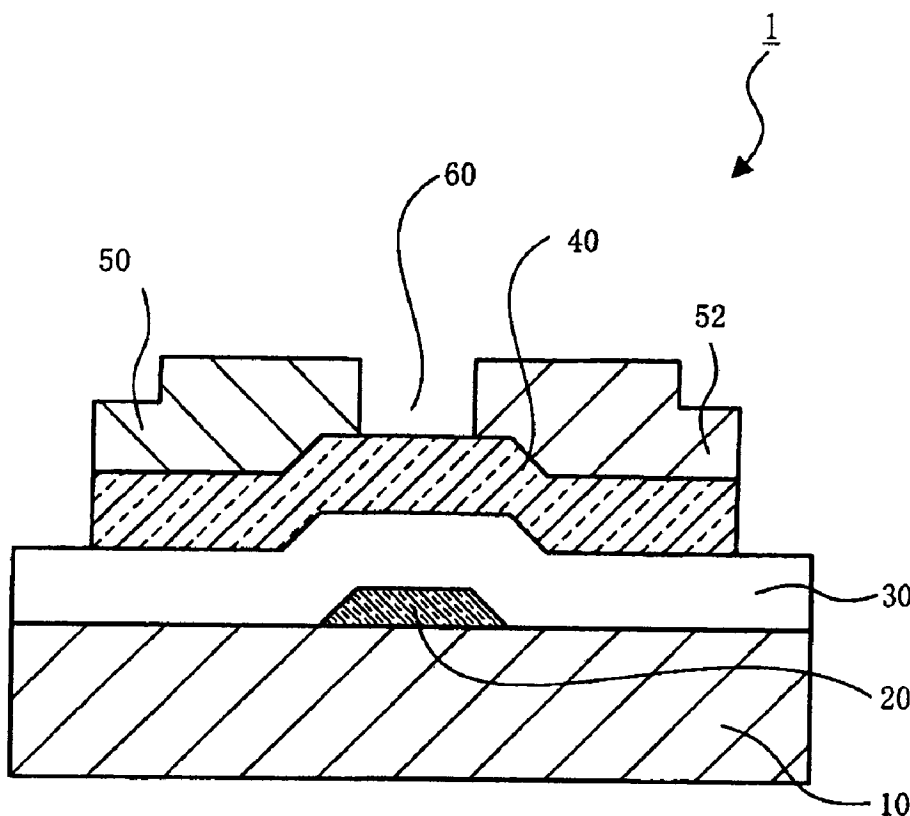
申請實體審查：無 申請專利範圍項數：9 項 圖式數：4 共 29 頁

(54)名稱

薄膜電晶體及其製造方法

(57)摘要

本發明提供一種薄膜電晶體，其係具有閘電極、閘極絕緣膜、鄰接於閘極絕緣膜的氧化物半導體膜，以及連接至氧化物半導體膜，且由通道部隔開的源・汲電極之薄膜電晶體，特徵在於，氧化物半導體膜由含有氫元素的結晶質氧化銦形成，氧化物半導體膜中所含有之氫元素的含量，相對於形成氧化物半導體膜的全部元素為 0.1at%~ 5at%。



- 1：薄膜電晶體
- 10：基板
- 20：閘電極
- 30：閘極絕緣膜
- 40：半導體膜
- 50：源電極
- 52：汲電極
- 60：通道部



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201027753 A1

(43)公開日：中華民國 99 (2010) 年 07 月 16 日

(21)申請案號：098135771

(22)申請日：中華民國 98 (2009) 年 10 月 22 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/316 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2008/10/23 日本 2008-273421

(71)申請人：出光興產股份有限公司 (日本) IDEMITSU KOSAN CO., LTD. (JP)

日本

(72)發明人：井上一吉 INOUE, KAZUYOSHI (JP) ; 矢野公規 YANO, KOKI (JP) ; 菅井重和 TOMAI, SHIGEKAZU (JP) ; 笠見雅司 KASAMI, MASASHI (JP) ; 川嶋浩和 KAWASHIMA, HIROKAZU (JP) ; 宇都野太 UTSUNO, FUTOSHI (JP)

(74)代理人：憚軼群；陳文郎

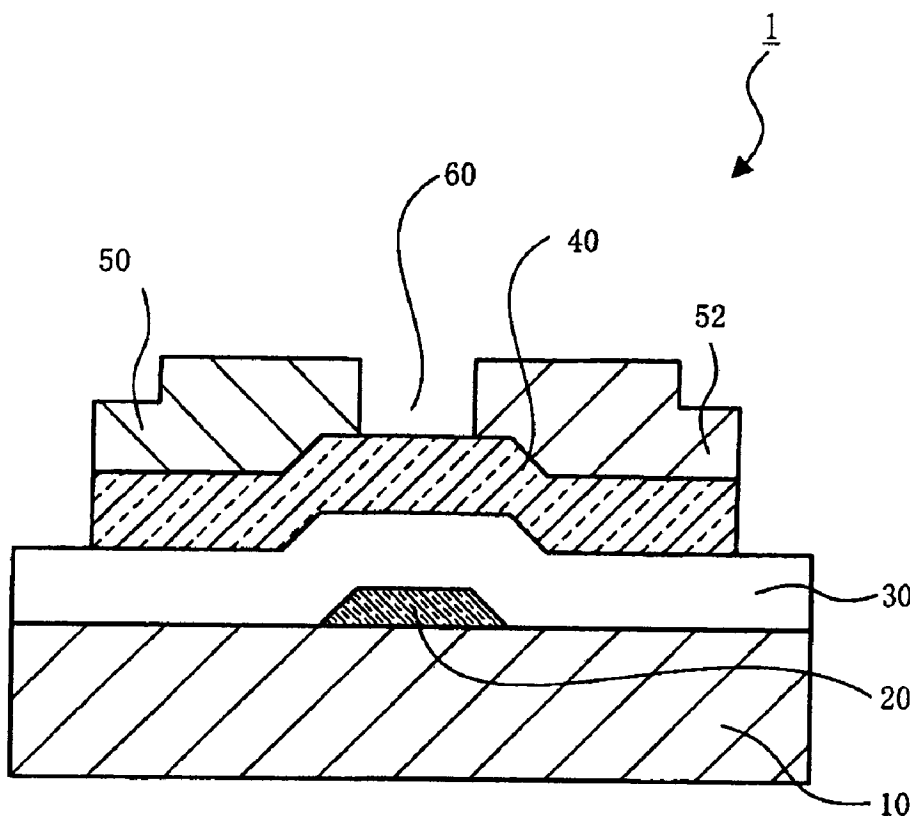
申請實體審查：無 申請專利範圍項數：9 項 圖式數：4 共 29 頁

(54)名稱

薄膜電晶體及其製造方法

(57)摘要

本發明提供一種薄膜電晶體，其係具有閘電極、閘極絕緣膜、鄰接於閘極絕緣膜的氧化物半導體膜，以及連接至氧化物半導體膜，且由通道部隔開的源・汲電極之薄膜電晶體，特徵在於，氧化物半導體膜由含有氫元素的結晶質氧化銦形成，氧化物半導體膜中所含有之氫元素的含量，相對於形成氧化物半導體膜的全部元素為 0.1at%~ 5at%。



- 1：薄膜電晶體
- 10：基板
- 20：閘電極
- 30：閘極絕緣膜
- 40：半導體膜
- 50：源電極
- 52：汲電極
- 60：通道部

六、發明說明：

【發明所屬之技術領域】

發明領域

本發明係關於一種具有用含有氫元素之氧化銦製成的結晶質半導體膜之薄膜電晶體及其製造方法。

【先前技術】

發明背景

近年來，顯示裝置的發展顯著，液晶顯示裝置或EL顯示裝置等各種的顯示裝置被積極地應用到個人電腦或文字處理器等之OA機器。該等之顯示裝置，每一種都具有以透明導電膜包夾顯示元件之三明治結構。

驅動上述顯示裝置的薄膜電晶體(TFT)等之開關元件，目前，主要使用矽系的半導體膜。這是因為矽系薄膜除安定性、加工性良好以外，開關速度快等良好的原因。該矽系薄膜一般是以化學氣相沉積(CVD)法來製作。

然而，矽系薄膜為非晶質的情形，開關速度比較慢，在顯示高速動畫等時有無法顯示圖像之難點。另外，結晶質的矽系薄膜之情形，雖然開關速度比較快，但是為結晶化，必須在800°C以上的高溫或利用雷射加熱等，製造時需要大量能量與步驟。此外，矽系的薄膜在當做電壓元件時也是性能優良的，但是在通上電流時，該特性的經時變化會成為問題。

作為用以獲得比矽系薄膜安定性優異，同時與ITO膜有同等透光率之透明半導體膜的材料等，氧化物半導體受到

矚目。

然而，考慮到含氧化銦的結晶質膜，特別是多結晶膜，容易產生缺氧，即使提高成膜時的氧分壓或進行氧化處理等，載子密度也難以達到 $2 \times 10^{+17} \text{cm}^{-3}$ 。因此，幾乎一直沒有作為半導體膜或TFT的嘗試。

這種情況下，專利文獻1中記載了具有由氧化銦製成的半導體層之薄膜電晶體。具體而言，係記載了一種在氧化氬圍下熱處理氧化銦膜，藉以製得薄膜電晶體的方法。然而，因為由氧化銦形成薄膜的情形中，依熱處理條件或氧化氬圍的條件，特別是在空氣中熱處理時的濕度條件，製得薄膜電晶體的性能會變化，所以有性能不安定的情形。

另外，透過使氫元素或重氫元素存在於非晶質氧化物半導體膜中的方式，可安定地製得非晶質氧化物半導體，這在專利文獻2、3中有記載。然而，因為非晶質氧化物半導體膜是非晶質的，存在於內部的氫元素或重氫元素或向空氣中擴散，另外，水分子重新從空氣中侵入，其結果，膜中的氫元素出現過剩，有製得元件變得不安定的情形。

再者，將結晶質的氧化銦用於半導體膜的情形，考慮到半導體膜不溶解於草酸、PAN等，具有耐腐蝕性，因此具有可容易地製造通道蝕刻型的TFT結構之優點。然而，僅為結晶質氧化銦膜時，要充分降低載子密度，實現半導體化是非常困難的。亦即，僅使氧化銦膜結晶化的情形，由於缺氧或共存雜質的正4價金屬氧化物，會產生載子，有成為導體之虞。因此，過去以來，一直沒有製作過將結晶質

的氧化銦用於半導體膜的TFT。

先前技術文獻

專利文獻

專利文獻1：特開2008-130814號公報

專利文獻2：特開2007-73697號公報

專利文獻3：特開2007-103918號公報

【發明內容】

發明概要

本發明之目的是提供一種即使製造時的熱處理條件，特別是在空氣中熱處理時的濕度條件等不同，仍具有安定性能的薄膜電晶體。

為達成上述目的，本發明人等專心研究，結果發現透過將含有一定量氫元素的氧化銦用於半導體膜，可製得高性能的薄膜電晶體，以及在半導體膜的形成方面，形成含有氫元素的非晶質氧化銦膜，之後，藉脫氫處理控制含氫量，安定製得所需的半導體膜，終而完成本發明。

若依據本發明，可提供以下的薄膜電晶體等。

1. 一種薄膜電晶體，係具有閘電極、閘極絕緣膜、鄰接於前述閘極絕緣膜的氧化物半導體膜，以及連接至前述氧化物半導體膜，且由通道部隔開的源·汲電極之薄膜電晶體，特徵在於，前述氧化物半導體膜由含有氫元素的結晶質氧化銦形成，前述氧化物半導體膜中含有之氫元素的含量，相對於形成氧化物半導體膜的全部元素為0.1at%~5at%。

特徵在於，其係蝕刻阻擋型薄膜電晶體的製造方法。

若依據本發明，即使變動製造時的熱處理條件，依然可安定地製得高性能的薄膜電晶體。

圖式簡單說明

[第1圖]示意本發明之通道蝕刻型薄膜電晶體的實施態樣之概略斷面圖。

[第2圖]示意本發明之蝕刻阻擋型薄膜電晶體的實施態樣之概略斷面圖。

[第3圖]實施例1中製作的通道蝕刻型薄膜電晶體之概略斷面圖。

[第4圖]實施例2中製作的蝕刻阻擋型薄膜電晶體之概略斷面圖。

【實施方式】

用以實施發明之態樣

本發明之薄膜電晶體(TFT)係一種具有閘電極、閘極絕緣膜、鄰接於前述閘極絕緣膜的氧化物半導體膜，以及連接至氧化物半導體膜，且由通道部隔開的源、汲電極之薄膜電晶體。而且，氧化物半導體膜以具有含有氫元素之結晶質氧化銦半導體膜為特徵。

第1圖為示意本發明之薄膜電晶體的實施態樣之概略斷面圖。

薄膜電晶體1為，將閘電極20夾在基板10及絕緣膜30之間，在閘極絕緣膜30上積層半導體膜40作為活性層。此外，以覆蓋半導體膜40的端部附近之狀態分別設有源電極50和

汲電極52。在半導體膜40、源電極50及汲電極52所圍成部分形成通道部60。

另外，第1圖的薄膜電晶體1即是所謂的通道蝕刻型薄膜電晶體。本發明之薄膜電晶體並不限定於通道蝕刻型薄膜電晶體，可以採用本技術領域公知的元件結構。

第2圖為示意本發明之薄膜電晶體的其他實施態樣之概略斷面圖。再者，對與上述薄膜電晶體1相同的結構部件給予相同的編號，省略其說明。

薄膜電晶體2係蝕刻阻擋型薄膜電晶體。薄膜電晶體2除形成蝕刻阻擋層70以覆蓋通道部60這一點外，與上述薄膜電晶體1為相同結構。以覆蓋半導體膜40的端部附近以及蝕刻阻擋層70的端部附近之狀態，分別設有源電極50和汲電極52。

在本發明中，使用含有氫元素的氧化銦形成之結晶質氧化銦半導體膜作為半導體膜40。因結晶質氧化銦薄膜含有氫元素，薄膜電晶體的性能乃被安定化。氧化銦是容易產生缺氧的化合物，因此，被當做透明導電膜的素材使用。判斷這是因為氫元素填補到因缺氧產生的缺陷中，可以抑制載子產生，半導體因而安定化。

另外，可以降低半導體膜的載子濃度，在室溫附近的溫度中，可以降到不足 $2 \times 10^{17} \text{cm}^{-3}$ ，並顯示良好的薄膜電晶體特性。

再者，室溫附近溫度下的半導體膜之載子密度，以不足 $2 \times 10^{17} \text{cm}^{-3}$ 為佳。載子密度在 $2 \times 10^{17} \text{cm}^{-3}$ 以上，作為TFT

有不驅動之虞。另外，作為TFT即使已經驅動，也會有或形成常開，或閾值電壓大幅地降為負值，或On-Off值變小的情形。

半導體膜中氫元素的含量，相對於半導體膜含有的全部元素，以0.1~5at%為佳，尤以0.5~3at%為佳。不足0.1at%時會因含量少，氧化銦薄膜容易發生導電膜化，有時無法獲得安定的TFT特性。另一方面，超過5at%，則會有薄膜發生絕緣膜化之情形。

半導體膜中，氫元素既可以分子狀態存在亦可以原子狀態存在。另外，與氧結合，以羥基的形式存在亦可。合適的是以羥基的形式存在為佳。

氫的含量，可藉拉塞福背向散射分析(RBS)法、氫正向散射(HFS)法、熱脫附質譜(TDS)法加以測定。本案中係指採用氫正向散射(HFS)法測定的值。

半導體膜中氫元素的含量，可藉例如，調整半導體膜成膜氛圍中的氫濃度，或者調整成膜後脫氫步驟的溫度或處理時間的方式加以控制。

另外，本發明中使用結晶質的半導體膜。藉此可以提高TFT的移動率，另外還可以提高耐久性。此外，在蝕刻源電極50和汲電極52之際，可以抑制半導體膜被腐蝕。

此處，「結晶質膜」係指，利用X射線繞射可確認結晶波峰的膜。結晶質膜為單結晶膜、磊晶膜及多結晶膜的任一種均可，從容易工業生產且可大面積化的觀點來看，以磊晶膜及多結晶膜為佳，多結晶膜特佳。

銻、氧化釷、氧化鈦、氧化鎢、氧化鈦、氧化鉬及氧化鎳為佳。

相對於半導體膜之全部金屬元素的金屬元素量，半導體膜中所含有的正3價金屬氧化物(氧化銦除外)之含量以0.1~10at%為佳，尤其以0.5~8at%為佳。除銦以外的正3價金屬元素之含量不足0.1at%時，除添加的氧化銦以外之正3價金屬氧化物的添加量少，有其效果小的情形，有時無法獲得常關的薄膜電晶體。另一方面，超過10at%時，由於添加量過多，有時無法獲得結晶質的氧化銦膜。半導體膜為非晶質氧化銦時，載子濃度不會降低，不僅成為常開狀態的薄膜電晶體，還會有製得電晶體的移動率不提高的情形。

金屬元素的比率係，利用ICP-Mass (Inductively Coupled Plasma Mass)測定，可透過測定各元素的存在量來求得。

本發明中，相對於半導體膜含有的全部金屬元素，正4價以上的金屬元素之含量在10ppm(本案中，「ppm」意指原子ppm)以下為佳。正4價以上的金屬元素，在半導體膜內以氧化物形式存在。因為正4價的金屬氧化物被捕捉到氧化銦的結晶中時，使氧化銦中產生載子，半導體膜的性能將大受影響。另外，依半導體膜的熱處理條件，或於氧化銦中固溶置換，在氧化銦的能帶結構中形成雜質態(Impurity state)，對半導體特性產生影響。其結果，在室溫附近之溫度下的載子密度，會有不能控制在不足 $2 \times 10^{17} \text{cm}^{-3}$ 的情形。因此，正4價以上的金屬元素之含量以少量為佳，合適

的是在5ppm以下，較合適的是在1ppm以下。

半導體膜中所含有之正4價以上的金屬氧化物，可舉例如氧化鈦、氧化鋯、氧化鈳、氧化釩、氧化鈮、氧化鉭、氧化鉻、氧化鈿、氧化鎢、氧化錳等的正4價以上之重金屬氧化物，以及氧化矽、氧化鍺、氧化錫、氧化鉛、氧化銻、氧化鉍及氧化銻。

上述金屬氧化物中，特別是，氧化鈦、氧化鋯及氧化錫宜嚴密地加以管理為佳。

另外，相對於本發明中半導體膜含有的全部金屬元素，正2價以下的金屬元素之含量在50ppm以下為佳。正2價以下的金屬元素在半導體膜內也是以氧化物的形式存在。正2價以下的金屬氧化物被捕捉到氧化銦的結晶中時，會在氧化銦中產生載子陷阱，其結果，招致移動率的下降，對半導體膜的性能大有影響。另外，依熱處理中的條件，會於氧化銦中發生固溶置換，在氧化銦的能帶結構中形成雜質態，對半導體特性給予影響。因此，正2價以下的金屬元素之含量要少，宜在10ppm以下，5ppm以下較佳。

半導體膜中所含有的正2價以下之金屬氧化物可舉例如氧化鋰、氧化鈉、氧化鉀、氧化銻、氧化銻、氧化鎂、氧化鈣、氧化鋁及氧化鋇等之鹼金屬氧化物或鹼土類金屬氧化物，以及氧化鋅。

上述金屬氧化物中，特別是，氧化鈉、氧化鉀、氧化鎂、氧化鈣及氧化鋅宜嚴密地加以管理為佳。

本發明之薄膜電晶體中，基板、閘電極、閘極絕緣膜、

再者，閘電極、閘極絕緣膜、源·汲電極等的結構部件可以採用公知的方法形成。

例如，在基板上形成由Al、Cu、Au等之金屬薄膜形成的閘電極，並在其上形成由氧化矽膜、氧化鉛膜等形成的氧化物薄膜作為閘極絕緣膜。在其上，安裝金屬遮罩，僅在必要的部分形成由氧化銦膜形成的半導體膜。然後，使用金屬遮罩，在必要部分形成源·汲電極，藉此可製造薄膜電晶體。

以下，就本發明之特徵部分的半導體膜之成膜步驟做說明。

含有氫元素之氧化銦形成的半導體膜，可藉濺鍍法、蒸鍍法、離子鍍法、脈衝雷射沉積(PLD)法等之方法形成。以濺鍍法為佳。

濺鍍以使用燒結靶的方法為佳。尤其以高純度(例如，純度99.99at%以上)氧化銦的燒結靶為佳。形成含有上述正3價的金屬氧化物(氧化銦除外)之半導體膜時，使用例如氧化銦中含有該等金屬氧化物的燒結靶即可。再者，燒結靶可採用本技術領域中公知的方法加以製造。

濺鍍的條件可配合使用的靶材或半導體膜之膜厚等做適當調整。濺鍍方法可使用RF濺鍍法、DC濺鍍法、AC濺鍍法。其中，DC濺鍍法、AC濺鍍法的成膜速度也快，是合適的。

透過在採用上述方法之成膜氛圍中注入氫元素的作法，可以獲得含有氫元素的氧化銦半導體膜。具體而言，

在將氫分子(氫氣)或水注入成膜氛圍中的狀態下施行成膜即可。

成膜氛圍中的氫分子及/或水分子的體積含量，以1%~10%為佳，尤其以2%~8%為佳。

使氫分子及/或水分子存在於成膜氛圍中的方法有，將含氫氣的氫氣當做成膜氣體使用，以及利用柱塞泵等將水直接送入成膜室的方法。再者，氣體的情形，體積含量可以利用各氣體成分的分壓加以控制。

本發明中，半導體膜的成膜中宜有氧存在。因為濺鍍中存在氧，在脫氫處理步驟中，可有效地脫氫。

將製得的半導體膜圖案化。圖案化有濕式蝕刻、乾式蝕刻等的方法。再者，形成半導體膜時，當採用利用遮罩之圖案形成或利用剝離之圖案形成等的方法時，圖案化就不需要了。本發明中，以濕式蝕刻或利用遮罩形成圖案為佳。

對半導體膜施行脫氫處理及結晶化。

脫氫及結晶化步驟，在成膜步驟中，有將氧化銦中過量添加的氫元素控制在一定值的效果。藉此常常可以獲得性能安定的氧化物半導體膜。另外，利用脫氫處理(氧化處理)，不僅氧化銦膜發生結晶化，還可獲得性能安定的薄膜電晶體。

對半導體膜進行脫氫處理的步驟，以及對半導體膜進行結晶化的步驟，有透過利用氧之氫的氧化處理和利用熱之氫分子、水分子的脫離之方法。具體而言，可採用在空

氣中加熱，或在非氧化氬圍(氮中或氬氬圍等之不活潑氣體中)加熱，或在真空下加熱等的方法。

本發明中，以在真空下的脫氬處理或在非氧化性氬圍的脫氬處理為佳。

再者，真空下係指，排出空氣的狀態，在500Pa以下，以300Pa以下為佳，100Pa以下較佳。階段性的提高真空度亦為佳。

熱處理的方法可採用熱處理爐加熱、接觸加熱板(接觸加熱)、利用紅外燈等之燈加熱、利用雷射等之光的加熱、利用熱電漿等之加熱等。

脫氬處理步驟中的加熱溫度，以150~450°C為佳。不足150°C時，半導體膜有結晶化不充分的情形，超過450°C，有對基板或半導體膜帶來損傷的情形。熱處理溫度以180°C~350°C更佳，200°C~300°C特佳。

另外，加熱時間以0.1~1200分鐘為佳。熱處理時間不足0.1分鐘，有處理時間過短使膜的結晶化不充分的情形，超過1200分鐘則過於費時而不具生產性。熱處理時間以0.5分鐘~600分鐘更合適。

從控制半導體膜中的氬濃度之觀點來看，以上述的溫度及時間之條件為佳。若脫離上述條件，半導體膜中的氬濃度有不滿足本發明之規定範圍的情形，薄膜電晶體的移動率有減少之虞。

再者，半導體膜的脫氬處理及結晶化，可在半導體膜形成以後立即實施，另外，亦可在源·汲電極等其他結構

部件形成後實施。

本發明中，半導體膜含氫元素，藉以提高半導體特性之安定性，因此，即使製造時的熱處理條件，特別是在空氣中熱處理時的濕度條件等不同，亦可製造具有安定性能的薄膜電晶體。

本發明的製造方法，特別適用於通道蝕刻型薄膜電晶體的製造方法。因為本發明之半導體膜為結晶質，故作為由Al等的金屬薄膜形成源、汲電極及通道部之方法，可採用使用光蝕刻法之蝕刻步驟。亦即，在除去金屬薄膜的蝕刻液中，半導體膜不被腐蝕，可選擇性地蝕刻金屬薄膜。再者，其亦可為蝕刻阻擋型薄膜電晶體的製造方法。

實施例

實施例1

(A)薄膜電晶體的製作

製作第3圖示出的通道蝕刻型薄膜電晶體。

使用帶有200nm厚之熱氧化膜(SiO₂膜)的導電性矽基板10。熱氧化膜作為閘極絕緣膜30發揮機能，導電性矽部作為閘電極20發揮機能。

在閘極絕緣膜30上，使用由高純度氧化銦製成的靶材(湘南電子材料研究所製作，正4價以上的金屬氧化物：代表例之Sn、Ti、Zr的總計：0.09ppm、正2價以下的金屬氧化物：代表例之Na、K、Mg、Zn的總計：0.8ppm)，以濺鍍法使40nm的半導體膜40成膜。濺鍍係真空排氣至背壓達到 5×10^{-4} Pa為止之後，邊流通含氫8體積%的氫氣9.0sccm、氧

1.0sccm(亦即，成膜氛圍中的氫濃度為7.2體積%)，邊調整壓力到0.6Pa，以濺鍍功率100W、基板溫度150°C施行。

然後，為對半導體膜進行脫氫處理及結晶化，利用氫氣，將裝置內的壓力設定在30Pa，於250°C保持30分鐘。

基板溫度降回室溫後，在半導體膜40之上，形成鉬金屬膜(200nm)。

在鉬金屬膜塗布抗蝕劑，於80°C預烘15分鐘。之後，通過遮罩對抗蝕膜照射UV光(光強度：300mJ/cm²)，其後，利用3wt%的四甲基氫氧化銨(TMAH)顯像。用純水洗淨後，將抗蝕膜在130°C後烘15分鐘，形成所需形狀的源·汲電極形狀之抗蝕圖案。

將帶有抗蝕圖案的基板，用磷酸·醋酸·硝酸的混合酸處理，藉此蝕刻鉬金屬膜。之後剝離抗蝕劑，以純水洗淨並吹風乾燥後，形成源電極50、汲電極52，製作成薄膜電晶體(通道部60的源·汲電極間間隙(L)為10μm、寬(W)為50μm)。

該薄膜電晶體的場效移動率為82cm²/V·sec、On-Off比為10⁸、閾值電壓(V_{th})為0.5V、S值為0.7V/dec.，為顯示常關特性的薄膜電晶體。另外，輸出特性顯示出明確的夾止。

(B)半導體膜的評估

在石英玻璃基板上，以和上述(A)濺鍍相同的條件形成半導體膜。將製得的半導體膜(脫氫處理及結晶化前)進行了X射線繞射(XRD)測定後，未觀察到氧化銻的方鐵錳礦結構

之波峰，是非晶質的。另外，測定半導體膜之氫的含量後，為3.53at%。再者，氫的含量係用氫正向散射法測定。

之後，利用氫氣，將裝置內的壓力設定在30Pa，於250°C保持30分鐘。測定製得的半導體膜之X射線繞射(XRD)時，觀察到氧化銻的方鐵錳礦結構之波峰。另外，氫的含量為3.13at%。

實施例2

利用光阻蝕刻法(photoresist method)製作第4圖示出的蝕刻阻擋型薄膜電晶體。

在帶有熱氧化膜(SiO₂膜)的導電性矽基板10上，與實施例1同樣地處理，使用由高純度氧化銻製成的靶材，利用濺鍍法使40nm的半導體膜40成膜。

再者，濺鍍係真空排氣至背壓達到 5×10^{-4} Pa為止之後，邊流通含氫3體積%的氫氣9.0sccm、氧氣1.0sccm，邊調整壓力到0.5Pa，濺鍍功率為100W、基板溫度調整為室溫。

之後，使用氧化鋁作為濺鍍靶，以RF濺鍍法，成膜到10nm厚，此外，在其上使用氧化矽靶材，成膜到190nm厚。

在半導體膜40上的氧化鋁-氧化矽膜上塗布抗蝕劑，在80°C預烘15分鐘。之後，通過遮罩對抗蝕膜照射UV光(光強度： $300\text{mJ}/\text{cm}^2$)，其後，利用3wt%的四甲基氫氧化銨(TMAH)顯像。用純水洗淨後，將抗蝕膜在130°C後烘15分鐘，形成所需形狀的蝕刻阻擋層之抗蝕圖案。

將帶有抗蝕圖案的基板，移至乾式蝕刻裝置，以CF₄氣體進行乾式蝕刻，此外，使用含氫氣9%的氫以電漿對表

面進行洗淨·還原處理。之後剝離抗蝕劑，以純水洗淨並吹風乾燥後，形成蝕刻阻擋層70。

之後，在半導體膜40和蝕刻阻擋層70上，使鉬金屬膜成膜300nm。

在鉬金屬膜上塗布抗蝕劑，在80°C預烘15分鐘。之後，通過遮罩對抗蝕膜照射UV光(光強度：300mJ/cm²)，其後，利用3wt%的四甲基氫氧化銨(TMAH)顯像。用純水洗淨後，將抗蝕膜在130°C後烘15分鐘，形成所需形狀的源·汲電極形狀之抗蝕圖案。

將帶有抗蝕圖案的基板，用磷酸·醋酸·硝酸的混合酸處理，藉此蝕刻鉬金屬膜。同時，對氧化銻膜亦同時進行蝕刻。之後剝離抗蝕劑，以純水洗淨並吹風乾燥，形成源電極50、汲電極52，製作成薄膜電晶體(通道部60的源·汲電極間間隙(L)為10μm、寬(W)為50μm)。

之後，為對半導體膜施行脫氫處理和結晶化，將薄膜電晶體於熱風加熱爐內，在空氣中、300°C下施行30分鐘熱處理。

該薄膜電晶體的場效移動率為86cm²/V·sec、On-Off比為10⁸、Vth為0.1V、S值為0.2V/dec.，是表現常關特性之薄膜電晶體。另外，輸出特性顯示出明確的夾止。對閘電極施加20V電壓100分鐘之後的漂移電壓(Vth)為0.1V。

(B)半導體膜的評估

在石英玻璃基板上，用和上述濺鍍相同的條件形成半導體膜。對製得的半導體膜(脫氫處理和結晶化前)進行X射

材(正4價以上的金屬氧化物：代表例為Sn、Ti、Zr的總計：200ppm、正2價以下的金屬氧化物：代表例為Na、K、Mg、Zn的總計：60ppm)，且濺鍍氛圍使用純度100%的氫及純度100%的氧，氧濃度設為10體積%以外，與實施例1同樣地處理，製作薄膜電晶體。

該薄膜電晶體的場效移動率為 $3.1\text{cm}^2/\text{V}\cdot\text{sec}$ 、On-Off比為 10^4 、 V_{th} 為 -5.1V 、S值為 $7.3\text{V}/\text{dec}$ ，為顯示常開特性之薄膜電晶體。另外，輸出特性顯示出明確的夾止。對閘電極施加20V電壓100分鐘之後的漂移電壓(V_{th})為1.4V。

半導體膜為結晶質，氫的含量不足0.01at%。

比較例2

作為濺鍍靶材，除使用由純度99.9%的氧化銦-氧化鎵-氧化鋅形成的靶材(In：Ga：Zn=1：1：1(原子比))，且濺鍍氛圍使用含1體積%氫的氫以及純度100%的氧，氫濃度調整為0.96體積%、氧濃度調整為4體積%以外，與實施例1同樣地處理，嘗試製作薄膜電晶體。

然而，在蝕刻鉬金屬膜的階段，因為半導體膜發生溶解，無法獲得薄膜電晶體。

比較例2中形成的半導體膜，在脫氫及結晶化處理後亦為非晶質膜。因此，蝕刻鉬金屬膜的階段，半導體膜發生了溶解。

產業之可利用性

本發明之薄膜電晶體可以合適地使用於顯示用面板、RFID標籤、X射線平板探測器、指紋傳感器、光電傳感器

等的傳感器等。

本發明之薄膜電晶體的製造方法，尤其適合於通道蝕刻型薄膜電晶體的製造方法。

上述內容中雖然詳細說明幾個本發明之實施態樣及/或實施例，惟熟習該項技術者在不實質地脫離本發明之新穎的教示及效果下，可以容易地對該等例示之實施態樣及/或實施例加上多種變更。因此，該等多種變更包含於本發明之範圍。

本說明書中記載之文獻的內容全部引用於此。

【圖式簡單說明】

[第1圖]示意本發明之通道蝕刻型薄膜電晶體的實施態樣之概略斷面圖。

[第2圖]示意本發明的蝕刻阻擋型薄膜電晶體的實施態樣之概略斷面圖。

[第3圖]實施例1中製作的通道蝕刻型薄膜電晶體之概略斷面圖。

[第4圖]實施例2中製作的蝕刻阻擋型薄膜電晶體之概略斷面圖。

【主要元件符號說明】

1、2... 薄膜電晶體	50... 源電極
10... 基板	52... 汲電極
20... 閘電極	60... 通道部
30... 閘極絕緣膜	70... 蝕刻阻擋層
40... 半導體膜	

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98135771

※申請日： 98.10.22 ※IPC 分類：

一、發明名稱：(中文/英文)

H01L 29/786 (2006.01)

H01L 21/316 (2006.01)

薄膜電晶體及其製造方法

H01L 21/336 (2006.01)

二、中文發明摘要：

本發明提供一種薄膜電晶體，其係具有閘電極、閘極絕緣膜、鄰接於閘極絕緣膜的氧化物半導體膜，以及連接至氧化物半導體膜，且由通道部隔開的源、汲電極之薄膜電晶體，特徵在於，氧化物半導體膜由含有氫元素的結晶質氧化銦形成，氧化物半導體膜中所含有之氫元素的含量，相對於形成氧化物半導體膜的全部元素為0.1at%~5at%。

三、英文發明摘要：

成膜步驟；

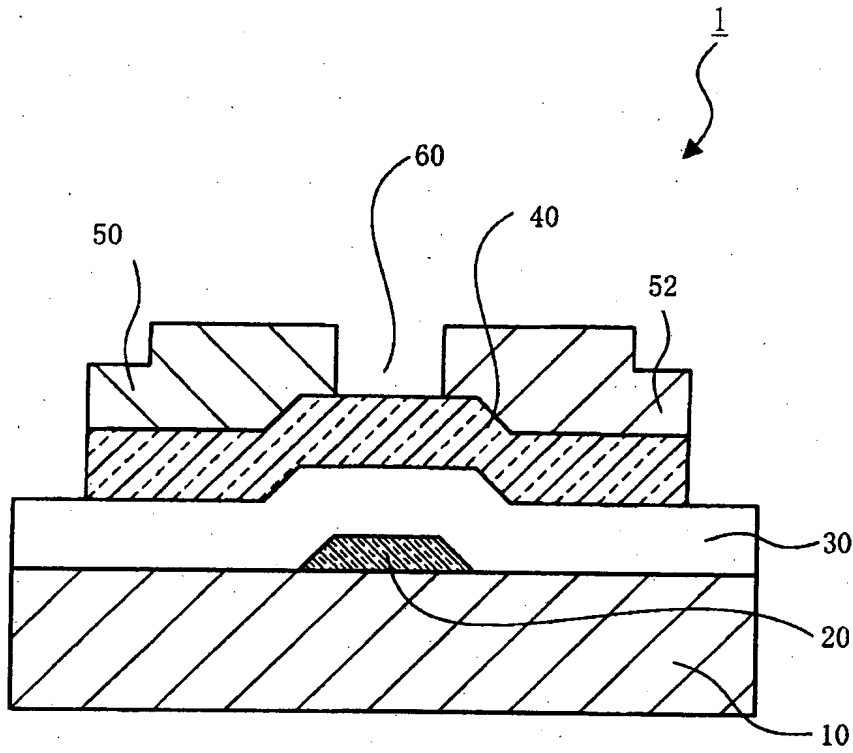
使前述半導體膜形成圖案的步驟；

使前述半導體膜脫氫及結晶化的步驟；與

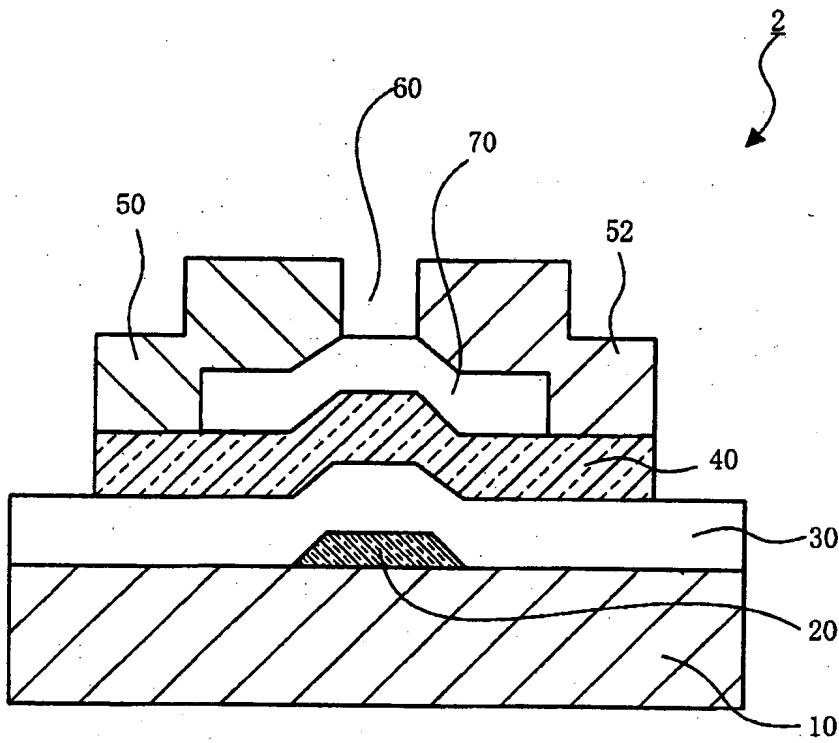
以連接於前述半導體膜的形式形成源·汲電極的步驟。

6. 如申請專利範圍第5項記載之薄膜電晶體的製造方法，其中前述半導體膜的成膜步驟中，成膜氛圍中的氫分子及/或水分子的體積含量為1%~10%。
7. 如申請專利範圍第5項或第6項記載之薄膜電晶體的製造方法，其中使前述半導體膜脫氫及結晶化的步驟，係在150~450°C熱處理前述半導體膜0.1~1200分鐘的步驟。
8. 如申請專利範圍第5項記載之薄膜電晶體的製造方法，其係通道蝕刻型薄膜電晶體的製造方法。
9. 如申請專利範圍第5項記載之薄膜電晶體的製造方法，其係蝕刻阻擋型薄膜電晶體的製造方法。

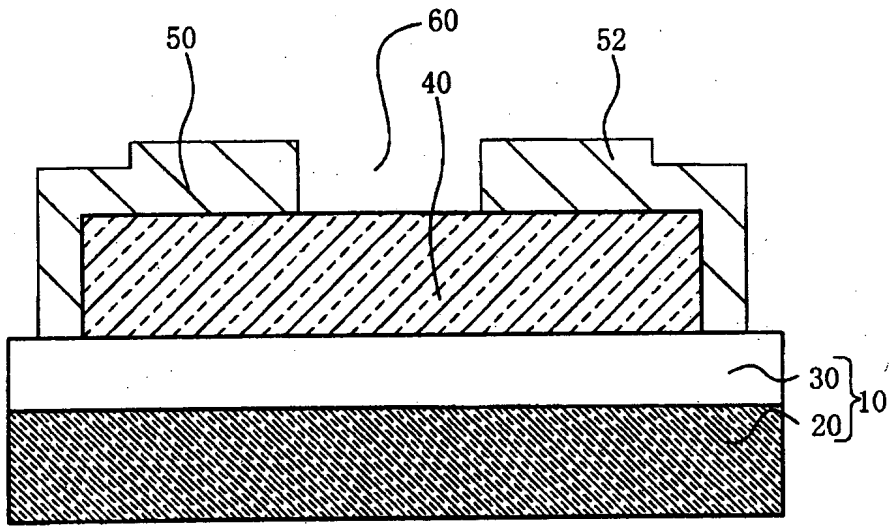
第1圖



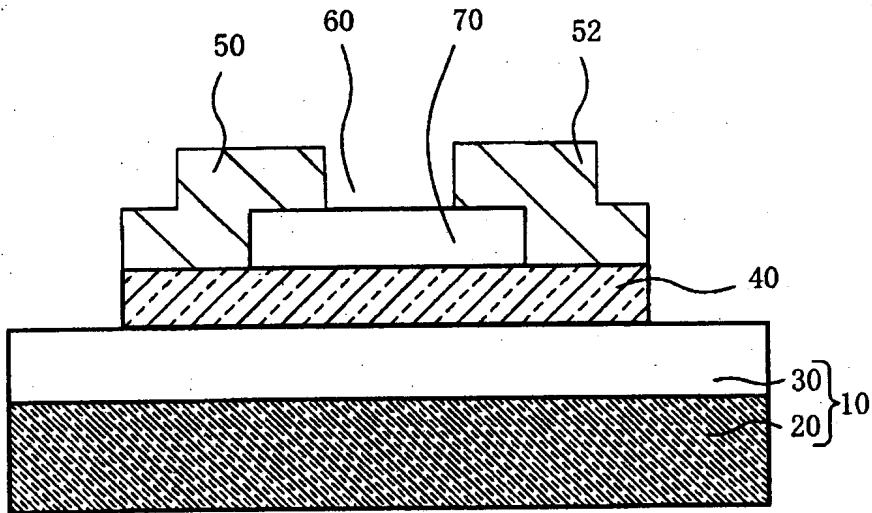
第2圖



第3圖



第4圖



四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

1...薄膜電晶體

40...半導體膜

10...基板

50...源電極

20...閘電極

52...汲電極

30...閘極絕緣膜

60...通道部

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：