

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-204829

(P2011-204829A)

(43) 公開日 平成23年10月13日(2011.10.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)	HO 1 L 25/08 Z	
HO 1 L 29/792 (2006.01)		
HO 1 L 25/065 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2010-69487 (P2010-69487)
 (22) 出願日 平成22年3月25日 (2010. 3. 25)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100092820
 弁理士 伊丹 勝
 (74) 代理人 100106389
 弁理士 田村 和彦
 (72) 発明者 東 和幸
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 松永 範昭
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

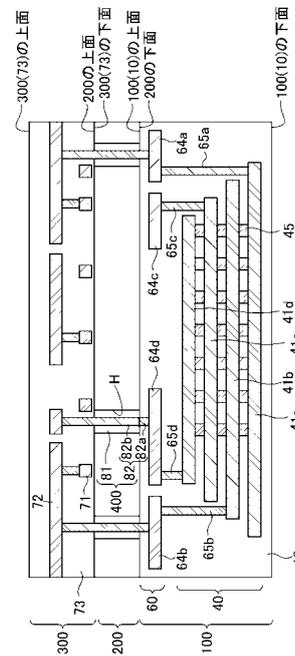
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】占有面積が小さく、高い信頼性を有する半導体記憶装置を提供する。

【解決手段】半導体記憶装置は、ロウ方向、カラム方向及び積層方向に配列された複数のメモリトランジスタMTr1~8と、メモリトランジスタMTr1~8に信号を供給するワード線WL1~WL8と、それらを埋める層間絶縁層10とを備えたメモリセルアレイ層100と、メモリセルアレイ層100の上面の側に形成される半導体基板200と、半導体基板200に形成されメモリセルアレイ層100に対し所定の電圧を供給する周辺回路層300と、周辺回路層300とメモリセルアレイ層100とを電気的に接続する接続層400とを備える。メモリセルアレイ層100は、半導体基板200とは別の半導体基板500上に形成されたものである

【選択図】 図6



【特許請求の範囲】

【請求項 1】

第 1 方向及び前記第 1 方向に直交する第 2 方向に配列されると共に前記第 1 方向及び前記第 2 方向に直交する第 3 方向にも配列された複数のメモリセルと、前記第 1 方向及び前記第 2 方向にて構成される面内に延び且つ前記メモリセルに信号を供給する第 1 配線と、前記メモリセル及び前記第 1 配線を埋める第 1 絶縁層とを備えたメモリセルアレイ層と、前記メモリセルアレイ層の上面の側に形成される第 1 半導体基板と、

前記第 1 半導体基板上に形成され前記メモリセルアレイ層に対し所定の電圧を供給する周辺回路層と、

前記周辺回路層と前記メモリセルアレイ層とを電気的に接続する接続層と

10

を備え、

前記メモリセルアレイ層は、前記第 1 半導体基板とは別の第 2 半導体基板上に形成されたものである

ことを特徴とする半導体記憶装置。

【請求項 2】

前記第 1 半導体基板は、第 1 の面を有し、前記第 1 の面と前記第 1 絶縁層とが対向するように設けられ、

前記第 1 半導体基板は、前記第 1 の面とは反対側の第 2 の面から前記第 1 の面に貫通する貫通孔を備え、

前記接続層は、前記第 1 半導体基板を貫通する貫通孔を介して前記周辺回路層と前記メモリセルアレイ層とを接続する第 2 配線を備える

20

ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記第 1 半導体基板は、第 1 の面と、この第 1 の面とは反対側に形成された第 2 の面とを有し、

前記第 1 半導体基板は、前記第 1 絶縁層と前記第 1 の面とが対向するように設けられると共に、前記周辺回路層は、前記第 2 の面に形成され、

前記周辺回路層は、

回路素子と、

前記回路素子に信号を供給する第 3 配線と、

30

前記第 1 半導体基板の前記第 2 の面上に形成され且つ前記回路素子及び前記第 3 配線を覆う第 2 絶縁層とを備え、

前記メモリセルアレイ層は、前記第 2 絶縁層の上にも形成されている

ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】

前記第 1 半導体基板の前記第 1 の面側に形成される前記メモリセルアレイ層は、その上面が前記第 1 半導体基板と対向するように配置され、

前記第 1 半導体基板の前記第 2 の面側に形成される前記メモリセルアレイ層は、その上面が前記第 2 絶縁層と対向するように配置されている

ことを特徴とする請求項 3 記載の半導体記憶装置。

40

【請求項 5】

前記周辺回路層は、第 3 の面、及び前記第 3 の面とは反対側の第 4 の面を有し、前記第 1 絶縁層の一方の面と前記第 3 の面において対向するように設けられた第 2 絶縁層を更に備え、

前記第 1 半導体基板は、前記第 4 の面において前記第 2 絶縁層と対向するように設けられ、

前記接続層は、前記第 1 絶縁層と前記第 2 絶縁層との間に形成されたバンプ電極を備える

ことを特徴とする請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、特にメモリセルを半導体基板に平行な方向だけでなく、半導体基板に垂直な方向にも積層させたいわゆる3次元型メモリ装置に関するものである。

【背景技術】

【0002】

近年、メモリの集積度を高めるために、メモリセルを3次元的に配置した構造（以下、3D積層型セル構造）を有する半導体記憶装置が提案されている（特許文献1参照）。

【0003】

例えば、書き込み等に高電圧を要するEEPROMにおいては、その高電圧に耐えうる高耐圧型トランジスタを周辺回路（ロウデコーダ、カラムデコーダ等）において配置する必要がある。例えば、高耐圧型トランジスタをワード線に接続される転送ゲートトランジスタに用いた場合、その数は、ワード線の数と同数必要である。そのため、3次元構造のメモリ装置の集積度を高めようとする場合、高耐圧型トランジスタの占有面積が、チップ全体の占有面積を縮小させることの障害となる。

【0004】

このため、このような高耐圧型トランジスタを、メモリセルアレイが形成される半導体基板と同一の半導体基板上ではなく、その下層に設けるようにした半導体記憶装置も提案されている（例えば、特許文献2参照）。しかし、この特許文献2の半導体記憶装置は、半導体基板上に周辺回路構造を形成し、層間絶縁層で覆った後、その層間絶縁層の上方にアルミナ等により支持層を形成し、この支持層上にメモリセルアレイを形成するものである。このため、メモリセルアレイの製造工程において用いられる熱工程が、既に製造された周辺回路構造の特性を変動させる虞があるなどの問題がある。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-266143号公報

【特許文献2】特開2010-034109号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、占有面積が小さく、高い信頼性を有する半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の一態様に係る半導体記憶装置は、第1方向及び前記第1方向に直交する第2方向に配列されると共に前記第1方向及び前記第2方向に直交する第3方向にも配列された複数のメモリセルと、前記第1方向及び前記第2方向にて構成される面内に延び且つ前記メモリセルに信号を供給する第1配線と、前記メモリセル及び前記第1配線を埋める第1絶縁層とを備えたメモリセルアレイ層と、前記メモリセルアレイ層の上面の側に形成される第1半導体基板と、前記第1半導体基板上に形成され前記メモリセルアレイ層に対し所定の電圧を供給する周辺回路層と、前記周辺回路層と前記メモリセルアレイ層とを電氣的に接続する接続層とを備え、前記メモリセルアレイ層は、前記第1半導体基板とは別の第2半導体基板上に形成されたものであることを特徴とする。

【発明の効果】

【0008】

この発明によれば、占有面積が小さく、高い信頼性を有する半導体記憶装置を提供することができる。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 0 9 】

【 図 1 】 本発明の第 1 の実施の形態に用いられるメモリセルアレイ層 1 0 0 の概略斜視図である。

【 図 2 】 メモリセルアレイ層 1 0 0 の等価回路図である。

【 図 3 】 メモリセルアレイ層 1 0 0 の断面図である。

【 図 4 】 図 3 の拡大図である。

【 図 5 】 メモリセルアレイ層 1 0 0 の断面図である。

【 図 6 】 本発明の第 1 の実施の形態に係る半導体記憶装置を示すの概略図である。

【 図 7 A 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 1 の製造方法を示す断面図である。

10

【 図 7 B 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 1 の製造方法を示す断面図である。

【 図 7 C 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 1 の製造方法を示す断面図である。

【 図 7 D 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 1 の製造方法を示す断面図である。

【 図 7 E 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 1 の製造方法を示す断面図である。

【 図 7 F 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 1 の製造方法を示す断面図である。

20

【 図 7 G 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 1 の製造方法を示す断面図である。

【 図 8 A 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 2 の製造方法を示す断面図である。

【 図 8 B 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 2 の製造方法を示す断面図である。

【 図 8 C 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 2 の製造方法を示す断面図である。

【 図 8 D 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 2 の製造方法を示す断面図である。

30

【 図 8 E 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 2 の製造方法を示す断面図である。

【 図 8 F 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 2 の製造方法を示す断面図である。

【 図 8 G 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 2 の製造方法を示す断面図である。

【 図 8 H 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 2 の製造方法を示す断面図である。

【 図 8 I 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 2 の製造方法を示す断面図である。

40

【 図 8 J 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 2 の製造方法を示す断面図である。

【 図 8 K 】 本発明の第 1 の実施の形態に係る半導体記憶装置の第 2 の製造方法を示す断面図である。

【 図 9 】 本発明の第 2 の実施の形態に係る半導体記憶装置を示すの概略図である。

【 図 1 0 A 】 本発明の第 2 の実施の形態に係る半導体記憶装置の製造方法を示す断面図である。

【 図 1 0 B 】 本発明の第 2 の実施の形態に係る半導体記憶装置の製造方法を示す断面図である。

【 図 1 0 C 】 本発明の第 2 の実施の形態に係る半導体記憶装置の製造方法を示す断面図で

50

ある。

【図 1 0 D】本発明の第 2 の実施の形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 1 0 E】本発明の第 2 の実施の形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 1 0 F】本発明の第 2 の実施の形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 1 1】本発明の第 3 の実施の形態に係る半導体記憶装置を示すの概略図である。

【図 1 2 A】本発明の第 3 の実施の形態に係る半導体記憶装置の製造方法を示す断面図である。

10

【図 1 2 B】本発明の第 3 の実施の形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 1 2 C】本発明の第 3 の実施の形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 1 2 D】本発明の第 3 の実施の形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 1 2 E】本発明の第 3 の実施の形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 1 2 F】本発明の第 3 の実施の形態に係る半導体記憶装置の製造方法を示す断面図である。

20

【図 1 2 G】本発明の第 3 の実施の形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 1 2 H】本発明の第 3 の実施の形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 1 3】本発明のその他の実施の形態に用いられるメモリセルアレイ層 1 0 0 b を示す概略斜視図である。

【発明を実施するための形態】

【0 0 1 0】

次に、本発明の実施の形態を、図面を参照して詳細に説明する。

【0 0 1 1】

30

[第 1 の実施の形態]

先ず、図 1 を参照して本発明の第 1 の実施の半導体記憶装置に用いられるメモリセルアレイ層 1 0 0 の構成の概要について説明する。メモリセルアレイ層 1 0 0 は、一例として、図 1 に示すように、データを電氣的に記憶するメモリトランジスタ (メモリセル) $MT_r 1 \sim 8$ と、メモリトランジスタ $MT_r 1 \sim 8$ に信号を供給する配線 BL 、 SL 、 $WL 1 \sim 8$ と、メモリトランジスタ $MT_r 1 \sim 8$ 及び配線 BL 、 SL 、 $WL 1 \sim 8$ を埋める層間絶縁層 1 0 を有する。

【0 0 1 2】

メモリセルトランジスタ $MT_r 1 \sim 8$ は、直列接続されて 3 次元マトリクス状に配列されている。すなわち、メモリトランジスタ $MT_r 1 \sim 8$ は、ロウ方向、カラム方向、積層方向 (垂直方向) に配列されている。ここで、ロウ方向は、カラム方向に直交し、積層方向は、ロウ方向及びカラム方向に直交する。

40

【0 0 1 3】

ビット線 BL は、カラム方向に延び、ソース線 SL 、ワード線 $WL 1 \sim 8$ は、ロウ方向に延びる。すなわち、配線 BL 、 SL 、 $WL 1 \sim 8$ は、ロウ方向及びカラム方向にて構成される面内に延びるように形成されている。

【0 0 1 4】

層間絶縁層 1 0 は、メモリトランジスタ $MT_r 1 \sim 8$ の間、配線 BL 、 SL 、 $WL 1 \sim 8$ の間、及びメモリトランジスタ $MT_r 1 \sim 8$ と配線 BL 、 SL 、 $WL 1 \sim 8$ の間を埋めるように形成されている。

50

【 0 0 1 5 】

次に、図 2 を参照して、メモリセルアレイ層 1 0 0 の回路構成について説明する。メモリセルアレイ層 1 0 0 は、図 2 に示すように、複数のビット線 B L、及び複数のメモリブロック M B を有する。ビット線 B L は、ロウ方向に所定ピッチをもってカラム方向に延びるストライプ状に形成されている。メモリブロック M B は、所定ピッチをもってカラム方向に繰り返し設けられている。

【 0 0 1 6 】

メモリブロック M B は、図 2 に示すように、ロウ方向及びカラム方向にマトリクス状に配列された複数のメモリユニット M U を有する。メモリブロック M B において、一本のビット線 B L には、共通接続された複数のメモリユニット M U が設けられている。メモリユニット M U は、メモリストリング M S、ソース側選択トランジスタ S S T r、及びドレイン側選択トランジスタ S D T r を有する。メモリユニット M U は、ロウ方向及びカラム方向にマトリクス状に配列されている。

10

【 0 0 1 7 】

メモリストリング M S は、直列接続されたメモリトランジスタ M T r 1 ~ M T r 8、及びバックゲートトランジスタ B T r にて構成されている。メモリトランジスタ M T r 1 ~ M T r 4 は、積層方向に直列に接続されている。メモリトランジスタ M T r 5 ~ M T r 8 も、同様に積層方向に直列に接続されている。メモリトランジスタ M T r 1 ~ M T r 8 は、電荷蓄積層に電荷を蓄積する。バックゲートトランジスタ B T r は、最下層のメモリトランジスタ M T r 4 とメモリトランジスタ M T r 5 との間に接続されている。従って、メモリトランジスタ M T r 1 ~ M T r 8、及びバックゲートトランジスタ B T r は、カラム方向に沿った断面において U 字形状に接続されている。ドレイン側選択トランジスタ S D T r のソースは、メモリストリング M S の一端（メモリトランジスタ M T r 1 のドレイン）に接続されている。ソース側選択トランジスタ S S T r のドレインは、メモリストリング M S の他端（メモリトランジスタ M T r 8 のソース）に接続されている。

20

【 0 0 1 8 】

ロウ方向に一列に並ぶ複数のメモリトランジスタ M T r 1 のゲートは、1 本のワード線 W L 1 に共通接続されている。同様に、ロウ方向に並ぶ複数のメモリトランジスタ M T r 2 ~ M T r 8 のゲートは、各々、1 本のワード線 W L 2 ~ W L 8 に共通接続されている。また、ロウ方向及びカラム方向にマトリクス状に配列されたバックゲートトランジスタ B T r のゲートは、1 本のバックゲート線 B G に共通接続されている。

30

【 0 0 1 9 】

ロウ方向に一列に配列された複数のドレイン側選択トランジスタ S D T r のゲートは、1 本のロウ方向に延びるドレイン側選択ゲート線 S G D に共通接続されている。また、カラム方向に一列に配列された複数のドレイン側選択トランジスタ S D T r のドレインは、1 本のビット線 B L に共通に接続されている。

【 0 0 2 0 】

ロウ方向に一列に配列された複数のソース側選択トランジスタ S S T r のゲートは、ロウ方向に延びる 1 本のソース側選択ゲート線 S G S に共通接続されている。また、カラム方向に隣接する一対のメモリユニット M U において、ロウ方向に一列に配列された複数のソース側選択トランジスタ S S T r のソースは、ロウ方向に延びる 1 本のソース線 S L に共通に接続されている。

40

【 0 0 2 1 】

次に、図 3 ~ 図 5 を参照して、図 2 に示した回路構成を実現するメモリセルアレイ層 1 0 0 の積層構造について説明する。図 3 は、第 1 の実施の形態に係るメモリセルアレイ層 1 0 0 のカラム方向断面図であり、図 4 は、図 3 の拡大図である。図 5 は、メモリセルアレイ層 1 0 0 のロウ方向断面図である。

【 0 0 2 2 】

メモリセルアレイ層 1 0 0 は、図 3 に示すように、基板 2 0、下層から順にバックゲート層 3 0、メモリトランジスタ層 4 0、選択トランジスタ層 5 0、及び配線層 6 0 を有す

50

る。バックゲート層 30 は、バックゲートトランジスタ B T r として機能する。メモリトランジスタ層 40 は、メモリトランジスタ M T r 1 ~ M T r 8 として機能する。選択トランジスタ層 50 は、ドレイン側選択トランジスタ S D T r、及びソース側選択トランジスタ S S T r として機能する。配線層 60 は、ソース線 S L 及びビット線 B L として機能する。

【0023】

バックゲート層 30 は、図 3 に示すように、層間絶縁層 10 と、基板 20 の上に層間絶縁層 10 を介して形成されたバックゲート導電層 31 を有する。バックゲート導電層 31 は、層間絶縁層 10 に埋められている。バックゲート導電層 31 は、バックゲート線 B G として機能すると共に、バックゲートトランジスタ B T r のゲートとして機能する。バックゲート導電層 31 は、ロウ方向及びカラム方向に広がる板状に形成されている。バックゲート導電層 31 は、後述する U 字状半導体層 45 の連結部 45 B の下面及び側面を覆い且つ連結部 45 B の上面と同じ高さまで形成されている。バックゲート導電層 31 は、ポリシリコン (p o l y - S i) にて構成されている。

10

【0024】

また、バックゲート層 30 は、図 3 に示すように、バックゲート導電層 31 を掘込むように形成されたバックゲート溝 32 を有する。バックゲート溝 32 は、ロウ方向に短手方向、カラム方向に長手方向を有する開口にて構成されている。バックゲート溝 32 は、ロウ方向及びカラム方向に所定間隔毎にマトリクス状に形成されている。

20

【0025】

メモリトランジスタ層 40 は、図 3 に示すように、層間絶縁層 10、及び積層方向に層間絶縁層 10 を介して形成されたワード線導電層 41 a ~ 41 d を有する。ワード線導電層 41 a ~ 41 d は、積層方向に所定のピッチをもって配列されており、それらの間の間隙は層間絶縁層 10 で埋められている。ワード線導電層 41 a ~ 41 d は、ワード線 W L 1 ~ W L 8 として機能すると共に、メモリトランジスタ M T r 1 ~ M T r 8 のゲートとして機能する。

30

【0026】

ワード線導電層 41 a ~ 41 d は、カラム方向に所定ピッチをもって配列されるとともにロウ方向を長手方向として延びるストライプ状に形成されている。ワード線導電層 41 a ~ 41 d は、ポリシリコン (p o l y - S i) にて構成されている。

30

【0027】

また、メモリトランジスタ層 40 は、図 3 に示すように、ワード線導電層 41 a ~ 41 d、及び層間絶縁層 10 を貫通するように形成されたメモリホール 43 を有する。

【0028】

メモリホール 43 は、各バックゲート溝 32 のカラム方向の両端近傍の位置に整合するように形成されている。メモリホール 43 は、ロウ方向及びカラム方向にマトリクス状に形成されている。

【0029】

また、上記バックゲートトランジスタ層 30 及びメモリトランジスタ層 40 は、図 4 に示すように、メモリゲート絶縁層 44、及び U 字状半導体層 45 を有する。U 字状半導体層 45 は、メモリトランジスタ M T r 1 ~ M T r 8 及びバックゲートトランジスタ B T r のボディとして機能する。

40

【0030】

メモリゲート絶縁層 44 は、図 3 に示すように、メモリホール 43、及びバックゲート溝 32 の側面に形成されている。メモリゲート絶縁層 44 は、図 4 に示すように、ブロック絶縁層 44 a、電荷蓄積層 44 b、及びトンネル絶縁層 44 c にて構成されている。ブロック絶縁層 44 a は、メモリホール 43、及びバックゲート溝 32 の側面に亘ってワード線導電層 41 a ~ 41 d 及びバックゲート導電層 31 と接するように形成されている。ブロック絶縁層 44 a は、酸化シリコン (S i O ₂) にて構成されている。電荷蓄積層 44 b は、ブロック絶縁層 44 a の側面に形成されている。電荷絶縁層 44 b は、電荷を蓄

50

積し、メモリトランジスタMTr1～MTr8のデータを保有するために用いられる。電荷蓄積層44bは、窒化シリコン(SiN)にて構成されている。トンネル絶縁層44cは、電荷蓄積層44bの側面に形成されている。トンネル絶縁層44cは、酸化シリコン(SiO₂)にて構成されている。

【0031】

U字状半導体層45は、図3に示すように、口ウ方向からみてU字状に形成されている。U字状半導体層45は、図4に示すように、トンネル絶縁層44cに接し且つバックゲート溝32及びメモリホール43を埋めるように形成されている。U字状半導体層45は、口ウ方向からみて基板20に対して垂直方向に延びる一对の柱状部45A、及び一对の柱状部45Aの下端を連結させるように形成された連結部45Bを有する。U字状半導体層45は、ポリシリコン(poly-Si)にて構成されている。

10

【0032】

上記メモリトランジスタ層40の構成を換言すると、トンネル絶縁層44cは、柱状部45Aの側面を取り囲むように形成されている。電荷蓄積層44bは、トンネル絶縁層44cの側面を取り囲むように形成されている。ブロック絶縁層44aは、電荷蓄積層44bの側面を取り囲むように形成されている。ワード線導電層41a～41dは、ブロック絶縁層44aの側面を取り囲むように形成されている。

【0033】

選択トランジスタ層50は、図3に示すように、層間絶縁層10、ドレイン側導電層51、及びそのドレイン側導電層51と同層に形成されたソース側導電層52を有する。

20

【0034】

ドレイン側導電層51は、ドレイン側選択ゲート線SGDとして機能すると共に、及びドレイン側選択トランジスタSDTrのゲートとして機能する。ソース側導電層52は、ソース側選択ゲート線SGSとして機能すると共に、及びソース側選択トランジスタSSTrのゲートとして機能する。

【0035】

ドレイン側導電層51及びソース側導電層52は、層間絶縁層10を介してカラム方向に所定ピッチをもって口ウ方向に延びるストライプ状に形成されている。ドレイン側導電層51及びソース側導電層52は、カラム方向に2つずつ交互に設けられている。ドレイン側導電層51、及びソース側導電層52は、ポリシリコン(poly-Si)にて構成されている。

30

【0036】

また、選択トランジスタ層50は、図3に示すように、ドレイン側ホール53、及びソース側ホール54を有する。ドレイン側ホール53は、ドレイン側導電層51及び層間絶縁層10を貫通するように形成されている。ソース側ホール54は、ソース側導電層52及び層間絶縁層10を貫通するように形成されている。ドレイン側ホール53及びソース側ホール54は、メモリホール43に整合する位置に形成されている。

【0037】

また、選択トランジスタ層50は、図3に示すように、ドレイン側ゲート絶縁層55、ソース側ゲート絶縁層56、ドレイン側柱状半導体層57、及びソース側柱状半導体層58を有する。ドレイン側柱状半導体層57は、ドレイン側選択トランジスタSDTrのボディとして機能する。ソース側柱状半導体層58は、ソース側選択トランジスタSSTrのボディとして機能する。

40

【0038】

ドレイン側ゲート絶縁層55は、ドレイン側ホール53の側面に形成されている。ソース側ゲート絶縁層56は、ソース側ホール54の側面に形成されている。ドレイン側ゲート絶縁層55及びソース側ゲート絶縁層56は、酸化シリコン(SiO₂)にて構成されている。

【0039】

ドレイン側柱状半導体層57は、ドレイン側ホール53を埋めるように、ドレイン側ゲ

50

ート絶縁層 55 と接して積層方向に延びる柱状に形成されている。ソース側柱状半導体層 58 は、ソース側ホール 54 を埋めるように、ソース側ゲート絶縁層 56 と接して積層方向に延びる柱状に形成されている。ドレイン側柱状半導体層 57、及びソース側柱状半導体層 58 は、ポリシリコン (poly-Si) にて構成されている。

【0040】

上記選択トランジスタ層 50 の構成を換言すると、ドレイン側ゲート絶縁層 55 は、ドレイン側柱状半導体層 57 の側面を取り囲むように形成されている。ドレイン側導電層 51 は、ドレイン側ゲート絶縁層 55 の側面を取り囲むように形成されている。ソース側ゲート絶縁層 56 は、ソース側柱状半導体層 58 の側面を取り囲むように形成されている。ソース側導電層 52 は、ソース側ゲート絶縁層 56 の側面を取り囲むように形成されている。

10

【0041】

配線層 60 は、図 4 に示すように、層間絶縁層 10、ソース線層 61、ビット線層 62、及びプラグ層 63 を有する。ソース線層 61、ビット線層 62 及びプラグ層 63 は、層間絶縁層 10 にて埋められている。第 1 ソース線層 61 は、ソース線 SL として機能する。ビット線層 62 は、ビット線 BL として機能する。

【0042】

ソース線層 61 は、図 3 に示すように、隣接する 2 本のソース側柱状半導体層 58 の上面に共通に接するように形成されている。ソース線層 61 は、カラム方向に所定ピッチをもってロウ方向に延びるストライプ状に形成されている。ソース線層 61 は、タングステン (W) 等の金属にて構成されている。

20

【0043】

ビット線層 62 は、図 3 に示すように、プラグ層 63 を介してドレイン側柱状半導体層 57 の上面に接続されている。ビット線層 62 は、ロウ方向に所定ピッチをもってカラム方向に延びるストライプ状に形成されている。ビット線層 62 は、銅 (Cu)、プラグ層 63 は、タングステン (W) 等の金属にて構成されている。

【0044】

また、配線層 60 は、図 3 及び図 5 に示すように引出配線層 64a ~ 64i、及びコンタクト層 65a ~ 65i を有する。引出配線層 64a ~ 64i は、各々、ロウ方向及びカラム方向にて構成される面内に延びるように形成されている。引出配線層 64a ~ 64i は、各々、接続配線層 201 を介して、周辺回路層 300 に電氣的に接続されている。なお、接続配線層 201 及び周辺回路層 300 については、後に詳しく説明する。

30

【0045】

コンタクト層 65a ~ 65i は、層間絶縁層 10 を貫通するように積層方向に延びるように形成されている。コンタクト層 65a は、バックゲート導電層 31 と引出配線層 64a とを電氣的に接続する。コンタクト層 65b ~ 65e は、各々、ワード線導電層 41a ~ 41d と引出配線層 64b ~ 64e とを電氣的に接続する。コンタクト層 65f は、ドレイン側導電層 51 と引出配線層 64f とを電氣的に接続する。コンタクト層 65g は、ソース側導電層 52 と引出配線層 64g とを電氣的に接続する。コンタクト層 65h は、ソース線層 61 と引出配線層 64h とを電氣的に接続する。コンタクト層 65i は、ビット線層 62 と引出配線層 64i とを電氣的に接続する。

40

【0046】

次に、図 6 を参照して、上記のメモリセルアレイ層 100 を含む半導体記憶装置の積層構造について説明する。

【0047】

図 6 に示すように、半導体記憶装置は、メモリセルアレイ層 100、半導体基板 200、周辺回路層 300、及び接続層 400 を備える。図 6 は、メモリセルアレイ層 100 においてメモリトランジスタ層 30 及び配線層 60 の一部のみを示している。

【0048】

メモリセルアレイ層 100 は、一例として、図 1 ~ 5 に示したような構造を有している

50

。メモリセルアレイ層 100 において、柱状のコンタクト層 65b ~ 65e、及び柱状部 45A 等は、テーパ状に形成されており、半導体基板 200 に近い側ほどその径が大きい。即ち、メモリセルアレイ層 100 は、半導体基板 200 上に形成されるのではなく、後述するように、半導体基板（第 1 半導体基板）200 とは異なる半導体基板（第 2 半導体基板）500 上に形成される。なお、本実施の形態とは異なり、半導体基板 200 上にメモリセルアレイ層 100 が形成されるのであれば、コンタクト層 65b ~ 65e、及び柱状部 45A 等の径は、半導体基板 200 に近い側ほど小さくなる。

【0049】

半導体基板 200 の下面は、層間絶縁層 10 の上面（メモリセルアレイ層 100 の上面）と対向するように設けられている。後に説明する製造工程において、半導体基板 200 は周辺回路層 300 を形成するために用いられる。半導体基板 200 は、シリコンにて形成されている。半導体基板 200 は、その上面から下面まで貫通する貫通孔 H を有する。

10

【0050】

周辺回路層 300 の下面は、半導体基板 200 の上面と対向するように設けられている。周辺回路層 300 は、メモリセルアレイ層 100 に対し所定の電圧を供給する。周辺回路層 300 は、キャパシタ、トランジスタ等の回路素子 71、回路素子 71 に信号を供給する配線層 72、及びそれら回路素子 71 及び配線層 72 を覆う層間絶縁層 73 を有する。

【0051】

接続層 400 は、周辺回路層 300 とメモリセルアレイ層 100 とを電気的に接続する。接続層 400 は、半導体基板 200 の貫通孔 H 内に形成されている。接続層 400 は、絶縁層 81、及び接続配線層 82 を有する。絶縁層 81 は、貫通孔 H の側面に形成されている。接続配線層 82 は、貫通孔 H を介して、周辺回路層 300 とメモリセルアレイ層 100 とを接続する。接続配線層 82 は、絶縁層 81 に接して積層方向に延び、配線層 72 と引出配線層 64a ~ 64i を接続する。

20

【0052】

接続配線層 82 は、メモリセルアレイ層 100 内に設けられた第 1 接続配線層 82a、及び周辺回路層 300 に設けられた第 2 接続配線層 82b を有する。第 1 接続配線層 82a の上面は第 2 接続配線層 82b の下面に接し、第 1 接続配線層 82a の下面は引出配線層 64a ~ 64i の上面と接している。第 2 接続配線層 82b の上面は配線層 72 と接している。第 1 接続配線層 82a の径は、第 2 接続配線層 82b の径よりも大きい。これにより、後述する製造工程において、第 1 接続配線層 82a と第 2 接続配線層 82b とを確実に接合することができる。

30

【0053】

[第 1 の製造方法]

次に、図 7A ~ 図 7G を参照して、第 1 の実施の形態に係る半導体記憶装置の第 1 の製造方法について説明する。

【0054】

まず、図 7A に示すように、半導体基板 200 の上面に周辺回路層 300 を周知の手法を用いて形成し、また接続層 400 を形成する。ここで、半導体基板 200 は、厚さ T1 をもつ。また、半導体基板 200 には、貫通孔 H の代わりに、孔 H0 を形成する。孔 H0 は、半導体基板 200 を貫通することなく掘り込んで形成する。また、この孔 H0 内に絶縁層 81 を介して第 1 接続配線層 82a を形成する。また、周辺回路層 300 には、その上面から配線層 72 に達する孔 H1 を形成する。

40

【0055】

次に、図 7B に示すように、接着剤 91 によって周辺回路層 300（層間絶縁層 73）の上面に支持基盤 92 を取り付ける。続いて、図 7C に示すように、例えば、化学機械研磨（CMP）によって半導体基板 200 を厚さ T2（ $T2 < T1$ ）まで薄くする。これにより、孔 H0 は、半導体基板 200 を貫通する貫通孔 H となる。

【0056】

50

一方、図7A～図7Cに示した工程とは別に、図7Dに示すように、半導体基板500を用意し、その半導体基板500の上面にメモリセルアレイ層100を形成する。ここで、メモリセルアレイ層100は、引出配線層64a～64iの上面から上方に延びる第2接続配線層82bを有する。第2接続配線層82bの上面は、層間絶縁層10から露出するように形成されている。

【0057】

続いて、図7Eに示すように、図7Dで形成したメモリセルアレイ層100の（層間絶縁層10）上面に図7A～図7Cで形成した積層構造（半導体基板200）の下面を接合する。これにより、第1接続配線層82aと第2接続配線層82bは接続され、接続配線層82となる。例えば、有機接着剤等を用いて接合する。また、例えば、接合面に不活性プラズマ処理を行い、接合面に-OH基を形成する事で生じる水素結合を利用して接合する。

10

【0058】

次に、図7Fに示すように、例えば、KOH等の薬液により半導体基板500を除去する。続いて、図7Gに示すように、支持基盤92及び接着剤91を除去する。以上の工程によって、第1の実施の形態に係る半導体記憶装置が形成される。

【0059】

[第2の製造方法]

次に、図8A～図8Kを参照して、第1の実施の形態に係る半導体記憶装置の第2の製造方法について説明する。

20

【0060】

まず、図8Aに示すように、半導体基板200の上面に周辺回路層300を形成する。ここで、半導体基板200は、厚さT1を有する。また、図8Aに示す段階では、周辺回路層300内に、配線層72を形成しない。次に、図8Bに示すように、接着剤91によって周辺回路層300の上面に支持基盤92を取り付ける。

【0061】

続いて、図8Cに示すように、例えばCMPによって半導体基板200を厚さT2まで薄くする。一方、図8A～図8Cに示した工程とは別に、図8Dに示すように、半導体基板500を用意し、その半導体基板500の上面にメモリセルアレイ層100を形成する。

30

【0062】

次に、図8Eに示すように、図8Dで形成したメモリセルアレイ層100の（層間絶縁層10）上面に図8A～図8Cで形成した積層構造（半導体基板200）を接合する。続いて、図8Fに示すように、支持基盤92及び接着剤91を除去する。

【0063】

次に、図8Gに示すように、周辺回路層300（層間絶縁層73）の上面からメモリセルアレイ層100の引出配線層64a～64iの上面に達するように、孔H2を形成する。すなわち、孔H2は、層間絶縁層73、81を貫通し、層間絶縁層10を掘り込むように形成される。続いて、図8Gに示すように、孔H2の側面全体に絶縁層を堆積させる。これにより、周辺回路層300と半導体基板200とを貫通する貫通孔Hの側面には、絶縁層81が形成される。なお、孔H2の底部に形成された絶縁層は、RIEによって除去する。

40

【0064】

次に、図8Hに示すように、孔H2を埋めるように金属層を堆積させて、接続配線層82を形成する。続いて、図8Hに示すように、接続配線層82の上に配線層72及び層間絶縁層73を形成する。また、図8Hに示すように、層間絶縁層73の上面から配線層72の上面に達する孔H1を形成する。

【0065】

次に、図8Iに示すように、接着剤91によって周辺回路層300（層間絶縁層72）の上面に支持基盤92を取り付ける。続いて、図8Jに示すように、例えばKOH等の薬

50

液によって半導体基板 500 を除去する。そして、図 8 K に示すように、支持基盤 92 及び接着剤 91 を除去する。以上の工程によって、第 1 の実施の形態に係る半導体記憶装置が形成される。

【0066】

[効果]

第 1 の実施の形態に係る半導体記憶装置は、周辺回路層 300 をメモリセルアレイ層 100 の下層に配置しているため、その占有面積を抑えることができる。また、第 1 の実施の形態は、メモリセルアレイ層 100 の上に半導体基板 200 を設け、さらにその上に周辺回路層 300 を設けた構造を有する。この構造は製造以下のような工程で製造される。すなわち、2つの半導体基板 500、200 上に、メモリセルアレイ層 100、周辺回路層 300 を形成し、それらを接続層 400 にて接続する。したがって、メモリセルアレイ層 100 の製造工程において用いられる熱工程が、周辺回路層 300 の特性を変動させることはなく、半導体記憶装置は高い信頼性を有するものとなる。

10

【0067】

[第 2 の実施の形態]

[構成]

次に、図 9 を参照して、第 2 の実施の形態に係る半導体記憶装置の構成について説明する。なお、第 2 の実施の形態において、第 1 の実施の形態と同様の構成については同一符号を付し、その説明を省略する。

【0068】

第 2 の実施の形態において、第 1 の実施の形態と比較して、周辺回路層 300 及び半導体基板 200 はその上下を逆さにして配置されている。メモリセルアレイ層 100 (層間絶縁層 10) の上面は、周辺回路層 300 (層間絶縁層 73) の上面と対向するように設けられている。周辺回路層 300 (層間絶縁層 73) の下面は、半導体基板 200 の上面と対向するように設けられている。また、第 2 の実施の形態において、メモリセルアレイ層 100 と周辺回路層 300 は、接続層 400 a によって電氣的に接続されている。

20

【0069】

接続層 400 a は、メモリセルアレイ層 100 (層間絶縁層 10) の上面及び周辺回路層 300 (層間絶縁層 73) の上面に形成されている。接続層 400 a は、第 2 接続配線層 82 b、及びパンプ電極 83 を有する。第 2 接続配線層 82 b は、引出配線 64 a ~ 64 i の上面から積層方向に延びるように形成されている。パンプ電極 83 は、層間絶縁層 10 と層間絶縁層 73 との間に形成されている。パンプ電極 83 は、配線層 72 の上面に形成され、第 2 接続配線層 82 b と接続されている。パンプ電極 83 の径は、第 2 接続配線層 82 b の径よりも大きい。これにより、後述する製造工程において、パンプ電極 83 と第 2 接続配線層 82 b とを確実に接合することができる。

30

【0070】

[製造方法]

次に、図 10 A ~ 10 F を参照して、第 2 の実施の形態に係る半導体記憶装置の製造工程について説明する。

【0071】

まず、図 10 A に示すように、半導体基板 200 の上面に、周辺回路層 300 を形成する。ここで、パンプ電極 83 を、層間絶縁層 73 から突出して形成する。

40

【0072】

次に、図 10 B に示すように、図 10 A に示す工程とは別に、半導体基板 500 を用意し、その半導体基板 500 の上面に、メモリセルアレイ層 100 を形成する。ここで、引出配線層 64 a ~ 64 i の上面に、層間絶縁層 10 から露出するように第 2 接続配線層 82 b を形成する。

【0073】

次に、図 10 C に示すように、図 10 B で形成したメモリセルアレイ層 100 (層間絶縁層 10) の上面に図 10 A で形成した積層構造 (周辺回路層 300) の上面を接合させ

50

る。これにより、第2接続配線層82bとパンプ電極83は接続される。

【0074】

次に、図10Dに示すように、半導体基板500を除去する。続いて、図10Eに示すように、接着剤91によってメモリセルアレイ層100の下面に支持基盤92を取り付ける。次に、図10Fに示すように、半導体基板200を研磨し、厚さT2まで薄くする。そして、図10Fに示すように、接着剤91及び支持基盤92を除去する。

【0075】

[効果]

第2の実施の形態は、第1の実施の形態と同様の効果を奏する。また、第2の実施の形態は、半導体基板200を貫通する貫通孔Hを形成する必要がない。

10

【0076】

[第3の実施の形態]

[構成]

次に、図11を参照して、第3の実施の形態に係る半導体記憶装置の構成について説明する。なお、第3の実施の形態において、第1及び第2の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0077】

第3の実施の形態に係る半導体記憶装置は、第1の実施の形態の構成に加えて、メモリセルアレイ層100a、及び接続層400aを有する。

【0078】

20

メモリセルアレイ層100aは、第1及び第2の実施の形態のメモリセルアレイ層100と同様の構成を有する。メモリセルアレイ層100と比較して、メモリセルアレイ層100aはその上下を逆さにして配置されている。すなわち、メモリセルアレイ層100は、その上面が半導体基板200と対向するように配置され、メモリセルアレイ層100aは、その上面が周辺回路層300(層間絶縁層73)の上面と対向するように配置されている。

【0079】

接続層400aは、メモリセルアレイ層100aと周辺回路層300とを電気的に接続する。接続層400aは、メモリセルアレイ層100aの上面及び周辺回路層300の上面に形成されている。

30

【0080】

[製造方法]

次に、図12A~12Gを参照して、第3の実施の形態に係る半導体記憶装置の製造工程について説明する。

【0081】

まず、図12Aに示すように、半導体基板200の上面に、周辺回路層300(厚さT1)を形成する。ここで、パンプ電極83を、層間絶縁層73から突出するように形成する。また、半導体基板200には、貫通孔Hの代わりに孔H0を形成する。また、この孔H0内に絶縁層81を介して接続配線層82aを形成する。

【0082】

40

次に、図12Bに示すように、接着剤91によって周辺回路層300(層間絶縁層73)の上面に支持基盤92を取り付ける。続いて、図12Cに示すように、例えば、CMPによって半導体基板200を厚さT2(T2<T1)まで薄くする。これにより、孔H0は、半導体基板200を貫通する貫通孔Hとなる。

【0083】

一方、図12A~図12Cに示した工程とは別に、図12Dに示すように、2つの半導体基板500を用意し、それら2つの半導体基板500各々の上にメモリセルアレイ層100、100aを形成する。ここで、メモリセルアレイ層100、100aは、各々、引出配線層64a~64iの上面から上方に延びる第2接続配線層82bを有するものとする。また、第2接続配線層82bの上面を層間絶縁層10から露出させる。

50

【 0 0 8 4 】

続いて、図 1 2 E に示すように、図 1 2 D で形成したメモリセルアレイ層 1 0 0 の（層間絶縁層 1 0）上面に図 1 2 A ~ 図 1 2 C で形成した積層構造（半導体基板 2 0 0）の下面を接合させる。これにより、第 1 接続配線層 8 2 a と第 2 接続配線層 8 2 b は接続され、接続配線層 8 2 となる。

【 0 0 8 5 】

次に、図 1 2 F に示すように、接着剤 9 1 及び支持基盤 9 2 を除去する。これにより、バンプ電極 8 3 は、露出した状態となる。続いて、図 1 2 G に示すように、周辺回路層 3 0 0（層間絶縁層 7 3）の上面に、図 1 2 D で形成したメモリセルアレイ層 1 0 0 a（層間絶縁層 1 0）の上面を接合させる。これにより、バンプ電極 8 3 と第 2 接続配線層 8 2 b とは電氣的に接続される。

10

【 0 0 8 6 】

次に、図 1 2 H に示すように、半導体基板 5 0 0 を除去する。以上の工程によって、第 3 の実施の形態に係る半導体記憶装置が形成される。

【 0 0 8 7 】

[効果]

第 3 の実施の形態は、第 1 及び第 2 の実施の形態と同様の効果を奏する。また、第 3 の実施の形態は、2 つのメモリセルアレイ層 1 0 0、1 0 0 a を有する。そして、2 つのメモリセルアレイ層 1 0 0、1 0 0 a は、周辺回路層 3 0 0 を共有し、その上下に位置する。したがって、第 3 の実施の形態は、第 1 及び第 2 の実施の形態よりもその占有面積を抑えることができる。

20

【 0 0 8 8 】

また、周辺回路層 3 0 0 は、メモリセルアレイ層 1 0 0、1 0 0 a に直接接続されているので、それらを接続する配線の長さを短くすることができる。これにより、第 3 の実施の形態は、その処理速度を高速化することができる。

【 0 0 8 9 】

[その他実施形態]

以上、性半導体記憶装置の実施の形態を説明してきたが、本発明は、上記実施形態に限定されるものではなく、発明の趣旨を逸脱しない範囲内において種々の変更、追加、置換等が可能である。

30

【 0 0 9 0 】

例えば、メモリセルアレイ層 1 0 0、1 0 0 a の積層構造は、第 1 ~ 第 3 の実施の形態に限られず、図 1 3 に示す積層構造であってもよい。すなわち、図 1 3 に示すように、メモリセルアレイ層 1 0 0 b は、平行に配置された複数本のワード線 W L a と、このワード線 W L a と交差するように配置された複数本のビット線 B L a と、これらワード線 W L a 及びビット線 B L a の各交差部に配置されたメモリセル M C とを備えるものであってもよい。この場合、メモリセル M C は、低抵抗状態と高抵抗状態の少なくとも 2 つの抵抗状態を遷移する可変抵抗素子 V R と、ダイオード D I とを有する。なお、メモリセルアレイ層 1 0 0、1 0 0 a、1 0 0 b は、層間絶縁層 1 0 を介して積層方向に複数層重ねて形成してもよい。

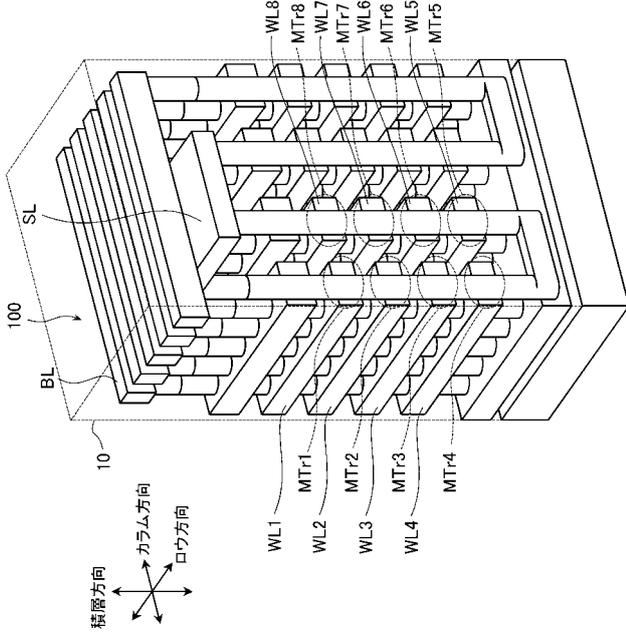
40

【 符号の説明 】

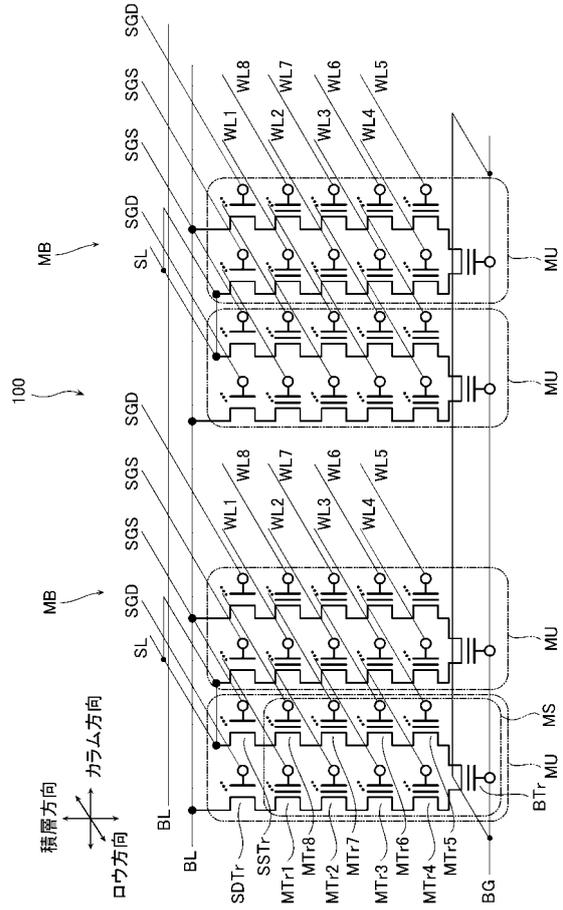
【 0 0 9 1 】

1 0 0、1 1 0 a、1 1 0 b ... メモリセルアレイ層、 2 0 0、5 0 0 ... 半導体基板、
3 0 0 ... 周辺回路層、 4 0 0、4 0 0 a ... 接続層。

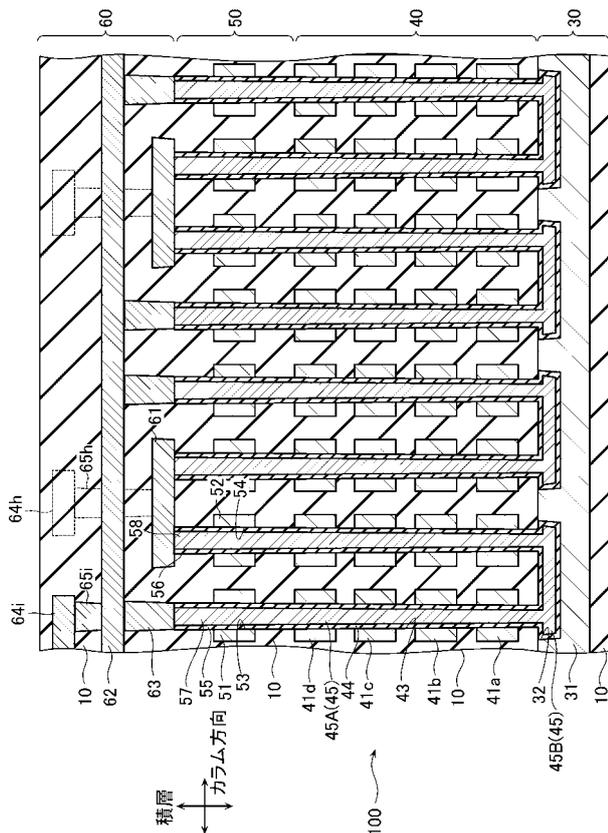
【 図 1 】



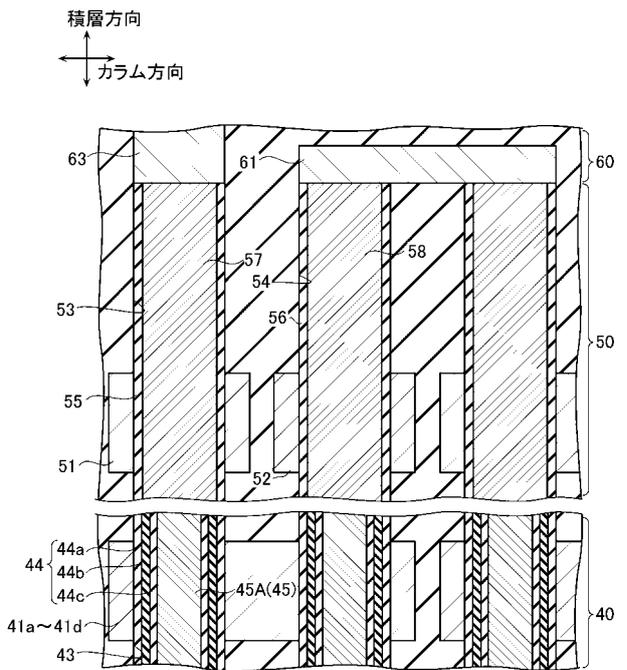
【 図 2 】



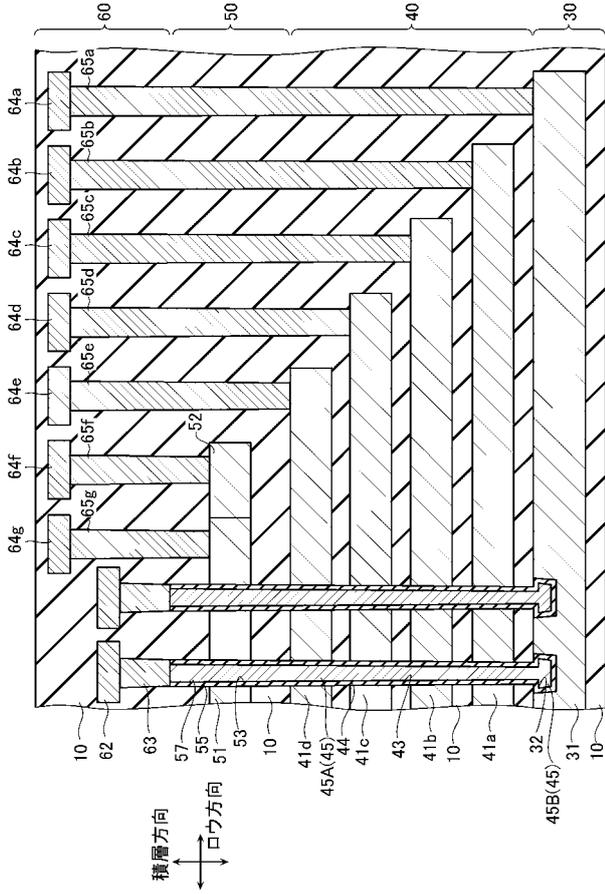
【 図 3 】



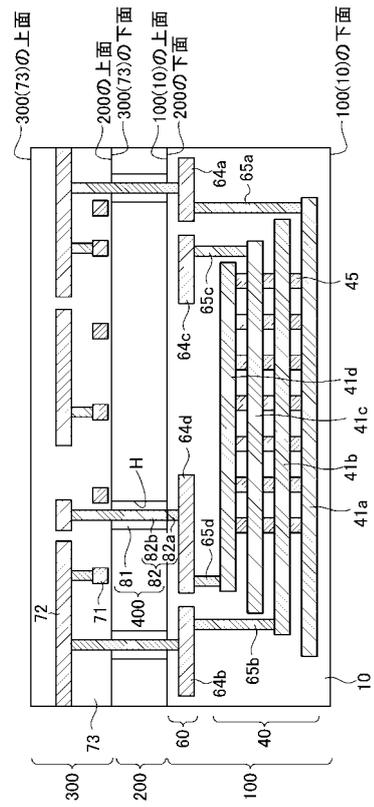
【 図 4 】



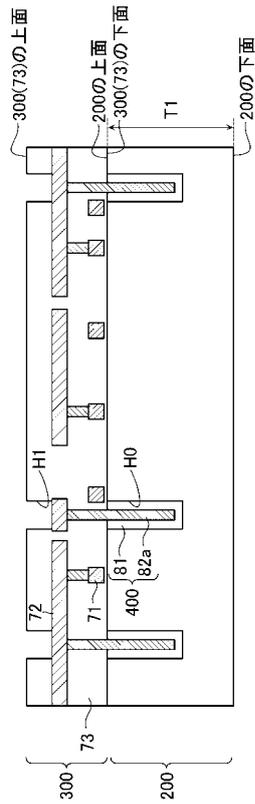
【図5】



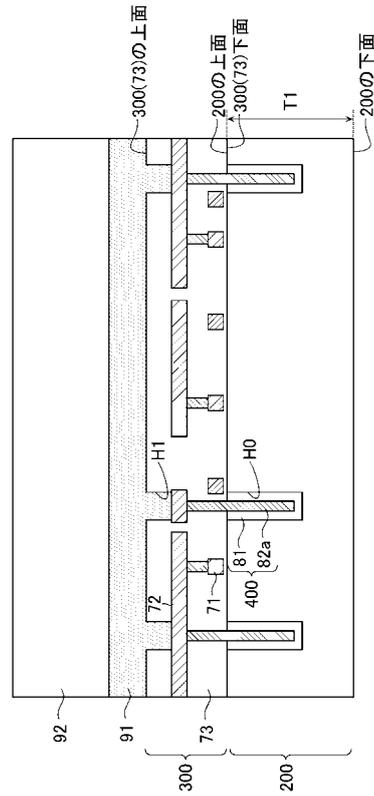
【図6】



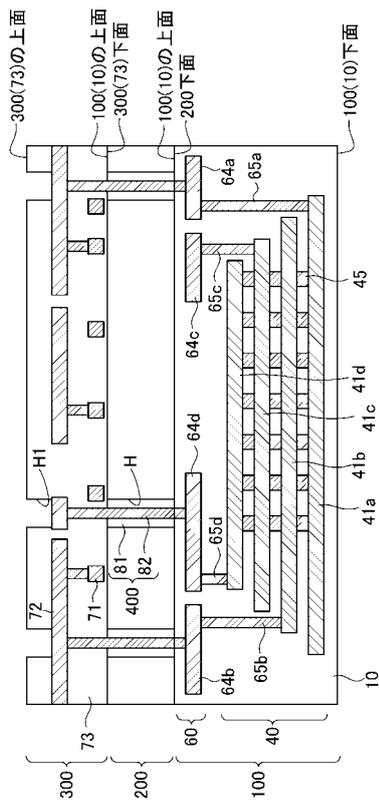
【図7A】



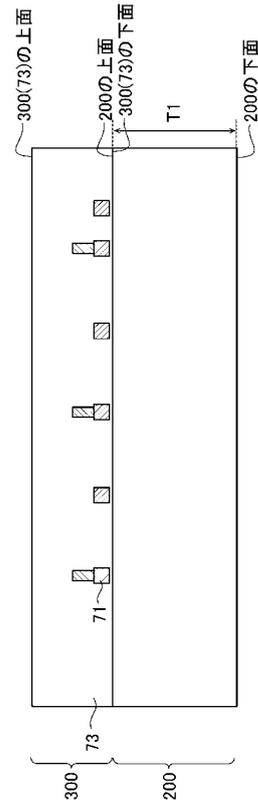
【図7B】



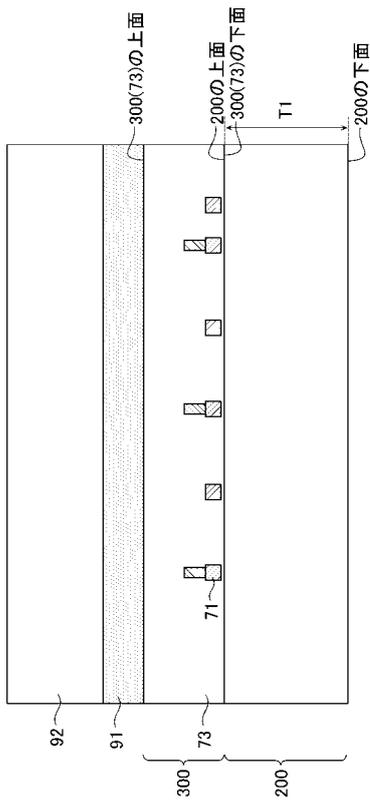
【図 7 G】



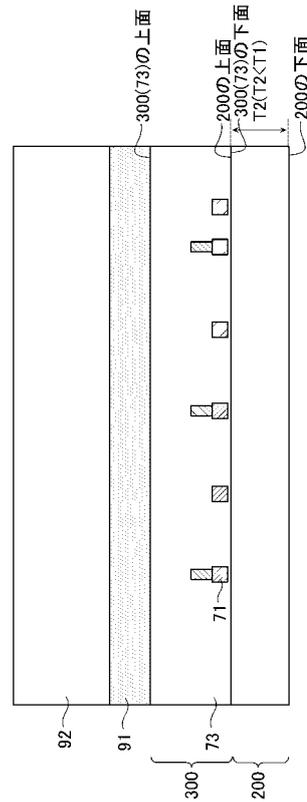
【図 8 A】



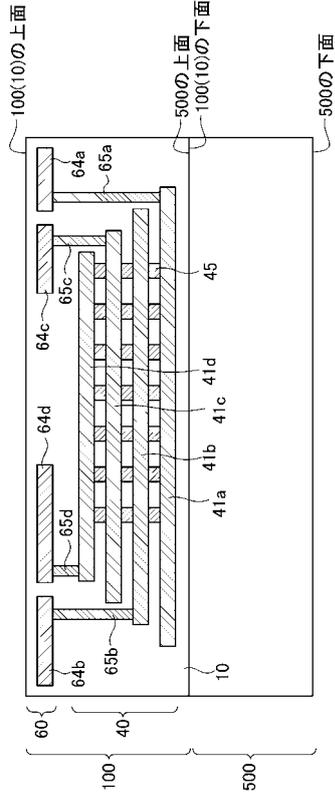
【図 8 B】



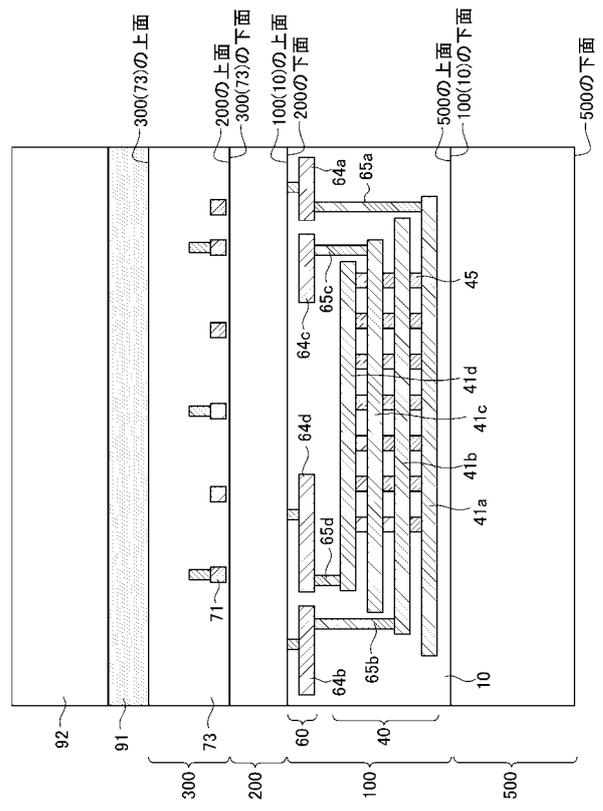
【図 8 C】



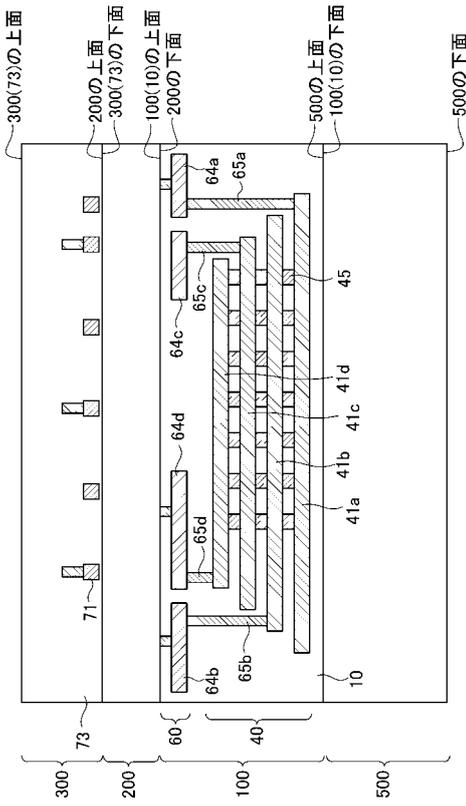
【 図 8 D 】



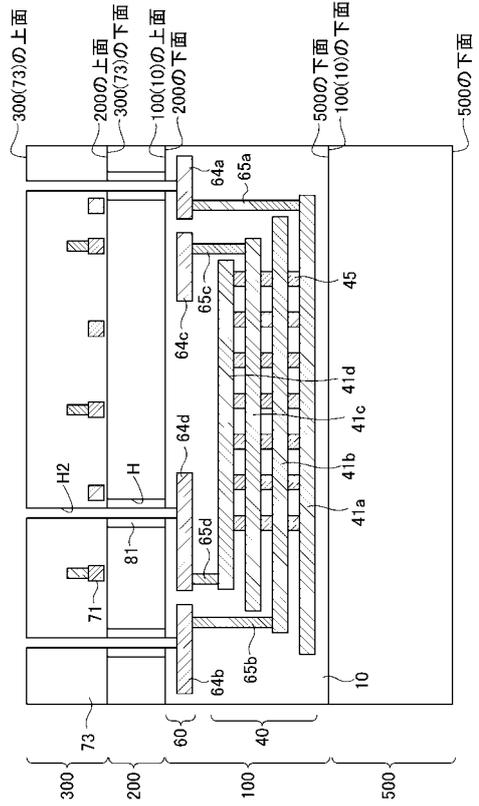
【 図 8 E 】



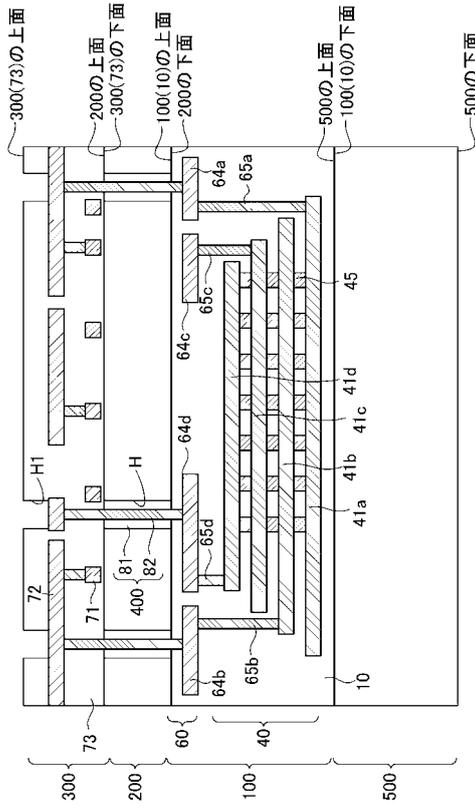
【 図 8 F 】



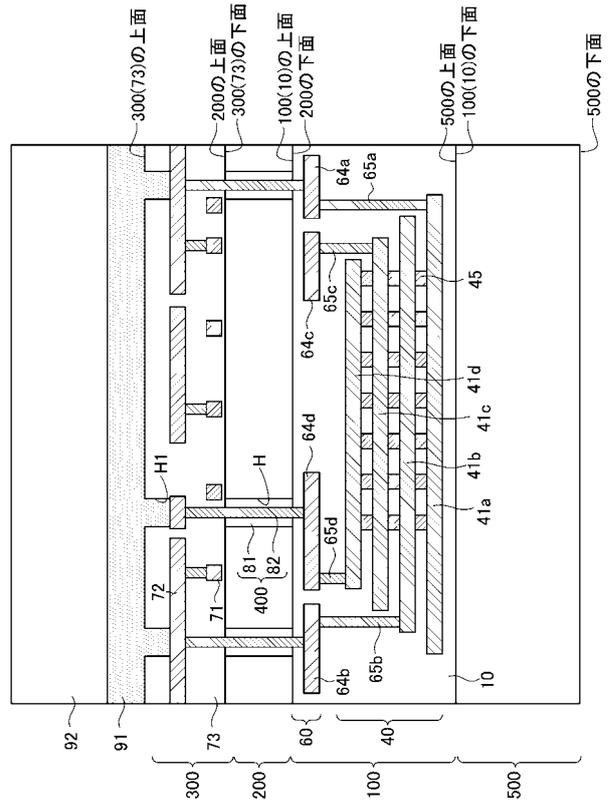
【 図 8 G 】



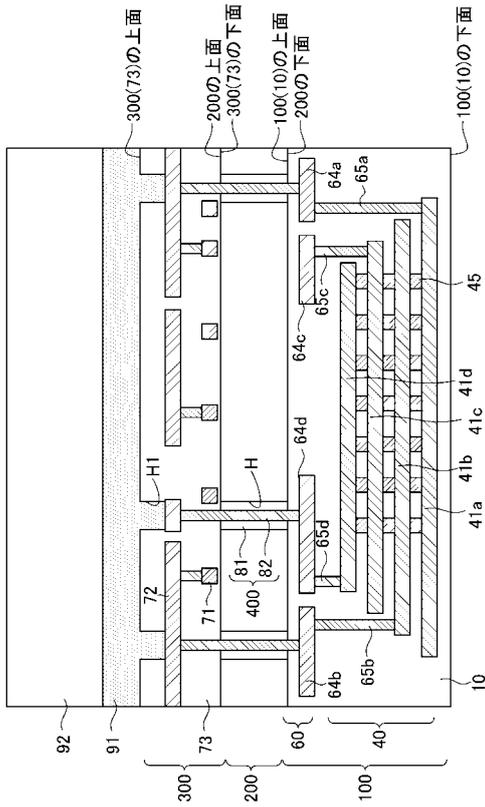
【 図 8 H 】



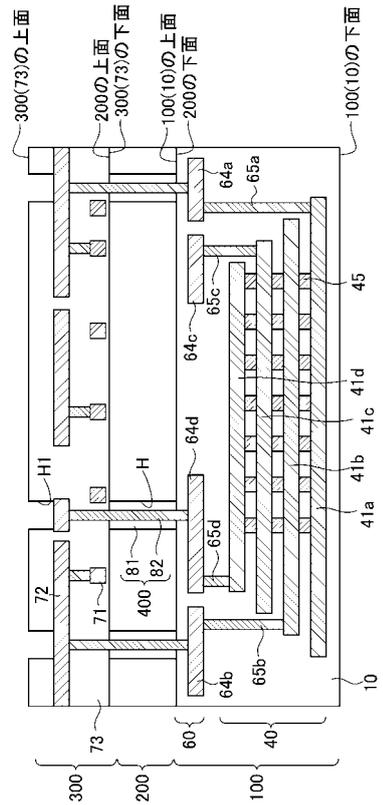
【 図 8 I 】



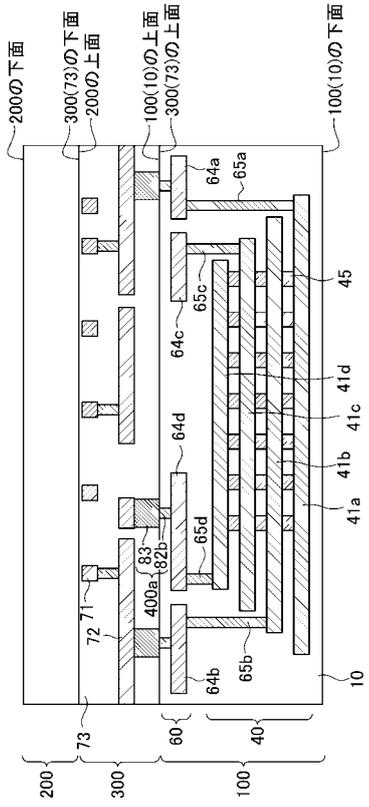
【 図 8 J 】



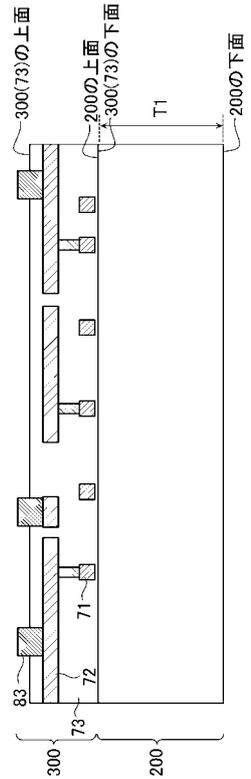
【 図 8 K 】



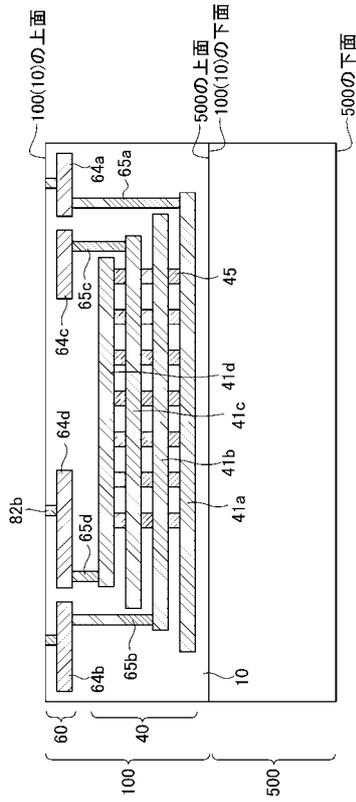
【図9】



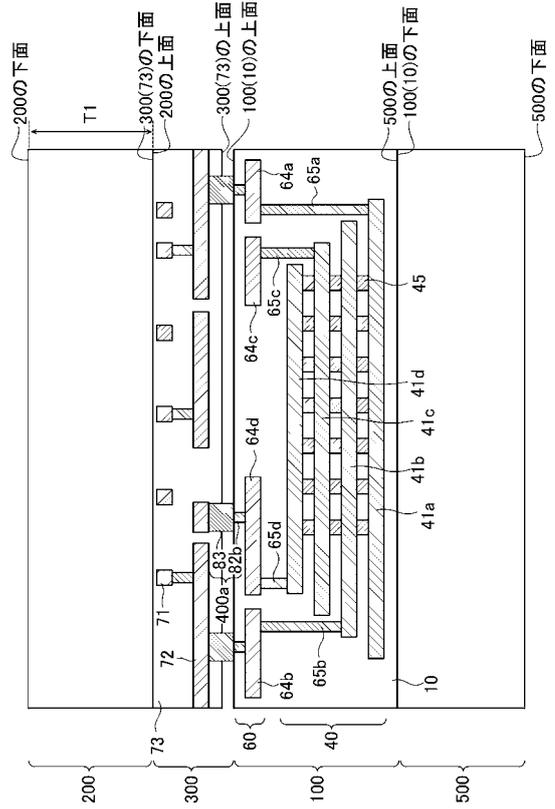
【図10A】



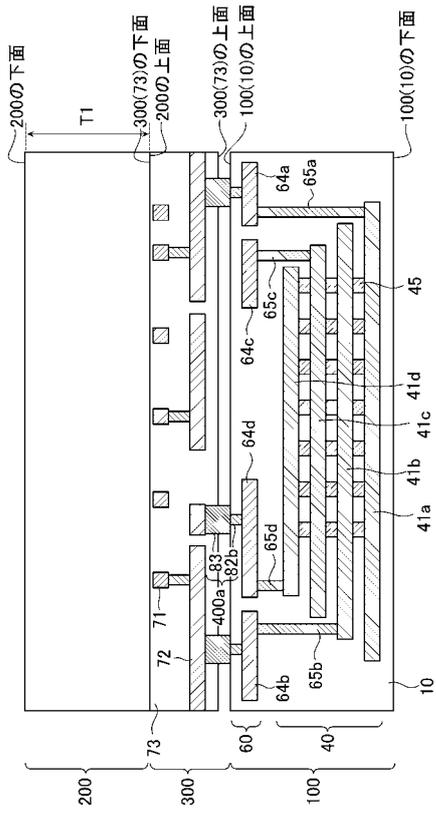
【図10B】



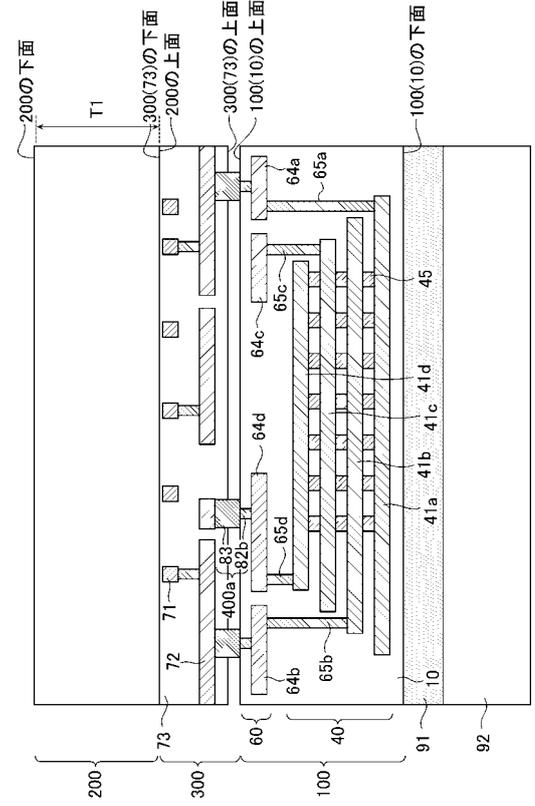
【図10C】



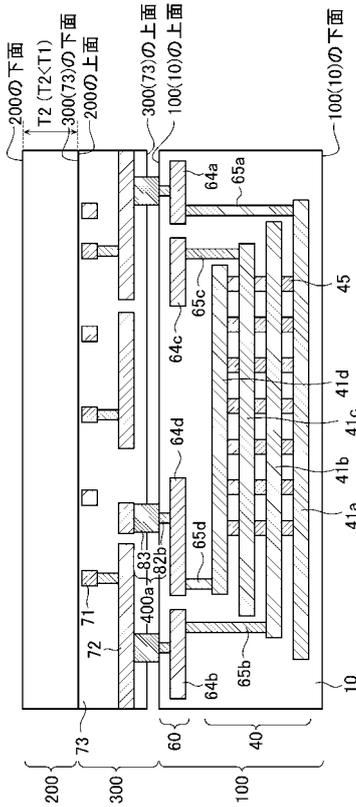
【図10D】



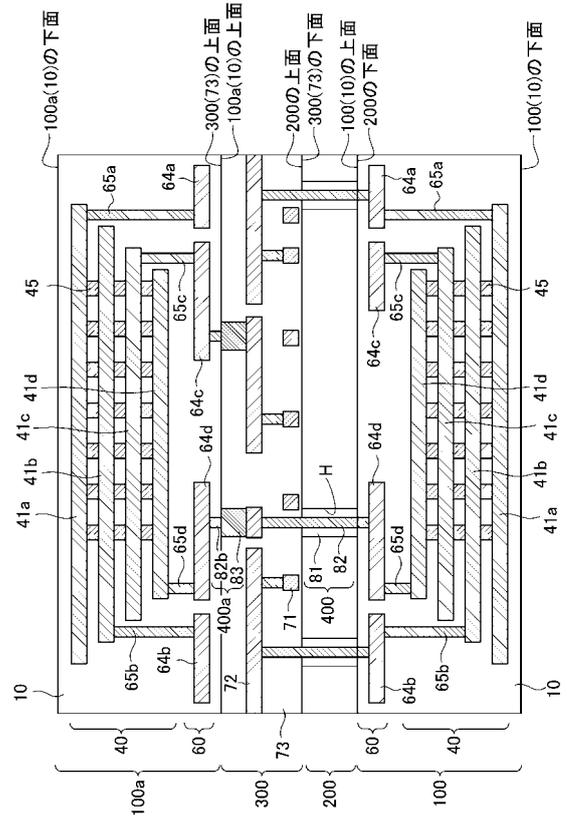
【図10E】



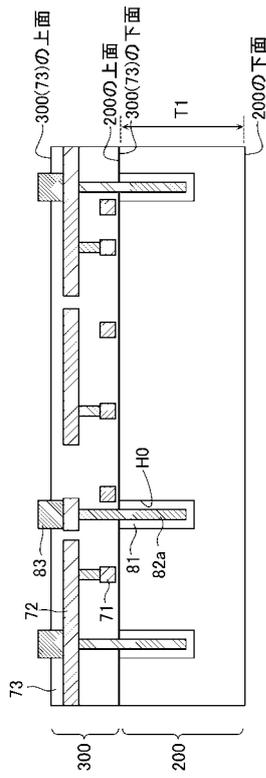
【図10F】



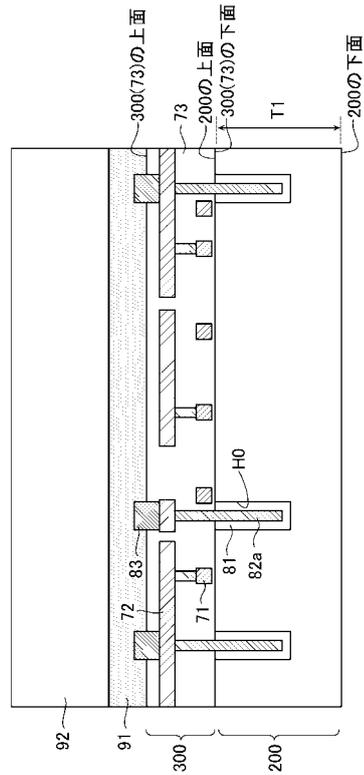
【図11】



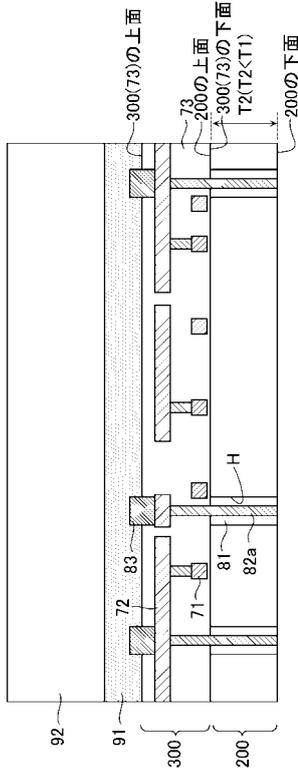
【 図 1 2 A 】



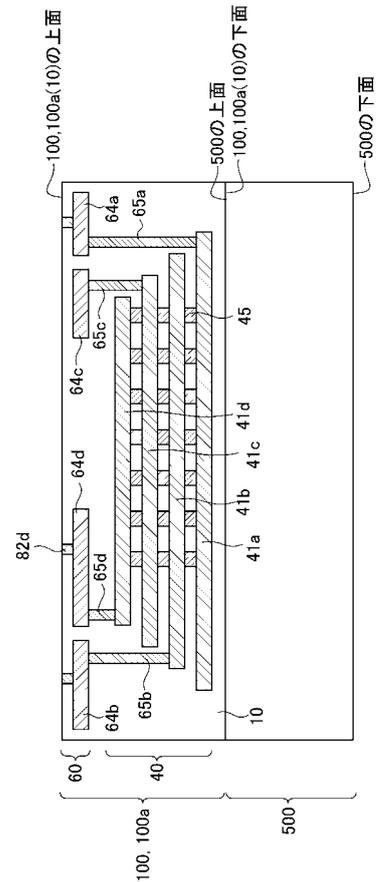
【 図 1 2 B 】



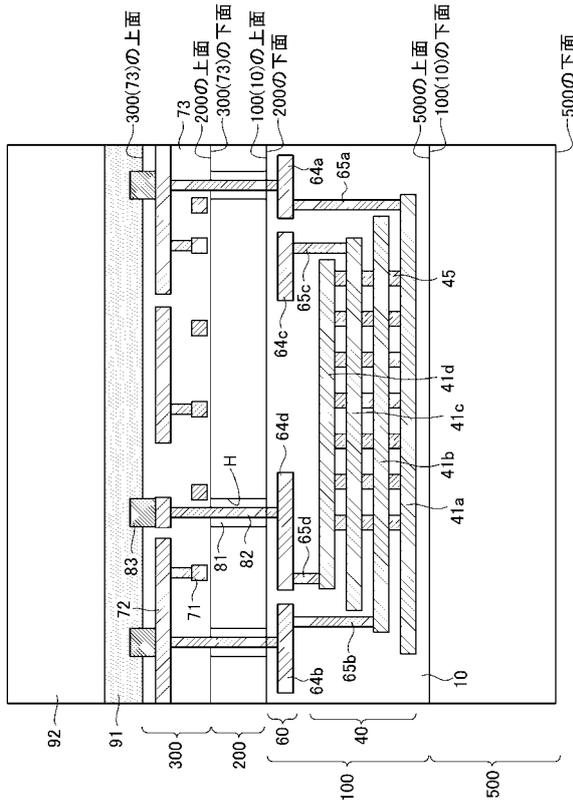
【 図 1 2 C 】



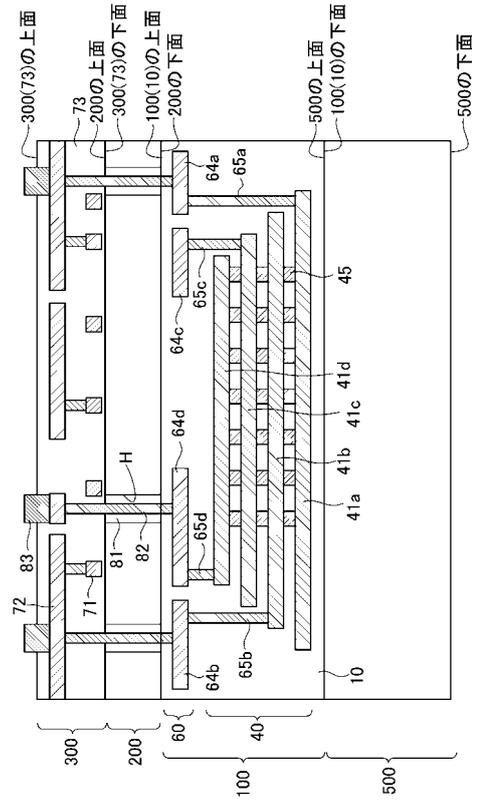
【 図 1 2 D 】



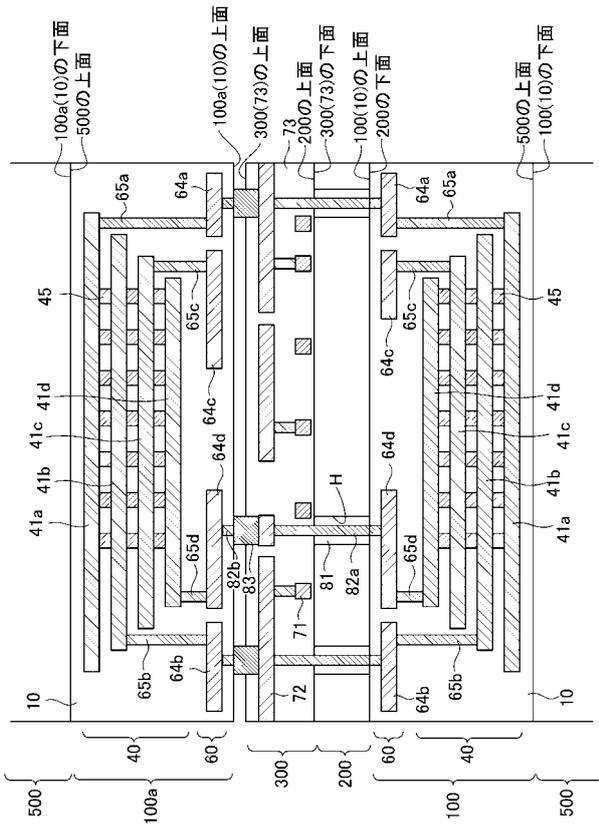
【図 1 2 E】



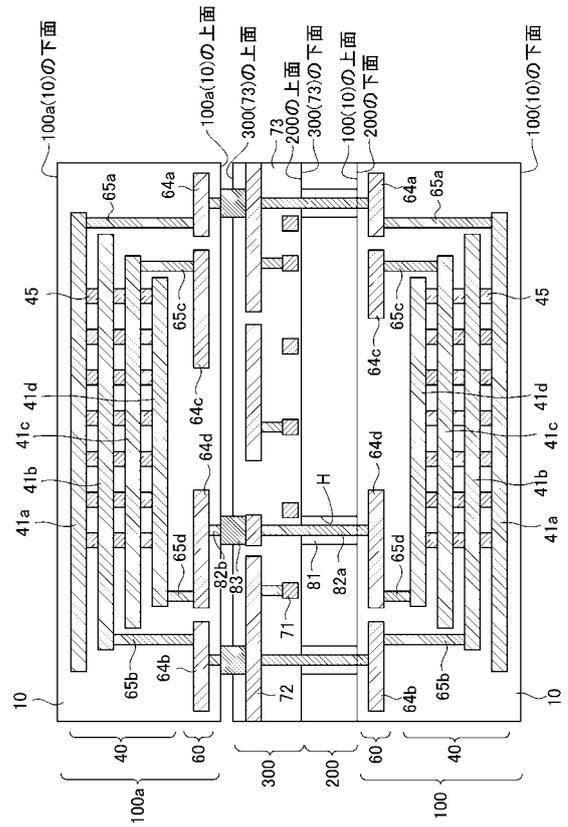
【図 1 2 F】



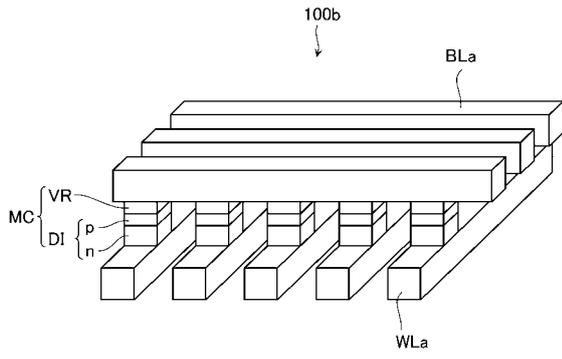
【図 1 2 G】



【図 1 2 H】



【 図 1 3 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H O 1 L 25/07 (2006.01)
H O 1 L 25/18 (2006.01)

(72)発明者 杉崎 吉昭

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F083 EP18 EP22 EP30 EP33 EP34 EP48 EP49 EP76 GA10 HA02
JA04 JA37 JA39 LA02 MA06 MA16 MA20 PR40 ZA23
5F101 BA45 BB02 BD16 BD22 BD30 BD34