

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-278578  
(P2006-278578A)

(43) 公開日 平成18年10月12日(2006.10.12)

(51) Int. Cl.

H01S 5/40 (2006.01)

F I

H01S 5/40

テーマコード(参考)

5F173

審査請求 未請求 請求項の数 12 O L (全 37 頁)

(21) 出願番号 特願2005-93234(P2005-93234)  
(22) 出願日 平成17年3月28日(2005.3.28)

(71) 出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号  
(74) 代理人 100098305  
弁理士 福島 祥人  
(72) 発明者 伊豆 博昭  
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内  
(72) 発明者 山口 勤  
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内  
(72) 発明者 太田 潔  
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

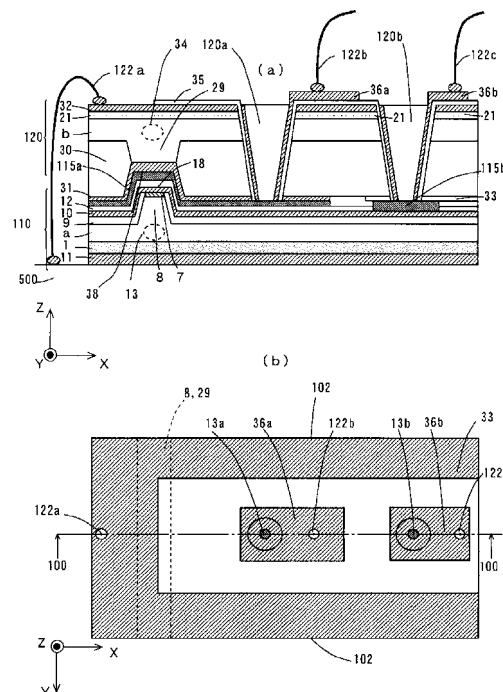
(54) 【発明の名称】 集積型半導体レーザ素子およびその製造方法

(57) 【要約】

【課題】 レーザ光の特性が向上されるとともに、光軸調整にかかるコストが低減されかつ電圧の印加方法の自由度が高い集積型半導体レーザ素子を提供する。

【解決手段】 この集積型半導体レーザ素子は、発光点13を含むとともに位置合わせ用の凸部18を有する青紫色レーザ素子110と、発光点34を含むとともに位置合わせ用の凹部38を有する赤色レーザ素子120とを備えている。青紫色レーザ素子110のp側電極10と赤色レーザ素子120のp側電極31との間に絶縁膜12および半田層115aを介した状態で、青紫色レーザ素子110の位置合わせ用の凸部18と赤色レーザ素子120の位置合わせ用の凹部38とが嵌合される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 の半導体レーザ素子と、

前記第 1 の半導体レーザ素子上に絶縁膜を介して積層された第 2 の半導体レーザ素子とを備え、

前記第 1 の半導体レーザ素子は、第 1 の基板と、前記第 1 の基板の一面上に形成されるとともに第 1 の波長のレーザ光を出射する第 1 の発光点を有する第 1 の半導体層と、前記第 1 の基板の他面上に形成された第 1 の電極と、前記第 1 の半導体層上に形成された第 2 の電極とを含み、

前記第 2 の半導体レーザ素子は、第 2 の基板と、前記第 2 の基板の一面上に形成されるとともに第 2 の波長のレーザ光を出射する第 2 の発光点を有する第 2 の半導体層と、前記第 2 の基板の他面上に形成された第 3 の電極と、前記第 2 の半導体層上に形成された第 4 の電極とを含み、

前記第 1 の半導体レーザ素子は、前記第 1 の半導体層側に凸部および凹部の一方を有し、前記第 2 の半導体レーザ素子は、前記第 2 の半導体層側に凹部および凸部の他方を有し、

前記絶縁膜が前記第 1 の半導体レーザ素子の前記第 2 の電極と前記第 2 の半導体レーザ素子の前記第 4 の電極との間に配置されるとともに、前記第 1 の半導体レーザ素子の凸部および凹部の一方が前記第 2 の半導体レーザ素子の凹部および凸部の他方に嵌合されたことを特徴とする集積型半導体レーザ素子。

10

20

## 【請求項 2】

前記第 2 の半導体レーザ素子は、第 1 および第 2 の貫通孔を有し、

前記第 2 の電極から前記第 1 の貫通孔を通して前記第 2 の基板の前記他面上に延びる第 1 の取り出し電極と、

前記第 4 の電極から前記第 2 の貫通孔を通して前記第 2 の基板の前記他面上に延びる第 2 の取り出し電極とをさらに備えたことを特徴とする請求項 1 記載の集積型半導体レーザ素子。

## 【請求項 3】

前記第 1 の発光点と前記第 2 の発光点とが前記第 1 の基板の一面に垂直な方向の線上に位置するように前記凸部および凹部が設けられたことを特徴とする請求項 1 または 2 記載の集積型半導体レーザ素子。

30

## 【請求項 4】

前記凸部および凹部は、前記第 1 または第 2 の波長のレーザ光の出射方向に平行に延びるように形成されたことを特徴とする請求項 1 ~ 3 のいずれかに記載の集積型半導体レーザ素子。

## 【請求項 5】

前記第 1 の半導体層は、第 1 のクラッド層、第 1 の活性層および第 2 のクラッド層を順に含み、前記第 2 のクラッド層は、平坦部とその平坦部上にストライプ状に延びるリッジ部とを有し、

前記第 2 の半導体層は、第 3 のクラッド層、第 2 の活性層および第 4 のクラッド層を順に含み、前記第 4 のクラッド層は、平坦部とその平坦部上にストライプ状に延びるリッジ部とを有し、

40

前記凸部および凹部の一方は、前記第 2 のクラッド層の前記リッジ部上に設けられ、前記凹部および凸部の他方は、前記第 4 のクラッド層の前記リッジ部上に設けられたことを特徴とする請求項 1 ~ 4 のいずれかに記載の集積型半導体レーザ素子。

## 【請求項 6】

前記第 1 の半導体レーザ素子は第 1 および第 2 の領域を有し、

前記第 2 の半導体レーザ素子は、前記第 1 の半導体レーザ素子の前記第 1 の領域上に積層され、

前記第 1 の半導体レーザ素子の前記第 2 の領域上に前記絶縁膜を介して積層された第 3

50

の半導体レーザ素子をさらに備え、

前記第3の半導体レーザ素子は、第3の基板と、前記第3の基板の一面上に形成されるとともに第3の波長のレーザ光を出射する第3の発光点を有する第3の半導体層と、前記第3の基板の他面上に形成された第5の電極と、前記第3の半導体層上に形成された第6の電極とを含むことを特徴とする請求項1記載の集積型半導体レーザ素子。

【請求項7】

前記第3の半導体レーザ素子は、第3の貫通孔を有し、

前記第6の電極から前記第3の貫通孔を通して前記第2の基板の前記他面上に延びる第3の取り出し電極をさらに備えたことを特徴とする請求項6記載の集積型半導体レーザ素子。

10

【請求項8】

前記第2の基板と前記第3の基板とは共通基板であることを特徴とする請求項6または7記載の集積型半導体レーザ素子。

【請求項9】

第1の半導体レーザ素子を形成する工程と、

第2の半導体レーザ素子を形成する工程と、

前記第1の半導体レーザ素子上に絶縁膜を介して前記第2の半導体レーザ素子を積層する工程とを備え、

前記第1の半導体レーザ素子を形成する工程は、

第1の基板の一面上に、第1の波長のレーザ光を出射する第1の発光点を有する第1の半導体層を形成する工程と、

20

前記第1の半導体層に凸部および凹部の一方を形成する工程と、

前記第1の基板の他面上および前記第1の半導体層上にそれぞれ第1および第2の電極を形成する工程とを含み、

前記第2の半導体レーザ素子を形成する工程は、

第2の基板の一面上に、第2の波長のレーザ光を出射する第2の発光点を有する第2の半導体層を形成する工程と、

前記第2の半導体層に凹部および凸部の他方を形成する工程と、

前記第2の基板の他面上および前記第2の半導体層上にそれぞれ第3および第4の電極を形成する工程とを含み、

30

前記第1の半導体レーザ素子上に絶縁膜を介して第2の半導体レーザ素子を積層する工程は、

前記絶縁膜が前記第1の半導体レーザ素子の前記第2の電極と前記第2の半導体レーザ素子の前記第4の電極との間に配置されるように前記第1の半導体レーザ素子の凸部および凹部の一方を前記第2の半導体レーザ素子の凹部および凸部の他方に嵌合させる工程を含むことを特徴とする集積型半導体レーザ素子の製造方法。

【請求項10】

前記第1の半導体レーザ素子の凸部および凹部の一方を前記第2の半導体レーザ素子の凹部および凸部の他方に嵌合させた状態で、前記第1の半導体レーザ素子と前記第2の半導体レーザ素子とを同時に劈開する工程をさらに含むことを特徴とする請求項9記載の集積型半導体レーザ素子の製造方法。

40

【請求項11】

第3の半導体レーザ素子を形成する工程をさらに備え、

前記第2の半導体層を形成する工程は、

前記第2の基板の前記一面の第1の領域に前記第2の半導体層を形成する工程を含み、

前記第3の半導体レーザ素子を形成する工程は、

前記第2の基板の前記一面の第2の領域に、第3の波長のレーザ光を出射する第3の発光点を有する第3の半導体層を形成する工程と、

前記第3の半導体層と反対側における前記第2の基板の領域上および前記第3の半導体層上にそれぞれ第5および第6の電極を形成する工程とを含むことを特徴とする請求項9

50

記載の集積型半導体レーザ素子の製造方法。

【請求項 1 2】

前記第 1 の半導体レーザ素子の凸部および凹部の一方を前記第 2 の半導体レーザ素子の凹部および凸部の他方に嵌合させた状態で、前記第 1 の半導体レーザ素子、前記第 2 の半導体レーザ素子および前記第 3 の半導体レーザ素子を同時に劈開する工程をさらに含むことを特徴とする請求項 1 1 記載の集積型半導体レーザ素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の半導体レーザ素子を備えた集積型半導体レーザ素子およびその製造方法に関する。 10

【背景技術】

【0002】

従来、複数の半導体レーザ素子が半導体層の積層方向に集積された集積型半導体レーザ素子が知られている（たとえば、特許文献 1 参照）。

【0003】

図 25 は、従来集積型半導体レーザ素子の構造を示した斜視図である。図 25 に示すように、従来集積型半導体レーザ素子では、第 1 の半導体レーザ素子 310 と第 2 の半導体レーザ素子 320 とが半導体層の積層方向（垂直方向）に集積されている。

【0004】

第 1 の半導体レーザ素子 310 を構成する半導体素子層 311 には、リッジ部 312 と凹部 313 とが形成されている。このリッジ部 312 と凹部 313 とは、水平方向に所定の間隔を隔てて配置されている。そして、半導体素子層 311 のリッジ部 312 近傍の領域が、第 1 の半導体レーザ素子 310 の発光点 314 となる。また、第 2 の半導体レーザ素子 320 を構成する半導体素子層 321 には、リッジ部 322 と凹部 323 とが形成されている。このリッジ部 322 と凹部 323 とは、水平方向に所定の間隔を隔てて配置されている。そして、半導体素子層 321 のリッジ部 322 近傍の領域が、第 2 の半導体レーザ素子 320 の発光点 324 となる。 20

【0005】

また、第 1 の半導体レーザ素子 310 と第 2 の半導体レーザ素子 320 とは、接合層 315, 325 を介して貼り合わされている。具体的には、第 1 の半導体レーザ素子 310 のリッジ部 312 と第 2 の半導体レーザ素子 320 の凹部 323 とが対向するように、かつ、第 2 の半導体レーザ素子 320 のリッジ部 322 と第 1 の半導体レーザ素子 310 の凹部 313 とが対向するように第 1 の半導体レーザ素子 310 上に第 2 の半導体レーザ素子 320 が貼り合わされている。 30

【特許文献 1】特開 2002 - 299739 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、図 25 に示した従来集積型半導体レーザ素子において、第 1 の半導体レーザ素子 310 および第 2 の半導体レーザ素子 320 のリッジ部 312 およびリッジ部 322 は、第 2 の半導体レーザ素子 320 および第 1 の半導体レーザ素子 310 の凹部 323 および凹部 313 にそれぞれ嵌め込まれていない。このため、第 1 の半導体レーザ素子 310 と第 2 の半導体レーザ素子 320 とを貼り合わせる際に、第 1 の半導体レーザ素子 310 と第 2 の半導体レーザ素子 320 とが水平方向に動くことを抑制するのが困難である。 40

【0007】

これにより、第 1 の半導体レーザ素子 310 および第 2 の半導体レーザ素子 320 の劈開方向が互いに一致していない状態で、第 1 の半導体レーザ素子 310 と第 2 の半導体レーザ素子 320 とが貼り合わされる場合がある。この場合、第 1 の半導体レーザ素子 31 50

0 および第2の半導体レーザ素子320の共振器端面(光出射面)を劈開により同時に形成する際の劈開性が低下する。その結果、共振器端面(光出射面)から出射されるレーザ光の特性が低下する。

【0008】

また、図25に示した従来の集積型半導体レーザ素子において、第1の半導体レーザ素子310の発光点314と第2の半導体レーザ素子320の発光点324とは、水平方向に所定の間隔を隔てて配置されているとともに、半導体層の積層方向にも所定の間隔を隔てて配置されている。すなわち、第1の半導体レーザ素子310の発光点314と第2の半導体レーザ素子320の発光点324とは、水平方向および積層方向の2方向において離間している。このため、発光点314と発光領域324との間隔が大きくなる。このように、発光点314と発光点324との間隔が大きくなる場合には、集積型半導体レーザ素子の出射光を光学系(レンズおよびミラー等)に入射させて使用する場合に、発光点314および324の一方から出射される光が光学系の所定領域に入射するように光軸を調整したとしても、発光点314および324の他方から出射される光が光学系の所定領域から外れた領域に入射する場合がある。その結果、光学系に対する出射光の光軸調整が困難になるので、光軸調整にかかるコストが増大する。

10

【0009】

一方、複数の半導体レーザ素子が積層された集積型半導体レーザ素子では、複数の半導体レーザ素子の電極への電圧の印加方法に制限があると、集積型半導体レーザ素子の使用方法が制限される。そのため、集積型半導体レーザ素子では、複数の半導体レーザ素子の電極への電圧の印加方法の自由度が高いことが望まれる。

20

【0010】

本発明の目的は、レーザ光の特性が向上されるとともに、光軸調整にかかるコストが低減されかつ電圧の印加方法の自由度が高い集積型半導体レーザ素子を提供することである。

【課題を解決するための手段】

【0011】

(1)

第1の発明に係る集積型半導体レーザ素子は、第1の半導体レーザ素子と、第1の半導体レーザ素子上に絶縁膜を介して積層された第2の半導体レーザ素子とを備え、第1の半導体レーザ素子は、第1の基板と、第1の基板の一面上に形成されるとともに第1の波長のレーザ光を出射する第1の発光点を有する第1の半導体層と、第1の基板の他面上に形成された第1の電極と、第1の半導体層上に形成された第2の電極とを含み、第2の半導体レーザ素子は、第2の基板と、第2の基板の一面上に形成されるとともに第2の波長のレーザ光を出射する第2の発光点を有する第2の半導体層と、第2の基板の他面上に形成された第3の電極と、第2の半導体層上に形成された第4の電極とを含み、第1の半導体レーザ素子は、第1の半導体層側に凸部および凹部の一方を有し、第2の半導体レーザ素子は、第2の半導体層側に凹部および凸部の他方を有し、絶縁膜が第1の半導体レーザ素子の第2の電極と第2の半導体レーザ素子の第4の電極との間に配置されるとともに、第1の半導体レーザ素子の凸部および凹部の一方が第2の半導体レーザ素子の凹部および凸部の他方に嵌合されたものである。

30

40

【0012】

この集積型半導体レーザ素子においては、第1の半導体レーザ素子は、第1の半導体層側に凸部および凹部の一方を有し、第2の半導体レーザ素子は、第2の半導体層側に凹部および凸部の他方を有し、第1の半導体レーザ素子の凸部および凹部の一方が第2の半導体レーザ素子の凹部および凸部の他方に嵌合される。

【0013】

それにより、第1の半導体層の第1の発光点と第2の半導体層の第2の発光点との間隔が小さくなる。また、第1の半導体レーザ素子と第2の半導体レーザ素子とを積層する際の第1および第2の半導体レーザ素子の水平方向(第1の基板の一面上に平行な方向)への

50

位置ずれを防止することができる。これにより、第1半導体レーザ素子からの出射光の光軸と第2の半導体レーザ素子からの出射光の光軸とが水平方向にずれを防止することができるので、集積型半導体レーザ素子の出射光を光学系（レンズおよびミラー等）に入射させて使用する際に光学系に対する出射光の光軸調整が容易になる。その結果、光軸調整にかかるコストを低減することができる。

【0014】

さらに、絶縁膜が第1の半導体レーザ素子の第2の電極と第2の半導体レーザ素子の第4の電極との間に配置されるので、第2の電極と第4の電極とが電氣的に分離される。これにより、第1および第3の電極を共通電極として第2および第4の電極にそれぞれ任意の電圧を印加することができる。また、第2および第4の電極を共通電極として第1および第3の電極にそれぞれ任意の電圧を印加することもできる。さらに、第1、第2、第3および第4の電極を任意の態様で接続することもできる。また、第1、第2、第3および第4の電極にそれぞれ任意の電圧を印加することもできる。このように、第1の半導体レーザ素子および第2の半導体レーザ素子への電圧の印加方法の自由度が高くなる。その結果、集積型半導体レーザ素子の使用方法が多様化される。

10

【0015】

(2)

第2の半導体レーザ素子は、第1および第2の貫通孔を有し、第2の電極から第1の貫通孔を通して第2の基板の他面上に延びる第1の取り出し電極と、第4の電極から第2の貫通孔を通して第2の基板の他面上に延びる第2の取り出し電極とをさらに備えてもよい。

20

【0016】

この場合、第2および第4の電極は第1の半導体レーザ素子と第2の半導体レーザ素子との間に配置されている。第1および第2の取り出し電極がそれぞれ第1および第2の電極から第1および第2の貫通孔を通してそれぞれ第2の基板の他面に延びるので、第2の基板の他面上から第2および第4の電極へ容易に電氣的接続を取ることができる。その結果、第1の半導体レーザ素子の第2の電極および第2の半導体レーザ素子の第4の電極に容易に電圧を印加することができる。

【0017】

(3)

第1の発光点と第2の発光点とが第1の基板の一面に垂直な方向の線上に位置するように凸部および凹部が設けられてもよい。

30

【0018】

これにより、第1の発光点と第2の発光点との間隔が最小となる。したがって、第1の半導体レーザ素子の第1の発光点からの出射光の光軸と第2の半導体レーザ素子の第2の発光点からの出射光の光軸とのずれが小さくなり、光学系に対する出射光の光軸調整が容易になる。その結果、光軸調整にかかるコストをより低減することができる。

【0019】

(4)

凸部および凹部は、第1または第2の波長のレーザ光の出射方向に平行に延びるように形成されてもよい。

40

【0020】

これにより、凸部と凹部とが嵌合する領域が長くなる。その結果、第1の半導体レーザ素子および第2の半導体レーザ素子の水平方向への位置ずれを確実に防止することができる。

【0021】

(5)

第1の半導体層は、第1のクラッド層、第1の活性層および第2のクラッド層を順に含み、第2のクラッド層は、平坦部とその平坦部上にストライプ状に延びるリッジ部とを有し、第2の半導体層は、第3のクラッド層、第2の活性層および第4のクラッド層を順に

50

含み、第4のクラッド層は、平坦部とその平坦部上にストライプ状に延びるリッジ部とを有し、凸部および凹部の一方は、第2のクラッド層のリッジ部に設けられ、凹部および凸部の他方は、第4のクラッド層のリッジ部に設けられてもよい。

【0022】

第1の発光点は第1の半導体レーザ素子のリッジ部近傍の第1の活性層の位置に形成され、第2の発光点は第2の半導体レーザ素子のリッジ部近傍の第2の活性層の位置に形成される。それにより、第1の発光点は凸部および凹部の一方の近傍に位置し、第2の発光点は凹部および凸部の他方の近傍に位置する。したがって、凸部と凹部とが嵌合することにより、第1の発光点と第2の発光点との間隔がより小さくなる。

【0023】

(6)

第1の半導体レーザ素子は第1および第2の領域を有し、第2の半導体レーザ素子は、第1の半導体レーザ素子の第1の領域上に積層され、第1の半導体レーザ素子の第2の領域上に絶縁膜を介して積層された第3の半導体レーザ素子をさらに備え、第3の半導体レーザ素子は、第3の基板と、第3の基板の一面上に形成されるとともに第3の波長のレーザ光を出射する第3の発光点を有する第3の半導体層と、第3の基板の他面上に形成された第5の電極と、第3の半導体層上に形成された第6の電極とを含んでもよい。

【0024】

この場合、第2の半導体レーザ素子および第3の半導体レーザ素子がそれぞれ第1の半導体レーザ素子上に積層された構造の集積型半導体レーザ素子が形成される。これにより、集積型半導体レーザ素子から第1、第2および第3の波長のレーザ光を出射することができる。

【0025】

さらに、第1の半導体レーザ素子上に絶縁膜を介して第2および第3の半導体レーザ素子が積層されるので、第2、第4および第6の電極が電氣的に分離される。これにより、第1、第3および第5の電極を共通電極として第2、第4および第6の電極に任意の電圧を印加することができる。また、第2、第4および第6の電極を共通電極として第1、第3および第5の電極に任意の電圧を印加することもできる。さらに、第1、第2、第3、第4、第5および第6の電極を任意の態様で接続することもできる。また、第1、第2、第3、第4、第5および第6の電極にそれぞれ任意の電圧を印加することもできる。このように、第1、第2および第3の半導体レーザ素子への電圧の印加方法の自由度が高くなる。その結果、集積型半導体レーザ装置の使用方法が多様化される。

【0026】

(7)

第3の半導体レーザ素子は、第3の貫通孔を有し、第6の電極から第3の貫通孔を通して第3の基板の他面上に延びる第3の取り出し電極をさらに備えてもよい。

【0027】

この場合、第6の電極は第1の半導体レーザ素子と第3の半導体レーザ素子との間に配置されている。第3の取り出し電極が第6の電極から第3の貫通孔を通して第3の基板の他面に延びるので、第3の基板の他面上から第6の電極へ容易に電氣的接続を取ることができる。その結果、第3の半導体レーザ素子の第6の電極に容易に電圧を印加することができる。

【0028】

(8)

第2の基板と第3の基板とは共通基板であってもよい。この場合、共通基板により第2および第3の半導体レーザ素子が一体化される。これにより、第1の半導体レーザ素子の凸部および凹部の一方を第2の半導体レーザ素子の凹部および凸部の他方に嵌合させることにより、第1および第2の半導体レーザ素子の水平方向への位置ずれを防止することができる。とともに、第3の半導体レーザ素子の水平方向への位置ずれをも防止することができる。

10

20

30

40

50

## 【 0 0 2 9 】

( 9 )

第2の発明に係る集積型半導体レーザ素子の製造方法は、第1の半導体レーザ素子を形成する工程と、第2の半導体レーザ素子を形成する工程と、第1の半導体レーザ素子上に絶縁膜を介して第2の半導体レーザ素子を積層する工程とを備え、第1の半導体レーザ素子を形成する工程は、第1の基板の一面上に、第1の波長のレーザ光を出射する第1の発光点を有する第1の半導体層を形成する工程と、第1の半導体層に凸部および凹部の一方を形成する工程と、第1の基板の他面上および第1の半導体層上にそれぞれ第1および第2の電極を形成する工程とを含み、第2の半導体レーザ素子を形成する工程は、第2の基板の一面上に、第2の波長のレーザ光を出射する第2の発光点を有する第2の半導体層を形成する工程と、第2の半導体層に凹部および凸部の他方を形成する工程と、第2の基板の他面上および第2の半導体層上にそれぞれ第3および第4の電極を形成する工程とを含み、第1の半導体レーザ素子上に絶縁膜を介して第2の半導体レーザ素子を積層する工程は、絶縁膜が第1の半導体レーザ素子の第2の電極と第2の半導体レーザ素子の第4の電極との間に配置されるように第1の半導体レーザ素子の凸部および凹部の一方を第2の半導体レーザ素子の凹部および凸部の他方に嵌合させる工程を含むものである。

10

## 【 0 0 3 0 】

この集積型半導体レーザ素子の製造方法においては、第1の半導体レーザ素子の第1の半導体層側に凸部および凹部の一方が形成され、第2の半導体レーザ素子の第2の半導体層側に凹部および凸部の他方が形成され、第1の半導体レーザ素子の凸部および凹部の一方が第2の半導体レーザ素子の凹部および凸部の他方に嵌合される。

20

## 【 0 0 3 1 】

それにより、第1の半導体層の第1の発光点と第2の半導体層の第2の発光点との間隔が小さくなる。また、第1の半導体レーザ素子と第2の半導体レーザ素子とを積層する際の第1および第2の半導体レーザ素子の水平方向（第1の基板の一面に平行な方向）への位置ずれを防止することができる。これにより、第1半導体レーザ素子からの出射光の光軸と第2の半導体レーザ素子からの出射光の光軸とが水平方向にずれることを防止することができるので、集積型半導体レーザ素子の出射光を光学系（レンズおよびミラー等）に入射させて使用する際に光学系に対する出射光の光軸調整が容易になる。その結果、光軸調整にかかるコストを低減することができる。

30

## 【 0 0 3 2 】

また、第1の半導体レーザ素子と第2の半導体レーザ素子とを積層する際の第1の半導体レーザ素子および第2の半導体レーザ素子の水平方向の位置ずれを防止することができるので、第1の半導体レーザ素子および第2の半導体レーザ素子の共振器端面（光出射面）を劈開により形成する際に第1の半導体レーザ素子および第2の半導体レーザ素子の劈開方向が互いにずれるのを防止することができる。これにより、第1および第2の半導体レーザ素子の劈開性を向上させることができる。その結果、レーザ光の特性を向上させることができる。

## 【 0 0 3 3 】

さらに、絶縁膜が第1の半導体レーザ素子の第2の電極と第2の半導体レーザ素子の第4の電極との間に配置されるので、第2の電極と第4の電極とが電氣的に分離される。これにより、第1および第3の電極を共通電極として第2および第4の電極にそれぞれ任意の電圧を印加することができる。また、第2および第4の電極を共通電極として第1および第3の電極にそれぞれ任意の電圧を印加することもできる。さらに、第1、第2、第3および第4の電極を任意の態様で接続することもできる。また、第1、第2、第3および第4の電極にそれぞれ任意の電圧を印加することもできる。このように、第1の半導体レーザ素子および第2の半導体レーザ素子への電圧の印加方法の自由度が高くなる。その結果、集積型半導体レーザ装置の使用方法が多様化される。

40

## 【 0 0 3 4 】

( 1 0 )

50



集積型半導体レーザ素子の製造方法は、第1の半導体レーザ素子の凸部および凹部の一方を第2の半導体レーザ素子の凹部および凸部の他方に嵌合させた状態で、第1の半導体レーザ素子と第2の半導体レーザ素子とを同時に劈開する工程をさらに含んでもよい。

【0035】

これにより、第1の半導体レーザ素子と第2の半導体レーザ素子とを積層する際の第1の半導体レーザ素子および第2の半導体レーザ素子の水平方向の位置ずれを防止することができるので、第1の半導体レーザ素子および第2の半導体レーザ素子の共振器端面（光出射面）を劈開により形成する際に第1の半導体レーザ素子および第2の半導体レーザ素子の劈開方向が互いにずれるのを防止することができる。したがって、第1および第2の半導体レーザ素子の劈開性を向上させることができる。その結果、レーザ光の特性を向上させることができる。

10

【0036】

(11)

集積型半導体レーザ素子の製造方法は、第3の半導体レーザ素子を形成する工程をさらに備え、第2の半導体層を形成する工程は、第2の基板の一面の第1の領域に第2の半導体層を形成する工程を含み、第3の半導体レーザ素子を形成する工程は、第2の基板の一面の第2の領域に、第3の波長のレーザ光を出射する第3の発光点を有する第3の半導体層を形成する工程と、第3の半導体層と反対側における第2の基板の領域上および第3の半導体層上にそれぞれ第5および第6の電極を形成する工程とを含んでもよい。

【0037】

この場合、第2の半導体レーザ素子および第3の半導体レーザ素子がそれぞれ第1の半導体レーザ素子上に積層された構造の集積型半導体レーザ素子が形成される。これにより、集積型半導体レーザ素子から第1、第2および第3の波長のレーザ光を出射することができる。

20

【0038】

さらに、第2の基板上に第2の半導体レーザ素子および第3のレーザ素子が一体的に形成される。それにより、第1の半導体レーザ素子の凸部および凹部の一方を第2の半導体レーザ素子の凹部および凸部の他方に嵌合させることにより、第1および第2の半導体レーザ素子の水平方向への位置ずれを防止できるとともに、第3の半導体レーザ素子の水平方向への位置ずれをも防止することができる。

30

【0039】

さらに、第1の半導体レーザ素子上に絶縁膜を介して第2および第3の半導体レーザ素子が積層されるので、第2、第4および第6の電極が電氣的に分離される。これにより、第1、第3および第5の電極を共通電極として第2、第4および第6の電極に任意の電圧を印加することができる。また、第2、第4および第6の電極を共通電極として第1、第3および第5の電極に任意の電圧を印加することもできる。さらに、第1、第2、第3、第4、第5および第6の電極を任意の態様で接続することもできる。また、第1、第2、第3、第4、第5および第6の電極にそれぞれ任意の電圧を印加することもできる。このように、第1、第2および第3の半導体レーザ素子への電圧の印加方法の自由度が高くなる。その結果、集積型半導体レーザ装置の使用方法が多様化される。

40

【0040】

(12)

集積型半導体レーザ素子の製造方法は、第1の半導体レーザ素子の凸部および凹部の一方を第2の半導体レーザ素子の凹部および凸部の他方に嵌合させた状態で、第1の半導体レーザ素子、第2の半導体レーザ素子および第3の半導体レーザ素子を同時に劈開する工程をさらに含んでもよい。

【0041】

これにより、第1の半導体レーザ素子と第2および第3の半導体レーザ素子とを積層する際の第1の半導体レーザ素子と第2および第3の半導体レーザ素子との水平方向の位置ずれを防止することができるので、第1の半導体レーザ素子、第2の半導体レーザ素子お

50

よび第3の半導体レーザ素子の共振器端面（光出射面）を劈開により形成する際に第1、第2および第3の半導体レーザ素子の劈開方向が互いにずれるのを防止することができる。したがって、第1、第2および第3の半導体レーザ素子の劈開性を向上させることができる。その結果、レーザ光の特性を向上させることができる。

【発明の効果】

【0042】

本発明によれば、レーザ光の特性が向上されるとともに、光軸調整にかかるコストが低減されかつ電圧の印加方法の自由度が高くなる。

【発明を実施するための最良の形態】

【0043】

以下、本発明の実施の形態を図面に基づいて説明する。

【0044】

(1) 第1の実施の形態

(a) 集積型半導体レーザ素子の全体の概略構造

図1(a)は本発明の第1の実施の形態に係る集積型半導体レーザ素子の構造を示す概略断面図であり、図1(b)は図1(a)の上面を示す平面図である。図1(a)は図1(b)の100-100線断面図である。図1(a)および図1(b)を参照して、第1の実施の形態に係る集積型半導体レーザ素子の構造について説明する。

【0045】

図1において、後述するn型Ga<sub>0.9</sub>N基板1の表面に平行でかつ互いに直交する2方向をX方向およびY方向と定義し、X方向およびY方向に垂直な方向をZ方向と定義する。

【0046】

第1の実施の形態に係る集積型半導体レーザ素子は、図1(a)に示すように、位置合わせ用の凸部を有する青紫色のレーザ光を出射する半導体レーザ素子（以下、青紫色レーザ素子と呼ぶ）110と、位置合わせ用の凹部を有する赤色のレーザ光を出射する半導体レーザ素子（以下、赤色レーザ素子と呼ぶ）120とがZ方向に積層（集積化）された構造を有する。

【0047】

(b) 青紫色レーザ素子110の構造

まず、図1の青紫色レーザ素子110の構造について説明する。図2は図1の青紫色レーザ素子110の詳細断面図である。図2に示すように、n型Ga<sub>0.9</sub>N基板1上に、約2.5 μmの厚みを有するn型AlGa<sub>0.3</sub>Nからなるn型クラッド層2が形成されている。n型クラッド層2上には、約70 nmの厚みを有する活性層3が形成されている。この活性層3は、アンドープのInGa<sub>0.49</sub>Nからなる複数の井戸層と、アンドープのInGa<sub>0.49</sub>Nからなる複数の障壁層とが交互に積層されたMQW（多重量子井戸：Multiple Quantum Well）構造を有する。

【0048】

活性層3上には、約80 nmの厚みを有するアンドープのInGa<sub>0.49</sub>Nからなる光ガイド層4が形成されている。光ガイド層4上には、約20 nmの厚みを有するアンドープのAlGa<sub>0.3</sub>Nからなるキャップ層5が形成されている。

【0049】

キャップ層5上には、平坦部と、その上の凸部とを有するp型AlGa<sub>0.3</sub>Nからなるp型クラッド層6が形成されている。このp型クラッド層6の平坦部の厚みは、約50 nmであり、凸部の平坦部の上面からの高さは、約350 nmである。p型クラッド層6の凸部上には、約3 nmの厚みを有するp型InGa<sub>0.49</sub>Nからなるp型コンタクト層7が形成されている。このp型コンタクト層7とp型クラッド層6の凸部とによって、リッジ部8が構成されている。

【0050】

ここで、第1の実施の形態では、リッジ部8は、下端の幅よりも上端の幅が小さくなるようなテーパ形状の側面を有する。なお、リッジ部8の側面と活性層3の上面とがなす角

10

20

30

40

50

度 1 は、約  $70^\circ$  である。また、リッジ部 8 の上端の幅は、約  $1.5 \mu\text{m}$  である。また、リッジ部 8 は、図 1 ( b ) に示す光出射面 ( 劈開面 ) 1 0 2 と直交する方向 ( Y 方向 ) に延びるストライプ状 ( 細長状 ) に形成されている。

【 0 0 5 1 】

また、図 2 に示すように、リッジ部 8 の下方の活性層 3 の部分が、青紫色レーザ素子 1 1 0 の発光点 1 3 となる。

【 0 0 5 2 】

また、リッジ部 8 の側面および p 型クラッド層 6 の平坦部の上面を覆うように、約  $200 \text{ nm}$  の厚みを有する  $\text{SiO}_2$  膜からなる電流ブロック層 9 が形成されている。電流ブロック層 9 上には、リッジ部 8 ( p 型コンタクト層 7 ) の上面に接触するように、p 側電極 1 0 が形成されている。この p 側電極 1 0 は、n 型 GaN 基板 1 側から順に、約  $100 \text{ nm}$  の厚みを有する Pd 層と、約  $1 \mu\text{m}$  の厚みを有する Au 層とからなる。

10

【 0 0 5 3 】

これにより、リッジ部 8 を含む位置合わせ用の凸部 1 8 が構成されている。位置合わせ用の凸部 1 8 の高さ ( p 型クラッド層 6 の平坦部の上面上に位置する p 側電極 1 0 の上面からリッジ部 8 の上面上に位置する p 側電極 1 0 の上面までの高さ ) H 1 は、約  $153 \text{ nm}$  となる。

【 0 0 5 4 】

また、n 型 GaN 基板 1 の裏面上には、n 側電極 1 1 が形成されている。この n 側電極 1 1 は、n 型 GaN 基板 1 側から順に、約  $6 \text{ nm}$  の厚みを有する Al 層と、約  $10 \text{ nm}$  の厚みを有する Pd 層と、約  $300 \text{ nm}$  の厚みを有する Au 層とからなる。以下、n 型クラッド層 2、活性層 3、光ガイド層 4、キャップ層 5 および p 型クラッド層 6 を素子構成層 a と呼ぶ。

20

【 0 0 5 5 】

( c ) 赤色レーザ素子 1 2 0 の構造

次に、図 1 の赤色レーザ素子 1 2 0 の構造について説明する。図 3 は図 1 の赤色レーザ素子 1 2 0 の詳細断面図である。

【 0 0 5 6 】

図 3 に示すように、n 型 GaAs 基板 2 1 上に、約  $300 \text{ nm}$  の厚みを有する n 型 GaInP からなる n 型バッファ層 2 2 が形成されている。n 型バッファ層 2 2 上には、約  $2 \mu\text{m}$  の厚みを有する n 型 AlGaInP からなる n 型クラッド層 2 3 が形成されている。n 型クラッド層 2 3 上には、約  $60 \text{ nm}$  の厚みを有する活性層 2 4 が形成されている。この活性層 2 4 は、アンドープの GaInP からなる複数の井戸層と、アンドープの AlGaInP からなる複数の障壁層とが交互に積層された MQW 構造を有する。

30

【 0 0 5 7 】

活性層 2 4 上には、約  $300 \text{ nm}$  の厚みを有する p 型 AlGaInP からなる p 型第 1 クラッド層 2 5 が形成されている。p 型第 1 クラッド層 2 5 上の所定領域には、約  $1.2 \mu\text{m}$  の厚みを有する p 型 AlGaInP からなる凸状の p 型第 2 クラッド層 2 6 が形成されている。p 型第 2 クラッド層 2 6 上には、約  $100 \text{ nm}$  の厚みを有する p 型 GaInP からなる p 型中間層 2 7 が形成されている。

40

【 0 0 5 8 】

p 型中間層 2 7 上には、約  $300 \text{ nm}$  の厚みを有する p 型 GaAs からなる p 型コンタクト層 2 8 が形成されている。この p 型コンタクト層 2 8 と、p 型中間層 2 7 と、p 型第 2 クラッド層 2 6 とによって、下端から上端に向かって幅が小さくなるテーパ形状の側面を有するリッジ部 2 9 が構成されている。このリッジ部 2 9 の側面と活性層 2 4 ( p 型第 1 クラッド層 2 5 ) の表面とがなす角度  $\theta$  は、約  $60^\circ$  である。また、リッジ部 2 9 の上端の幅は、約  $2.7 \mu\text{m}$  である。

【 0 0 5 9 】

また、リッジ部 2 9 は、図 1 ( b ) に示す光出射面 ( 劈開面 ) 1 0 2 と直交する方向 ( Y 方向 ) に延びるストライプ状 ( 細長状 ) に形成されている。そして、図 3 に示すように

50

、リッジ部 29 の下方の活性層 24 の部分が、赤色レーザ素子 120 の発光点 34 となる。

【0060】

ここで、第 1 の実施の形態では、p 型第 1 クラッド層 25 上に、リッジ部 29 の側面を覆うように、リッジ部 29 の高さ（約 1.6  $\mu\text{m}$ ）よりも大きい厚み（約 2  $\mu\text{m}$ ）を有する n 型電流ブロック層 30 が形成されている。この n 型電流ブロック層 30 は、リッジ部 29 の表面が露出する開口部 30a を有する。また、n 型電流ブロック層 30 の開口部 30a は、底部の幅（リッジ部 29 の上端の幅（約 2.7  $\mu\text{m}$ ））よりも上端の幅（約 3  $\mu\text{m}$ ）が大きくなるようなテーパ形状の内側面を有する。

【0061】

なお、n 型電流ブロック層 30 の開口部 30a の内側面と活性層 24 の表面とがなす角度 3 は、約 70° である。また、n 型電流ブロック層 30 の開口部 30a は、図 1 (b) に示すように、リッジ部 29 に沿って Y 方向に伸びるストライプ状（細長状）に形成されている。また、n 型電流ブロック層 30 は、n 型 GaAs 基板 21 側から順に、n 型 AlInP 層と、n 型 GaAs 層とからなる。

【0062】

また、n 型電流ブロック層 30（p 型コンタクト層 28）上の開口部 30a を含む領域に約 0.3  $\mu\text{m}$  の厚みを有する p 側電極 31 が形成されている。この p 側電極 31 は、n 型 GaAs 基板 21 側から順に、AuZn 層と、Pt 層と、Au 層とからなる。n 型電流ブロック層 30 の開口部 30a を覆う p 側電極 31 に位置合わせ用の凹部 38 が形成される。これにより、位置合わせ用の凹部 38 の深さ（n 型電流ブロック層 30 の上面から p 型コンタクト層 28 上面までの深さに相当）D1 は、約 400 nm となる。すなわち、位置合わせ用の凹部 38 の深さ D1（約 400 nm）は、位置合わせ用の凸部 18 の高さ H1（153 nm）よりも大きい。

【0063】

また、n 型 GaAs 基板 21 の裏面上には、約 1  $\mu\text{m}$  の厚みを有する n 側電極 32 が形成されている。この n 側電極 32 は、n 型 GaAs 基板 21 側から順に、AuGe 層と、Ni 層と、Au 層とからなる。以下、n 型バッファ層 22、n 型クラッド層 23、活性層 24、p 型第 1 クラッド層 25、p 型第 2 クラッド層 26、p 型中間層 27 および p 型コンタクト層 28 を素子構成層 b と呼ぶ。

【0064】

(d) 集積型半導体レーザ素子の全体の詳細構造

ここで、図 1 を参照しながら本実施の形態に係る集積型半導体レーザ素子の全体の構成について説明する。

【0065】

図 1 (a) に示すように、図 2 の構造を有する青紫色レーザ素子 110 上に絶縁膜 12、および Au-Sn からなる半田層 115a、115b を形成した後、図 2 の青紫色レーザ素子 110 の位置合わせ用の凸部 18 が図 3 の赤色レーザ素子 120 の位置合わせ用の凹部 38 に嵌合するように青紫色レーザ素子 110 と赤色レーザ素子 120 とが接合される。この場合、赤色レーザ素子 120 の接合面上に絶縁膜 33 が形成されている。

【0066】

青紫色レーザ素子 110 の n 側電極 11 は、導電性サブマウント 500 上に接合される。また、半田層 115a と半田層 115b とは絶縁膜 12、33 により互いに電氣的に分離されている。

【0067】

青紫色レーザ素子 110 の発光点 13 と、赤色レーザ素子 120 の発光点 34 とは、半導体層の積層方向（Z 方向）における同一線上に配置されている。また、上記したように、赤色レーザ素子 120 の位置合わせ用の凹部 38 の深さ D1（約 400 nm）は、青紫色レーザ素子 110 の位置合わせ用の凸部 18 の高さ H1（153 nm）よりも大きいため、青紫色レーザ素子 110 の位置合わせ用の凸部 18 の上面と、赤色レーザ素子 120

10

20

30

40

50

の位置合わせ用の凹部 38 の底面との間隔は、青紫色レーザー素子 110 の位置合わせ用の凸部 18 以外の領域と、赤色レーザー素子 120 の位置合わせ用の凹部 38 以外の領域との間隔よりも大きくなる。

【0068】

また、n 型 GaAs 基板 21、素子構成層 b、n 型電流ブロック層 30 および p 側電極 31 を貫通する円形状の貫通孔 120a および貫通孔 120b が形成されている。この貫通孔 120a および貫通孔 120b は、n 側電極 32 側の直径が数十  $\mu\text{m}$  であり、n 側電極 32 側の直径よりも p 側電極 31 側の直径が小さくなるようなテーパ形状の内側面を有する。

【0069】

貫通孔 120a の内側面および貫通孔 120b の内側面から n 側電極 32 の一部領域上に延びるように、約 200 nm の厚みを有する  $\text{SiO}_2$  膜からなる絶縁膜 35 が形成されている。

【0070】

貫通孔 120a の内側面および n 側電極 32 上の絶縁膜 35 上の領域には、半田層 115a に電氣的に接続されるように、約 0.3  $\mu\text{m}$  の厚みを有する外部接続用電極 36a が形成されている。また、貫通孔 120b の内側面および n 側電極 32 上の絶縁膜 35 上の領域には、半田層 115b に電氣的に接続されるように、上記外部接続用電極 36a と同様の外部接続用電極 36b が形成されている。この外部接続用電極 36a および外部接続用電極 36b は、n 型 GaAs 基板 21 側から順に、Ti 層と、Pt 層と、Au 層とからなる。

【0071】

また、n 側電極 32 には金線等からなるワイヤ 122a の一端がボンディングされ、ワイヤ 122a の他端は導電性サブマウント 500 にボンディングされている。外部接続用電極 36a にはワイヤ 122b がボンディングされ、外部接続用電極 36b 上にはワイヤ 122c がボンディングされている。

【0072】

この場合、赤色レーザー素子 110 の p 側電極 31 は半田層 115a を介して外部接続用電極 36a に電氣的に接続されている。青紫色レーザー素子 110 の p 側電極 10 は、半田層 115b を介して外部接続用電極 36b に電氣的に接続されている。

【0073】

(e) 第 1 の実施の形態の効果

第 1 の実施の形態では、上記のように、位置合わせ用の凸部 18 を位置合わせ用の凹部 38 に嵌め込むことによって、その位置合わせ用の凸部 18 と凹部 38 との嵌め合わせにより、青紫色レーザー素子 110 と赤色レーザー素子 120 とを積層する際の青紫色レーザー素子 110 および赤色レーザー素子 120 の水平方向 (図 1 (a) X 方向) の位置ずれを防止することができる。これにより、青紫色レーザー素子 110 からの出射光の光軸と赤色レーザー素子 120 からの出射光の光軸とが水平方向 (図 1 (a) の X 方向) にずれることを防止することができるので、集積型半導体レーザー素子の出射光を光学系 (レンズおよびミラー等) に入射させて使用する際の光学系に対する出射光の光軸調整が容易になる。したがって、光軸調整にかかるコストを低減することができる。

【0074】

また、青紫色レーザー素子 110 と赤色レーザー素子 120 とを積層する際の青紫色レーザー素子 110 および赤色レーザー素子 120 の水平方向 (図 1 (a) の X 方向) の位置ずれを防止することができるので、青紫色レーザー素子 110 および赤色レーザー素子 120 の劈開方向が互いにずれることを防止することができる。これにより、青紫色レーザー素子 110 と赤色レーザー素子 120 とを貼り合せた後に共振器端面である光出射面を形成するために青紫色レーザー素子 110 および赤色レーザー素子 120 を同時に劈開する際の劈開性を向上させることができる。その結果、光出射面 (劈開面) 102 から出射されるレーザー光の特性を向上させることができる。

10

20

30

40

50

## 【0075】

さらに、青紫色レーザ素子110のp側電極10および赤色レーザ素子120のp側電極31は絶縁膜12および絶縁膜33を介し電氣的に分離されている。それにより、青紫色レーザ素子110のn側電極11および赤色レーザ素子120のn側電極32を共通電極とすることができる。この場合、青紫色レーザ素子110のp側電極10および赤色レーザ素子120のp側電極31にはそれぞれ任意の電圧を印加することができる。

## 【0076】

また、外部接続用電極36aと外部接続用電極36bとをワイヤで接続し、赤色レーザ素子120のn側電極32および導電性サブマウント500にそれぞれワイヤをボンディングすることにより、青紫色レーザ素子110のp側電極10および赤色レーザ素子120のp側電極31を共通電極とすることができる。この場合、青紫色レーザ素子110のn側電極11および赤色レーザ素子120のn側電極32に、それぞれ任意の電圧を印加することができる。

## 【0077】

さらに、青紫色レーザ素子110のp側電極10と赤色レーザ素子120のn側電極32とを電氣的に接続することもでき、青紫色レーザ素子110のn側電極11と赤色レーザ素子120のp側電極31とを電氣的に接続することもできる。

## 【0078】

また、第1の実施の形態では、青紫色レーザ素子110の発光点13と赤色レーザ素子120の発光点34とを、半導体層の積層方向(図1(a)のZ方向)の同一線上に配置することによって、青紫色レーザ素子110の発光点13と赤色レーザ素子120の発光点34とが2方向(半導体層の積層方向(図1(a)のZ方向)および水平方向(図1(a)のX方向))にずれる場合に比べて、青紫色レーザ素子110の発光点13と赤色レーザ素子120の発光点34との間隔を小さくすることができる。これにより、集積型半導体レーザ素子の出射光を光学系(レンズおよびミラー等)に入射させて使用する際に、青紫色レーザ素子110の発光点13および赤色レーザ素子120の発光点34の一方から出射される光が光学系の所定領域に入射するように光軸を調整する場合に、青紫色レーザ素子110の発光点13および赤色レーザ素子120の発光点34の他方から出射される光が光学系の所定領域から大きく外れた領域に入射することを防止することができる。その結果、光学系に対する光軸調整がより容易になるので、光軸調整にかかるコストをより低減することができる。

## 【0079】

また、第1の実施の形態では、青紫色レーザ素子110の位置合わせ用の凸部18(リッジ部8)を、光出射面102と直交する方向(図1(b)のY方向)に延びるようにストライプ状(細長状)に形成するとともに、赤色レーザ素子120の位置合わせ用の凹部38(n型電流ブロック層30の開口部30a)を、光出射面102と直交する方向(図1(b)のY方向)に延びるよりストライプ状(細長状)に形成することによって、位置合わせ用の凸部18と位置合わせ用の凹部38とが嵌合されている領域が光出射面102と直交する方向(図1(b)のY方向)に長くなる。これにより、青紫色レーザ素子110と赤色レーザ素子120とを積層する際の青紫色レーザ素子110および赤色レーザ素子120の水平方向(図1(b)のX方向)の位置ずれを防止することができる。

## 【0080】

また、第1の実施の形態では、青紫色レーザ素子110の位置合わせ用の凸部18を、下端の幅よりも上端の幅が小さくなるようなテーパ形状を有するように形成するとともに、赤色レーザ素子120の凹部38を、上端の幅よりも下端の幅が小さくなるようなテーパ形状を有するように形成することによって、容易に位置合わせ用の凸部18部を位置合わせ用の凹部38に嵌め込むことができる。

## 【0081】

また、第1の実施の形態では、青紫色レーザ素子110の位置合わせ用の凸部18と赤色レーザ素子120の位置合わせ用の凹部38とを、半田層115aおよび半田層115

10

20

30

40

50

bを介して接合することによって、青紫色レーザ素子110の位置合わせ用の凸部18と、赤色レーザ素子120の位置合わせ用の凹部38とを半田層115aおよび半田層115bにより容易に接合することができる。

【0082】

また、第1の実施の形態では、青紫色レーザ素子110の位置合わせ用の凸部18の上面と、赤色レーザ素子120の位置合わせ用の凹部38の底面との間隔を、青紫色レーザ素子110の位置合わせ用の凸部18以外の領域と、赤色レーザ素子120の位置合わせ用の凹部38以外の領域との間隔よりも大きくすることによって、青紫色レーザ素子110の位置合わせ用の凸部18以外の領域と、赤色レーザ素子120の位置合わせ用の凹部38以外の領域とが接触したとしても、位置合わせ用の凸部18の上面と、位置合わせ用の凹部38の底面とが接触することを防止することができる。これにより、青紫色レーザ素子110の位置合わせ用の凸部18と赤色レーザ素子120の位置合わせ用の凹部38とを接合する際に、リッジ部8, 29に応力が加わることを防止することができる。

10

【0083】

また、第1の実施の形態では、赤色レーザ素子120のn型電流ブロック層30が、良好な放熱特性を有するn型GaAsからなるので、集積型半導体レーザ素子の放熱特性を向上させることができる。

【0084】

(f) 集積型半導体レーザ素子の製造方法

図4～図7および図9～図13は、図1の集積型半導体レーザ素子の製造方法を説明するための工程断面図である。次に、図1～図13を参照して、第1の実施の形態による集積型半導体レーザ素子の製造方法について説明する。図8は青紫色レーザ素子110のn側電極およびp側電極をそれぞれ示す平面図である。

20

【0085】

この第1の実施の形態では、図4(a)～図7(j)に示す工程により、青紫色レーザ素子110を形成するとともに、図9(a)～図12(m)に示す工程により、赤色レーザ素子120を形成する。

【0086】

(f-1) 青紫色レーザ素子110の形成方法

青紫色レーザ素子110を形成するには、まず、図4(a)に示すように、n型GaN基板1上に、素子構成層aを形成する(図2参照)。具体的には、MOCVD(有機金属化学的気相堆積: Metal Organic Chemical Vapor Deposition)法を用いて、約400μmの厚みを有するn型GaN基板1上に、約2.5μmの厚みを有するn型AlGaNからなるn型クラッド層2を成長させた後、n型クラッド層2上に、約70nmの厚みを有する活性層3を成長させる。なお、活性層3を成長させる際には、アンドープのInGaNからなる複数の井戸層と、アンドープのInGaNからなる複数の障壁層とを交互に成長させる。これにより、n型クラッド層2上に、複数の井戸層と複数の障壁層とが交互に積層されたMQW構造を有する活性層3が形成される。

30

【0087】

次に、活性層3上に、約80nmの厚みを有するアンドープのInGaNからなる光ガイド層4および約20nmの厚みを有するアンドープのAlGaNからなるキャップ層5を順次成長させる。この後、キャップ層5上に、約400nmの厚みを有するp型AlGaNからなるp型クラッド層6を成長させる。このようにして、n型GaN基板1上に素子構成層aが形成される。素子構成層a上に、約3nmの厚みを有するp型InGaNからなるp型コンタクト層7を成長させる。

40

【0088】

次に、図4(b)に示すように、プラズマCVD法を用いて、p型コンタクト層7上に、約240nmの厚みを有するSiO<sub>2</sub>膜14を形成する。この後、SiO<sub>2</sub>膜14上において後の工程でリッジ部8(図1(a)参照)を形成すべき領域に、約1.5μmの幅を有するストライプ状(細長状)のレジスト15を形成する。

50

## 【0089】

次に、図4(c)に示すように、 $CF_4$ 系ガスによるRIE(反応性イオンエッチング: Reactive Ion Etching)法を用いて、レジスト15をマスクとして、 $SiO_2$ 膜14をエッチングする。その後、レジスト15を除去する。

## 【0090】

次に、図5(d)に示すように、塩素系ガスによるRIE法を用いて、 $SiO_2$ 膜14をマスクとして、p型コンタクト層7の上面から素子構成層a内のp型クラッド層6(図2参照)の途中の深さ(p型クラッド層6の上面から約350nmの深さ)までをエッチングする。これにより、p型クラッド層6の凸部とp型コンタクト層7とによって構成されるリッジ部8が形成される。この際、リッジ部8は、下端の幅よりも上端の幅が小さくなるようなテーパ形状の側面を有するように形成される。なお、リッジ部8の側面と活性層3(p型クラッド層6)の上面とがなす角度 $\theta$ は、約 $70^\circ$ となり、リッジ部8の上端の幅は、約 $1.5\mu m$ となる。また、リッジ部8は、図1(b)に示したように、光出射面102と直交する方向に延びるストライプ状(細長状)に形成される。そして、このリッジ部8が、位置合わせ用の凸部18となる。その後、 $SiO_2$ 膜14を除去する。

10

## 【0091】

次に、図5(e)に示すように、プラズマCVD法を用いて、p型コンタクト層7および素子構成層aの全面を覆うように、約200nmの厚みを有する $SiO_2$ 膜からなる電流ブロック層9を形成する。その後、電流ブロック層9の全面を覆うレジスト16を形成する。

20

## 【0092】

次に、図5(f)に示すように、酸素ガスによるプラズマエッチング技術を用いて、レジスト16を全域に渡ってエッチング(エッチバック)することにより薄膜化して、リッジ部8の上面に位置する電流ブロック層9の表面を露出させる。その後、 $CF_4$ 系ガスによるRIE法を用いて、レジスト16をマスクとして、リッジ部8の上面に位置する電流ブロック層9をエッチングする。これにより、図5(g)に示すように、リッジ部8の上面が露出される。その後、レジスト16を除去する。

## 【0093】

次に、図5(h)に示すように、電子ビーム蒸着法を用いて、電流ブロック層9上に、リッジ部8(p型コンタクト層7)の上面に接触するように、p側電極10を形成する。この際、約100nmの厚みを有するPd層と、約 $1\mu m$ の厚みを有するAu層とを順次形成する。これにより、位置合わせ用の凸部18の高さ(p型クラッド層6の平坦部の上面に位置するp側電極10の上面からリッジ部8の上面に位置するp側電極10の上面までの高さ)H1が、約153nmとなる。

30

## 【0094】

この場合、図8(a)に示すように、n型GaN基板1の光出射面102(図1(b)参照)と平行な端面1a側に位置するp側電極10の端部を、n型GaN基板1の端面1aから所定の間隔を隔てた領域に配置する。

## 【0095】

次に、図6(i)に示すように、リッジ部8の上面からn型GaN基板1の裏面までの厚みが約 $150\mu m$ になるまでn型GaN基板1の裏面を研磨する。また、プラズマCVD法を用いて、リッジ部8上を除くp側電極10の一部領域が露出するようにp側電極10上に約200nmの厚みを有する $SiO_2$ 膜からなる絶縁膜12を形成する。

40

## 【0096】

次に、図7(j)に示すように、電子ビーム蒸着法を用いて、n型GaN基板1の裏面上に、n側電極11を形成する。この際、約6nmの厚みを有するAl層と、約10nmの厚みを有するPd層と、約300nmの厚みを有するAu層とを順次形成する。このようにして、第1の実施の形態の青紫色レーザ素子110が形成される。

## 【0097】

この場合、図8(b)に示すように、n型GaN基板1の光出射面102(図1(b))

50



参照)と平行な端面1a側に位置するn側電極11の端部を、n型Ga<sub>0.9</sub>N基板1の端面1aから所定の間隔を隔てた領域に配置する。これにより、図8(a)および図8(b)に示したように、p側電極10およびn側電極11が形成されていない領域が、青紫色レーザ素子110と赤色レーザ素子120とを積層する際に、青紫色レーザ素子110のリッジ部8を上方または下方から目視により認識することが可能な透明領域111となる。

#### 【0098】

この後、図7(j)に示すように、リッジ部8を含む絶縁膜12上の領域に半田層115aを形成するとともに、露出したp側電極10上に半田層115bを形成する。

#### 【0099】

##### (f-2) 赤色レーザ素子120の形成方法

次に、赤色レーザ素子120を形成する際には、まず、図9(a)に示すように、n型GaAs基板21上に、素子構成層bを形成する(図3参照)。具体的には、MOCVD法を用いて、n型GaAs基板21上に、約300nmの厚みを有するn型GaInPからなるn型バッファ層22を成長させた後、n型バッファ層22上に、約2μmの厚みを有するn型AlGaInPからなるn型クラッド層23を成長させる。この後、n型クラッド層23上に、約60nmの厚みを有する活性層24を成長させる。なお、活性層24を成長させる際には、アンドープのGaInPからなる複数の井戸層と、アンドープのAlGaInPからなる複数の障壁層とを交互に成長させる。これにより、n型クラッド層23上に、複数の井戸層と複数の障壁層とが交互に積層されたMQW構造を有する活性層24が形成される。

#### 【0100】

次に、活性層24上に、約300nmの厚みを有するp型AlGaInPからなるp型第1クラッド層25および約1.2μmの厚みを有するp型AlGaInPからなるp型第2クラッド層26を順次成長させる。続いて、p型第2クラッド層26上に、約100nmの厚みを有するp型GaInPからなるp型中間層27を成長させた後、p型中間層27上に、約300nmの厚みを有するp型GaAsからなるp型コンタクト層28を成長させる。このようにして、素子構成層bが形成される。

#### 【0101】

次に、図9(b)に示すように、スパッタリング法、真空蒸着法または電子ビーム蒸着法を用いて、素子構成層b上に、約240nmの厚みを有するSiO<sub>2</sub>膜35を形成する。この後、SiO<sub>2</sub>膜35上において後の工程でリッジ部29(図1(a)参照)を形成すべき領域に、約2.7μmの幅を有するストライプ状(細長状)のレジスト116を形成する。

#### 【0102】

次に、図9(c)に示すように、バッファードフッ酸によるウェットエッチング技術を用いて、レジスト116をマスクとして、SiO<sub>2</sub>膜35をエッチングする。この後、レジスト116を除去する。

#### 【0103】

次に、図9(d)に示すように、酒石酸系エッチング液またはリン酸系エッチング液によるウェットエッチング技術を用いて、SiO<sub>2</sub>膜35をマスクとして、素子構成層bのp型コンタクト層28の上面からp型第1クラッド層25の上面までをエッチングする(図3参照)。これにより、p型コンタクト層28と、p型中間層27と、p型第2クラッド層26とによって構成されるとともに、テーパ形状の側面を有するリッジ部29が形成される。なお、リッジ部29の側面と活性層24(p型第1クラッド層25)の上面とがなす角度θは、約60°となり、リッジ部29の上端部分の幅は、約2.7μmとなる。また、リッジ部29は、図1(b)に示したように、光出射面102と直交する方向に延びるストライプ状(細長状)に形成される。

#### 【0104】

次に、図10(e)に示すように、MOCVD法を用いて、SiO<sub>2</sub>膜35を選択成長マスクとして、素子構成層bの全面上に、約2μmの厚みを有するn型電流ブロック層3

10

20

30

40

50

0を形成する。この場合、n型AlInP層と、n型GaAs層とを順次形成する。n型電流ブロック層30は、素子構成層bの上面上に選択的に成長した後、SiO<sub>2</sub>膜35を覆うように横方向に成長する。

【0105】

次に、図10(f)に示すように、プラズマCVD法を用いて、リッジ部29の上方のストライプ状(細長状)の領域を除いて、n型電流ブロック層30上に約240nmの厚みを有するSiO<sub>2</sub>膜37を形成する。次に、リン酸系エッチング液によるウェットエッチング技術を用いて、SiO<sub>2</sub>膜37をマスクとして、リッジ部29の上面よりも上方に位置するn型電流ブロック層30をエッチングする。これにより、リッジ部29上のSiO<sub>2</sub>膜35の上面が露出する開口部30aを有するn型電流ブロック層30が形成される。この際、n型電流ブロック層30の開口部30aは、上端の幅よりも下端の幅が小さくなるようなテーパ形状の内側面を有するように形成される。

10

【0106】

なお、n型電流ブロック層30の開口部30aの内側面と活性層24(p型コンタクト層28)の上面とがなす角度θは、約70°となる。また、n型電流ブロック層30の開口部30aの上端の幅は、約3μmとなり、下端の幅は、約2.7μmとなる。また、n型電流ブロック層30の開口部30aは、リッジ部29に沿ってストライプ状(細長状)に形成される。この後、SiO<sub>2</sub>膜35, 37を除去する。

【0107】

次に、図10(g)に示すように、電子ビーム蒸着法を用いて、開口部30aの底面上からn型電流ブロック層30上の一部領域上に延びるように約0.3μmの厚みを有するp側電極31を形成する。この際、AuZn層と、Pt層とを順次形成する。これにより、位置合わせ用の凹部38の深さ(電流ブロック層30の上面上に位置するp側電極31の上面からリッジ部29の上面上に位置するp側電極31の上面までの深さ)D1は、約400nmとなる。すなわち、位置合わせ用の凹部38の深さD1(約400nm)は位置合わせ用の凸部18の高さH1(153nm)(図1(a)参照)よりも大きくなる。

20

【0108】

また、リッジ部29の上面からn型GaAs基板21の裏面までの厚みが約100μmになるまでn型GaAs基板21の裏面を研磨する。この後、電子ビーム蒸着法を用いて、n型GaAs基板21の裏面において後の工程で貫通孔120aおよび貫通孔120b(図1(a)参照)を形成すべき領域を除いて、約1μmの厚みを有するn側電極32を形成する。この際、AuGe層と、Ni層と、Au層とを順次形成する。

30

【0109】

次に、図11(h)に示すように、プラズマCVD法を用いて、n型電流ブロック層30上のp側電極31と離間する領域上にSiO<sub>2</sub>膜からなる絶縁膜33を形成する。

【0110】

次に、図11(i)および図11(j)に示すように、塩素系ガスによるRIE法を用いて、n側電極32をマスクとして、n型GaAs基板21の裏面から、素子構成層b、n型電流ブロック層30およびp側電極31を貫通する円形状の貫通孔120aを形成する。同様にして、n型GaAs基板21の裏面から、素子構成層b、n型電流ブロック層30および絶縁膜33を貫通する円形状の貫通孔120bを形成する。この貫通孔120aおよび貫通孔120bは、n側電極32側の直径(数十μm)よりもp側電極31側の直径が小さくなるようなテーパ形状の内側面を有するように形成される。

40

【0111】

次に、図12(k)に示すように、プラズマCVD法を用いて、貫通孔120aの内側面および貫通孔120bの内側面からそれぞれn側電極32の一部領域上に延びるように約200nmの厚みを有するSiO<sub>2</sub>膜からなる絶縁膜35を形成する。

【0112】

次に、図12(l)に示すように、後の工程で外部接続用電極36aおよび外部接続用電極36b(図1(a), (b)参照)を形成すべき領域を除いて絶縁膜35上およびn

50

側電極 32 上にレジスト 40 を形成する。この後、電子ビーム蒸着法を用いて、絶縁膜 35 およびレジスト 40 の全面に、約  $0.3 \mu\text{m}$  の厚みを有する外部接続用電極 36a, 36b を形成する。この際、Ti 層と、Pt 層と、Au 層とを順次形成する。この後、リフトオフ法によりレジスト 40 を除去する。

#### 【0113】

これにより、図 12 (m) に示すように、外部接続用電極 36a と外部接続用電極 36b とが分離される。それにより、第 1 の実施の形態の赤色レーザー素子 120 が形成される。

#### 【0114】

(f-3) 青紫色レーザー素子 110 と赤色レーザー素子 120 との接合方法

10

次に、図 13 を参照して、青紫色レーザー素子 110 と赤色レーザー素子 120 との接合方法について説明する。

#### 【0115】

図 13 に示すように、青紫色レーザー素子 110 の位置合わせ用の凸部 18 を下側に向けた状態で、赤色レーザー素子 120 の位置合わせ用の凹部 38 に嵌め込むことにより位置合わせを行う。この際、図 8 (a) および図 8 (b) に示した青紫色レーザー素子 110 の透明領域 111 から、位置合わせ用の凸部 18 と、位置合わせ用の凹部 38 とを目視しながら図 13 の Z 方向に嵌め込む。

#### 【0116】

そして、位置合わせ用の凸部 18 が位置合わせ用の凹部 38 に嵌め込まれた状態で、約  $280^\circ\text{C}$  の温度条件下で熱処理することにより青紫色レーザー素子 110 上に形成された Au-Sn からなる半田層 115a, 115b を溶融する。この後、室温までの冷却過程で半田層 115a, 115b が固化することによって、青紫色レーザー素子 110 と赤色レーザー素子 120 とが絶縁膜 12, 33 を介して半田層 115a, 115b により接合される。

20

#### 【0117】

この後、互いに接合された青紫色レーザー素子 110 と赤色レーザー素子 120 とを同時に劈開することにより光出射面 102 (図 1 (b) 参照) を形成した後、個々の集積型半導体レーザー素子に分離する。最後に、図 1 (a) および図 1 (b) に示したように、赤色レーザー素子 120 の n 側電極 32、外部接続用電極 36a および外部接続用電極 36b の表面上にワイヤ 122a, 122b, 122c をボンディングすることによって、集積型半導体レーザー素子が形成される。

30

#### 【0118】

(2) 第 2 の実施の形態

(a) 集積型半導体レーザー素子の全体の概略構造

図 14 (a) は本発明の第 2 の実施の形態に係る集積型半導体レーザー素子の構造を示す概略断面図であり、図 14 (b) は図 14 (a) の上面を示す平面図である。図 14 (a) は図 14 (b) の 200-200 線断面図である。図 14 (a) および図 14 (b) を参照して、第 2 の実施の形態に係る集積型半導体レーザー素子の構造について説明する。

#### 【0119】

第 2 の実施の形態による集積型半導体レーザー素子は、図 14 (a) に示すように、モノリシック型レーザー素子 300 と、青紫色レーザー素子 110 とが積層 (集積化) された構造を有する。モノリシック型レーザー素子 300 は赤色レーザー素子 120 と赤外レーザー素子 130 とが同一基板上に一体的に形成された構造を有する。

40

#### 【0120】

図 14 の青紫色レーザー素子 110 は図 2 に示した青紫色レーザー素子 110 と同様の構造を有する。

#### 【0121】

図 14 の赤色レーザー素子 120 は、以下に説明する赤外のレーザー光を出射する半導体レーザー素子 (以下、赤外レーザー素子と呼ぶ) 130 と共通の n 型 GaAs 基板 51 上に形成

50

された点を除いて図3に示した赤色レーザ素子120と同様の構造を有する。

【0122】

(b)赤外レーザ素子130の構造

次に、図14の赤外レーザ素子130の構造について説明する。図15は図14の赤外レーザ素子130の詳細断面図である。

【0123】

図14に示すように、n型GaAs基板51上の赤色レーザ素子120(図14)が形成されている領域を除く所定領域に、約300nmの厚みを有するn型GaAsからなるn型バッファ層52が形成されている。n型バッファ層52上には、約2 $\mu$ mの厚みを有するn型AlGaAsからなるn型クラッド層53が形成されている。n型クラッド層53上には、約70nmの厚みを有する活性層54が形成されている。この活性層54はアンドープのAlGaAsからなる複数の井戸層と、アンドープのAlGaAsからなる複数の障壁層とが交互に積層されたMQW構造を有する。

10

【0124】

活性層54上には、約300nmの厚みを有するp型AlGaAsからなるp型第1クラッド層55が形成されている。p型第1クラッド層55上の所定領域には、約1.2 $\mu$ mの厚みを有するp型AlGaAsからなる凸状のp型第2クラッド層56が形成されている。p型第2クラッド層56上には、約100nmの厚みを有するp型GaAsからなるp型キャップ層57が形成されている。p型キャップ層57上には、約300nmの厚みを有するp型GaAsからなるp型コンタクト層58が形成されている。

20

【0125】

このp型コンタクト層58と、p型キャップ層57と、p型第2クラッド層56とによって、下端から上端に向かって幅が小さくなるテーパー形状の側面を有するリッジ部59が構成されている。このリッジ部59の側面と活性層24(p型第1クラッド層25)の表面とがなす角度4は、約60°である。また、リッジ部59の上端の幅は、約2.7 $\mu$ mである。

【0126】

また、リッジ部29は、図14(b)に示す光出射面(劈開面)202と直交する方向(Y方向)に延びるストライプ状(細長状)に形成されている。そして、図15に示すように、リッジ部59の下方の活性層54の部分が、赤外レーザ素子130の発光点64となる。

30

【0127】

ここで、第2の実施の形態では、p型第1クラッド層55上に、リッジ部59の側面を覆うように、リッジ部59の高さ(約1.6 $\mu$ m)よりも大きい厚み(約2.0 $\mu$ m)を有するn型電流ブロック層60が形成されている。このn型電流ブロック層60は、リッジ部59の表面が露出する開口部60aを有する。また、n型電流ブロック層60の開口部60aは、底部の幅(リッジ部59の上端の幅(約2.7 $\mu$ m))よりも上端の幅(約3 $\mu$ m)が大きくなるようなテーパー形状の内側面を有する。

【0128】

なお、n型電流ブロック層60の開口部60aの内側面と活性層54の表面とがなす角度5は、約70°である。また、n型電流ブロック層60の開口部60aは、図14(b)に示すように、リッジ部59に沿ってY方向に延びるストライプ状(細長状)に形成されている。また、n型電流ブロック層60は、n型GaAs層からなる。

40

【0129】

また、n型電流ブロック層60(p型コンタクト層58)上の開口部60aを含む領域に約0.3 $\mu$ mの厚みを有するp側電極61が形成されている。このp側電極61は、n型GaAs基板51側から順に、AuZn層と、Pt層と、Au層とからなる。n型電流ブロック層60の開口部60aを覆うp側電極61に位置合わせ用の凹部68が形成される。これにより、位置合わせ用の凹部68の深さ(n型電流ブロック層60の上面からp型コンタクト層58上面までの深さに相当)D2は、約400nmとなる。すなわち、赤

50

外レーザ素子130の位置合わせ用の凹部68の深さD2(約400nm)は、位置合わせ用の凸部18の高さH1(153nm)よりも大きい。本実施の形態では、位置合わせ用の凹部68が青紫色レーザ素子110上のモノリシック型レーザ素子300の位置合わせに用いられる。

#### 【0130】

また、n型GaAs基板51の裏面上には、約1 $\mu$ mの厚みを有するn側電極62が形成されている。以下、n型バッファ層52、n型クラッド層53、活性層54、p型第1クラッド層55、p型第2クラッド層56、p型中間層57およびp型コンタクト層58を素子構成層cと呼ぶ。

#### 【0131】

(c)集積型半導体レーザ素子の全体の詳細構造

ここで、図14を参照しながら本実施の形態に係る集積型半導体レーザ素子の全体の構造について説明する。

#### 【0132】

青紫色レーザ素子110上に絶縁膜72およびAu-Snからなる半田層73a, 73b, 73cを形成し、赤外レーザ素子130上に絶縁膜63およびAu-Snからなる半田層73dを形成した後、青紫色レーザ素子110の位置合わせ用の凸部18が図15の赤外レーザ素子130の位置合わせ用の凹部68に嵌合するように青紫色レーザ素子110とモノリシック型レーザ素子300とが接合される。

#### 【0133】

青紫色レーザ素子110のn側電極11は、導電性サブマウント1000上に接合される。また、半田層73a, 73b, 73cは絶縁膜63, 72により互いに電氣的に分離されている。半田層73dは半田層73aと一体化される。

#### 【0134】

青紫色レーザ素子110の発光点13と、赤外レーザ素子130の発光点64とは、半導体層の積層方向(Z方向)における同一線上に配置されている。また、上記したように、モノリシック型レーザ素子300の位置合わせ用の凹部68の深さD2(約400nm)は、青紫色レーザ素子110の位置合わせ用の凸部18の高さH1(153nm)よりも大きいため、青紫色レーザ素子110の位置合わせ用の凸部18の上面と、モノリシック型レーザ素子300の位置合わせ用の凹部68の底面との間隔は、青紫色レーザ素子110の位置合わせ用の凸部18以外の領域と、モノリシック型レーザ素子300の位置合わせ用の凹部38以外の領域との間隔よりも大きくなる。

#### 【0135】

また、n型GaAs基板51、素子構成層b、n型電流ブロック層60およびp側電極31を貫通する円形状の貫通孔220aと、n型GaAs基板51、素子構成層c、n型電流ブロック層60およびp側電極61を貫通する貫通孔220b, 220cとが形成されている。この貫通孔220a, 220b, 220cは、n側電極62側の直径が数十 $\mu$ mであり、n側電極62側の直径よりもp側電極31, 61側の直径が小さくなるようなテーパ形状の内側面を有する。

#### 【0136】

貫通孔220a, 220b, 220cそれぞれの内側面からn側電極62の一部領域上に延びるように、約200nmの厚みを有するSiO<sub>2</sub>膜からなる絶縁膜65が形成されている。

#### 【0137】

貫通孔220aの内側面およびn側電極62上の絶縁膜65上の領域には、半田層73aに電氣的に接続されるように、約0.3 $\mu$ mの厚みを有する外部接続用電極66aが形成されている。また貫通220bの内側面およびn側電極62上の絶縁膜65上の領域には、半田層73bに電氣的に接続されるように、上記外部接続用電極66aと同様の外部接続用電極66bが形成されている。また貫通220cの内側面およびn側電極62上の絶縁膜65上の領域には、半田層73cに電氣的に接続されるように、上記外部接続用電

10

20

30

40

50

極 6 6 a , 6 6 b と同様の外部接続用電極 6 6 c が形成されているこの外部接続用電極 6 6 a , 6 6 b , 6 6 c は、n 型 G a A s 基板 5 1 側から順に、T i 層と、P t 層と、A u 層とからなる。

【 0 1 3 8 】

また、n 側電極 6 2 には金線等からなるワイヤ 2 2 2 a の一端がボンディングされ、ワイヤ 2 2 2 a の他端は導電性サブマウント 1 0 0 0 にボンディングされている。外部接続用電極 6 6 a にはワイヤ 2 2 2 b がボンディングされ、外部接続用電極 6 6 b 上にはワイヤ 2 2 2 c がボンディングされ、外部接続用電極 6 6 c 上にはワイヤ 2 2 2 d がボンディングされている。

【 0 1 3 9 】

この場合、赤色レーザ素子 1 2 0 の p 側電極 3 1 は半田層 7 3 a を介して外部接続用電極 6 6 a に電氣的に接続されている。赤外レーザ素子 1 3 0 の p 側電極 6 1 は半田層 7 3 b を介して外部接続用電極 6 6 b に電氣的に接続されている。青紫色レーザ素子 1 1 0 の p 側電極 1 0 は、半田層 7 3 c を介して外部接続用電極 6 6 c に電氣的に接続されている。

【 0 1 4 0 】

( d ) 第 2 の実施の形態の効果

第 2 の実施の形態では、上記のように、位置合わせ用の凸部 1 8 を、位置合わせ用の凹部 6 8 に嵌め込むことによって、その位置合わせ用の凸部 1 8 と凹部 6 8 との嵌め合わせにより、青紫色レーザ素子 1 1 0 とモノリシック型レーザ素子 3 0 0 とを積層する際の青紫色レーザ素子 1 1 0 およびモノリシック型レーザ素子 3 0 0 の水平方向 ( 図 1 4 ( a ) X 方向 ) の位置ずれを防止することができる。これにより、青紫色レーザ素子 1 1 0 からの出射光の光軸と赤外レーザ素子 1 3 0 からの出射光の光軸とが水平方向 ( 図 1 4 ( a ) の X 方向 ) にずれることを防止することができるので、集積型半導体レーザ素子の出射光を光学系 ( レンズおよびミラー等 ) に入射させて使用する際の光学系に対する出射光の光軸調整が容易になる。したがって、光軸調整にかかるコストを低減することができる。

【 0 1 4 1 】

また、青紫色レーザ素子 1 1 0 とモノリシック型レーザ素子 3 0 0 とを積層する際の青紫色レーザ素子 1 1 0 およびモノリシック型レーザ素子 3 0 0 の水平方向 ( 図 1 4 ( a ) の X 方向 ) の位置ずれを防止することができるので、青紫色レーザ素子 1 1 0 およびモノリシック型レーザ素子 3 0 0 の劈開方向が互いにずれることを防止することができる。これにより、青紫色レーザ素子 1 1 0 とモノリシック型レーザ素子 3 0 0 とを貼り合せた後に共振器端面である光出射面を形成するために青紫色レーザ素子 1 1 0 および赤外レーザ素子 1 3 0 を同時に劈開する際の劈開性を向上させることができる。その結果、光出射面 ( 劈開面 ) 2 0 2 から出射されるレーザ光の特性を向上させることができる。

【 0 1 4 2 】

さらに、青紫色レーザ素子 1 1 0 の p 側電極 1 0 、赤色レーザ素子 1 2 0 の p 側電極 3 1 および赤外レーザ素子 1 3 0 の p 側電極 6 1 は絶縁膜 7 2 および絶縁膜 6 3 を介して電氣的に分離されている。それにより、青紫色レーザ素子 1 1 0 の n 側電極 1 1 およびモノリシック型レーザ素子 3 0 0 の n 側電極 6 2 を共通電極とすることができる。この場合、青紫色レーザ素子 1 1 0 の p 側電極 1 0 、赤色レーザ素子 1 2 0 の p 側電極 3 1 および赤外レーザ素子 1 3 0 の p 側電極 6 1 にはそれぞれ任意の電圧を印加することができる。

【 0 1 4 3 】

また、外部接続用電極 6 6 a と外部接続用電極 6 6 b と外部接続用電極 6 6 c とをワイヤで接続し、モノリシック型レーザ素子 3 0 0 の n 側電極 6 2 および導電性サブマウント 1 0 0 0 にそれぞれワイヤをボンディングすることにより、青紫色レーザ素子 1 1 0 の p 側電極 1 0 、赤色レーザ素子 1 2 0 の p 側電極 3 1 および赤外レーザ素子 1 3 0 の p 側電極 6 1 を共通電極とすることができる。この場合、青紫色レーザ素子 1 1 0 の n 側電極 1 1 に任意の電圧を印加し、モノリシック型レーザ素子 3 0 0 の n 側電極 6 2 にそれぞれ任意の電圧を印加することができる。

10

20

30

40

50

## 【0144】

また、第2の実施の形態では、青紫色レーザ素子110の発光点13と赤外レーザ素子130の発光点64とを、半導体層の積層方向(図14(a)のZ方向)の同一線上に配置することによって、青紫色レーザ素子110の発光点13と赤外レーザ素子130の発光点64とが2方向(半導体層の積層方向(図14(a)のZ方向)および水平方向(図14(a)のX方向))にずれる場合に比べて、青紫色レーザ素子110の発光点13と赤外レーザ素子130の発光点64との間隔を小さくすることができる。これにより、集積型半導体レーザ素子の出射光を光学系(レンズおよびミラー等)に入射させて使用する際に、青紫色レーザ素子110の発光点13および赤外レーザ素子130の発光点64の一方から出射される光が光学系の所定領域に入射するように光軸を調整する場合に、青紫色レーザ素子110の発光点13および赤外レーザ素子130の発光点64の他方から出射される光が光学系の所定領域から大きく外れた領域に入射することを防止することができる。その結果、光学系に対する光軸調整がより容易になるので、光軸調整にかかるコストをより低減することができる。

10

## 【0145】

また、第2の実施の形態では、青紫色レーザ素子110の位置合わせ用の凸部18(リッジ部8)を、光出射面202と直交する方向(図14(b)のY方向)に延びるようにストライプ状(細長状)に形成するとともに、モノリシック型レーザ素子300の位置合わせ用の凹部68(n型電流ブロック層60の開口部60a)を、光出射面202と直交する方向(図14(b)のY方向)に延びるよりストライプ状(細長状)に形成することによって、位置合わせ用の凸部18と凹部68とが嵌合されている領域が光出射面202と直交する方向(図14(b)のY方向)に長くなる。これにより、青紫色レーザ素子110とモノリシック型レーザ素子300とを積層する際の青紫色レーザ素子110およびモノリシック型レーザ素子300の水平方向(図14(b)のX方向)の位置ずれを防止することができる。

20

## 【0146】

また、第2の実施の形態では、青紫色レーザ素子110の位置合わせ用の凸部18を、下端の幅よりも上端の幅が小さくなるようなテーパ形状を有するように形成するとともに、モノリシック型レーザ素子300の凹部68を、上端の幅よりも下端の幅が小さくなるようなテーパ形状を有するように形成することによって、容易に位置合わせ用の凸部18部を位置合わせ用の凹部68に嵌め込むことができる。

30

## 【0147】

また、第2の実施の形態では、青紫色レーザ素子110の位置合わせ用の凸部18とモノリシック型レーザ素子300の位置合わせ用の凹部68とを、半田層73a、半田層73bおよび半田層73cを介して接合することによって、青紫色レーザ素子110の位置合わせ用の凸部18と、モノリシック型レーザ素子300の位置合わせ用の凹部68とを半田層73a、半田層73bおよび半田層73cにより容易に接合することができる。

## 【0148】

また、第2の実施の形態では、青紫色レーザ素子110の位置合わせ用の凸部18の上面と、モノリシック型レーザ素子300の位置合わせ用の凹部68の底面との間隔を、青紫色レーザ素子110の位置合わせ用の凸部18以外領域と、モノリシック型レーザ素子300の位置合わせ用の凹部68以外の領域との間隔よりも大きくすることによって、青紫色レーザ素子110の位置合わせ用の凸部18以外の領域と、モノリシック型レーザ素子300の位置合わせ用の凹部68以外の領域とが接触したとしても、位置合わせ用の凸部18の上面と、位置合わせ用の凹部68の底面とが接触することを防止することができる。これにより、青紫色レーザ素子110の位置合わせ用の凸部18とモノリシック型レーザ素子300の位置合わせ用の凹部68とを接合する際に、リッジ部8, 59に応力が加わることを防止することができる。

40

## 【0149】

また、第2の実施の形態では、モノリシック型レーザ素子300のn型電流ブロック層

50

60が、良好な放熱特性を有するn型GaAsからなるので、集積型半導体レーザ素子の放熱特性を向上させることができる。

【0150】

(e)集積型半導体レーザ素子の製造方法

次に、第2の実施の形態による集積型半導体レーザ素子の製造方法について説明する。

【0151】

図16～図22は、図14の集積型半導体レーザ素子の製造方法を説明するための工程断面図である。次に、図14～図22を参照して、第2の実施の形態による集積型半導体レーザ素子の製造方法について説明する。

【0152】

第2の実施の形態では、図16(a)～(c)に示す工程により、青紫色レーザ素子110を形成するとともに、図17(a)～図23(o)に示すプロセスにより、モノリシック型レーザ素子300を形成する。

【0153】

(e-1)青紫色レーザ素子110の形成方法

青紫色レーザ素子110を形成する際には、図4(a)～図6(h)と同様の工程により図16(a)に示すp側電極10まで形成する。

【0154】

次に、図16(b)に示すように、リッジ部8の上面からn型GaN基板1の裏面までの厚みが約150 $\mu$ mになるまでn型GaN基板1の裏面を研磨する。また、プラズマCVD法を用いて、リッジ部8上を除くp側電極10の一部領域が露出するようにp側電極10上に約200nmの厚みを有するSiO<sub>2</sub>膜からなる絶縁膜72を形成する。

【0155】

次に、図16(c)に示すように、電子ビーム蒸着法を用いて、n型GaN基板1の裏面上にn側電極11を形成する。この際、約6nmの厚みを有するAl層と、約10nmの厚みを有するPd層と、約300nmの厚みを有するAu層とを順次形成する。このようにして、青紫色レーザ素子110が形成される。

【0156】

この場合、図8(b)に示したように、n型GaN基板1の光出射面202(図14(b)参照)と平行な端面1a側に位貴するn側電極11の端部を、n型GaN基板1の端面1aから所定の間隔を隔てた領域に配置する。これにより、図8(a)および図8(b)に示したように、p側電極10およびn側電極11が形成されていない領域が、青紫色レーザ素子110とモノリシック型レーザ素子300とを積層する時に、青紫色レーザ素子110のリッジ部8を上方または下方から目視により認識することが可能な透明領域111となる。

【0157】

この後、絶縁膜72上の所定の領域に半田層73aおよび半田層73bをそれぞれ形成する。半田層73aはリッジ部を含まない領域に形成し、半田層73bはリッジ部を含む領域に形成する。また、露出したp側電極10上に半田層73cを形成する。

【0158】

(e-2)モノリシック型レーザ素子300の形成方法

次に、モノリシック型レーザ素子300を形成する際には、まず、図17(a)に示すように、n型GaAs基板51上に素子構成層cを形成する。具体的には、MOCVD法を用いて、n型GaAs基板51上に、約300nmの厚みを有するn型GaAsからなるn型バッファ層52を成長された後、n型バッファ層52上に、約2 $\mu$ mの厚みを有するn型AlGaAsからなるn型クラッド層53を成長させる。この後、n型クラッド層53上に、約70nmの厚みを有する活性層54を成長させる。なお、活性層54を成長させる際には、アンドープのAlGaAsからなる複数の井戸層と、アンドープのAlGaAsからなる複数の障壁層とを交互に成長させる。これにより、n型クラッド層53上に、複数の井戸層と複数の障壁層とが交互に積層されたMQW構造を有する活性層54が

10

20

30

40

50



形成される。

【0159】

次に、活性層54上に、約300nmの厚みを有するp型AlGaAsからなるp型第1クラッド層55および約1.2μmの厚みを有するp型AlGaAsからなるp型第2クラッド層56を順次成長させる。

【0160】

続いて、p型第2クラッド層56上に、約100nmの厚みを有するp型GaAsからなるp型キャップ層57を成長させた後、p型キャップ層57上に約300nmの厚みを有するp型GaAsからなるp型コンタクト層58を成長させる。このようにして、素子構成層cが形成される。

10

【0161】

次に、図17(b)に示すように、素子構成層c上の所定の領域にレジスト74を形成する。

【0162】

次に、図17(c)に示すように、リン酸および過酸化水素水によるウェットエッチング技術を用いて、レジスト74をマスクとして、素子構成層cをエッチングする。その後、レジスト74を除去する。

【0163】

次に、図18(d)に示すように、n型GaAs基板51および素子構成層c上に、図9(a)と同様の工程により図3の赤色レーザ素子120のp型コンタクト層28を除く素子構成層bを形成する。図3のp型コンタクト層28は、後の工程で形成される。次に、n型GaAs基板51に形成された素子構成層bの所定の領域にレジスト75を形成する。

20

【0164】

次に、図18(e)に示すように、臭化水素酸、塩酸および水の混合液によるウェットエッチング技術を用いて、レジスト75をマスクとして、素子構成層bをエッチングする。その後、レジスト75を除去する。このようにして、n型GaAs基板51上に、赤色レーザ素子120のp型コンタクト層28を除いた素子構成層bと赤外レーザ素子130の素子構成層cとが、間隔を隔てて形成される。

【0165】

次に、図19(f)に示すように、プラズマCVD法を用いて、素子構成層b, c上のリッジ部29(図3参照)およびリッジ部59(図15参照)を形成すべき領域に約240nmの厚みを有するSiO<sub>2</sub>膜76およびSiO<sub>2</sub>膜77を形成する。

30

【0166】

次に、図19(g)に示すように、臭化水素酸、塩酸および水の混合液によるウェットエッチング技術を用いて、SiO<sub>2</sub>膜76をマスクとして、赤色レーザ素子120のp型コンタクト層28、p型中間層27およびp型第2クラッド層26をエッチングする(図3参照)。また、リン酸および過酸化水素水によるウェットエッチング技術を用いて、SiO<sub>2</sub>膜77をマスクとして、赤外レーザ素子130のp型コンタクト層58、p型キャップ層57およびp型第2クラッド層56をエッチングする(図15参照)。これにより、素子構成層bにテーパ形状の側面を有するリッジ部29が形成され、素子構成層cにテーパ形状の側面を有するリッジ部59が形成される。リッジ部29およびリッジ部59は、図14(b)に示したように、光出射面202と直交する方向に延びるストライプ状(細長状)に形成される。

40

【0167】

次に、図19(h)に示すように、MOCVD法を用いて、SiO<sub>2</sub>膜76, 77を選択成長マスクとして、素子構成層bおよび素子構成層cの全面上に、約2μmの厚みを有するn型電流ブロック層60を形成する。この場合、n型電流ブロック層60は素子構成層bおよび素子構成層cの上面上に選択的に成長した後、SiO<sub>2</sub>膜76, 77を覆うように横方向に成長する。

50

## 【0168】

次に、図20(i)に示すように、プラズマCVD法を用いて、SiO<sub>2</sub>膜76,77の上方におけるn型電流ブロック層60上のストライプ状(細長状)の領域以外の領域に、約240nmの厚みを有するSiO<sub>2</sub>膜78を形成する。次に、リン酸系エッチング液によるウェットエッチング技術を用いて、SiO<sub>2</sub>膜78をマスクとして、リッジ部29およびリッジ部59の上面よりも上方に位置するn型電流ブロック層60をエッチングする。これにより、リッジ部29上およびリッジ部59上にそれぞれ開口部30a,60aが形成される。この際、n型電流ブロック層60の開口部30aおよび開口部60aは、上端の幅よりも下端の幅が小さくなるようなテーパ形状の内側面を有するように形成される。

10

## 【0169】

なお、n型電流ブロック層60の開口部60aの内側面と活性層54(p型コンタクト層58)の上面とがなす角度5は、70°となる。また、n型電流ブロック層60の開口部60aの上端の幅は、約3μmとなり、下端の幅は、約2.7μmとなる。また、n型電流ブロック層60の開口部30aおよび開口部60aは、リッジ部29およびリッジ部59に沿ってストライプ状(細長状)に形成される。この後、SiO<sub>2</sub>膜76,77,78を除去する。その後、開口部30a内のp型中間層27(図3参照)上にMOCVD法によりp型コンタクト層28を形成する。

## 【0170】

次に、図20(j)に示すように、電子ビーム蒸着法を用いて、開口部30a,60aの底面上および内側面上からn型電流ブロック層60上の一部領域上に延びるように約0.3μmの厚みを有するp側電極31,61を形成する。この際、AuZn層とPt層とを順次形成する。

20

## 【0171】

また、リッジ部59の上面からn型GaAs基板51の裏面までの厚みが約100μmになるまでn型GaAs基板51の裏面を研磨する。次に、素子構成層bと素子構成層cとの間の領域の上方を除いてn型電流ブロック層60およびp側電極31,61上にレジスト79を形成する。この後、ウェットエッチング技術を用いて、レジスト79をマスクとして、n型電流ブロック層60をエッチングする。これにより、赤色レーザ素子120と赤外レーザ素子130とが分離される。この後、レジスト79を除去する。

30

## 【0172】

これにより、位置合わせ用の凹部68の深さD2は、約400nmとなる。すなわち、モノリシック型レーザ素子300の位置合わせに用いられる位置合わせ用の凹部68の深さD2(約400nm)は位置合わせ用の凸部18の高さH1(153nm)(図1(a)参照)よりも大きくなる。

## 【0173】

次に、図21(k)に示すように、プラズマCVD法を用いて、赤外レーザ素子130のn型電流ブロック層60上のp側電極61と離間する領域上にSiO<sub>2</sub>からなる絶縁膜63を形成する。

## 【0174】

次に、図21(l)に示すように、電子ビーム蒸着法を用いて、n型GaAs基板51の裏面において後の工程で貫通孔220a,220b,220c(図14(a)参照)を形成すべき領域を除いて、約1μmの厚みを有するn側電極62を形成する。この際AuGe層とNi層とAu層とを順次形成する。

40

## 【0175】

次に、塩素系ガスによるRIE法を用いて、n側電極62をマスクとして、n型GaAs基板51の裏面から、素子構成層b、n型電流ブロック層60およびp側電極31を貫通する円形状の貫通孔220aを形成する。同様にして、n型GaAs基板51の裏面から、素子構成層c、n型電流ブロック層60およびp側電極61を貫通する円形状の貫通孔220bを形成し、n型GaAs基板51の裏面から、素子構成層c、n型電流ブロッ

50

ク層 60 および絶縁膜 63 を貫通する円形状の貫通孔 220c を形成する。この貫通孔 220a, 220b, 220c は、n 型 GaAs 基板 51 側の直径 (数十  $\mu\text{m}$ ) よりも p 側電極 31、p 側電極 61 および絶縁膜 80 側の直径が小さくなるようなテーパ形状の内側面を有するように形成される。

【0176】

次に、図 22 (m) に示すように、プラズマ CVD 法を用いて、貫通孔 220a の内側面、貫通孔 220b の内側面および貫通孔 220c の内側面からそれぞれ n 側電極 62 の一部領域上に延びるように約 200nm の厚みを有する  $\text{SiO}_2$  膜からなる絶縁膜 65 を形成する。

【0177】

次に、図 22 (n) に示すように、絶縁膜 65 および n 側電極 62 上において後の工程で図 14 (a) および (b) の外部接続用電極 66a、外部接続用電極 66b および外部接続用電極 66c を形成すべき領域を除いてレジスト 80 が形成される。この後、電子ビーム蒸着法を用いて、絶縁膜 65 およびレジスト 80 の全面に、約 0.3  $\mu\text{m}$  の厚みを有する外部接続用電極 66a, 66b, 66c を形成する。この際、Ti 層と、Pt 層と、Au 層とを順次形成する。この後、リフトオフ法によりレジスト 80 を除去する。

【0178】

これにより、図 23 (o) に示すように、外部接続用電極 66a、外部接続用電極 66b および外部接続用電極 66c が分離される。それにより、第 2 の実施の形態のモノリシック型レーザ素子 300 が形成される。次に、凹部 38 の底面および内側面から凹部 38 の周辺の一部領域にわたる p 側電極 31 上に半田層 73d を形成する。

【0179】

(e-3) 青紫色レーザ素子 110 とモノリシック型レーザ素子 300 との接合方法

次に、図 24 を参照して、青紫色レーザ素子 110 とモノリシック型レーザ素子 300 との接合方法について説明する。

【0180】

図 24 に示すように、青紫色レーザ素子 110 の位置合わせ用の凸部 18 を下側に向けた状態で、モノリシック型レーザ素子 300 の位置合わせ用の凹部 68 に嵌め込むことにより位置合わせを行う。この際、図 8 (a) および図 8 (b) に示した青紫色レーザ素子 110 の透明領域 111 から、位置合わせ用の凸部 18 と位置合わせ用の凹部 68 とを目視しながら図 24 の Z 方向に嵌め込む。そして、位置合わせ用の凸部 18 が位置合わせ用の凹部 68 に嵌め込まれた状態で、約 280 の温度条件下で熱処理することにより青紫色レーザ素子 110 上に形成された Au-Sn からなる半田層 73a, 73b, 73c, 73d を溶融する。この後、室温までの冷却過程で半田層 73a, 73b, 73c, 73d が固化することによって、青紫色レーザ素子 110 とモノリシック型レーザ素子 300 とが絶縁膜 63, 72 を介して半田層 73a, 73b, 73c, 73d により接合される。

【0181】

この後、互いに接合された青紫色レーザ素子 110 とモノリシック型レーザ素子 300 とを同時に劈開することにより光出射面 202 (図 14 (b) 参照) を形成した後、個々の集積型半導体レーザ素子に分離する。最後に、図 14 (a) および図 14 (b) に示したように、赤色レーザ素子 120 の n 側電極 62、外部接続用電極 66a, 66b および 66c の表面上にワイヤ 222a, 222b, 222c, 222d をボンディングする。

【0182】

(3) 請求項の各構成要素と実施の形態の各部との対応

第 1 の実施の形態では、青紫色レーザ素子 110 が第 1 の半導体レーザ素子に相当し、赤色レーザ素子 120 が第 2 の半導体レーザ素子に相当し、n 型 GaN 基板 1 が第 1 の基板に相当し、n 型 GaAs 基板 21 が第 2 の基板に相当し、青紫色のレーザ光が第 1 の波長のレーザ光に相当し、赤色のレーザ光が第 2 の波長のレーザ光に相当し、発光点 13 が第 1 の発光点に相当し、発光点 34 が第 2 の発光点に相当する。

10

20

30

40

50

## 【0183】

素子構成層 a、p 型コンタクト層 7 および電流ブロック層 9 が第 1 の半導体層に相当し、素子構成層 b および n 型電流ブロック層 30 が第 2 の半導体層に相当し、n 側電極 11 が第 1 の電極に相当し、p 側電極 10 が第 2 の電極に相当し、n 側電極 32 が第 3 の電極に相当し、p 側電極 31 が第 4 の電極に相当する。

## 【0184】

位置合わせ用の凸部 18 が凸部に相当し、位置合わせ用の凹部 38 が凹部に相当し、貫通孔 120b が第 1 の貫通孔に相当し、貫通孔 120a が第 2 の貫通孔に相当し、外部接続用電極 36b が第 1 の取り出し電極に相当し、外部接続用電極 36a が第 2 の取り出し電極に相当する。

## 【0185】

n 型クラッド層 2 が第 1 のクラッド層に相当し、p 型クラッド層 6 が第 2 のクラッド層に相当し、n 型クラッド層 23 が第 3 のクラッド層に相当し、p 型第 1 クラッド層 25 および p 型第 2 クラッド層 26 が第 4 のクラッド層に相当し、活性層 3 が第 1 の活性層に相当し、活性層 24 が第 2 の活性層に相当する。

## 【0186】

第 2 の実施の形態では、赤外レーザ素子 130 が第 2 の半導体レーザ素子に相当し、赤色レーザ素子 120 が第 3 の半導体レーザ素子に相当し、n 型 GaAs 基板 51 が第 2 および第 3 の基板に相当し、赤外のレーザ光が第 2 の波長のレーザ光に相当し、赤色のレーザ光が第 3 の波長のレーザ光に相当し、発光点 64 が第 2 の発光点に相当し、発光点 34 が第 3 の発光点に相当する。

## 【0187】

素子構成層 c および n 型電流ブロック層 60 が第 2 の半導体層に相当し、素子構成層 b および n 型電流ブロック層 60 が第 3 の半導体層に相当し、n 側電極 62 が第 3 および第 5 の電極に相当し、p 側電極 61 が第 4 の電極に相当し、p 側電極 31 が第 6 の電極に相当する。

## 【0188】

貫通孔 220c が第 1 の貫通孔に相当し、貫通孔 220b が第 2 の貫通孔に相当し、貫通孔 220a が第 3 の貫通孔に相当し、外部接続用電極 66c が第 1 の取り出し電極に相当し、外部接続用電極 66b が第 2 の取り出し電極に相当し、外部接続用電極 66a が第 3 の取り出し電極に相当する。第 2 の実施の形態の他の部分の対応は第 1 の実施の形態と同様である。

## 【0189】

(4) 他の変形例

なお、絶縁膜の材料は、SiO<sub>2</sub> に限らず、SiNx, TiO<sub>2</sub>, ZrO<sub>2</sub> 等の他の絶縁材料を用いてもよい。

## 【0190】

第 1 および第 2 の実施の形態では青紫色レーザ素子 110 に位置合わせ用の凸部 18 が設けられ、赤色レーザ素子 120 およびモノリシック型レーザ素子 300 に位置合わせ用の凹部 38 および位置合わせ用の凹部 68 が設けられているが、青紫色レーザ素子 110 に位置合わせ用の凹部が設けられ、赤色レーザ素子 120 およびモノリシック型レーザ素子 300 に位置合わせ用の凸部が設けられてもよい。

## 【産業上の利用可能性】

## 【0191】

本発明は、複数種類の光学記録媒体の記録および再生を行うための光ピックアップ装置、表示装置、光源等ならびにそれらの製造に有効に利用できる。

## 【図面の簡単な説明】

## 【0192】

【図 1】第 1 の実施の形態に係る集積型半導体レーザ素子の構造を示す概略断面図および平面図である。

10

20

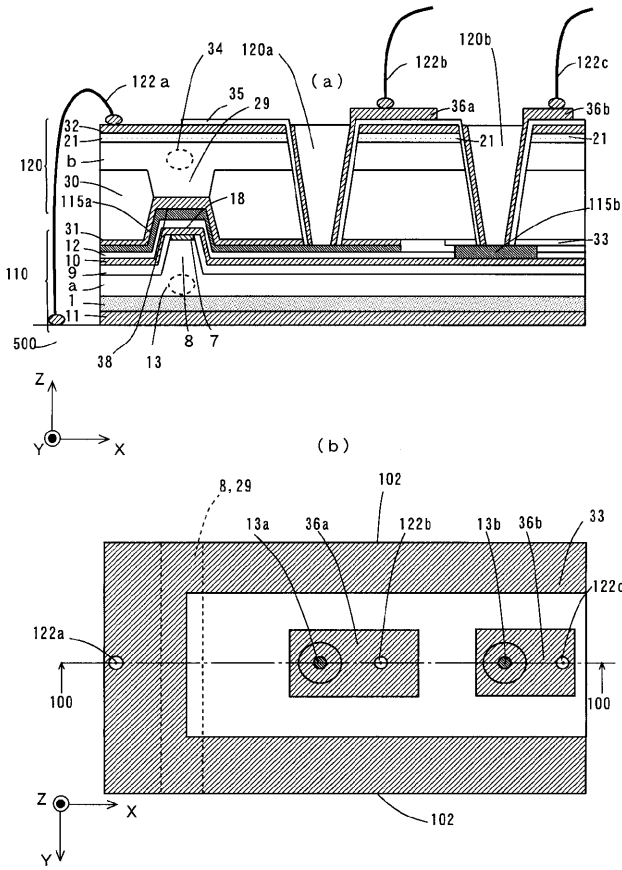
30

40

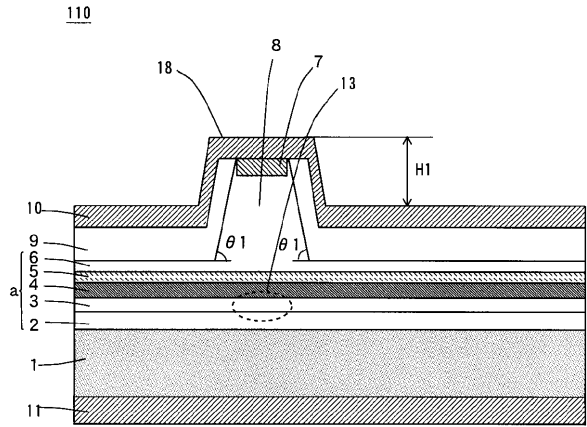
50

- 【図 2】図 1 の青紫色レーザ素子を示す詳細断面図である。
- 【図 3】図 1 の赤色レーザ素子を示す詳細断面図である。
- 【図 4】図 1 の青紫色レーザ素子の製造工程を示す工程断面図である。
- 【図 5】図 1 の青紫色レーザ素子の製造工程を示す工程断面図である。
- 【図 6】図 1 の青紫色レーザ素子の製造工程を示す工程断面図である。
- 【図 7】図 1 の青紫色レーザ素子の製造工程を示す工程断面図である。
- 【図 8】図 1 の青紫色レーザ素子を示す平面図である。
- 【図 9】図 1 の赤色レーザ素子の製造工程を示す工程断面図である。
- 【図 10】図 1 の赤色レーザ素子の製造工程を示す工程断面図である。
- 【図 11】図 1 の赤色レーザ素子の製造工程を示す工程断面図である。 10
- 【図 12】図 1 の赤色レーザ素子の製造工程を示す工程断面図である。
- 【図 13】青紫色レーザ素子および赤色レーザ素子の接合方法を示す工程断面図である。
- 【図 14】第 2 の実施の形態に係る集積型半導体レーザ装置を示す概略断面図および平面図である。
- 【図 15】図 14 の赤外レーザ素子を示す詳細断面図である。
- 【図 16】図 14 の青紫色レーザ素子を製造工程を示す工程断面図である。
- 【図 17】図 14 のモノリシック型レーザ素子の製造工程を示す工程断面図である。
- 【図 18】図 14 のモノリシック型レーザ素子の製造工程を示す工程断面図である。
- 【図 19】図 14 のモノリシック型レーザ素子の製造工程を示す工程断面図である。
- 【図 20】図 14 のモノリシック型レーザ素子の製造工程を示す工程断面図である。 20
- 【図 21】図 14 のモノリシック型レーザ素子の製造工程を示す工程断面図である。
- 【図 22】図 14 のモノリシック型レーザ素子の製造工程を示す工程断面図である。
- 【図 23】図 14 のモノリシック型レーザ素子の製造工程を示す工程断面図である。
- 【図 24】図 14 の青紫色レーザ素子およびモノリシック型レーザ素子の接合方法を示す工程断面図である。
- 【図 25】従来集積型半導体レーザ素子の構造を示す斜視図である。
- 【符号の説明】
- 【0193】
- |                              |             |    |
|------------------------------|-------------|----|
| 1                            | n 型 GaN 基板  |    |
| 8, 29, 59                    | リッジ部        | 30 |
| 10, 31, 61                   | p 側電極       |    |
| 11, 32, 62                   | n 側電極       |    |
| 12, 33, 35, 63, 65, 72       | 絶縁膜         |    |
| 13, 34, 64                   | 発光点         |    |
| 18                           | 凸部          |    |
| 21, 51                       | n 型 GaAs 基板 |    |
| 30a, 60a                     | 開口部         |    |
| 36a, 36b, 66a, 66b, 66c      | 外部接続用電極     |    |
| 38, 68                       | 凹部          |    |
| 73a, 73b, 73c, 115a, 115b    | 半田層         | 40 |
| 120a, 120b, 220a, 220b, 220c | 貫通孔         |    |

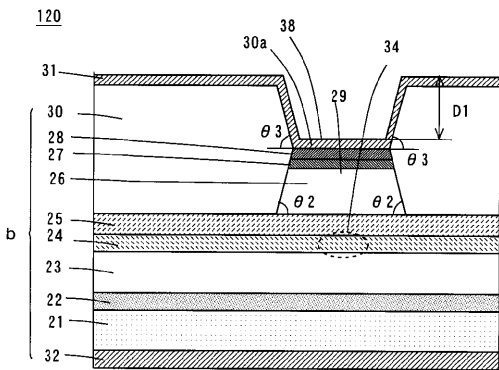
【 図 1 】



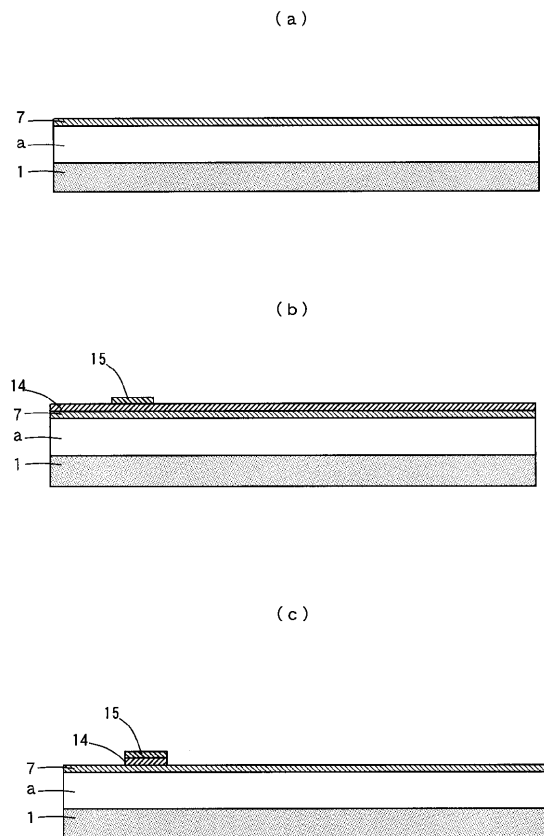
【 図 2 】



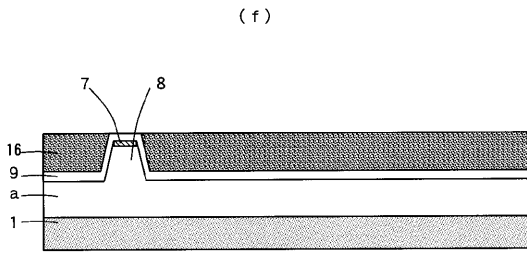
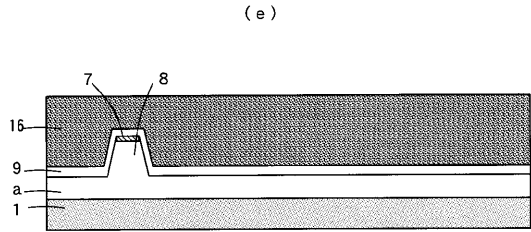
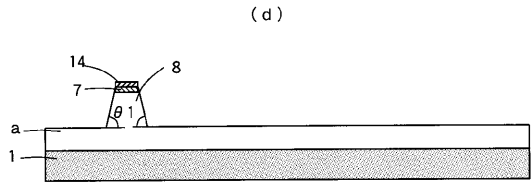
【 図 3 】



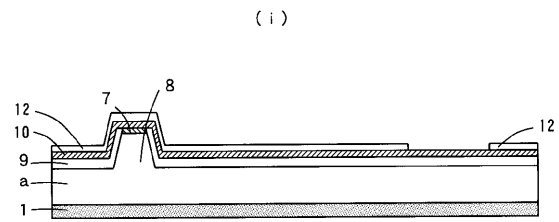
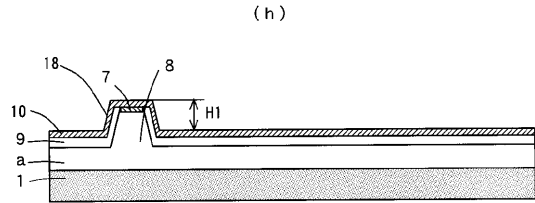
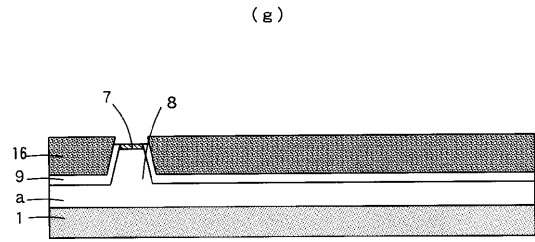
【 図 4 】



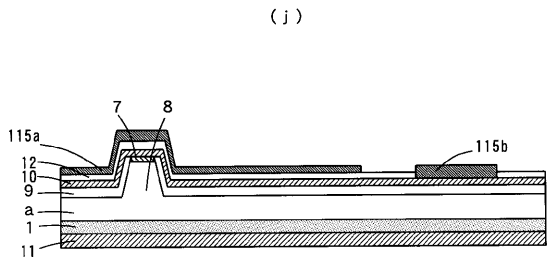
【 図 5 】



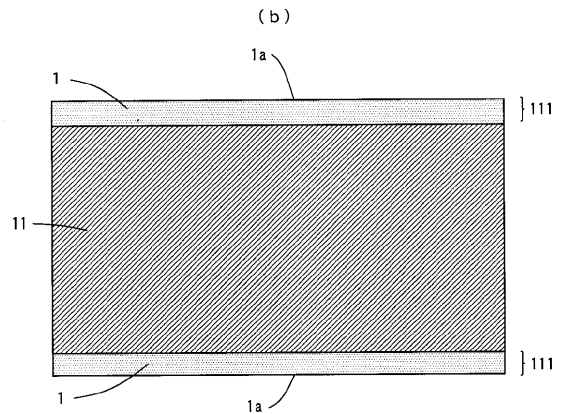
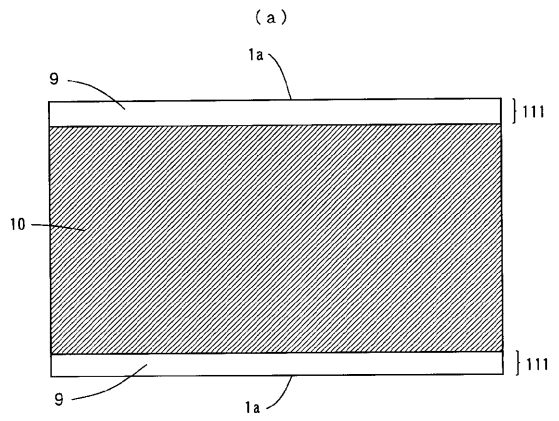
【 図 6 】



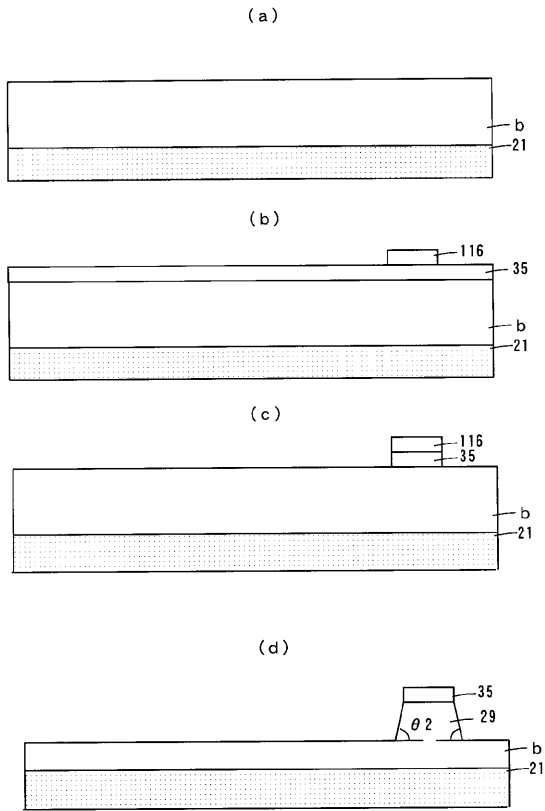
【 図 7 】



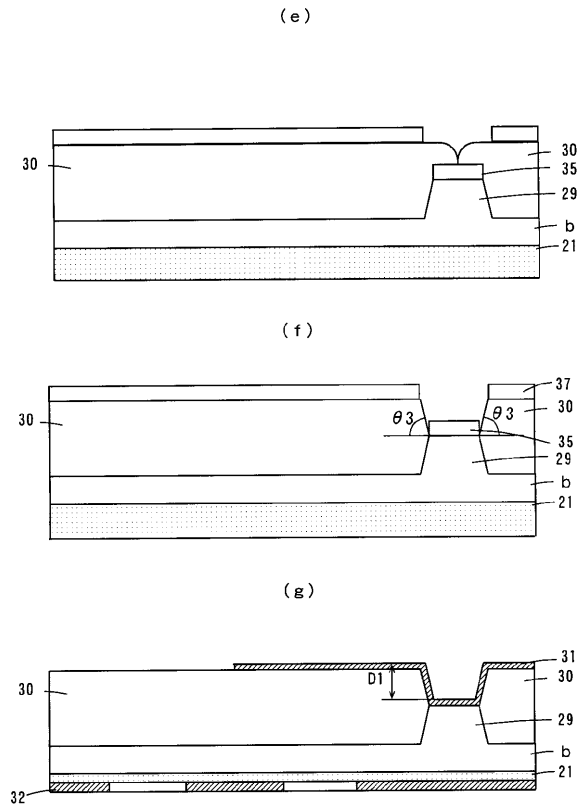
【 図 8 】



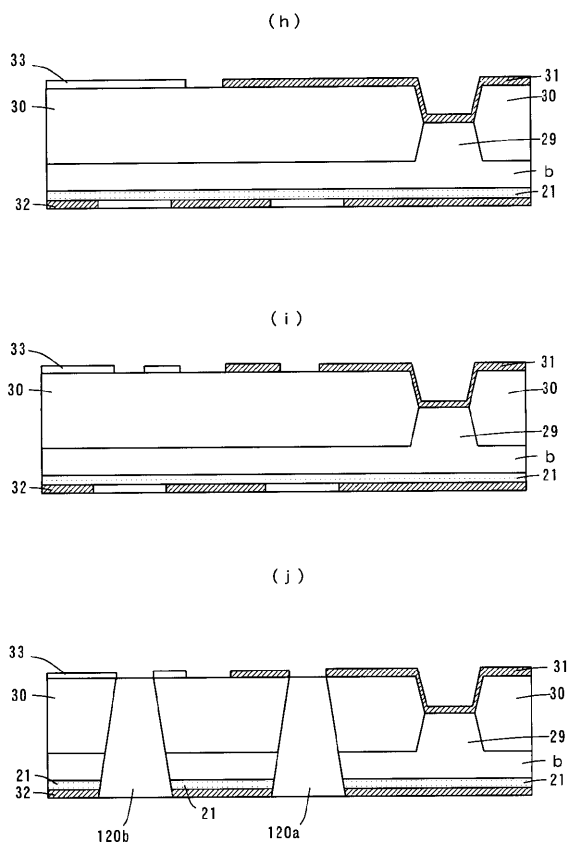
【 図 9 】



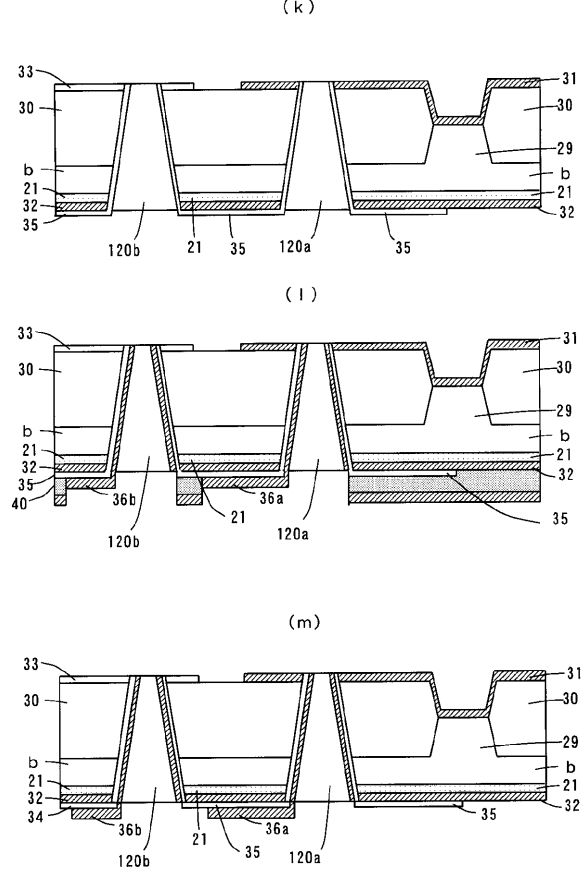
【 図 10 】



【 図 11 】

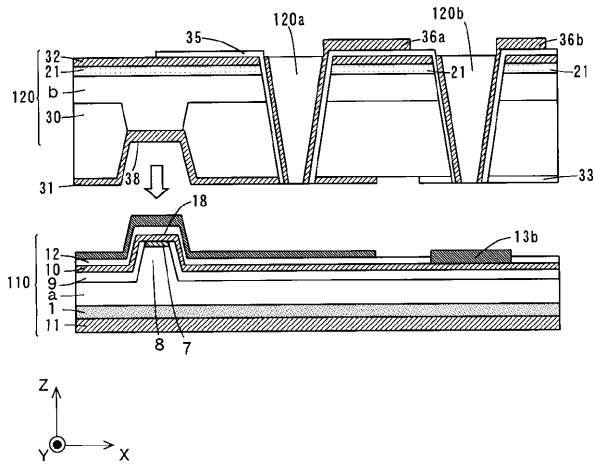


【 図 12 】

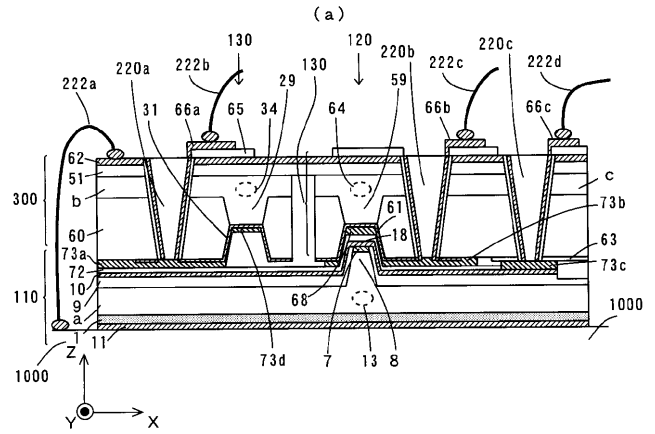




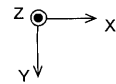
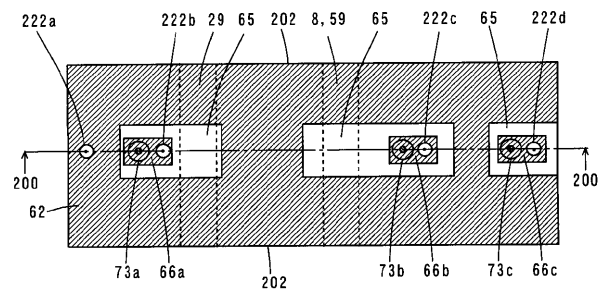
【 図 1 3 】



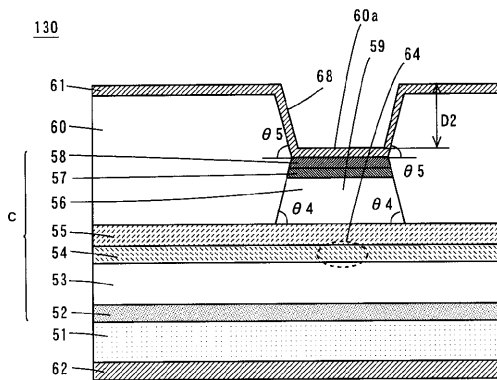
【 図 1 4 】



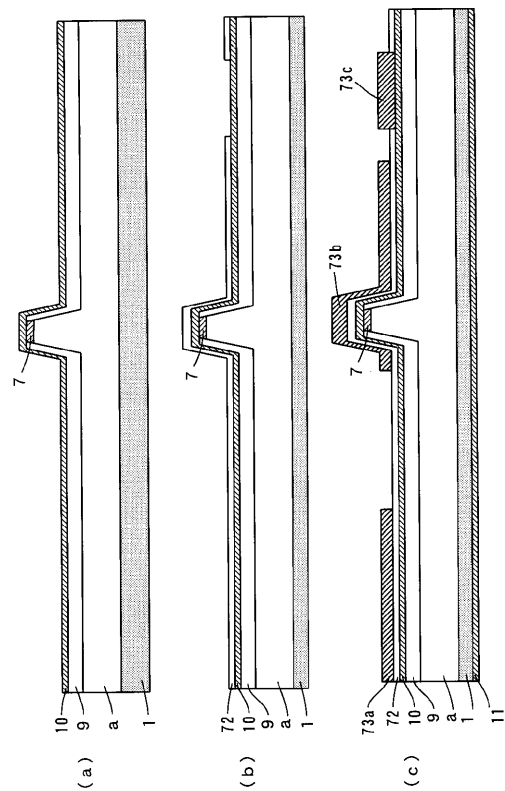
(b)



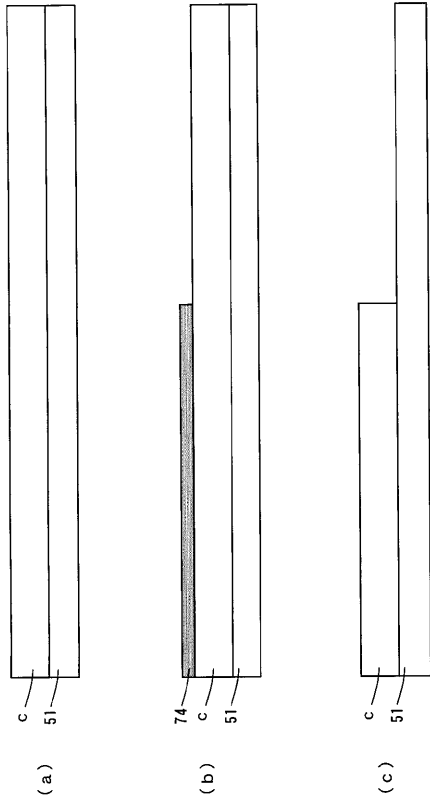
【 図 1 5 】



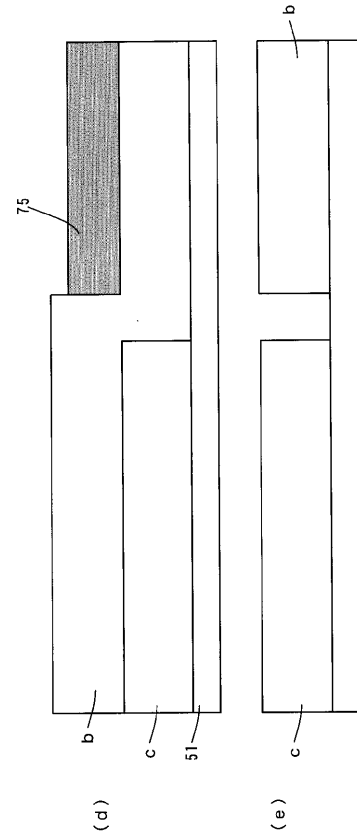
【 図 1 6 】



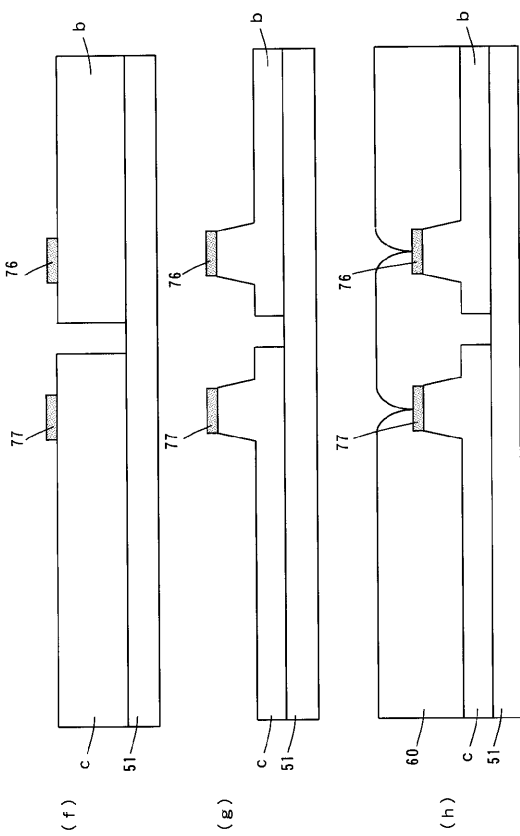
【図 17】



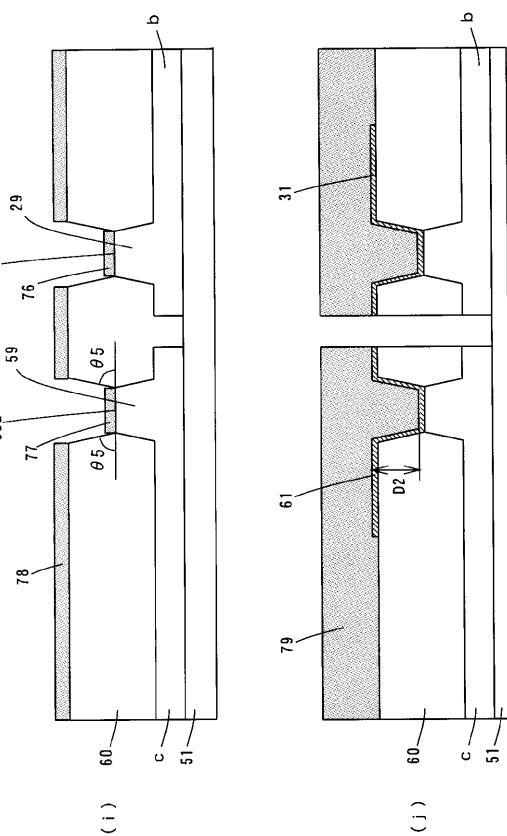
【図 18】



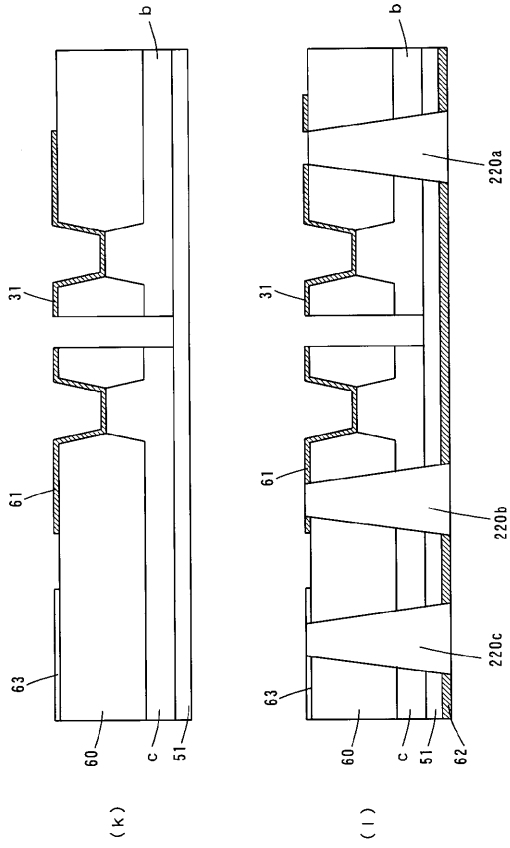
【図 19】



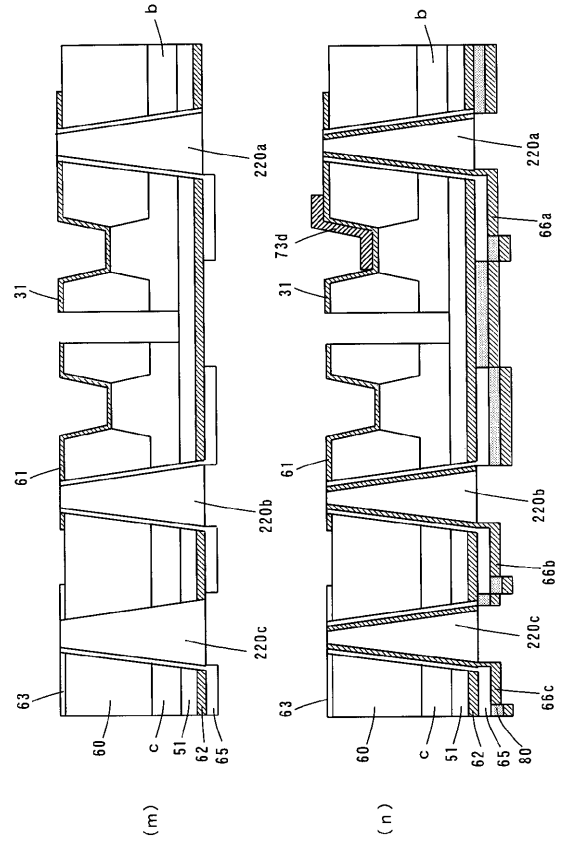
【図 20】



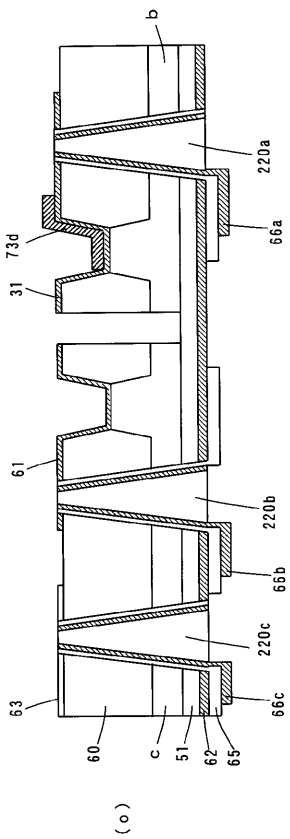
【 2 1 】



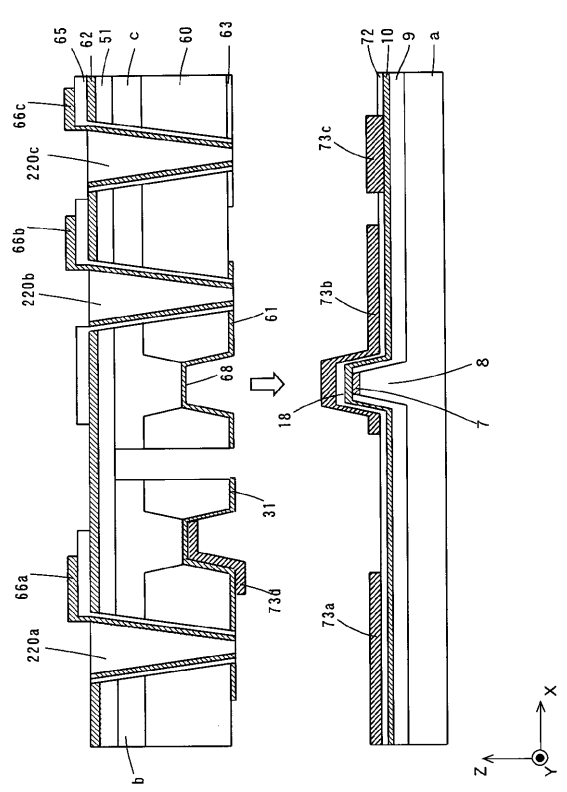
【 2 2 】



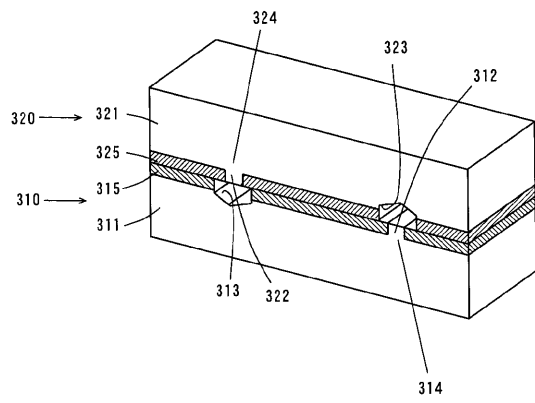
【 2 3 】



【 2 4 】



【 図 2 5 】



---

フロントページの続き

(72)発明者 畑 雅幸

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

Fターム(参考) 5F173 AA05 AA08 AD06 AG12 AH08 AH22 AK21 AP05 AP13 AP32  
AP33 AP73 AP76 AQ03 AR07 AR58