



(12) 发明专利申请

(10) 申请公布号 CN 104952705 A

(43) 申请公布日 2015. 09. 30

(21) 申请号 201410114647. 7

(22) 申请日 2014. 03. 26

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 余云初 沈忆华

(74) 专利代理机构 上海光华专利事务所 31219  
代理人 李仪萍

(51) Int. Cl.

H01L 21/027(2006. 01)

H01L 21/28(2006. 01)

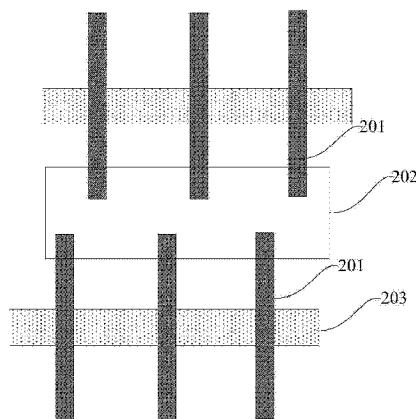
权利要求书1页 说明书5页 附图5页

(54) 发明名称

一种双重图形及半导体器件结构的制作方法

(57) 摘要

本发明提供一种双重图形及半导体器件结构的制作方法,所述双重图形包括:第一掩膜,具有相隔排列的至少两排条状图形阵列,各排条状图形阵列包括多个间隔排列的条状图形,且各该条状图形的端部对应为待切割区域;以及第二掩膜,其于第一掩膜的相邻两排条状图形阵列间具有切割窗口,且该切割窗口同时覆盖于所述两排条状图形阵列中各条状图形的端部。本发明采用一个宽度较大的切割窗口同时覆盖于所述两排条状图形阵列中各条状图形的端部,用于对两排线端同时进行切割,相比于现有采用两个小宽度切割窗分别对两排线端切割的方法来说,可以有效减小两排线端之间的距离,从而提高电路的集成度。



1. 一种双重图形,其特征在于,包括:

第一掩膜,具有相隔排列的至少两排条状图形阵列,各排条状图形阵列包括多个间隔排列的条状图形,且各该条状图形的端部对应为待切割区域;以及

第二掩膜,其于第一掩膜的相邻两排条状图形阵列间具有切割窗口,且该切割窗口同时覆盖于所述两排条状图形阵列中各条状图形的端部。

2. 根据权利要求1所述的双重图形,其特征在于:所述第一掩膜中,相邻两排条状图形阵列中的多个条状图形呈错位排列。

3. 根据权利要求1所述的双重图形,其特征在于:所述第一掩膜及第二掩膜包括透明基板以及图形化的遮光层。

4. 一种基于权利要求1~3任意一项所述的双重图形的半导体器件结构的制作方法,其特征在于,包括以下步骤:

1) 提供表面覆盖有结构层的半导体衬底;

2) 藉由所述第一掩膜于所述结构层表面形成第一光刻图形,通过该第一光刻图形将所述结构层刻蚀成具有相隔排列的至少两排条状结构阵列,且各条状结构阵列包括多个间隔排列的条状结构;

3) 去除所述第一光刻图形;

4) 藉由所述第二掩膜形成第二光刻图形,通过该第二光刻图形同时将相邻的两排条状结构阵列中各条状结构的端部刻蚀去除。

5. 根据权利要求4所述的半导体器件结构的制作方法,其特征在于:所述结构层为介质层、多晶硅层、金属层中的一种或两种以上的叠层。

6. 根据权利要求4所述的半导体器件结构的制作方法,其特征在于:相邻两排条状结构阵列中的多个条状结构呈错位排列。

7. 根据权利要求4所述的半导体器件结构的制作方法,其特征在于:步骤2)所述第一光刻图形为图形化的光致抗蚀剂层。

8. 根据权利要求4所述的半导体器件结构的制作方法,其特征在于:步骤2)所述第一光刻图形为图形化的硬掩膜层及光致抗蚀剂层组成的复合层。

9. 根据权利要求4所述的半导体器件结构的制作方法,其特征在于:步骤4)所述第二光刻图形为图形化的光致抗蚀剂层。

10. 根据权利要求4所述的半导体器件结构的制作方法,其特征在于:步骤4)所述第二光刻图形为图形化的硬掩膜层及光致抗蚀剂层组成的复合层。

## 一种双重图形及半导体器件结构的制作方法

### 技术领域

[0001] 本发明属于半导体制造领域,特别是涉及一种双重图形及半导体器件结构的制作方法。

### 背景技术

[0002] 随着半导体技术的不断进步,器件的功能不断强大,随之而来的是半导体制造难度的与日俱增。目前,在 32nm 及其以下技术节点上,应用于关键层次的光刻工艺,由于其所需的分辨率指标已经超过现有的光学光刻平台的极限能力,业界采用了多种技术方案来解决该技术问题,而根据 ITRS 路线图所示,双重图形化技术(Double Patterning Technology,简称 DPT)、极紫外线技术(EUV)、电子束直写(EBL)等技术方案都被业界寄予了厚望。

[0003] 其中,双重图形化技术(DPT)是将一套高密度的电路图形分解拆分为两套或多套密集度较低的电路图,然后将它们印制到目标晶圆上。双重图形曝光有多种不同的实现方法,不过基本步骤都是先印制一半的图形,显影,刻蚀;然后重新旋涂一层光刻胶,再印制另一半的图形,最后利用硬掩膜或选择性刻蚀来完成整个光刻过程。

[0004] 栅极线宽是半导体器件的主要参数之一。减小线宽可以提高集成度以及减小器件尺寸。作小线宽栅极的光刻工艺会产生线端收缩(line-end shortening)。栅极线宽越小,线端收缩越严重。传统的方法是在光掩模上进行光学临近效应修正(optical proximity correction, OPC)来矫正线端收缩。当线端收缩太严重,所需光学临近效应修正的修正量太大,以至于在光掩模上相邻两个线端图形形成重叠,导致光学临近效应修正方法失效。在这种情况下,就不得不增加一步线端切割工艺(line-end cut)。栅极线端切割工艺是在形成重叠线端的栅极线条之后,通过利用切割掩模版增加的线端切割光刻和线端切割刻蚀工艺来切断重叠的相邻两个线端光刻是通过对准、曝光等一系列步骤将目标图案转移到衬底上的工艺过程。但随着集成电路制造技术的不断发展,半导体器件的特征尺寸越来越小,单层曝光已不能满足对分辨率的要求,双层曝光能很好的解决分辨率的要求。

[0005] 如图 1~图 2 所示,现有的一种线端切割工艺均采用宽度较小的切割窗口实现,然而,对于相邻的两排栅极线端 101,采用两个宽度较小的切割窗口 102 实现切割,两个切割窗口 102 之间的距离受到如曝光或者工艺线宽等影响,两个切割窗口 102 之间的必须具有一个较大的距离才能保证曝光和刻蚀的精度,如此,相邻的两排栅极线端 101 之间的距离受到切割窗口 102 之间距离的限制,其距离也必须适应的增大,从而严重降低电路的集成度。

[0006] 因此,提供一种能够有效对栅极线端进行切割且能提高电路集成度的方法实属必要。

### 发明内容

[0007] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种双重图形及半导体器

件结构的制作方法,用于解决现有技术中由于切割窗口之间距离的限制而导致电路集成度严重降低的问题。

[0008] 为实现上述目的及其他相关目的,本发明提供一种双重图形,包括:

[0009] 第一掩膜,具有相隔排列的至少两排条状图形阵列,各排条状图形阵列包括多个间隔排列的条状图形,且各该条状图形的端部对应为待切割区域;

[0010] 第二掩膜,其于第一掩膜的相邻两排条状图形阵列间具有切割窗口,且该切割窗口同时覆盖于所述两排条状图形阵列中各条状图形的端部。

[0011] 作为本发明双重图形的一种优选方案,所述第一掩膜中,相邻两排条状图形阵列中的多个条状图形呈错位排列。

[0012] 作为本发明双重图形的一种优选方案,所述第一掩膜及第二掩膜包括透明基板以及图形化的遮光层。

[0013] 本发明还提供一种基于双重图形的半导体器件结构的制作方法,包括以下步骤:

[0014] 1) 提供表面覆盖有结构层的半导体衬底;

[0015] 2) 藉由所述第一掩膜于所述结构层表面形成第一光刻图形,通过该第一光刻图形将所述结构层刻蚀成具有相隔排列的至少两排条状结构阵列,且各条状结构阵列包括多个间隔排列的条状结构;

[0016] 3) 去除所述第一光刻图形;

[0017] 4) 藉由所述第二掩膜形成第二光刻图形,通过该第二光刻图形同时将相邻的所述两排条状结构阵列中各条状结构的端部刻蚀去除。

[0018] 作为本发明的半导体器件结构的制作方法的一种优选方案,所述结构层为介质层、多晶硅层、金属层中的一种或两种以上的叠层。

[0019] 作为本发明的半导体器件结构的制作方法的一种优选方案,相邻两排条状结构阵列中的多个条状结构呈错位排列。

[0020] 作为本发明的半导体器件结构的制作方法的一种优选方案,步骤2)所述第一光刻图形为图形化的光致抗蚀剂层。

[0021] 作为本发明的半导体器件结构的制作方法的一种优选方案,步骤2)所述第一光刻图形为图形化的硬掩膜层及光致抗蚀剂层组成的复合层。

[0022] 作为本发明的半导体器件结构的制作方法的一种优选方案,步骤4)所述第二光刻图形为图形化的光致抗蚀剂层。

[0023] 作为本发明的半导体器件结构的制作方法的一种优选方案,步骤4)所述第二光刻图形为图形化的硬掩膜层及光致抗蚀剂层组成的复合层。

[0024] 如上所述,本发明提供一种双重图形及半导体器件结构的制作方法,所述双重图形包括:第一掩膜,具有相隔排列的至少两排条状图形阵列,各排条状图形阵列包括多个间隔排列的条状图形,且各该条状图形的端部对应为待切割区域;以及第二掩膜,其于第一掩膜的相邻两排条状图形阵列间具有切割窗口,且该切割窗口同时覆盖于所述两排条状图形阵列中各条状图形的端部。本发明采用一个宽度较大的切割窗口同时覆盖于所述两排条状图形阵列中各条状图形的端部,用于对两排线端同时进行切割,相比于现有采用两个小宽度切割窗分别对两排线端切割的方法来说,可以有效减小两排线端之间的距离,从而提高电路的集成度。

## 附图说明

[0025] 图 1 ~ 图 2 显示为现有技术中的一种用于线端切割的双重图形的结构示意图。

[0026] 图 3 ~ 图 4 显示为本发明的双重图形的结构示意图。

[0027] 图 5 显示为本发明的基于双重图形的半导体器件结构的制作方法步骤流程图示意图。

[0028] 元件标号说明

[0029] 201 条状图形

[0030] 202 切割窗口

[0031] 203 有源区

[0032] S11 ~ S14 步骤 1) ~ 步骤 4)

## 具体实施方式

[0033] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0034] 请参阅图 3 ~ 5。需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0035] 如图 3 ~ 图 4 所示,本实施例提供一种双重图形,包括:

[0036] 第一掩膜,具有相隔排列的至少两排条状图形 201 阵列,各排条状图形 201 阵列包括多个间隔排列的条状图形 201,且各该条状图形 201 的端部对应为待切割区域;

[0037] 第二掩膜,其于第一掩膜的相邻两排条状图形 201 阵列间具有切割窗口 202,且该切割窗口 202 同时覆盖于所述两排条状图形 201 阵列中各条状图形 201 的端部。

[0038] 作为示例,如图 3 所示,所述第一掩膜中,相邻两排条状图形 201 阵列中的多个条状图形 201 呈错位排列。一般来说,所述第一掩膜用于制作条状的金属层、介质层、多晶硅栅等结构,在本实施例中,所述第一掩膜用于制作条状的多晶硅栅,所述多晶硅栅下方为有源区 203,其通过前面的工序形成。在实际的生产过程中,采用所述第一掩膜形成的多个条状多晶硅栅会呈错位排列,这时,会产生很多多晶硅线端,而由于曝光等原因,这些线端往往会具有严重的收缩,因此,不得不增加一步线端切割工艺。

[0039] 所述第二掩膜,如图 4 所示,其于第一掩膜的相邻两排条状图形 201 阵列间具有切割窗口 202,且该切割窗口 202 同时覆盖于所述两排条状图形 201 阵列中各条状图形 201 的端部,所述第二掩膜用于对采用第一掩膜制作的条状多晶硅栅的端部同时进行切割,相比于现有采用两个小宽度切割窗分别对两排线端切割的方法来说,可以有效减小两排线端之间的距离,从而大大提高电路的集成度。

[0040] 作为示例,所述第一掩膜及第二掩膜包括透明基板以及图形化的遮光层。在所述第一掩膜中,所述遮光层具有相隔排列的至少两排条状图形 201 阵列,各排条状图形 201 阵

列包括多个间隔排列的条状图形 201,且各该条状图形 201 的端部对应为待切割区域。在所述第二掩膜中,所述遮光层于第一掩膜的相邻两排条状图形 201 阵列间具有切割窗口 202,且该切割窗口 202 同时覆盖于所述两排条状图形 201 阵列中各条状图形 201 的端部。

[0041] 如图 5 所示,本实施例还提供一种基于双重图形的半导体器件结构的制作方法,包括以下步骤:

[0042] 首先进行步骤 1)S11,提供表面覆盖有结构层的半导体衬底。

[0043] 作为示例,所述半导体衬底可以为硅衬底、碳化硅衬底、锗硅衬底、或 III-V 族化合物衬底等。所述结构层为介质层、多晶硅层、金属层中的一种或两种以上的叠层,在本实施例中,所述结构层为多晶硅层与介质层的叠层。

[0044] 然后进行步骤 2)S12,藉由所述第一掩膜于所述结构层表面形成第一光刻图形,通过该第一光刻图形将所述结构层刻蚀成具有相隔排列的至少两排条状结构阵列,且各条状结构阵列包括多个间隔排列的条状结构。

[0045] 在本实施例中,所述条状结构为多晶硅层与介质层的叠层。

[0046] 作为示例,所述第一光刻图形为图形化的光致抗蚀剂层。或者,所述第一光刻图形为图形化的硬掩膜层及光致抗蚀剂层组成的复合层。在本实施例中,所述第一光刻图形为图形化的光致抗蚀剂层。具体地,包括以下步骤:

[0047] 步骤 2-1),于所述结构层表面形成光致抗蚀剂层;

[0048] 步骤 2-2),采用所述第一掩膜对所述光致抗蚀剂层进行曝光、显影及固化工艺,形成第一光刻图形;

[0049] 步骤 2-3),通过该第一光刻图形将所述结构层刻蚀成具有相隔排列的至少两排条状结构阵列,且各条状结构阵列包括多个间隔排列的条状结构。作为示例,所述相邻两排条状结构阵列中的多个条状结构呈错位排列。由于曝光等原因,这些线端往往会具有严重的收缩,因此,不得不增加一步线端切割工艺。

[0050] 接着进行步骤 3)S13,去除所述第一光刻图形。

[0051] 最后进行步骤 4)S14,藉由所述第二掩膜形成第二光刻图形,通过该第二光刻图形同时将相邻的所述两排条状结构阵列中各条状结构的端部刻蚀去除。

[0052] 作为示例,所述第二光刻图形为图形化的光致抗蚀剂层。或者,所述第二光刻图形为图形化的硬掩膜层及光致抗蚀剂层组成的复合层。在本实施例中,所述第二光刻图形为图形化的光致抗蚀剂层。具体地,包括以下步骤:

[0053] 步骤 4-1),于通过步骤 2)刻蚀后的结构层及半导体衬底表面形成光致抗蚀剂层;

[0054] 步骤 4-2),采用所述第二掩膜对所述光致抗蚀剂层进行曝光、显影及固化工艺,形成第二光刻图形;

[0055] 步骤 4-3),通过该第二光刻图形同时将相邻的两排条状结构阵列中各条状结构的端部刻蚀去除。采用同一切割窗口同时去除两排线端,相比于现有采用两个小宽度切割窗分别对两排线端切割的方法来说,可以有效减小两排线端之间的距离,从而提高电路的集成度。

[0056] 如上所述,本发明提供一种双重图形及半导体器件结构的制作方法,所述双重图形包括:第一掩膜,具有相隔排列的至少两排条状图形 201 阵列,各排条状图形 201 阵列包括多个间隔排列的条状图形 201,且各该条状图形 201 的端部对应为待切割区域;以及第二

掩膜,其于第一掩膜的相邻两排条状图形 201 阵列间具有切割窗口 202,且该切割窗口 202 同时覆盖于所述两排条状图形 201 阵列中各条状图形 201 的端部。本发明采用一个宽度较大的切割窗口 202 同时覆盖于所述两排条状图形 201 阵列中各条状图形 201 的端部,用于对两排线端同时进行切割,相比于现有采用两个小宽度切割窗分别对两排线端切割的方法来说,可以有效减小两排线端之间的距离,从而提高电路的集成度。所以,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0057] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

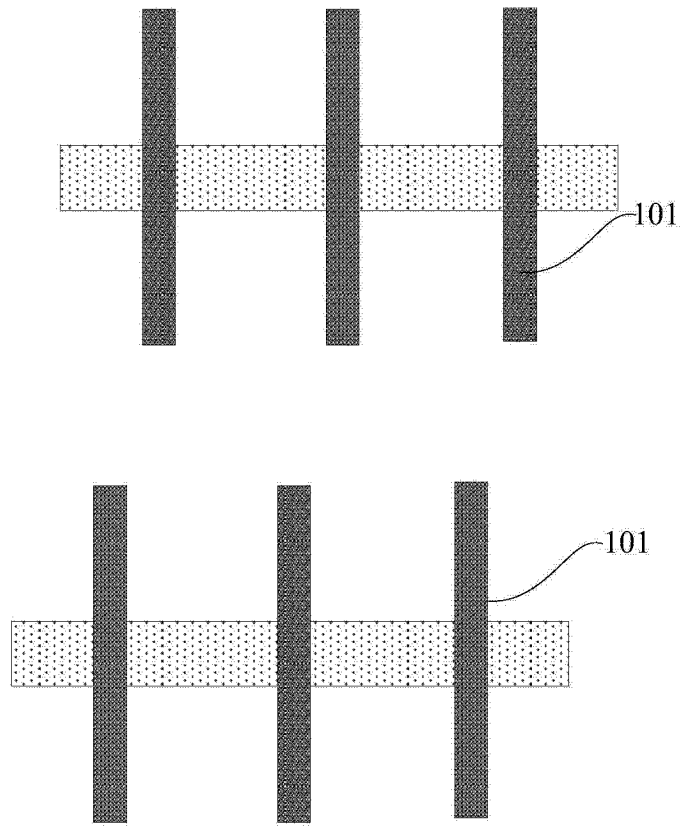


图 1



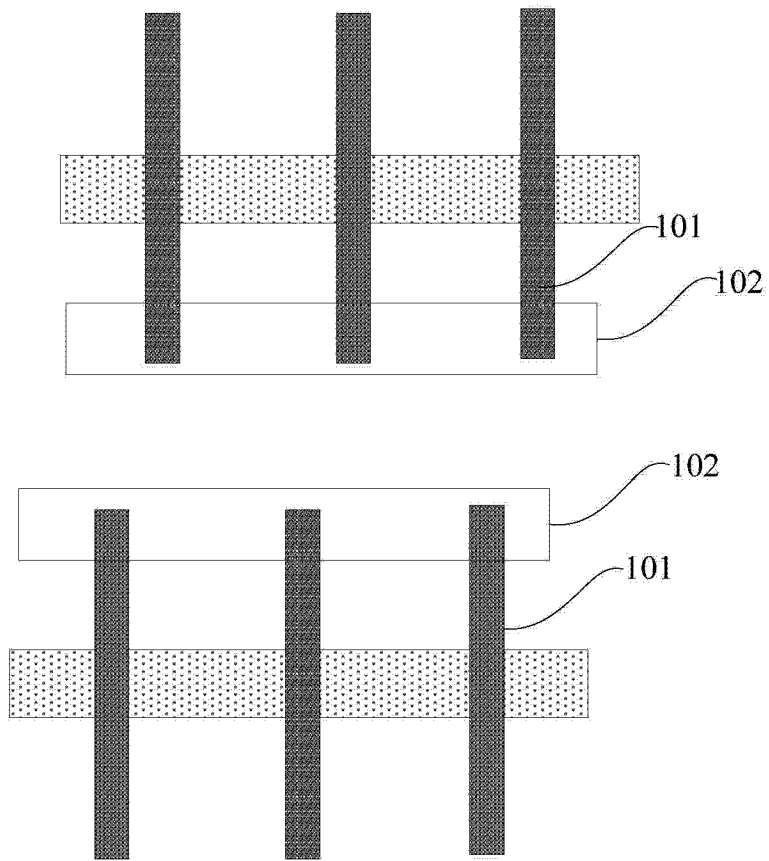


图 2

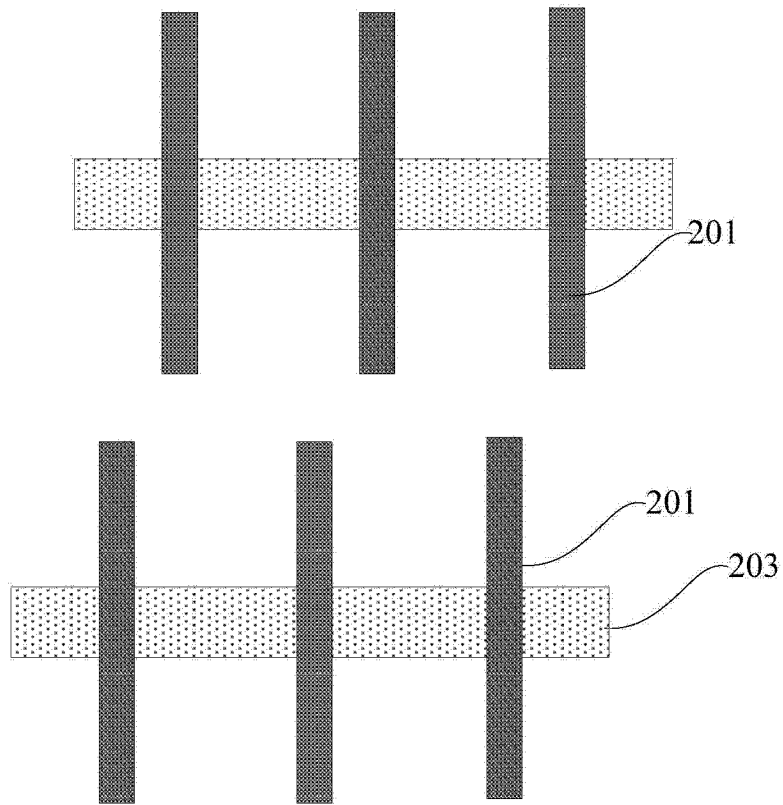


图 3

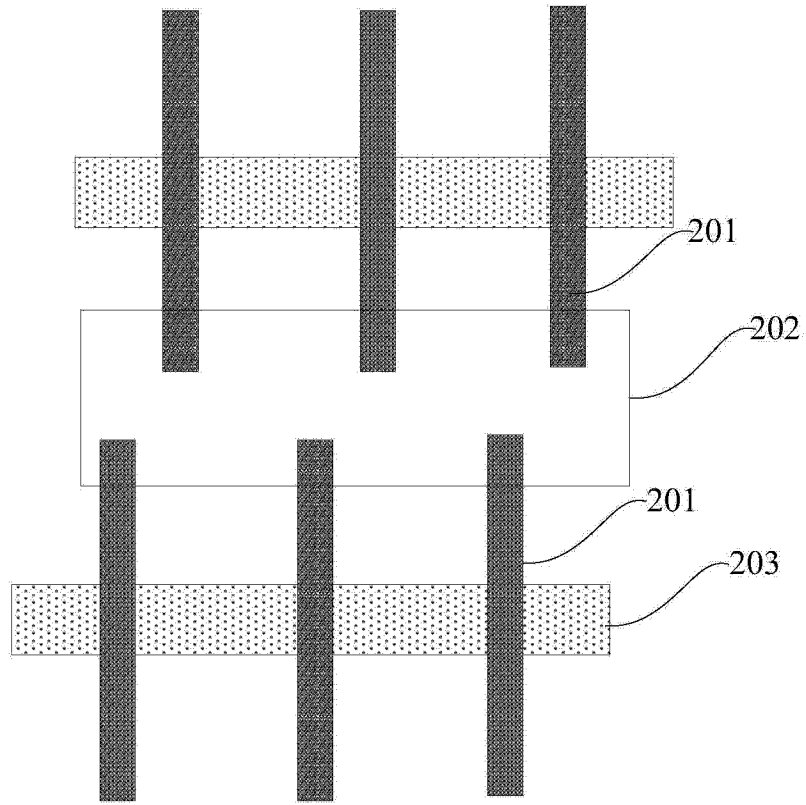


图 4

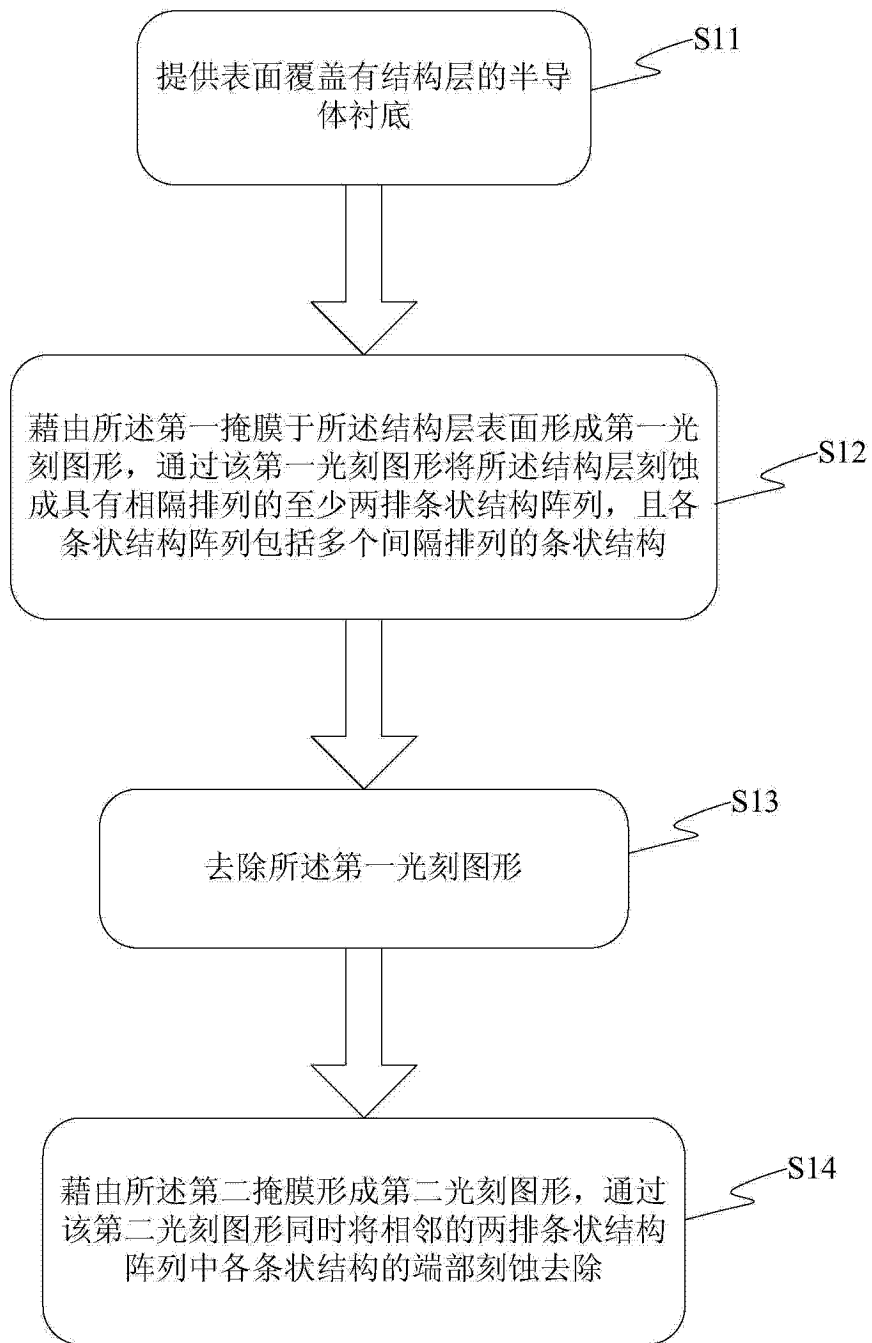


图 5