

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5789446号
(P5789446)

(45) 発行日 平成27年10月7日(2015.10.7)

(24) 登録日 平成27年8月7日(2015.8.7)

(51) Int. Cl.	F I
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A
HO 4 N 9/07 (2006.01)	HO 4 N 9/07 A

請求項の数 6 (全 15 頁)

(21) 出願番号	特願2011-174824 (P2011-174824)	(73) 特許権者	306037311
(22) 出願日	平成23年8月10日 (2011.8.10)		富士フイルム株式会社
(65) 公開番号	特開2013-38312 (P2013-38312A)		東京都港区西麻布2丁目26番30号
(43) 公開日	平成25年2月21日 (2013.2.21)	(74) 代理人	100115107
審査請求日	平成26年1月6日 (2014.1.6)		弁理士 高松 猛
		(74) 代理人	100151194
			弁理士 尾澤 俊之
		(74) 代理人	100164758
			弁理士 長谷川 博道
		(72) 発明者	小林 誠
			埼玉県さいたま市北区植竹町一丁目324
			番地 富士フイルム株式会社内
		審査官	柴山 将隆

最終頁に続く

(54) 【発明の名称】 MOS型固体撮像素子及び撮像装置

(57) 【特許請求の範囲】

【請求項1】

三原色カラーフィルタがベイア配列された第1画素群と、前記第1画素群に対し水平方向、垂直方向共に1/2画素ピッチずつずれ三原色のカラーフィルタがベイア配列された第2画素群とを備えるMOS型固体撮像素子であって、

前記第1画素群に属する1つの第1画素と該第1画素と同色のカラーフィルタを持ち、該第1画素と斜めに隣接する前記第2画素群に属する1つの第2画素との対から成る第1のペア画素と、該ペア画素に対して垂直方向に隣接する第2のペア画素との計4画素により読出単位が形成され、

該4画素毎に、1つの共通のMOSトランジスタ回路で構成される信号読出回路が設けられ、

前記画素のそれぞれの間には、各画素を分離する格子状の素子分離領域を有し、

前記読出単位となる4画素の各々は読出トランジスタを有し、

前記第1のペア画素を形成する2つの画素の間を分離する前記素子分離領域と、該第1のペア画素が含まれる前記読出単位の前記第2のペア画素と該第1のペア画素との間を分離する前記素子分離領域との交点位置に、前記2つの画素のそれぞれに設けられた前記読出トランジスタを介して該2つの画素が接続する第1のフローティングディフュージョンを有し、

該2つの画素の前記読出トランジスタは、前記第1のフローティングディフュージョンが在る前記素子分離領域の交点位置に臨む角部に設けられ、

10

20

前記第2のペア画素を形成する2つの画素の間を分離する前記素子分離領域と、該第2のペア画素が含まれる前記読出単位又は該読出単位に対し垂直方向に隣接する読出単位の前記第1のペア画素と該第2のペア画素との間を分離する前記素子分離領域との交点位置に、前記2つの画素のそれぞれに設けられた前記読出トランジスタを介して該2つの画素が接続する第2のフローティングディフュージョンを有し、

該2つの画素の前記読出トランジスタは、前記第2のフローティングディフュージョンが在る前記素子分離領域の交点位置に臨む角部に設けられ、

前記信号読出回路を構成するリセットトランジスタと出力トランジスタとが前記素子分離領域の異なる格子位置に設けられる、MOS型固体撮像素子。

【請求項2】

請求項1に記載のMOS型固体撮像素子であって、

前記第1のフローティングディフュージョンと前記第2のフローティングディフュージョンとが、配線によって相互に接続されると共に、前記出力トランジスタのゲートに接続されるMOS型固体撮像素子。

【請求項3】

請求項1に記載のMOS型固体撮像素子であって、

前記第1のフローティングディフュージョンの前記第1のペア画素に対する位置と、前記第2のフローティングディフュージョンの前記第2のペア画素に対する位置とが同じであるMOS型固体撮像素子。

【請求項4】

請求項1に記載のMOS型固体撮像素子であって、

前記リセットトランジスタは、前記出力トランジスタのゲートに接続される前記第1のフローティングディフュージョン及び前記第2のフローティングディフュージョンのうちの前記出力トランジスタに最も近いフローティングディフュージョンとは別のフローティングディフュージョンをソース領域として形成されるMOS型固体撮像素子。

【請求項5】

請求項1に記載のMOS型固体撮像素子であって、

前記読出単位となる4画素に対応して設けられる第3のフローティングディフュージョンを備え、

前記第3のフローティングディフュージョンをソース領域として前記リセットトランジスタが形成されると共に、前記第3のフローティングディフュージョンが前記出力トランジスタのゲートに接続されるMOS型固体撮像素子。

【請求項6】

請求項1乃至請求項5のいずれか1項に記載のMOS型固体撮像素子と、前記ペア画素の画素加算読出を行う制御部とを備える撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号読出回路としてMOSトランジスタ回路を搭載した固体撮像素子とこれを用いた撮像装置に関する。

【背景技術】

【0002】

デジタルカメラやカメラ付携帯電話機等の撮像装置に用いられる固体撮像素子は、多画素化が図られ、1000万画素以上を搭載するものも存在する。固体撮像素子の各画素（光電変換素子：フォトダイオード）には、各画素が検出した撮像画像信号を外部に読み出す信号読出回路が設けられる。撮像素子チップに占める信号読出回路の面積を小さくすることで、固体撮像素子の更なる多画素化を図ったり、撮像素子チップの小面積化、小型化を図ったりすることが可能となる。

【0003】

例えば、CMOS型の固体撮像素子では、特許文献1の図2に記載されている3トラン

10

20

30

40

50

ジスタ構成の信号読出回路や、4トランジスタ構成の信号読出回路が1画素毎に設けられる。信号読出回路として垂直電荷転送路や水平電荷転送路が必要なCCD型固体撮像素子に比べて、CMOS型固体撮像素子は、トランジスタを小さく形成できるため、撮像素子チップに占めるフォトダイオードの面積を広く採れるという利点がある。しかし、特許文献1の図10に例示されている様に、フォトダイオードの脇に設けるトランジスタにも所要の面積が必要である。

【0004】

近年の固体撮像素子は、撮像素子チップの小型化と画素数の多画素化という相反する要求がある。CMOS型固体撮像素子に対しても、信号読出回路の占有面積を削減するために、そのトランジスタ数を減らすことが要求される。

10

【0005】

そこで、下記の特許文献2に記載の従来技術では、2つの画素で1つの信号読出回路を共用し、1画素当たりのトランジスタ数の削減を図っている。しかし、2つの画素で1つの信号読出回路を共用する構成でも、まだ、トランジスタ数が多く、更なるトランジスタ数の削減が要求される。

【0006】

下記の特許文献3の図9(b)(d)に記載されている従来技術では、最隣接する4画素の中心部分に共通の信号読出部を設け、4画素で1つの信号読出回路を共用化している。4画素で1つの信号読出回路を共用できる構成にすれば、トランジスタ数の削減を図りフォトダイオードの面積を広くとることが可能となる。

20

【0007】

しかし、この特許文献3の技術を、そのまま適用できない画素配列、カラーフィルタ配列の固体撮像素子が存在する。図12に、その固体撮像素子の表面模式図を示す(例えば、特許文献4の図2)。

【0008】

この固体撮像素子は、奇数行の画素行に対して偶数行の画素行が行方向に1/2画素ピッチずらして配列された所謂ハニカム画素配列となっている。更に、この固体撮像素子は、奇数行の画素で構成される正方格子配列の第1群画素に搭載される三原色のカラーフィルタがベイヤ配列(小文字のr(赤)g(緑)b(青)で示す。)となっている。また、偶数行の画素で構成される正方格子配列の第2群画素に搭載される三原色のカラーフィルタもベイヤ配列(大文字のR(赤)G(緑)B(青)で示す。)となっている。

30

【0009】

この固体撮像素子において、斜めに最隣接する同色のr画素とR画素、g画素とG画素、b画素とB画素が夫々ペア画素(図12の各楕円3で示す2画素)を構成する。そして、このペア画素間で信号電荷の混合読出を行うことで、撮像画像信号の高感度化を図ることができる。また、ペア画素の一方の露光時間と他方の露光時間を変えて混合読出を行うことで、撮像画像信号のダイナミックレンジ拡大を図ることが可能になる。

【0010】

図12に示す固体撮像素子に特許文献3の図9(b)(d)の技術を、図12の点線枠4や斜め一行ずらした点線枠5で示す最隣接の4画素に1つの信号読出回路を適用した場合を考える。この場合は、ペア画素の関係が崩れてしまい、固体撮像素子内部での画素混合ができなくなってしまう。

40

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2007 81140号公報

【特許文献2】特開2008 99073号公報

【特許文献3】特開2009 290659号公報

【特許文献4】特開2007 124137号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0012】

図12に示す画素配列及びカラーフィルタ配列の固体撮像素子では、上述した様に、高感度撮影及び広ダイナミックレンジ撮影を行うときに、素子内で画素混合して信号を高速読み出しすることができるため、特許文献3の技術をそのまま適用することはできない。このため、画素混合対象となるペア画素の関係を崩さずに、信号読出回路のトランジスタ数削減を図る必要が生じる。

【0013】

本発明の目的は、ペア画素の関係を崩すことなく、信号読出回路のトランジスタ数削減を図ることができるMOS型固体撮像素子及びこの固体撮像素子を搭載した撮像装置を提供することにある。

【課題を解決するための手段】

【0014】

本発明のMOS型固体撮像素子は、三原色カラーフィルタがベイア配列された第1画素群と、前記第1画素群に対し水平方向、垂直方向共に1/2画素ピッチずつずれ三原色のカラーフィルタがベイア配列された第2画素群とを備えるMOS型固体撮像素子であって、前記第1画素群に属する1つの第1画素と該第1画素と同色のカラーフィルタを持ち、該第1画素と斜めに隣接する前記第2画素群に属する1つの第2画素との対から成る第1のペア画素と、該ペア画素に対して垂直方向に隣接する第2のペア画素との計4画素により読出単位が形成され、該4画素毎に、1つの共通のMOSトランジスタ回路で構成される信号読出回路が設けられ、前記画素のそれぞれの間には、各画素を分離する格子状の素子分離領域を有し、前記読出単位となる4画素の各々は読出トランジスタを有し、前記第1のペア画素を形成する2つの画素の間を分離する前記素子分離領域と、該第1のペア画素が含まれる前記読出単位の前記第2のペア画素と該第1のペア画素との間を分離する前記素子分離領域との交点位置に、前記2つの画素のそれぞれに設けられた前記読出トランジスタを介して該2つの画素が接続する第1のフローティングディフュージョンを有し、該2つの画素の前記読出トランジスタは、前記第1のフローティングディフュージョンが在る前記素子分離領域の交点位置に臨む角部に設けられ、前記第2のペア画素を形成する2つの画素の間を分離する前記素子分離領域と、該第2のペア画素が含まれる前記読出単位又は該読出単位に対し垂直方向に隣接する読出単位の前記第1のペア画素と該第2のペア画素との間を分離する前記素子分離領域との交点位置に、前記2つの画素のそれぞれに設けられた前記読出トランジスタを介して該2つの画素が接続する第2のフローティングディフュージョンを有し、該2つの画素の前記読出トランジスタは、前記第2のフローティングディフュージョンが在る前記素子分離領域の交点位置に臨む角部に設けられ、前記信号読出回路を構成するリセットトランジスタと出力トランジスタとが前記素子分離領域の異なる格子位置に設けられるものである。

【0015】

また、本発明の撮像装置は、上記記載のMOS型固体撮像素子と、前記ペア画素の画素加算読出を行う制御部とを備えるものである。

【発明の効果】

【0016】

本発明によれば、ペア画素の関係を崩すことなく、信号読出回路のトランジスタ数の削減を図ることができ、相対的に画素（フォトダイオード）の受光面積を広げることが可能となる。

【図面の簡単な説明】

【0017】

【図1】本発明の一実施形態に係る撮像装置の機能ブロック図である。

【図2】図1に示すMOS型固体撮像素子の画素配列、カラーフィルタ配列を示す図である。

【図3】図2に示す固体撮像素子の画素（フォトダイオード）と信号読出回路の配置位置

10

20

30

40

50

を示した表面概念図である。

【図4】図3に示す読出単位画素群の配列のうち1つの読出単位画素群を拡大した図である。

【図5】図4に示す読出単位画素群の回路図である。

【図6】本発明の別実施形態に係る固体撮像素子の画素と信号読出回路の配置位置を示した表面概念図である。

【図7】図6に示す読出単位画素群の配列のうち1つの読出単位画素群を拡大した図である。

【図8】本発明の更に別実施形態に係る固体撮像素子の画素と信号読出回路の配置位置を示した表面概念図である。

10

【図9】図8に示す読出単位画素群の配列のうち1つの読出単位画素群を拡大した図である。

【図10】図9に示す読出単位画素群の回路図である。

【図11】図1に示すMOS型固体撮像素子の別実施形態に係る画素配列、カラーフィルタ配列を示す図である。

【図12】従来技術を図1のMOS型固体撮像素子に適用した場合の説明図である。

【発明を実施するための形態】

【0018】

以下、本発明の一実施形態について、図面を参照して説明する。

【0019】

20

図1は、本発明の一実施形態に係る固体撮像素子を搭載したデジタルカメラ（撮像装置）の機能ブロック構成図である。図1に示すデジタルカメラ10は、撮影レンズ21aや絞り21b等を備える撮影光学系21と、撮影光学系21の後段に配置された撮像素子チップ22とを備える。

【0020】

撮像素子チップ22は、MOSトランジスタ回路で構成された信号読出回路を持つカラー画像撮像用単板式の固体撮像素子22aと、固体撮像素子22aから出力されるアナログの画像データを自動利得調整（AGC）や相関二重サンプリング処理等のアナログ処理するアナログ信号処理部（AFE）22bと、アナログ信号処理部22bから出力されるアナログ画像データをデジタル画像データに変換するアナログデジタル変換部（A/D）22cとを備える。MOSトランジスタ回路は、例えば相補型MOS（CMOS）トランジスタ回路が好適である。

30

【0021】

このデジタルカメラ10は更に、後述のシステム制御部（CPU）29からの指示によって撮影光学系21、固体撮像素子22a、アナログ信号処理部22b、A/D22cの駆動制御を行う駆動部（タイミングジェネレータTGを含む）23と、CPU29からの指示によって発光するフラッシュ25とを備える。駆動部23を撮像素子チップ22内に一緒に搭載する場合もある。

【0022】

デジタルカメラ10は更に、A/D22cから出力されるデジタル画像データを取り込み補間処理やホワイトバランス補正、RGB/YC変換処理等の周知の画像処理を行うデジタル信号処理部26と、画像データをJPEG形式などの画像データに圧縮したり逆に伸長したりする圧縮/伸長処理部27と、メニューなどを表示したりスルー画像や撮像画像を表示する表示部28と、デジタルカメラ全体を統括制御するシステム制御部（CPU）29と、フレームメモリ等の内部メモリ30と、JPEG画像データ等を格納する記録メディア32との間のインタフェース処理を行うメディアインタフェース（I/F）部31と、これらを相互に接続するバス34とを備える。システム制御部29には、ユーザからの指示入力を行う操作部33が接続されている。

40

【0023】

図2は、図1に示す固体撮像素子22aの表面模式図であり、画素配列とカラーフィル

50

タ配列を示している。図2の例では、奇数行の画素行（45度傾けた正方形枠が各画素を示し、各画素上のr（赤）、g（緑）、b（青）がカラーフィルタの色を表している。）に対して偶数行の画素行を1/2画素ピッチずつずらして配置した、所謂ハニカム画素配列となっている。

【0024】

奇数行の画素だけみると画素配列は正方格子配列となり、これに三原色カラーフィルタr g bがベイヤ配列されている。また、偶数行の画素だけみても画素配列は正方格子配列となり、これに三原色カラーフィルタR G Bがベイヤ配列されている。R = 赤、G = 緑、B = 青であり、斜めに隣接する同色画素がペア画素を形成する。各画素の上（カラーフィルタの上）には、全画素で同一形状のマイクロレンズが搭載される（図示は省略する）。 10

【0025】

本実施形態では、ペア画素2画素と、このペア画素に垂直方向に隣接するペア画素2画素の計4画素に対して1つの信号読出回路が設けられる。この4画素が読出単位画素群となり、読出単位画素群が垂直方向、水平方向に並ぶことになる。図2では、読出単位画素群の一例を点線枠7で囲って示してある。

【0026】

固体撮像素子22aの左辺部分には、図示省略の垂直走査回路等が設けられている。そして、各画素行に対して読出信号やリセット信号を印加する制御信号線がこの垂直走査回路から画素行間を蛇行するように配線される。本実施形態では、4画素に対して1つの信号読出回路が設けられるため、制御信号線としては、4画素（行）夫々への読出信号線t g 1、t g 2、t g 3、t g 4と4画素共通のリセット信号線R s e tとが設けられる。 20

【0027】

固体撮像素子22aの下辺部分には、図示省略の水平走査回路等が設けられている。この水平走査回路から各画素列に対して、信号出力線o sや電源線V c cが画素列間を蛇行する様に配線される。

【0028】

図3は、図2の読出単位画素群配列に対して信号読出回路を構成する各トランジスタを設けた平面概念図である。図が煩雑になるため、図4に、図3の1つの読出単位画素群（図3の左上のr Rペア画素とその垂直方向直下のg Gペア画素）とその信号読出回路とを例示する。また、図5は、図4の回路図を示す。 30

【0029】

まず、図5から説明する。読出単位画素群の4つの画素（フォトダイオード：PD）はペア画素PD1、PD2とペア画素PD3、PD4で構成される。画素PD1は、読出トランジスタTr1を介してFD1（第1フローティングディフュージョン）に接続される。画素PD2は読出トランジスタTr2を介してFD1に接続される。画素PD3は、読出トランジスタTr3を介してFD2（第2フローティングディフュージョン）に接続される。画素PD4は読出トランジスタTr4を介してFD2に接続される。本実施形態の読出トランジスタTr1～Tr4は、行読出トランジスタや行選択トランジスタとして機能する。

【0030】

FD1とFD2とは配線8を通して接続される。配線8で接続された2個のFD1、FD2はドライブトランジスタ（出力トランジスタ）Drのゲート電極OGに配線9で接続される。出力トランジスタDrのドレイン端子は電源（V c c）接続端子ODに接続される。出力トランジスタDrのソース端子は撮像信号出力端子OSに接続される。

【0031】

電源（V c c）接続端子ODとFD1の間にはリセットトランジスタRTが設けられる。リセットトランジスタRTのリセットドレインRDが電源接続端子ODに接続される。リセットトランジスタRTのソース領域がFD1、即ち出力トランジスタDrのゲート電極OGに接続される。

【0032】

10

20

30

40

50

リセットトランジスタRTのゲート電極RGが図2で説明したリセット信号線Resetに接続される。出力トランジスタDrの信号出力端子OSが図2の出力信号線osに接続される。読出トランジスタTr1, Tr2, Tr3, Tr4の各ゲート電極TG1, TG2, TG3, TG4が、夫々図2の読出信号線tg1, tg2, tg3, tg4に接続される。電源接続端子ODが図示しない電源Vccに接続される。

【0033】

図4において、PD1, PD2, PD3, PD4は、例えばn型半導体基板の表面pウェル層に、或いはp型半導体の表面部に二次元アレイ状に島状のn領域を形成することで構成される。各n領域間はp領域によって素子分離される。この素子分離領域に形成されるn領域により、図5で説明したFD1, FD2, リセットドレインRD, 端子OD, OSが形成される。

10

【0034】

図4に示すように、画素PD1, PD2の隣接部の画素PD3側の隅(各画素を格子状に分離する格子の交点部分)にはFD1を形成するn領域が設けられる。PD1のn領域とFD1のn領域との間はp型素子分離帯で分離される。この素子分離帯の上に絶縁膜を介して電極膜が積層されることで、ゲート電極TG1が形成される。PD2のn領域とFD1のn領域との間はp型素子分離帯で分離される。この素子分離帯の上に絶縁膜を介して電極膜が積層されることで、ゲート電極TG2が形成される。

【0035】

画素PD3, PD4の隣接部の画素PD2と反対側の隅(上記同様に、格子の交点部分)にはFD2を形成するn領域が設けられる。PD3のn領域とFD2のn領域との間はp型素子分離帯で分離される。この素子分離帯の上に絶縁膜を介して電極膜が積層されることで、ゲート電極TG3が形成される。PD4のn領域とFD2のn領域との間はp型素子分離帯で分離される。この素子分離帯の上に絶縁膜を介して電極膜が積層されることで、ゲート電極TG4が形成される。

20

【0036】

画素PD1, PD2の境界部の延長線上の画素PD3の上辺に沿う位置には、リセットドレインRDを構成するn領域が形成される。リセットドレインRDのn領域とFD1のn領域との間のp型素子分離帯の上に絶縁膜を介して電極膜が積層されることで、ゲート電極RG(リセットゲート)が形成される。

30

【0037】

画素PD4の下辺(画素PD3と反対側の辺)に沿う部分にはOD端子(出力トランジスタのドレイン端子)となるn領域が形成される。更に、このOD端子のn領域に対して画素PD4の下隅を挟んだ位置に出力端子(出力トランジスタのソース端子)OSとなるn領域が形成される。OD端子とOS端子の両n領域間のp型素子分離帯の上に絶縁膜を介して電極膜が積層されることで、出力トランジスタDrのゲート電極OGが形成される。FD1とFD2とは画素境界部に沿って「く」の字状に形成された配線8で接続される。また、FD2と出力トランジスタDrのゲート電極OGとが配線9で接続される。

【0038】

図4に示す読出単位画素群の構成が、水平方向, 垂直方向に繰り返されることで、図3の構成となる。同一水平線上に並ぶ読出単位画素群の各Tri(i=1~4)のゲート電極TGiが同一読出信号線tgi(i=1~4)に接続される。また、同一水平線上に並ぶ読出単位画素群のリセットトランジスタRTのゲート電極RGがリセット信号線Resetに接続される。

40

【0039】

同一垂直線上に並ぶ読出単位画素群の各信号出力端子OSが同一出力信号線osに接続され、同一垂直線上に並ぶ読出単位画素群の各電源接続端子ODが同一電源線Vccに接続される。

【0040】

斯かる構成の固体撮像素子22aにおいて、各読出単位画素群の画素PD1~PD4に

50

は、入射光量に応じた電荷が蓄積される。各画素毎の撮像画像信号を外部に読み出す場合には、読出信号線 t_{gi} に読出パルスを印加する。これにより、該当の読出トランジスタ Tr_i が導通し、該当画素 PD_i の信号電荷が FD_i ($i = 1, 2$) に読み出され、出力トランジスタ Dr のゲート電極 OG に信号電荷が移動する。 OD 端子に電源電圧 V_{cc} を印加すると該当出力トランジスタ Dr がオン状態となり、出力トランジスタ Dr のゲート電極 OG に印加された信号電荷量に応じた撮像画像信号が出力端子 OS に出力される。

【0041】

各読出トランジスタ Tr_1, Tr_2, Tr_3, Tr_4 に印加する読出パルスの印加タイミングをずらすことで、各画素 PD_1, PD_2, PD_3, PD_4 の撮像画像信号を個別に読み出すことができる。

10

【0042】

画素 PD_1 と画素 PD_2 とは同色のカラーフィルタが積層され、画素 PD_3 と画素 PD_4 とにも同色のカラーフィルタが積層されている。このため、読出トランジスタ Tr_1, Tr_2 に同タイミングで読出パルスを印加する。これにより、画素 PD_1 と画素 PD_2 の各信号電荷が同時に FD_1 に読み出されて画素混合される。画素混合された信号電荷量に応じた撮像画像信号を出力トランジスタ Dr から読み出すことで、短時間に画素加算した信号を得ることが可能となる。

【0043】

次に、出力トランジスタ Dr のゲート電極 OG に在る信号電荷を、リセットトランジスタ RT をオンすることでリセットドレイン RD に廃棄する。そして、次のタイミングで読出トランジスタ Tr_3, Tr_4 に同タイミングで読出パルスを印加する。これにより、画素 PD_3, PD_4 の信号電荷を画素混合し、画素加算した撮像画像信号を読み出すことができ、高感度な画像を撮像することが可能となる。

20

【0044】

上記において、ペア画素の露光開始時点と同じとし、露光終了時点つまり読出トランジスタ Tr_1, Tr_2 への読出パルスの印加タイミングをずらすことで、画素 PD_1, PD_2 の露光時間を変えることができる。これにより、ダイナミックレンジの広い画像を撮像することが可能となる。ペア画素の露光開始タイミングを変え、露光終了タイミングを同じとしても良い。

【0045】

30

以上述べた実施形態によれば、読出単位画素群の4画素に6個のトランジスタを設けるだけ、即ち1画素当たり1.5個のトランジスタを設けるだけで、信号読出が可能となり、信号読出回路に要する面積を狭くできる。更に、水平方向のリセット信号線は、2画素行に1本設ければ良くなり、垂直方向の出力信号線、電源線は2画素列に1本ずつ設ければ良くなる。このため、それだけフォトダイオードの面積を広げることが可能となる。

【0046】

更に、本実施形態では、画素 PD_1, PD_2 のゲート電極 TG_1, TG_2 を設ける位置、即ち、各画素 PD_1, PD_2 の受光面が欠ける位置と、画素 PD_3, PD_4 のゲート電極 TG_3, TG_4 の位置とが同じとなる。このため、特に画素加算するときの画素 $[PD_1 + PD_2]$ 、 $[PD_3 + PD_4]$ の光学特性を揃えることができ、シェーディング補正が容易になるという利点がある。

40

【0047】

図6は、本発明の別実施形態に係る固体撮像素子の表面概念図である。また、図7は、図6における1つの読出単位画素群を抜き出した図である。図7の読出単位画素群の回路図は図5と同じである。

【0048】

本実施形態では、ゲート電極 TG_1, TG_2, FD_1 、リセットゲート RG 、及びリセットドレイン RD の位置は、図4に示す実施形態と同じである。しかし、 FD_2 、ゲート電極 TG_3, TG_4 、及び出力トランジスタ Dr の位置が図4とは異なる。図6の例では、 FD_2 を、画素 PD_3, PD_4 の境界部の端部（格子の交点部分）において、図4の実

50

施形態とは反対側の端部に設けている。これにより、FD1とFD2を結ぶ配線8の長さは、矩形の画素PD3の一辺の長さとなり、図4の実施形態に比べて半分となっている。

【0049】

更に、FD2の近傍となる各画素PD3、PD4の隅部にゲート電極TG3、TG4が設けられている。また、画素PD3と画素PD4の境界部におけるFD2の有る位置とは反対側の端部に出力トランジスタDrのゲート電極OGとドレインOD（電源端子）とソース端子（出力端子）OSが設けられている。

【0050】

この実施形態によっても、読出単位画素群に対して設けるトランジスタ数を1画素当たり1.5個に減少でき、画素の受光面積を相対的に広げることが可能となる。更に、本実施形態では、配線8の長さを短くできるので配線8の抵抗分や寄生容量を低減できるため、電荷検出感度が向上して、撮像画像のS/Nが向上し、高感度化も図れる。

【0051】

図8は、本発明の更に別実施形態に係る固体撮像素子の表面概念図である。図9は、図8における1つの読出単位画素群を抜き出した図である。図9の読出単位画素群の回路図は図10となる。図5と図10の違いは、第3フローティングディフュージョンFD3を設けた点と、FD3にリセットトランジスタRT及び出力トランジスタDrを接続した点である。なお、図8の実施形態では、ドレインOD（電源端子）とリセットドレインRDとが兼用されている。

【0052】

本実施形態の読出単位画素群に設けるゲート電極TG1、TG2、TG3、TG4は図7の実施形態と同じであるが、図4の実施形態でFD2を設けた位置（画素PD3と画素PD4の隣接境界部であって画素PD2と反対側の隅部）にFD3を設け、FD1とFD2とFD3とを配線8で接続している。

【0053】

そして、FD3に接続するリセットトランジスタRTのゲート電極RG及びリセットドレインRDを、FD2とFD3とを結ぶ画素境界部の延長線上に設けている。また、矩形の画素PD4のFD2を設けた隅と対角位置に来る隅に、出力トランジスタDrを設けている。そして、この出力トランジスタDrのゲート電極OGとFD3とを配線9で接続している。

【0054】

この構成であっても、読出単位画素群に対して設けるトランジスタ数を1画素当たり1.5個に減少でき、画素の受光面積を相対的に広げることが可能となる。FDの数が3箇所と増えるため寄生容量は増えるが、ゲート電極TG1、TG2、TG3、TG4に接続する読出信号線の配線位置と、リセットトランジスタRTに接続するリセット信号線の配置位置とをずらすことが容易となり、設計の自由度が増す。

【0055】

尚、上述した実施形態では、図2の画素配列、カラーフィルタ配列の固体撮像素子に本発明を適用したが、図2において、偶数行の画素配列はそのままに、奇数行の画素配列における奇数行と偶数行を入れ替えた図11の画素配列、カラーフィルタ配列で構成される各読出単位画素群（一例を点線枠7'で示す。）であっても、これまでと同様に、図4、7、9において左右を反転すれば適用可能である。

【0056】

以上述べた様に、本明細書には以下の事項が開示されている。

【0057】

開示されたMOS型固体撮像素子は、三原色カラーフィルタがベイア配列された第1画素群と、前記第1画素群に対し水平方向、垂直方向共に1/2画素ピッチずつずれ三原色のカラーフィルタがベイア配列された第2画素群とを備えるMOS型固体撮像素子であって、同色のカラーフィルタを持つ斜めに隣接した前記第1画素群に属する画素及び前記第2画素群に属する画素（以下、この2つの画素をペア画素という。）及び該ペア画素に対

10

20

30

40

50

して垂直方向に隣接する前記ペア画素の計4画素を讀出単位とし、該4画素毎に、1つの共通のMOSトランジスタ回路で構成される信号讀出回路が設けられるものである。

【0058】

開示されたMOS型固体撮像素子は、前記讀出単位となる4画素に対して設けられる複数のフローティングディフュージョンを備え、前記各フローティングディフュージョンが、配線によって相互に接続されると共に、前記信号讀出回路を構成する出力トランジスタのゲートに接続されるものである。

【0059】

開示されたMOS型固体撮像素子は、前記讀出単位となる4画素の各々に対して設けられる讀出トランジスタと、前記讀出単位となる4画素を構成する2つの前記ペア画素のうち的一方である第1のペア画素に対応して設けられる第1のフローティングディフュージョンと、前記讀出単位となる4画素を構成する2つの前記ペア画素のうち他方である第2のペア画素に対応して設けられる第2のフローティングディフュージョンとを備え、前記第1のペア画素は、前記第1のフローティングディフュージョンに、前記第1のペア画素に対応する2つの前記讀出トランジスタを介して接続され、前記第2のペア画素は、前記第2のフローティングディフュージョンに、前記第2のペア画素に対応する2つの前記讀出トランジスタを介して接続されているものである。

10

【0060】

開示されたMOS型固体撮像素子は、前記第1のフローティングディフュージョンの前記第1のペア画素に対する位置と、前記第2のフローティングディフュージョンの前記第2のペア画素に対する位置とが同じであるものを含む。

20

【0061】

開示されたMOS型固体撮像素子は、前記信号讀出回路を構成するリセットトランジスタは、前記信号讀出回路を構成する出力トランジスタのゲートに接続される前記第1のフローティングディフュージョン及び前記第2のフローティングディフュージョンのうち、前記出力トランジスタに最も近いフローティングディフュージョンとは別のフローティングディフュージョンをソース領域として形成されるものである。

【0062】

開示されたMOS型固体撮像素子は、前記讀出単位となる4画素に対応して設けられる第3のフローティングディフュージョンを備え、前記第3のフローティングディフュージョンをソース領域として前記信号讀出回路のリセットトランジスタが形成されると共に、前記第3のフローティングディフュージョンが前記信号讀出回路の出力トランジスタのゲートに接続されるものである。

30

【0063】

開示されたMOS型固体撮像素子は、前記信号讀出回路を構成するリセットトランジスタと出力トランジスタとは、前記各画素間を分離する格子状の素子分離領域のうち別の格子位置に設けられるものである。

【0064】

開示されたMOS型固体撮像素子は、前記画素毎に設けられる讀出トランジスタは、フローティングディフュージョンが設けられた前記格子の交点位置に臨む該格子の角部に設けられるものである。

40

【0065】

また、開示された撮像装置は、上記記載のMOS型固体撮像素子と、前記ペア画素の画素加算讀出を行う制御部とを備えるものである。

【0066】

以上述べた実施形態によれば、4画素毎に1つの信号讀出回路で4画素の撮像画像信号を個別に読み出したり、ペア画素の撮像画像信号を素子内で画素加算して読み出したりすることができ、1画素当たりのトランジスタ数を削減して画素(フォトダイオード)の受光面積を広くとることができる。このため、撮像素子チップの小型化と画素の微細化を図っても感度の高い撮像を行うことが可能となる。

50

【符号の説明】

【0067】

7, 7' 読出単位画素群

8, 9 配線

10 デジタルカメラ

22a MOS型固体撮像素子

23 駆動部

29 システム制御部

PD1, PD2 フォトダイオード (読出単位画素群の半分の同色ペア画素)

PD3, PD4 フォトダイオード (読出単位画素群の半分の同色ペア画素)

FD1, FD2, FD3 フローティングディフュージョン

RG リセットトランジスタのリセットゲート

RD リセットトランジスタのリセットドレイン

Dr 出力トランジスタ

OS 出力端子

OD 電源端子

TG1, TG2, TG3, TG4 読出トランジスタ

tg1, tg2, tg3, tg4 読出信号線

Rset リセット信号線

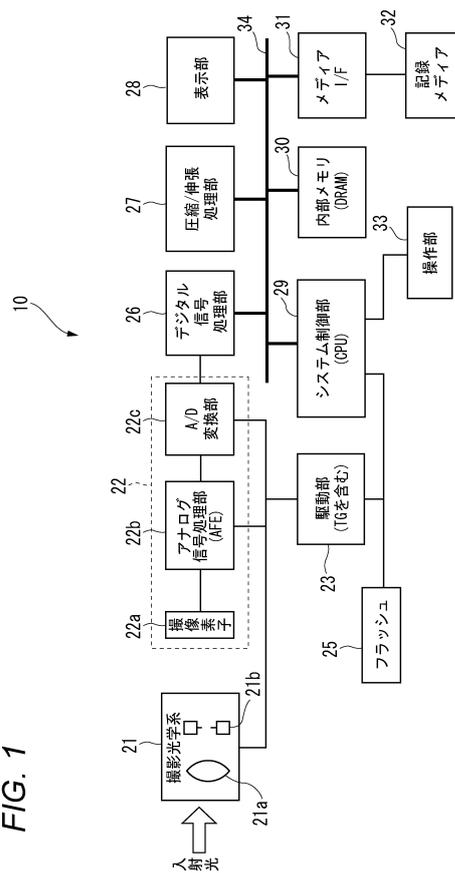
os 出力信号線

Vcc 電源線

10

20

【図1】



【図2】

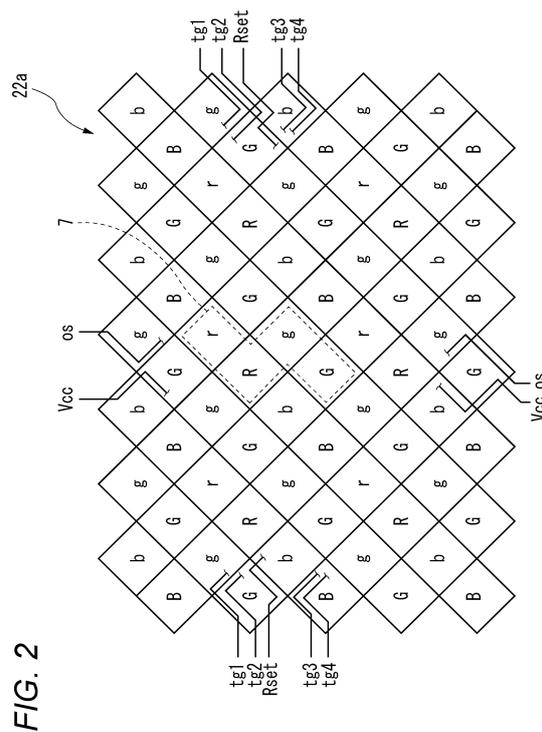
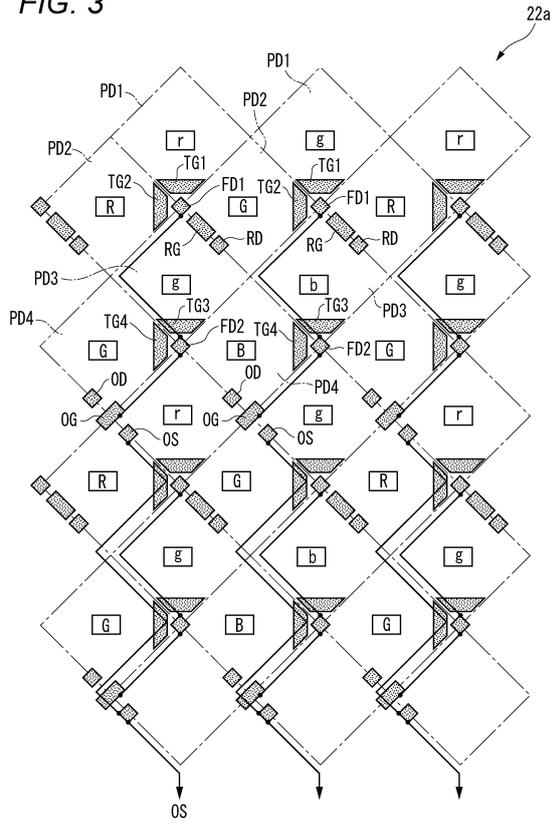


FIG. 2

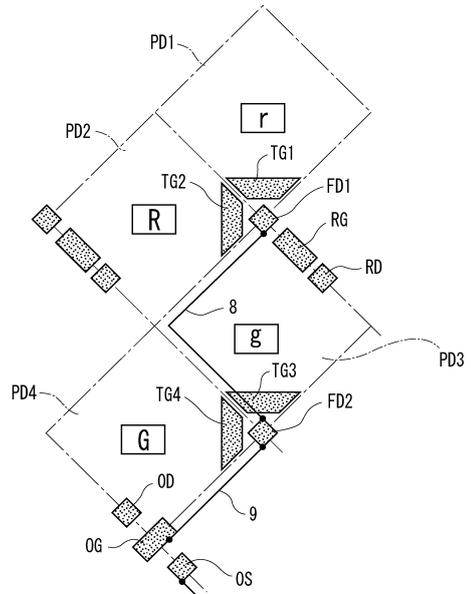
【 図 3 】

FIG. 3



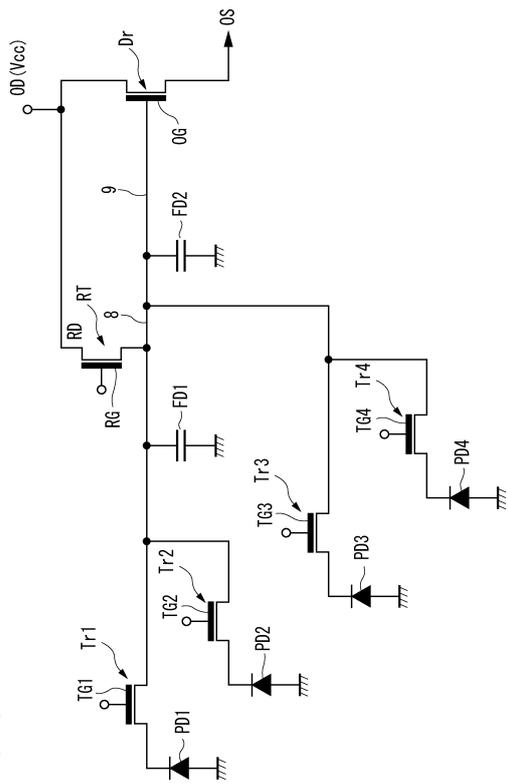
【 図 4 】

FIG. 4



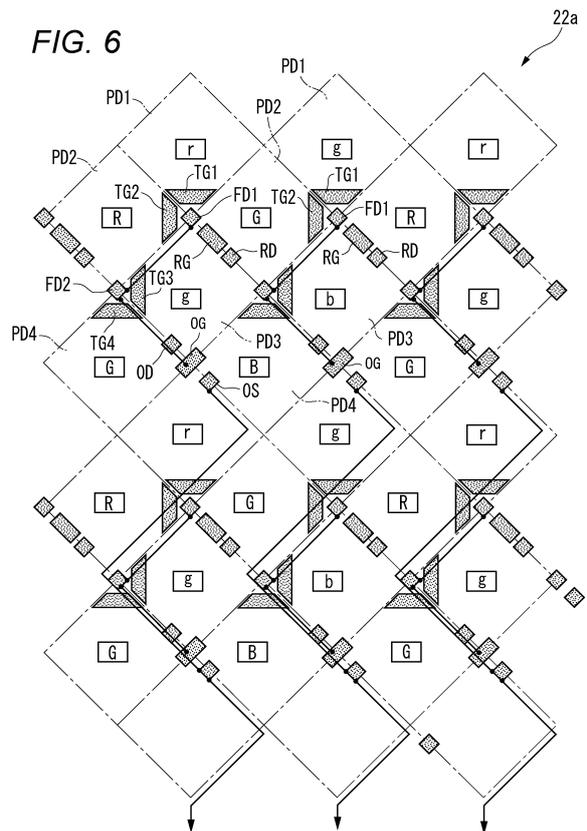
【 図 5 】

FIG. 5



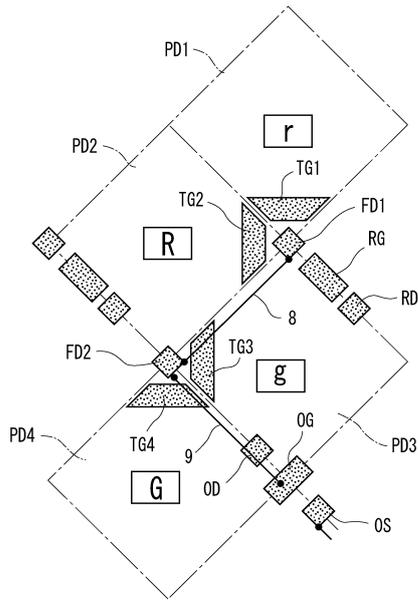
【 図 6 】

FIG. 6



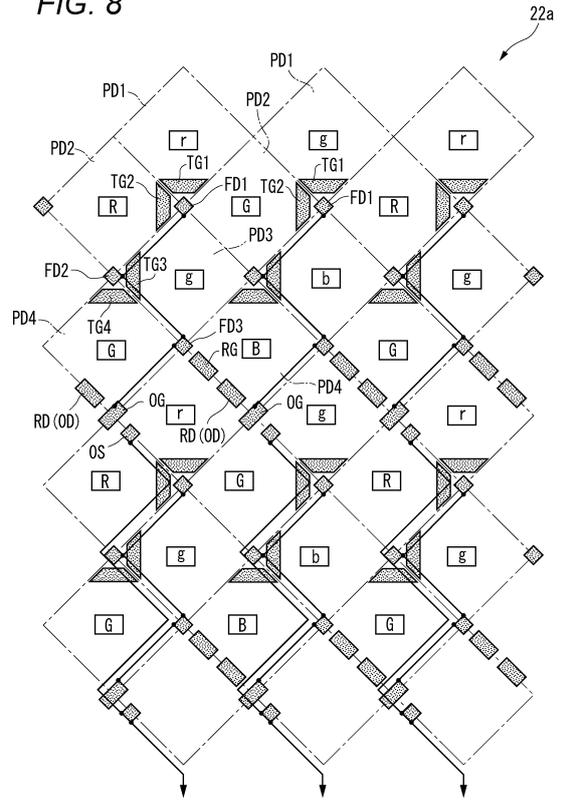
【 図 7 】

FIG. 7



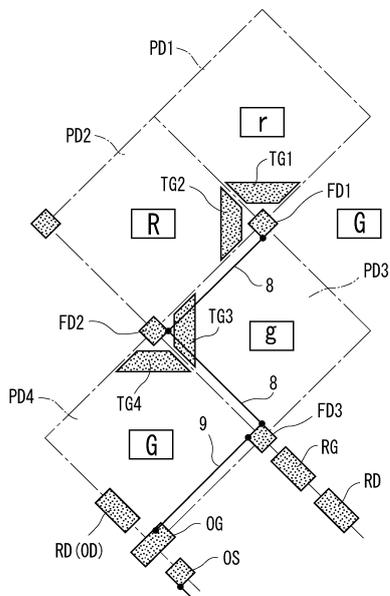
【 図 8 】

FIG. 8

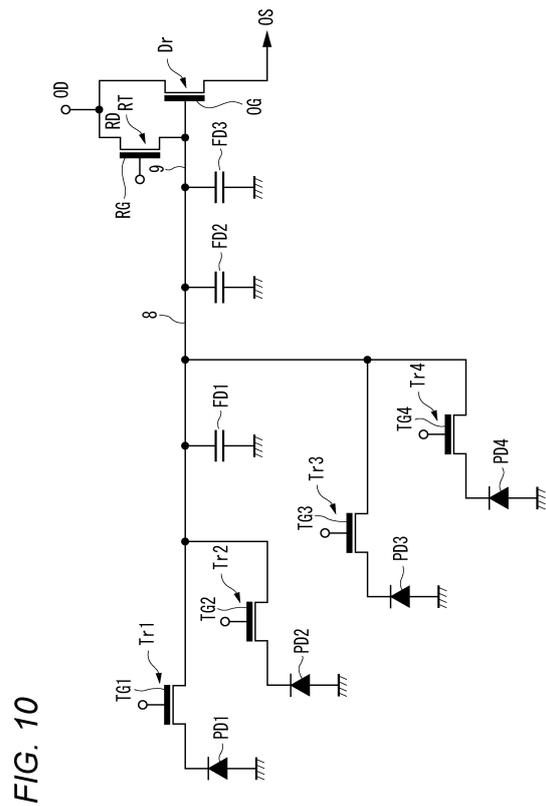


【 図 9 】

FIG. 9



【 図 10 】



【 1 1 】

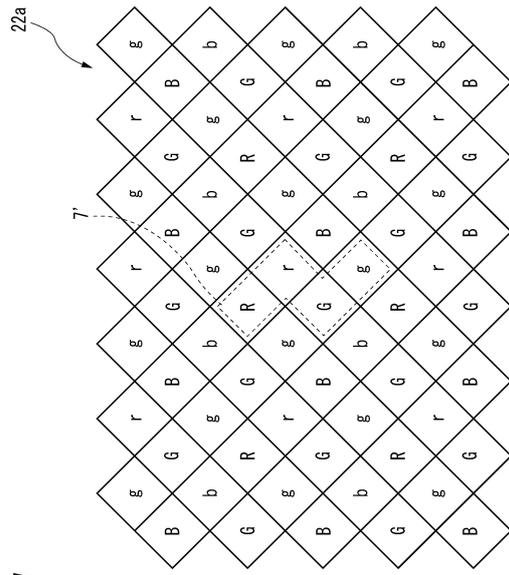


FIG. 11

【 1 2 】

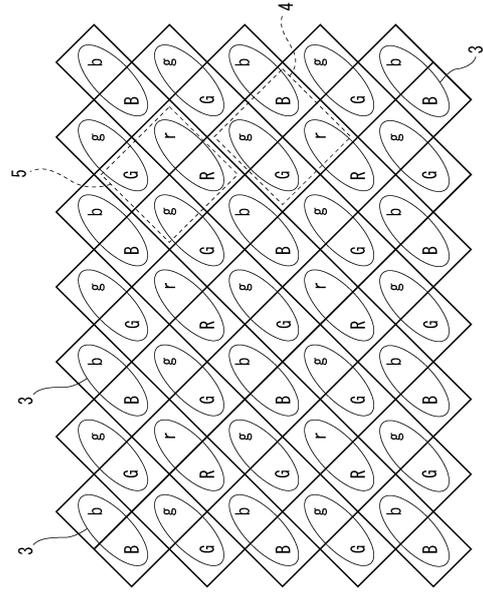


FIG. 12

フロントページの続き

- (56)参考文献 特開2008-041689(JP,A)
特開2008-099073(JP,A)
特開2011-015219(JP,A)
特開2011-054832(JP,A)
特開2008-098476(JP,A)
特開2010-103667(JP,A)
特開2007-189696(JP,A)
特開2006-073733(JP,A)
米国特許出願公開第2009/0053848(US,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146

H04N 9/07