

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G06F 11/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월29일 10-0564631 2006년03월21일
---	-------------------------------------	--

(21) 출원번호	10-2004-0072105	(65) 공개번호	10-2006-0023304
(22) 출원일자	2004년09월09일	(43) 공개일자	2006년03월14일

(73) 특허권자            삼성전자주식회사  
                              경기도 수원시 영통구 매탄동 416

(72) 발명자                서종철  
                              경기 화성시 태안읍 반월리 868 신영통현대아파트 203-1401

                              소병세  
                              경기 성남시 분당구 수내동 푸른마을신성아파트 310-1102

                              안영만  
                              경기 용인시 기흥읍 상갈리 481번지 금화마을 주공그린빌 306-801

(74) 대리인                리엔목특허법인  
                              이혜영

(56) 선행기술조사문헌  
                              JP07129476 A  
                              \* 심사관에 의하여 인용된 문헌

심사관 : 이영수

(54) 커맨드 신호의 에러 검출 기능을 가지는 메모리 모듈

요약

커맨드 신호의 에러 검출 기능을 가지는 메모리 모듈이 개시된다. 본 발명에 따른 메모리 모듈은 적어도 하나의 제1 탭, 복수의 제2 및 제3 탭들, 적어도 하나의 제4 탭, 및 복수의 메모리 장치들을 구비하는 것을 특징으로 한다. 외부의 커맨드 신호가 적어도 하나의 제1 탭에 입력되고, 외부의 패리티 신호들이 복수의 제2 탭들에 각각 입력된다. 또, 복수의 제3 탭들을 통하여 출력 패리티 신호들이 각각 외부에 출력되고, 적어도 하나의 제4 탭에 어드레스 신호가 입력된다. 복수의 메모리 장치들은 제1 탭과 제4 탭을 각각 공유하고, 복수의 제2 탭들 및 복수의 제3 탭들에 각각 연결된다. 복수의 메모리 장치들은 입력 패리티 신호들에 각각 응답하여 커맨드 신호와 어드레스 신호의 에러를 검출하고, 그 검출 결과로서 출력 패리티 신호들을 각각 출력한다. 본 발명에 따른 메모리 모듈은 패리티 신호의 입력 또는 출력을 위한 추가의 탭들을 구비하지 않고도 커맨드 신호의 에러를 검출할 수 있는 장점이 있다.

대표도

도 1

## 명세서

### 도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 메모리 모듈의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 메모리 장치의 상세한 블록도이다.

도 3은 도 2에 도시된 모드 레지스터를 세팅하기 위한 방법의 일례를 설명하는 도면이다.

도 4는 도 2에 도시된 모드 레지스터를 세팅하기 위한 방법의 다른 일례를 설명하는 도면이다.

도 5는 본 발명의 다른 실시예에 따른 메모리 장치의 상세한 블록도이다.

도 6은 본 발명의 또 다른 실시예에 따른 메모리 모듈의 블록도이다.

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로서, 특히, 메모리 모듈에 관한 것이다.

일반적으로, 메모리 모듈은 복수의 메모리 장치들을 포함하고, 메모리 컨트롤러와 같은 마스터 장치에 의해 제어된다. 메모리 모듈을 제어하기 위해, 마스터 장치가 메모리 모듈에 전송하는 신호들은 그 전송 과정에서 전송 선로와 같은 주변 환경들로 인하여 에러를 포함할 수 있다. 이러한 문제는 메모리 모듈을 채용하는 시스템에서, 상기 메모리 모듈의 수가 증가하거나 또는 상기 시스템의 동작 속도가 증가할 수록 더욱 심각하게 나타난다. 종래의 메모리 장치들은 수신되는 데이터 신호의 에러를 검출하는 회로나 또는 에러를 검출하고 이를 정정하는 회로를 구비하고 있다. 또, 워크스테이션(work station)과 같이 대용량의 메모리를 필요로 하는 시스템에서 사용되는 종래의 메모리 모듈은 버퍼를 구비하고 있다. 일반적으로, 워크스테이션은 많은 수의 메모리 모듈들을 구비하기 때문에 상기 신호들의 전송 과정에서 그 크기(amplitude)가 감소하거나 또는 에러가 발생될 수 있다. 따라서 종래의 메모리 모듈에 내장되는 버퍼는 수신된 신호를 증폭시키고 에러를 검출하고 정정하는 기능들을 포함하고 있다. 복수의 메모리 모듈들을 포함하는 시스템에서, 상기 복수의 메모리 모듈들의 버퍼들은 직렬로 연결되고, 앞단의 버퍼가 마스터 장치로부터 수신되는 신호들을 자신이 포함된 메모리 모듈내의 메모리 장치들과 뒷단의 메모리 모듈의 버퍼에 전달하는 방식으로 신호의 전송이 이루어진다. 여기에서, 상기 버퍼는 데이터 신호 뿐만 아니라 커맨드 신호의 에러도 검출하거나 정정할 수 있다. 반면에 개인용 컴퓨터(personal computer)와 같이 대용량의 메모리를 필요로 하지 않는 시스템에서 사용되는 메모리 모듈은 버퍼를 구비하지 않는다. 따라서 마스터 장치로부터 수신되는 신호들의 에러를 검출할 수 없는 문제점이 있다. 마스터 장치들로부터 수신되는 신호들 중에서 특히, 커맨드 신호 또는 어드레스 신호가 에러를 포함하는 경우가 존재할 수 있다. 이 경우, 종래의 메모리 모듈은 커맨드 신호 또는 어드레스 신호의 에러를 검출할 수 없다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는, 커맨드 신호 또는 어드레스 신호의 에러 검출 기능을 가지는 메모리 모듈을 제공하는데 있다.

#### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 메모리 모듈은 적어도 하나의 제1 탭, 복수의 제2 및 제3 탭들, 적어도 하나의 제4 탭, 및 복수의 메모리 장치들을 구비하는 것을 특징으로 한다. 외부의 커맨드 신호가 적어도 하나의 제1 탭에 입력되고, 외부의 패리티 신호들이 복수의 제2 탭들에 각각 입력된다. 또, 복수의 제3 탭들을 통하여 출력 패리티 신호

호들이 각각 외부에 출력되고, 적어도 하나의 제4 탭에 어드레스 신호가 입력된다. 복수의 메모리 장치들은 제1 탭과 제4 탭을 각각 공유하고, 복수의 제2 탭들 및 복수의 제3 탭들에 각각 연결된다. 복수의 메모리 장치들은 입력 패리티 신호들에 각각 응답하여 커맨드 신호와 어드레스 신호의 에러를 검출하고, 그 검출 결과로서 출력 패리티 신호들을 각각 출력한다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면에 다른 메모리 모듈은 적어도 하나씩의 제1 내지 제3 탭들, 적어도 하나의 제4 탭, 및 복수의 메모리 장치들을 구비하는 것을 특징으로 한다. 제1 탭은 외부의 커맨드 신호가 입력되고, 제2 탭은 외부의 입력 패리티 신호가 입력되고, 제3 탭을 통하여 출력 패리티 신호가 외부에 출력되고, 어드레스 신호가 적어도 하나의 제4 탭에 입력된다. 복수의 메모리 장치들은 제1 내지 제4 탭들을 각각 공유하고, 입력 패리티 신호에 응답하여 커맨드 신호와 어드레스 신호의 에러를 검출하고, 그 검출 결과로서 출력 패리티 신호를 출력한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 1은 본 발명의 일 실시예에 따른 메모리 모듈(100)의 블록도이다. 도 1을 참고하면, 상기 메모리 모듈(100)은 복수의 메모리 장치들(M1~MK)(K는 정수), 적어도 하나의 제1 탭(tab)(101), 복수의 제2 탭들(102), 복수의 제3 탭들(103), 적어도 하나의 제4 탭(104), 및 복수의 제5 탭들(105)을 포함한다. 도 1에서 상기 메모리 모듈(100)이 하나씩의 상기 제1 탭(101) 및 상기 제4 탭(104)을 각각 구비하는 것으로 도시되었지만, 상기 메모리 모듈(100)은 복수개의 상기 제1 탭들(101) 및 상기 제4 탭들(104)을 구비할 수도 있다.

상기 복수의 메모리 장치들(M1~MK)은 상기 제1 탭(101)과 상기 제4 탭(104)을 각각 공유하고, 상기 복수의 제2 탭들(102), 상기 복수의 제3 탭들(103), 및 상기 복수의 제5 탭들(105)에 각각 연결된다. 상기 복수의 메모리 장치들(M1~MK)은 상기 제1 탭(101)을 통하여 커맨드 신호(CMD)를 동시에 수신하고, 상기 제4 탭(104)을 통하여 어드레스 신호(ADD)를 동시에 수신한다. 또, 상기 복수의 메모리 장치들(M1~MK)은 상기 복수의 제2 탭들(102)을 통하여 입력 패리티 신호들(IP1~IPK)을 각각 수신하고, 상기 복수의 제3 탭들(103)을 통하여 출력 패리티 신호들(OP1~OPK)을 각각 출력한다. 상기 복수의 메모리 장치들(M1~MK)은 상기 입력 패리티 신호들(IP1~IPK)에 응답하여 상기 커맨드 신호(CMD)와 상기 어드레스 신호(ADD)의 에러를 검출하고, 그 검출 결과로서 상기 출력 패리티 신호들(OP1~OPK)을 각각 출력한다. 그 결과 외부의 마스터 장치(미도시)가 상기 출력 패리티 신호들(OP1~OPK)을 수신하고, 상기 커맨드 신호(CMD)와 어드레스 신호(ADD)의 전송 과정에서 에러가 발생되었는지의 여부를 인식할 수 있다. 또, 상기 복수의 메모리 장치들(M1~MK)은 상기 커맨드 신호(CMD)와 상기 어드레스 신호(ADD)에 응답하여 상기 제5 탭들(105)을 통하여 데이터 신호들(DQ1~DQK)을 각각 수신하거나 또는 출력한다. 여기에서, 상기 제1 내지 제5 탭들(101~105)은 상기 메모리 모듈(100)이 특정 시스템에 채용될 때 각각 슬롯에 삽입되는 부분으로서 메모리 장치의 신호 핀들과 동일한 역할을 수행한다.

도 2는 본 발명의 일 실시예에 따른 메모리 장치의 상세한 블록도로서, 도 1에 도시된 메모리 블록들(M1~MK)의 일 실시예에 따른 상세한 블록도이다. 여기에서, 상기 메모리 장치들(M2~MK)의 구성 및 구체적인 동작은 상기 메모리 장치(M1)와 실질적으로 동일하므로, 설명의 중복을 피하기 위해 이들에 대한 상세한 설명은 생략하기로 한다. 도 2를 참고하면, 상기 메모리 장치(M1)는 커맨드 디코더(110), 모드 레지스터(120), 버퍼 컨트롤러(130), 제1 및 제2 DM(data masking) 버퍼들(140, 150), 에러 검출기(160), 내부 회로(170), 및 IO(input/output) 드라이버(180)를 포함한다. 상기 커맨드 디코더(110)는 제1 탭(101, 도 1 참조)을 통하여 수신되는 상기 커맨드 신호(CMD)에 응답하여 내부 제어 신호(CTL) 또는 설정 제어 신호(SET)를 출력한다. 상기 모드 레지스터(120)는 상기 설정 제어 신호(SET)에 응답하여 제4 탭(104, 도 1 참조)을 통하여 수신되는 상기 어드레스 신호(ADD)를 저장하고, 상기 어드레스 신호(ADD)에 의해 세팅된 값들에 따라 제1 모드 제어 신호(MCTL1) 또는 제2 모드 제어 신호(MCTL2)를 출력한다. 여기에서, 상기 모드 레지스터(120)는 상기 어드레스 신호(ADD)에 따라 MRS(mode register set) 모드 또는 EMRS(extended mode register set) 모드로 동작한다. 좀 더 상세하게는, 상기 모드 레지스터(120)가 상기 MRS 모드에서 상기 제1 모드 제어 신호(MCTL1)를 출력하고, 상기 EMRS 모드에서 상기 제2 모드 제어 신호(MCTL2)를 출력한다.

상기 버퍼 컨트롤러(130)는 상기 제1 또는 제2 모드 제어 신호(MCTL1 또는 MCTL2)에 응답하여 버퍼 제어 신호(DCTL)를 출력한다. 상기 제1 및 제2 DM 버퍼들(140, 150)은 상기 버퍼 제어 신호(DCTL)에 응답하여 데이터 마스킹 모드 또는 에러 검출 모드로 동작한다. 상기 제1 DM 버퍼(140)는 상기 에러 검출 모드에서 제2 탭(102, 도 1 참조)을 통하여 상기 입력 패리티 신호(IP1)를 수신하고, 수신된 상기 입력 패리티 신호(IP1)를 상기 에러 검출기(160)에 출력한다. 상기 제2 DM 버퍼(150)는 상기 에러 검출 모드에서 상기 에러 검출기(160)로부터 상기 출력 패리티 신호(OP1)를 수신하고, 수신된 상기 출력 패리티 신호(OP1)를 제3 탭(103, 도 1 참조)을 통하여 외부의 마스터 장치에 출력한다. 또, 도 2에 도시되지 않는

았지만, 상기 제1 및 제2 DM 버퍼들(140, 150)은 상기 데이터 마스크 모드에서 상기 제2 및 제3 탭들(102, 103)을 통하여 수신되는 데이터 마스크 제어 신호들에 응답하여 상기 메모리 장치(M1)에 기입될 데이터를 마스크한다. 상술한 것과 같이, 상기 메모리 장치(M1)가 상기 제1 DM 버퍼(140)를 통하여 상기 입력 패리티 신호(IP1)를 수신하고 상기 제2 DM 버퍼(150)를 통하여 상기 출력 패리티 신호(OP1)를 출력하기 때문에, 상기 메모리 장치(M1)는 상기 입력 패리티 신호(IP1)와 상기 출력 패리티 신호(OP1)의 입출력을 위한 추가의 입출력 회로들을 구비할 필요가 없다. 또, 상기 메모리 모듈(100)은 상기 추가의 입출력 회로들을 위한 추가의 탭들을 구비할 필요가 없다.

상기 에러 검출기(160)는 상기 커맨드 신호(CMD), 상기 어드레스 신호(ADD), 및 상기 입력 패리티 신호(IP1)에 기초하여, 상기 커맨드 신호(CMD)와 상기 어드레스 신호(ADD)의 에러 발생 여부를 판단하고, 그 판단 결과에 따라 상기 출력 패리티 신호(OP1)를 출력한다. 이를 좀 더 상세히 설명하면, 예를 들어, 상기 커맨드 신호(CMD)가 복수의 커맨드 데이터들(미도시)을 포함하고, 상기 어드레스 신호(ADD)가 복수의 어드레스들(미도시)을 포함할 때, 상기 마스터 장치는 클럭 신호(미도시)의 라이징 에지(rising edge) 또는 폴링 에지(falling edge)에서, 인에이블되는 커맨드 데이터들 수와 어드레스들의 수에 따라 상기 입력 패리티 신호(IP1)를 인에이블시키거나 또는 디스에이블시켜 출력한다. 인에이블된 커맨드 데이터들의 수와 인에이블된 어드레스들의 수의 합이 짝수일 때 상기 마스터 장치가 상기 입력 패리티 신호(IP1)를 디스에이블시키고, 인에이블된 커맨드 데이터들의 수와 인에이블된 어드레스들의 수의 합이 홀수일 때 상기 마스터 장치가 상기 입력 패리티 신호(IP1)를 인에이블시킨다. 즉, 상기 마스터 장치는 상기 입력 패리티 신호(IP1)를 이용하여 전송되는 신호들 중 인에이블되는 신호들의 수를 짝수로 맞추어 전송한다.

상기 에러 검출기(160)는 상기 커맨드 신호(CMD)의 커맨드 데이터들, 상기 어드레스 신호(ADD)의 어드레스들, 및 상기 입력 패리티 신호(IP1)를 수신하여 인에이블된 신호들의 수가 짝수인지의 여부에 따라 상기 출력 패리티 신호(OP1)를 인에이블시키거나 또는 디스에이블시킨다. 즉, 상기 에러 검출기(160)는 수신된 신호들 중 인에이블된 신호들의 수가 짝수일 때 상기 출력 패리티 신호(OP1)를 인에이블시키고, 홀수일 때 상기 출력 패리티 신호(OP1)를 디스에이블시킨다. 상기 에러 검출기(160)의 구성 및 구체적인 동작은 본 발명의 기술 분야에서 통상의 지식을 가진 자라면 이해할 수 있으므로 이에 대한 상세한 설명은 생략하기로 한다.

상기 내부 회로(170)는 상기 내부 제어 신호(CTL)와 상기 어드레스 신호(ADD)에 응답하여 데이터 신호(DQ1)를 수신하거나 또는 출력한다. 상기 IO 드라이버(180)는 제5 탭(105, 도 1 참조)을 통하여 상기 데이터 신호(DQ1)를 수신하여 상기 내부 회로(170)에 출력하거나 또는 상기 내부 회로(170)로부터 상기 데이터 신호(DQ1)를 수신하여 상기 제5 탭(105)을 통하여 외부에 출력한다.

도 3은 도 2에 도시된 모드 레지스터(120)를 세팅하기 위한 방법의 일례를 설명하는 도면이다. 도 3에서는 상기 모드 레지스터(120)가 MRS 모드로 동작하는 경우가 도시된다. 도 3을 참고하면, 상기 모드 레지스터(120)는 어드레스 필드들(BA0~BA2, A0~A15)에 의해 설정된 값들에 따라 다양한 제어 동작들을 수행한다. 예를 들어, 상기 모드 레지스터(120)는 상기 BA0~BA2에 의해 MRS 모드 또는 EMRS 모드의 동작을, 상기 A0~A2에 의해 버스트 길이(burst length)를, 상기 A3에 의해 버스트 타입(BT)을, 상기 A4~A6에 의해 캐스 레이턴시(CAS latency)를, 상기 A7에 의해 테스트 모드(TM)를, 상기 A8에 의해 DLL 리셋 동작을 각각 제어한다. 또, 상기 모드 레지스터(120)는 상기 A9~A11에 의해 기입(WR) 모드의 동작 또는 에러 검출 모드의 동작을, 상기 A12에 의해 액티브 파워다운 탈출 시간을(exit time) 각각 제어한다. 상기 A13~A15는 예비의 어드레스 필드들로서, 각각 "0"으로 설정된다. 도 3에서 참조되는 것과 같이, 상기 A9~A11의 값들이 "011"일 때 상기 모드 레지스터(120)가 상기 에러 검출 모드의 제어 동작을 수행한다. 한편, 상기 기입 모드의 동작 제어를 위해 사용되지 않는 상기 A9~A11의 값들, 예를 들어, "000" 또는 "111"일 경우 상기 모드 레지스터(120)가 상기 에러 검출 모드의 제어 동작을 수행할 수도 있다.

도 4는 도 2에 도시된 모드 레지스터(120)를 세팅하기 위한 방법의 다른 일례를 설명하는 도면이다. 도 4에서는 상기 모드 레지스터(120)가 EMRS 모드로 동작하는 경우가 도시된다. 도 4를 참고하면, 상기 모드 레지스터(120)는 어드레스 필드들(BA0~BA2, A0~A15)에 의해 설정된 값들에 따라 다양한 제어 동작들을 수행한다. 예를 들어, 상기 모드 레지스터(120)는 상기 BA0~BA2에 의해 MRS 모드 또는 EMRS 모드의 동작을, 상기 A0에 의해 DLL 리셋 동작을, 상기 A1에 의해 출력 드라이버의 임피던스를, 상기 A2와 A6에 의해 ODT(On Die Termination)를, 상기 A3~A5에 의해 추가의 레이턴시(additive latency)를 각각 제어한다. 또, 상기 모드 레지스터(120)는 상기 A7~A9에 의해 OCD(off chip driver) 임피던스 또는 에러 검출 모드의 동작을, 상기 A10 및 A11에 의해 스트로브 기능을, 상기 A12에 의해 출력 버퍼의 동작을 각각 제어한다. 상기 A13~A15는 예비의 어드레스 필드들로서, 각각 "0"으로 설정된다. 도 4에서 참조되는 것과 같이, 상기 A7~A9의 값들이 "110"일 때 상기 모드 레지스터(120)가 상기 에러 검출 모드의 제어 동작을 수행한다. 한편, 상기 OCD 임피던스의 제어를 위해 사용되지 않는 상기 A7~A9의 값들, 예를 들어, "011" 또는 "101"일 경우 상기 모드 레지스터(120)가 상기 에러 검출 모드의 제어 동작을 수행할 수도 있다.

도 5는 본 발명의 다른 실시예에 따른 메모리 장치의 상세한 블록도로서, 도 1에 도시된 메모리 장치들(M1~MK)의 다른 실시예에 따른 상세한 블록도이다. 여기에서, 상기 메모리 장치들(M2~MK)의 구성 및 구체적인 동작은 상기 메모리 장치(M1)와 실질적으로 동일하다. 도 5를 참고하면, 상기 메모리 장치(M1)는 커맨드 디코더(210), 제1 및 제2 NC(no connecting) 버퍼들(220, 230), 에러 검출기(240), 내부 회로(250), 및 IO(input/output) 드라이버(260)를 포함한다. 상기 커맨드 디코더(210)는 제1 탭(101, 도 1 참고)을 통하여 수신되는 상기 커맨드 신호(CMD)에 응답하여 내부 제어 신호(CTL)를 출력한다. 상기 제1 NC 버퍼(220)는 제2 탭(102, 도 1 참고)을 통하여 상기 입력 패리티 신호(IP1)를 수신하고, 수신된 상기 입력 패리티 신호(IP1)를 상기 에러 검출기(240)에 출력한다. 상기 제2 NC 버퍼(230)는 상기 에러 검출기(240)로부터 상기 출력 패리티 신호(OP1)를 수신하고, 수신된 상기 출력 패리티 신호(OP1)를 제3 탭(103, 도 1 참고)을 통하여 외부의 마스터 장치에 출력한다. 상기 제1 및 제2 NC 버퍼들(220, 230)은 상기 메모리 장치들(M1~MK)에 구비된 예비용 버퍼들이다. 상술한 것과 같이, 상기 메모리 장치(M1)가 상기 제1 NC 버퍼(220)를 통하여 상기 입력 패리티 신호(IP1)를 수신하고 상기 제2 NC 버퍼(230)를 통하여 상기 출력 패리티 신호(OP1)를 출력하기 때문에, 상기 메모리 장치(M1)는 상기 입력 패리티 신호(IP1)와 상기 출력 패리티 신호(OP1)의 입출력을 위한 추가의 입출력 회로들을 구비할 필요가 없다. 또, 상기 메모리 모듈(100)은 상기 추가의 입출력 회로들을 위한 추가의 탭들을 구비할 필요가 없다.

상기 에러 검출기(240)는 상기 커맨드 신호(CMD)와 제4 탭(204, 도 1 참고)을 통하여 수신되는 상기 어드레스 신호(ADD), 및 상기 입력 패리티 신호(IP1)에 기초하여, 상기 커맨드 신호(CMD)와 상기 어드레스 신호(ADD)의 에러 발생 여부를 판단하고, 그 판단 결과에 따라 상기 출력 패리티 신호(OP1)를 출력한다. 상기 에러 검출기(240)의 구체적인 동작은 상술한 에러 검출기(160)와 동일하므로 생략된다.

상기 내부 회로(250)는 상기 내부 제어 신호(CTL)와 상기 어드레스 신호(ADD)에 응답하여 데이터 신호(DQ1)를 수신하거나 또는 출력한다. 상기 IO 드라이버(260)는 제5 탭(105, 도 1 참고)을 통하여 상기 데이터 신호(DQ1)를 수신하여 상기 내부 회로(250)에 출력하거나 또는 상기 내부 회로(250)로부터 상기 데이터 신호(DQ1)를 수신하여 상기 제5 탭(105)을 통하여 외부에 출력한다.

도 6은 본 발명의 또 다른 실시예에 따른 메모리 모듈(200)의 블록도이다. 도 6을 참고하면, 상기 메모리 모듈(200)은 복수의 메모리 장치들(R1~RN)(N은 정수), 제1 탭(201), 제2 탭(202), 제3 탭(203), 제4 탭(204), 복수의 제5 탭들(205), 및 복수의 제6 탭들(206)을 포함한다. 상기 복수의 메모리 장치들(R1~RN)은 상기 제1 내지 제4 탭들(201~204)을 각각 공유하고, 상기 복수의 제5 탭들(205) 및 상기 복수의 제6 탭들(206)에 각각 연결된다. 도 6에서, 상기 메모리 모듈(200)이 하나씩의 제1 탭(201) 및 제4 탭(204)을 각각 구비하는 것으로 도시되었지만, 상기 메모리 모듈(200)은 복수개의 제1 탭들(201) 및 제4 탭들(204)을 구비할 수도 있다.

상기 복수의 메모리 장치들(R1~RN)은 상기 제1 탭(201)을 통하여 커맨드 신호(CMD)를 동시에 수신하고, 상기 제4 탭(204)을 통하여 어드레스 신호(ADD)를 동시에 수신한다. 또, 상기 복수의 메모리 장치들(R1~RN)은 상기 제2 탭(202)을 통하여 입력 패리티 신호(IP)를 동시에 수신하고, 상기 제3 탭(203)을 통하여 출력 패리티 신호(OP)를 출력한다. 그 결과 상기 메모리 모듈(200)이 구비하는 탭의 수가 감소될 수 있다. 이것은 도 1에 도시된 상기 메모리 모듈(100)과 상기 메모리 모듈(200)을 비교할 때 좀 더 잘 이해될 것이다.

상기 복수의 메모리 장치들(R1~RN)은 상기 입력 패리티 신호(IP)에 응답하여 상기 커맨드 신호(CMD)와 상기 어드레스 신호(ADD)의 에러를 검출하고, 그 검출 결과로서 상기 출력 패리티 신호(OP)를 출력한다. 그 결과 외부의 마스터 장치(미도시)가 상기 출력 패리티 신호(OP)를 수신하고, 상기 커맨드 신호(CMD)와 상기 어드레스 신호(ADD)의 전송 과정에서 에러가 발생되었는지의 여부를 인식할 수 있다. 또, 상기 복수의 메모리 장치들(R1~RN)은 상기 커맨드 신호(CMD)와 상기 어드레스 신호(ADD)에 응답하여 상기 제5 탭들(205)을 통하여 데이터 신호들(DQ1~DQN)(N은 정수)을 각각 수신하거나 또는 출력하고, 상기 제6 탭들(206)을 통하여 클럭 신호들(DQS1~DQSN)(N은 정수)을 각각 수신하거나 또는 출력한다. 여기에서, 상기 복수의 메모리 장치들(R1~RN)의 구성 및 구체적인 동작은 도 5의 메모리 장치(M1)와 실질적으로 동일하므로 이에 대한 구체적인 설명은 생략된다.

본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

## 발명의 효과

상기한 것과 같이, 본 발명에 따른 메모리 모듈은 패리티 신호의 입력 또는 출력을 위한 추가의 탭들을 구비하지 않고도 커맨드 신호와 어드레스 신호의 에러를 검출할 수 있는 효과가 있다.

**(57) 청구의 범위**

**청구항 1.**

메모리 모듈에 있어서,

외부의 커맨드 신호가 입력되는 적어도 하나의 제1 탭(tab);

외부의 입력 패리티 신호들이 각각 입력되는 복수의 제2 탭들;

출력 패리티 신호들이 각각 외부에 출력되는 복수의 제3 탭들;

어드레스 신호가 입력되는 적어도 하나의 제4 탭; 및

상기 제1 탭과 상기 제4 탭을 각각 공유하고, 상기 복수의 제2 탭들 및 상기 복수의 제3 탭들에 각각 연결되고, 상기 입력 패리티 신호들에 응답하여 상기 커맨드 신호와 상기 어드레스 신호의 에러를 검출하고, 그 검출 결과로서 상기 출력 패리티 신호들을 각각 출력하는 복수의 메모리 장치들을 구비하는 것을 특징으로 하는 메모리 모듈.

**청구항 2.**

제1항에 있어서, 상기 복수의 메모리 장치들 각각은,

상기 커맨드 신호, 상기 어드레스 신호, 및 상기 입력 패리티 신호에 기초하여, 상기 커맨드 신호와 상기 어드레스 신호의 에러 발생 여부를 판단하고, 그 판단 결과로서 상기 출력 패리티 신호를 출력하는 에러 검출기;

버퍼 제어 신호에 응답하여 데이터 마스킹 모드 또는 에러 검출 모드로 동작하고, 상기 에러 검출 모드에서 상기 제2 탭을 통하여 상기 입력 패리티 신호를 수신하고 그 수신된 입력 패리티 신호를 상기 에러 검출기에 출력하는 제1 DM(data masking) 버퍼; 및

상기 버퍼 제어 신호에 응답하여 데이터 마스킹 모드 또는 에러 검출 모드로 동작하고, 상기 에러 검출 모드에서 상기 에러 검출기로부터 상기 출력 패리티 신호를 수신하고, 그 수신된 출력 패리티 신호를 상기 제3 탭을 통하여 외부에 출력하는 제2 DM 버퍼를 구비하는 것을 특징으로 하는 메모리 모듈.

**청구항 3.**

제2항에 있어서, 상기 복수의 메모리 장치들 각각은,

상기 커맨드 신호에 응답하여 내부 제어 신호 또는 설정 제어 신호를 출력하는 커맨드 디코더;

상기 설정 제어 신호에 응답하여 상기 어드레스 신호를 수신하여 저장하고, 상기 어드레스 신호에 의해 세팅된 값들에 기초하여 제1 또는 제2 모드 제어 신호를 출력하는 모드 레지스터; 및

상기 제1 또는 제2 모드 제어 신호에 응답하여 상기 버퍼 제어 신호를 출력하는 버퍼 컨트롤러를 더 구비하는 것을 특징으로 하는 메모리 모듈.

#### 청구항 4.

제3항에 있어서,

상기 모드 레지스터는 상기 세팅된 값들에 따라 MRS 모드 또는 EMRS 모드로 동작하고, 상기 MRS 모드에서 상기 제1 모드 제어 신호를 출력하고, 상기 EMRS 모드에서 상기 제2 모드 제어 신호를 출력하는 것을 특징으로 하는 메모리 모듈.

#### 청구항 5.

제1항에 있어서, 상기 복수의 메모리 장치들 각각은,

상기 커맨드 신호, 상기 어드레스 신호, 및 상기 입력 패리티 신호에 기초하여, 상기 커맨드 신호와 상기 어드레스 신호의 에러 발생 여부를 판단하고, 그 판단 결과로서 상기 출력 패리티 신호를 출력하는 에러 검출기;

상기 제2 탭을 통하여 상기 입력 패리티 신호를 수신하고, 그 수신된 입력 패리티 신호를 상기 에러 검출기에 출력하는 제1 NC(no connecting) 버퍼; 및

상기 에러 검출기로부터 상기 출력 패리티 신호를 수신하고, 그 수신된 출력 패리티 신호를 상기 제3 탭을 통하여 외부에 출력하는 제2 NC 버퍼를 구비하는 것을 특징으로 하는 메모리 모듈.

#### 청구항 6.

메모리 모듈에 있어서,

외부의 커맨드 신호가 입력되는 적어도 하나의 제1 탭;

외부의 입력 패리티 신호가 입력되는 적어도 하나의 제2 탭;

출력 패리티 신호가 외부에 출력되는 적어도 하나의 제3 탭;

어드레스 신호가 입력되는 적어도 하나의 제4 탭; 및

상기 제1 내지 제4 탭들을 각각 공유하고, 상기 입력 패리티 신호에 응답하여 상기 커맨드 신호와 상기 어드레스 신호의 에러를 검출하고, 그 검출 결과로서 상기 출력 패리티 신호를 출력하는 복수의 메모리 장치들을 구비하는 것을 특징으로 하는 메모리 모듈.

#### 청구항 7.

제6항에 있어서, 상기 복수의 메모리 장치들 각각은,

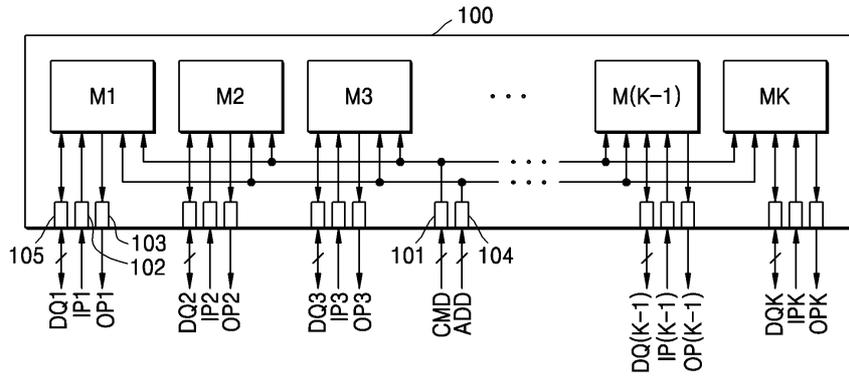
상기 커맨드 신호, 상기 어드레스 신호, 및 상기 입력 패리티 신호에 기초하여, 상기 커맨드 신호와 상기 어드레스 신호의 에러 발생 여부를 판단하고, 그 판단 결과로서 상기 출력 패리티 신호를 출력하는 에러 검출기;

상기 제2 탭을 통하여 상기 입력 패리티 신호를 수신하고, 그 수신된 입력 패리티 신호를 상기 에러 검출기에 출력하는 제1 NC 버퍼; 및

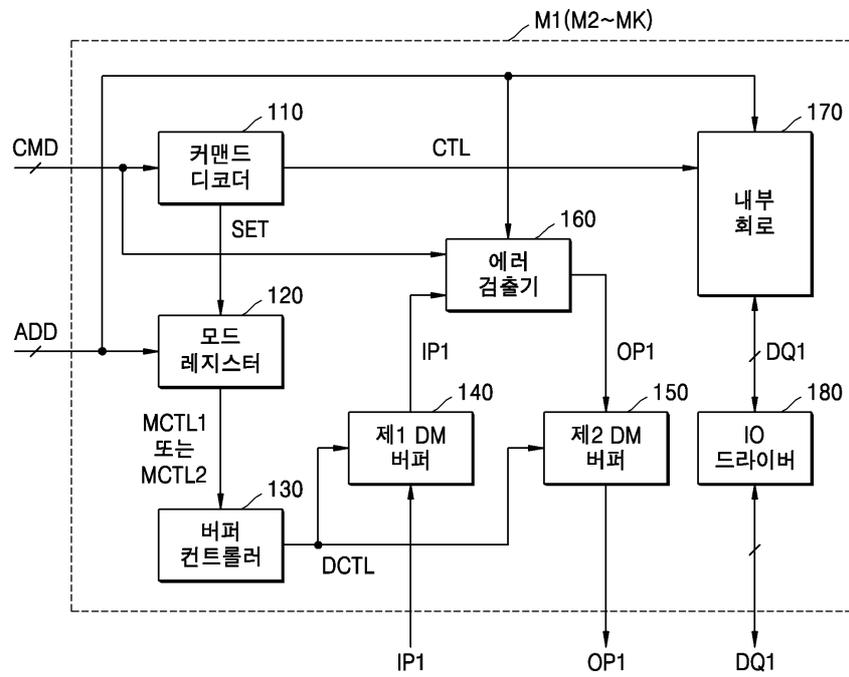
상기 에러 검출기로부터 상기 출력 패리티 신호를 수신하고, 그 수신된 출력 패리티 신호를 상기 제3 탭을 통하여 외부에 출력하는 제2 NC 버퍼를 구비하는 것을 특징으로 하는 메모리 모듈.

도면

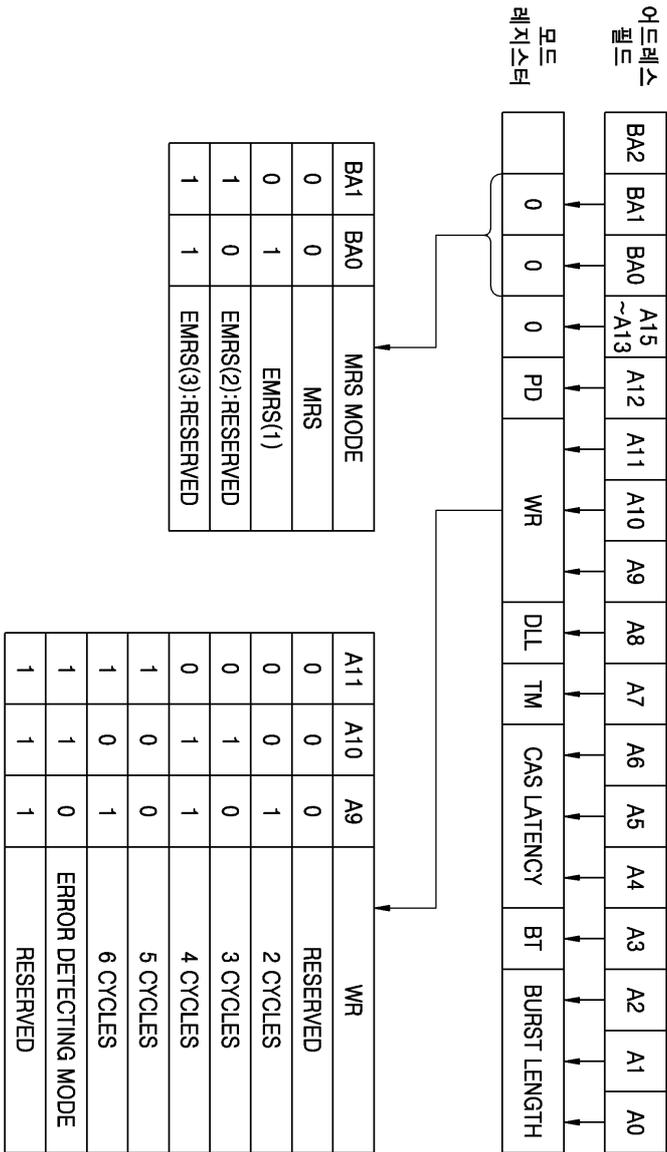
도면1



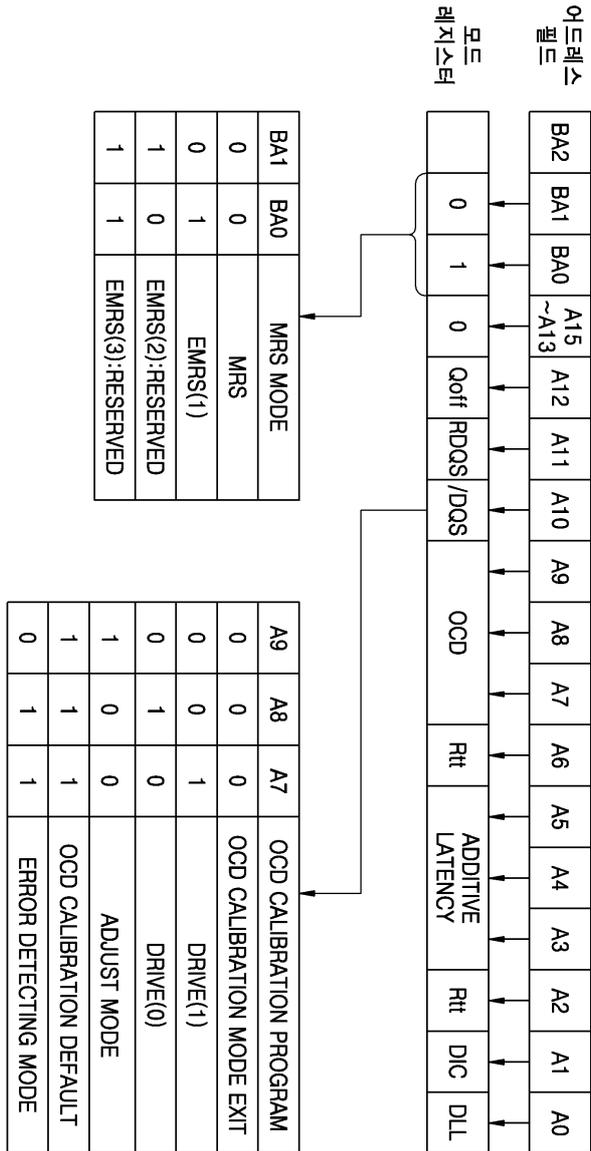
도면2



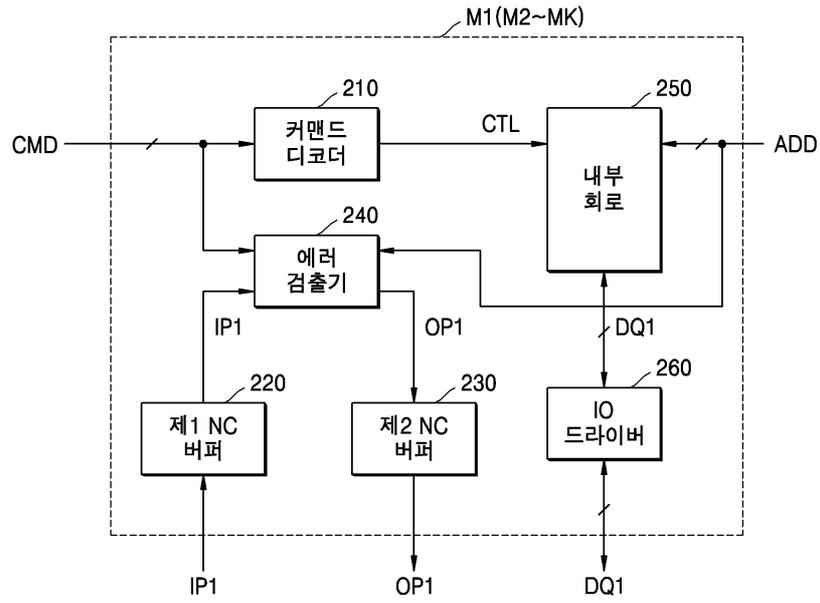
도면3



도면4



도면5



도면6

