



# (12) 发明专利

(10) 授权公告号 CN 114089570 B

(45) 授权公告日 2023. 11. 10

(21) 申请号 202111386762.6

G02F 1/1368 (2006.01)

(22) 申请日 2021.11.22

H01L 21/77 (2017.01)

H01L 27/12 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 114089570 A

(56) 对比文件

(43) 申请公布日 2022.02.25

CN 101840120 A, 2010.09.22

CN 102681276 A, 2012.09.19

(73) 专利权人 京东方科技集团股份有限公司

CN 103208506 A, 2013.07.17

地址 100015 北京市朝阳区酒仙桥路10号

CN 105116642 A, 2015.12.02

专利权人 成都京东方显示科技有限公司

CN 105223749 A, 2016.01.06

(72) 发明人 李智炜 范熊誉 王档军 漆光霞

CN 110928094 A, 2020.03.27

卢美顺 王谦 殷桂华 孙志华

CN 111290185 A, 2020.06.16

(74) 专利代理机构 北京银龙知识产权代理有限公司

CN 206002819 U, 2017.03.08

公司 11243

CN 209182622 U, 2019.07.30

专利代理师 曹娜

审查员 张卓宁

(51) Int. Cl.

G02F 1/1362 (2006.01)

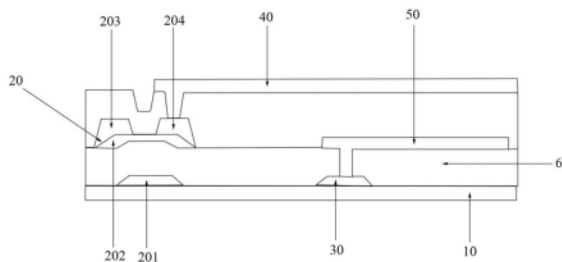
权利要求书2页 说明书10页 附图6页

(54) 发明名称

阵列基板及其制备方法、显示面板及显示装置

(57) 摘要

本发明涉及一种阵列基板及其制备方法、显示面板及显示装置。阵列基板包括多个子像素以及穿过子像素的存储电容总线，每个子像素具有第一电极和第二电极；第一电极为像素电极；第二电极为导体；第二电极与存储电容总线连接；第二电极与第一电极位于不同层，且第二电极在第一电极所在面上的投影的至少部分区域位于第一电极内。上述阵列基板在第二电极和第一电极之间形成了一个存储电容，可以起到维持像素电极上的电压的作用，使维持像素电极上的电压不再完全依赖在存储电容总线 and 第一电极之间所形成的存储电容，可以降低子像素区域内存储电容总线所占的面积，从而就能够提高子像素的开口率。



1. 一种阵列基板,包括多个子像素以及穿过子像素的存储电容总线,其特征在于,每个子像素具有第一电极和第二电极;

所述第一电极为像素电极;

所述第二电极为导体;所述第二电极与所述存储电容总线连接;所述第二电极与所述第一电极位于不同层,且所述第二电极在所述第一电极所在面上的投影的至少部分区域位于所述第一电极内,所述第二电极和存储电容总线之间形成有绝缘层,所述绝缘层上形成有过孔,所述第二电极和存储电容总线通过所述过孔连接。

2. 根据权利要求1所述的阵列基板,其特征在于,每个子像素包括薄膜晶体管,所述第二电极与所述薄膜晶体管的有源层同层设置。

3. 根据权利要求1所述的阵列基板,其特征在于,所述第二电极为导体化的金属氧化物半导体。

4. 根据权利要求1或3所述的阵列基板,其特征在于,所述第二电极的透光率小于或等于所述第一电极的透光率。

5. 根据权利要求1所述的阵列基板,其特征在于,所述第二电极包括多个子电极,相邻的子电极之间具有缝隙。

6. 根据权利要求5所述的阵列基板,其特征在于,每个所述子电极的形状为条状、折线状和米字状中的任意一种。

7. 根据权利要求1所述的阵列基板,其特征在于,所述阵列基板包括多个像素单元,每个像素单元包括多个子像素;

每个像素单元的各子像素中,第二电极的透光率不等。

8. 根据权利要求7所述的阵列基板,其特征在于,每个所述像素单元包括红色子像素、绿色子像素和蓝色子像素;

所述红色子像素中第二电极的透光率大于所述绿色子像素中第二电极的透光率大于所述蓝色子像素中第二电极的透光率。

9. 根据权利要求1所述的阵列基板,其特征在于,所述子像素具有第二电极的多个设置位置;每个子像素中的第二电极可选择地设置在多个设置位置中的其中一个。

10. 一种如权利要求1-9中任一项所述的阵列基板的制备方法,其特征在于,包括在基板上形成存储电容总线、第一电极、第二电极,以及位于存储电容总线和第二电极之间的绝缘层的步骤;

其中,在形成绝缘层的步骤中所形成的绝缘层具有过孔,所述存储电容总线和第二电极通过所述过孔连接;

用于形成第二电极的材料为金属氧化物半导体;在形成第二电极的图形之后,对所形成的第二电极进行导体化处理,以形成作为导体的第二电极。

11. 根据权利要求10所述的阵列基板的制备方法,其特征在于,还包括制备薄膜晶体管的步骤;

所述第二电极的图形与所述薄膜晶体管的有源层的图形通过单次沉积工艺形成。

12. 根据权利要求11所述的阵列基板的制备方法,其特征在于,在形成第二电极和有源层的步骤中,采用半色调掩膜工艺同时形成第二电极的图形和有源层的图形,之后对第二电极进行导体化处理。

13. 一种显示面板,其特征在于,包括权利要求1~9中任意一项所述的阵列基板。
14. 根据权利要求13所述的显示面板,其特征在于,所述显示面板为多畴配向的VA面板,所述存储电容总线在所述子像素区域内沿所述子像素的暗纹区走向设置。
15. 一种显示装置,其特征在于,包括权利要求13或14所述的显示面板。

## 阵列基板及其制备方法、显示面板及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及其制备方法、显示面板及显示装置。

### 背景技术

[0002] 液晶显示面板包括由栅线和数据线限定的多个子像素,每个子像素具有薄膜晶体管和像素电极。除此之外,无论对于VA面板,或是IPS面板,或是其他类型的液晶显示面板,其阵列基板上均设置有存储电容总线,存储电容总线穿过每个子像素,在每个子像素区域内与该子像素的像素电极之间形成存储电容,该存储电容可以在输入到像素电极的两个数据信号之间的时间间隔内维持像素电极上的电压,以维持每个子像素的显示亮度。

[0003] 每个子像素中,存储电容总线 and 像素电极之间形成的存储电容为平行板电容器。对于平行板电容器而言,其产生的电容可以用如下公式表示:

$$[0004] \quad C = \epsilon S / d$$

[0005] 其中,S为电容极板的正对面积,d为电容极板之间的距离。

[0006] 根据上述公式,存储电容与电容极板的正对面积成正比,与电容极板之间的距离成反比。通常,存储电容总线和像素电极之间的距离是固定的,如果需要增大存储电容,更好的维持施加在像素电极上的电压,可行的途径是使存储电容总线和像素电极之间的正对面积较大。而想要达到这一目的,就需要使存储电容总线在子像素区域内具有足够的线宽,或者增加存储电容走线在子像素区域内的长度。因此,现有的液晶显示面板产品中,存储电容总线在子像素区域内具有较大的宽度或者延伸较长的长度,从而实现在存储电容总线和像素电极之间产生较大的存储电容。

[0007] 但上述现有液晶显示面板产品在实际应用中也存在以下问题:

[0008] 存储电容总线在子像素区域内占据了较大的面积,而存储电容总线为金属材料,其不透光,不可避免地导致了子像素区域内能够透光的面积减少,开口率降低。

### 发明内容

[0009] 本发明提供了一种阵列基板及其制备方法、显示面板及显示装置,以改善上述现有技术中阵列基板的开口率低的技术问题。

[0010] 本发明提供的阵列基板,包括多个子像素以及穿过子像素的存储电容总线,每个子像素具有第一电极和第二电极;所述第一电极为像素电极;所述第二电极为导体;所述第二电极与所述存储电容总线连接;所述第二电极与所述第一电极位于不同层,且所述第二电极在所述第一电极所在面上的投影的至少部分区域位于所述第一电极内。

[0011] 其中,每个子像素包括薄膜晶体管,所述第二电极与所述薄膜晶体管的有源层同层设置。

[0012] 其中,所述第二电极和存储电容总线之间形成有绝缘层,所述绝缘层上形成有过孔,所述第二电极和存储电容总线通过所述过孔连接。

[0013] 其中,所述第二电极为经过导体化处理的金属氧化物半导体。

[0014] 其中,所述第二电极的透光率小于或等于所述第一电极的透光率。

[0015] 其中,所述第二电极包括多个子电极,相邻的子电极之间具有缝隙。

[0016] 其中,每个所述子电极的形状为条状、折线状和米字状中的任意一种。

[0017] 其中,所述阵列基板包括多个像素单元,每个像素单元包括多个子像素;每个像素单元的各子像素中,第二电极的透光率不等。

[0018] 其中,每个所述像素单元包括红色子像素、绿色子像素和蓝色子像素;所述红色子像素中第二电极的透光率大于所述绿色子像素中第二电极的透光率大于所述蓝色子像素中第二电极的透光率。

[0019] 其中,所述子像素具有第二电极的多个设置位置;每个子像素中的第二电极可选择地设置在多个设置位置中的其中一个。

[0020] 其中,每行子像素的任意相邻两个子像素中,其中一个子像素的第二电极位于所述子像素的上侧,另一个子像素的第二电极位于所述子像素的下侧;或者,所述阵列基板包括多个像素单元,每个像素单元包括多个子像素;每个像素单元的多个子像素中的第二电极均位于所述子像素的上侧,或者,均位于所述子像素的下侧;且相邻像素单元的子像素中的第二电极位于所述子像素的不同侧。

[0021] 本发明提供的阵列基板的制备方法,其包括在基板上形成存储电容总线、第一电极、第二电极,以及位于存储电容总线和第二电极之间的绝缘层的步骤;其中,在形成绝缘层的步骤中所形成的绝缘层具有过孔,所述存储电容总线和第二电极通过所述过孔连接;用于形成第二电极的材料为金属氧化物半导体;在形成第二电极的图形之后,对所形成的第二电极进行导体化处理,以形成作为导体的第二电极。

[0022] 其中,阵列基板的制备方法还包括制备薄膜晶体管的步骤;所述第二电极的图形与所述薄膜晶体管的有源层的图形通过单次沉积工艺形成。

[0023] 其中,在形成第二电极和有源层的步骤中,采用半色调掩膜工艺同时形成第二电极的图形和有源层的图形,之后对第二电极进行导体化处理。

[0024] 本发明提供的显示面板,其包括上述的阵列基板。

[0025] 其中,所述显示面板为多畴配向的VA面板,所述存储电容总线在所述子像素区域内沿所述子像素的暗纹区走向设置。

[0026] 本发明提供的显示装置,其包括上述的显示面板。

[0027] 本发明实施例提供的上述阵列基板及其制备方法、显示面板及显示装置与现有技术相比具有如下优点:

[0028] 本发明提供的阵列基板,其第二电极与第一电极位于不同层,且第二电极在第一电极所在面上的投影的至少部分区域位于第一电极内,这样在第一电极和第二电极之间就形成了平行板结构,二者就具有了形成平行板电容的结构基础。在此基础上,第二电极与存储电容总线连接,且第二电极为导体,从而最终在第二电极和第一电极之间实际形成了一个存储电容。该存储电容可以与在存储电容总线和第一电极之间形成的存储电容一样,起到在输入到像素电极的两个数据信号之间的时间间隔内维持像素电极上的电压的作用。与现有技术相比,本发明提供的阵列基板,增加了在第二电极和第一电极之间形成的存储电容,从而使维持像素电极上的电压不再依赖或者不再完全依赖在存储电容总线和第一电极

之间所形成的存储电容,因此,在存储电容总线 and 第一电极之间无需形成较大的存储电容,这样,存储电容总线的宽度可以设置的较窄,以及存储电容总线无需为了增加与第一电极正对的面积而特意延长在子像素区域内的走线长度,从而可以降低子像素区域内存储电容总线所占的面积,相应的,在子像素区域内,就会有更多的区域允许光透过,从而就能够提高子像素的开口率。

[0029] 本发明提供的阵列基板的制备方法,其能够制备上述阵列基板,实现与上述阵列基板相同的技术效果。

[0030] 本发明提供的显示面板,其包括上述阵列基板,具有与上述阵列基板相同的技术效果。

[0031] 本发明提供的显示装置,其包括上述显示面板,具有与上述显示面板相同的技术效果。

## 附图说明

[0032] 此处的附图被并入说明书中并构成本说明书的一部分,示出了符合本发明的实施例,并与说明书一起用于解释本发明的原理。

[0033] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,对于本领域普通技术人员而言,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0034] 图1为本发明实施例提供的阵列基板的结构示意图;

[0035] 图2为图1所示阵列基板中第二电极和第一电极之间形成的存储电容的等效电路图;

[0036] 图3为图1所示阵列基板中相邻子像素中亮像素和暗像素的一种设置方式示意图;

[0037] 图4为图1所示阵列基板中相邻子像素中亮像素和暗像素的另一种设置方式示意图;

[0038] 图5为图1所示阵列基板中一个子像素中第二电极的设置方式的示意图;

[0039] 图5a为图1所示阵列基板中一个子像素中第二电极的设置方式的示意图

[0040] 图6为图5所示子像素中亮像素和暗像素的显示亮度随施加在第一电极上的电压变化的示意图;

[0041] 图7为图1所示阵列基板的一个像素单元中不同子像素的第二电极的示意图;

[0042] 图8为4畴配向的VA面板的一个子像素中的暗纹区的示意图;

[0043] 图9为8畴配向的VA面板中一个子像素中的暗纹区的示意图。

[0044] 图中:

[0045] 10-基板;

[0046] 20-薄膜晶体管;201-栅极;202-有源层;203-源极;204-漏极;

[0047] 30-存储电容总线;

[0048] 40-第一电极

[0049] 50-第二电极;501-子电极;502-间隙;

[0050] 60-绝缘层。

## 具体实施方式

[0051] 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0052] 下面结合附图对本发明提供的阵列基板的实施例进行说明。

[0053] (1) 阵列基板的实施例

[0054] 参看图1，本实施例提供的阵列基板包括基板10，以及在基板10上形成的多行栅线、多列数据线和多个子像素。其中，多个子像素由多行栅线和多列数据线限定，多个子像素呈阵列排布。阵列基板上还设置有穿过子像素的存储电容总线30。

[0055] 每个子像素具有薄膜晶体管20、第一电极40和第二电极50。其中，薄膜晶体管20包括栅极201、有源层202、源极203和漏极204，栅极201与栅线连接，源极203和数据线连接，漏极204和像素电极连接。在本实施例中，第一电极40和第二电极50透明，具体地，第一电极40为像素电极，因此，薄膜晶体管20的漏极204和第一电极40连接。第二电极50为导体，且第二电极50还与存储电容总线30连接。第二电极50和第一电极40位于不同层，此处所谓“位于不同层”是指在垂直于阵列基板的方向上，第一电极40和第二电极50之间具有一定距离。第二电极50在第一电极40所在面上的投影的至少部分区域位于第一电极40内，换言之，在垂直于阵列基板延伸表面的方向上，第一电极40和第二电极50至少部分重叠。

[0056] 在本实施例中，第二电极50与第一电极40位于不同层，且第二电极50在第一电极40所在面上的投影的至少部分区域位于第一电极40内，这样在第一电极40和第二电极50之间就形成了平行板结构，二者就具有了形成平行板电容的结构基础。在此基础上，第二电极50与存储电容总线30连接，且第二电极50为导体，从而最终在第二电极50和第一电极40之间实际形成了一个存储电容。该存储电容可以与在存储电容总线30和第一电极40之间形成的存储电容一样，起到在输入到像素电极的两个数据信号之间的时间间隔内维持像素电极上的电压的作用，如图2所示。与现有技术相比，本实施例提供的阵列基板，增加了在第二电极50和第一电极40之间形成的存储电容，从而使维持像素电极上的电压不再依赖或者不再完全依赖在存储电容总线30和第一电极40之间所形成的存储电容，因此，在存储电容总线30和第一电极40之间无需形成较大的存储电容，这样，存储电容总线30的宽度可以设置的较窄，以及存储电容总线30无需为了增加与第一电极40正对的面积而特意延长在子像素区域内的走线长度，从而可以降低子像素区域内存储电容总线30所占的面积，相应的，在子像素区域内，就会有更多的区域允许光透过，从而就能够提高子像素的开口率。

[0057] 在本实施例中，第二电极50与薄膜晶体管20中的有源层202通过单次沉积工艺步骤同步形成，从而形成二者之间同层设置的关系，这样设置可以在制备阵列基板时，无需额外增加一个工艺步骤，用于单独地形成第二电极50，有利于降低成本，以及，提高制备效率。

[0058] 在一个具体实施例中，第二电极50和薄膜晶体管20中的有源层202可以通过半色调掩膜工艺实现单次沉积工艺同步形成。例如半色调掩模板具有三级灰阶图形，可以分别称之为明图形、灰图形和暗图形；在通过半色调工艺形成第二电极50和有源层202的图形时，首先，沉积材料并在沉积层上涂覆光刻胶，进行曝光处理；之后，将所涂覆的光刻胶上与明图形对应的区域的光刻胶去除，使第二电极50和有源层202的基本图形之外的其他区域

暴露出来,通过刻蚀等工艺在沉积层上去除该部分;再之后,对光刻胶进行灰化处理,使与灰图形对应的区域,即第二电极50的图形暴露出来,并进行导体化处理;在此过程中,与暗图形对应的区域(即有源层202对应的区域)仍然保留有光刻胶,可以对有源层202的图形进行保护,避免有源层202的图形在导体化处理时受到破坏;最后,对剩余的光刻胶进行进一步灰化减薄处理,将暗图形对应的区域,即有源层202的图形暴露出来,最终形成有源层202的图形。

[0059] 其中,导体化处理的方法例如可以是利用等离子体轰击的方法增加金属氧化物中的自由电子,提高导电能力。

[0060] 在本实施例中,第二电极50和存储电容总线30之间形成有绝缘层60,绝缘层60上形成有过孔。第二电极50和存储电容总线30之间的连接就能够通过在形成第二电极50或存储电容总线30时形成在过孔内的第二电极50或存储电容总线30的材料实现。以图1所示结构为例,在制备阵列基板时,首先,形成存储电容总线30;其后,在存储电容总线30上形成绝缘层60,所形成的绝缘层60上具有过孔;最后,在形成第二电极50时,形成第二电极50的材料会注入到该过孔内,与该过孔下端的存储电容总线30连接,从而形成第二电极50和存储电容总线30之间的连接关系。在其他的结构中,先形成第二电极50,后形成存储电容总线30的情况与上述类似,区别仅在于形成在过孔内的材料为存储电容总线30的材料。

[0061] 需要说明的是,在第二电极50和存储电容总线30之间的绝缘层可以一层绝缘层60,也可以是多层绝缘层60。在绝缘层60为多层的情况下,该多层绝缘层60可以是依次、连续形成的,也可以是间隔形成(在形成两层绝缘层60之间形成如薄膜晶体管20中的一个或多个结构等)的。

[0062] 在本实施例中,第二电极50为导体化的金属氧化物半导体。具体地,第二电极50可以为金属氧化物半导体经过导体化处理后的产物。即相比于金属氧化物半导体,导体化处理后形成的第二电极50的电导率更高,符合作为导体的要求。具体地,第二电极50具有导体的特征,能够作为导体使用。

[0063] 具体地,可选择的导体化的金属氧化物半导体包括IGZO、IGZTO、IGTO、IZTO等。对金属氧化物半导体进行导体化处理的工艺是现有技术中已知的,在此不再赘述。当第二电极50选用其它导体材料时,第二电极50的材料还包括ITO。

[0064] 本实施例中的阵列基板能够应用于VA面板。已知的是,VA面板天然地面临在斜视方向上偏色严重的问题,一种通常的解决该问题方案是多畴配向,其具体方案是,将VA面板的每个子像素分为亮像素和暗像素,如图3和图4所示,施加在亮像素和暗像素上的电压不同,使液晶分子的偏转不同,通过亮像素和暗像素的液晶分子偏转差异的互补,改善VA面板在斜视方向上的偏色现象。在该种解决方案中,由于需要在亮像素和暗像素上施加不同的电压,每个子像素的亮像素区域和暗像素区域各自需要对应的像素电极和薄膜晶体管结构,相应带来的问题是子像素的开口率降低。

[0065] 在本实施例中的阵列基板应用于VA面板时,可以实现类似上述多畴配向方案的效果,同时改善上述多畴配向方案存在的问题。具体地,如图5所示,每个子像素内的像素电极的数量为一个,其即是阵列基板上的第一电极40;阵列基板中的第二电极50可以用于形成VA面板中的暗像素;具体实现方式可以是,设置第二电极50的透光率可以小于第一电极40的透光率(当选择IGZO作为第二电极50时,第二电极50的透光率可以为80%~90%;具体



地,IGZO的厚度设置在600埃时,第二电极50的透光率可以达到85%)。),这样的情况下,每个子像素区域内的液晶分子受到的电压相同,即施加在第一电极40上的电压,因此,第二电极50对应的区域和其他的区域的液晶分子的转向角度相同,但由于第二电极50的透光率小于第一电极40的透光率,第二电极50对应的区域构成了子像素区域内的“暗像素”,在第二电极50对应的区域之外的子像素的开口区域构成了子像素区域内的“亮像素”,如图6所示,图中横坐标表示施加在第一电极40上的电压,纵坐标表示光线在第一电极40(即亮像素)和第二电极50(即暗像素)所在区域的透过率,即亮像素和暗像素区域的最大显示亮度,其中带方框的线表示光线在亮像素区域的透过率随电压的变化,带圆点的线表示光线在暗像素区域的透过率随电压的变化。从而通过该亮像素和暗像素的互补,可以改善VA面板在斜视方向上的偏色现象。

[0066] 需要说明的是,在上述设置方式中,还可以不对第二电极50的透光率进行限定,即第二电极50的透光率可以大于或等于第一电极40的透光率,此种情况下,由于本身增加了第二电极50的结构,光线在穿过该区域的第二电极50时会产生一定的损失,使最终透过该区域的光线小于从第一电极40所在区域透过的光线,因此,也会使第二电极50所在区域的最大显示亮度小于第一电极40所在区域的最大显示亮度,即第一电极40所在区域形成亮像素,第二电极50所在区域形成暗像素,也能够起到改善VA面板在斜视方向上的偏色现象。但是此种情况下,第二电极50所在区域的最大显示亮度与第一电极所在区域的最大显示亮度的差别较小,改善偏色现象的效果较为有限,因此,在实际实施时,优选采用上述第二电极50的透光率小于第一电极的透光率的方案。

[0067] 第二电极的透光率可以根据需要设置。为了控制第二电极的透光率,第二电极50可以设置为包括多个子电极501,在多个子电极501中,相邻的子电极501之间具有缝隙502(Slit),如图5a所示。通过调节相邻的子电极501之间的间隙502的大小,可以在整体上控制第二电极50的透光率。具体地,每个子电极501的形状可以是条状,或者折线状,或者米字状,或者其他可能的任意形状。

[0068] 上述第二电极50包括多个子电极501的方案尤其适用于第二电极50和薄膜晶体管20的有源层202同层设置的方案。在通过单次沉积工艺形成第二电极50的图形和薄膜晶体管20的有源层202的图形时,一般优先满足薄膜晶体管20的有源层202的需要,这种情况下,所形成的第二电极50的厚度不一定是理想的厚度,第二电极50的透光率也就难以达到理想的数值。此时,就可以采用上述第二电极50包括多个子电极501的方案,通过调节相邻的子电极501之间的间隙502的大小,使第二电极50整体上的透光率为所需要的数值。但需要说明的是,在将第二电极50和薄膜晶体管20的有源层202通过单次沉积工艺中同步形成的方案中,由于ITO不能作为有源层202,因此,第二电极50的材质不能选择ITO,可以选择IGZO等其他金属氧化物半导体。

[0069] 在第二电极50是通过单独的工艺步骤形成的方案中,由于不存在薄膜晶体管20的有源层202的限制,可以形成不同厚度的第二电极50,从而可以依据第二电极50的厚度来调节第二电极50的透光率(可以单独使用或者与其他调节透光率的方式结合使用)。

[0070] 阵列基板包括多个像素单元,每个像素单元包括多个子像素;每个像素单元的各子像素中,第二电极的透光率不等。以每个像素单元包括三个子像素,三个子像素分别为红色子像素、绿色子像素和蓝色子像素为例,红色子像素、绿色子像素和蓝色子像素中的第二

电极50的透光率不等,如图7所示,以适应不同颜色的光透过第二电极50的不同衰减量。具体地,根据不同颜色光的波长,以及不同颜色的光穿过第二电极50的不同衰减量,设置红色子像素中第二电极50的透光率大于绿色子像素中第二电极50的透光率大于蓝色子像素中第二电极50的透光率,就人在大视角方向上的视觉感知而言,对红色、绿色和蓝色的感知程度是不同的,一般而言,对红色的感知弱于对绿色的感知弱于对蓝色的感知,因此为了在大视角方向上避免出现偏色现象,设置红色子像素中第二电极50的透光率大于绿色子像素中第二电极50的透光率大于蓝色子像素中第二电极50的透光率,可以补偿人在大视角方向上对于不同颜色的视觉感知差异。从而最大程度地改善VA面板在斜视方向上的偏色现象。

[0071] 在本实施例中,子像素具有第二电极50的多个设置位置;就每个子像素而言,其子像素区域内第二电极50的实际设置位置,可选择地设置在多个设置位置中的其中一个。具体地,如图3所示,每行子像素的任意相邻两个子像素中,其中一个子像素的第二电极50位于所述子像素的上侧(图中的黑色色块表示第二电极50形成的暗像素),另一个子像素的第二电极50位于所述子像素的下侧。或者,如图4所示,阵列基板包括多个像素单元,每个像素单元包括多个子像素;每个像素单元的多个子像素中的第二电极50均位于子像素的上侧(如图4中最左侧的三个子像素组成的像素单元),或者,均位于子像素的下侧(如图4中最右侧的三个子像素组成的像素单元);且相邻像素单元的子像素中的第二电极50位于子像素的不同侧。

[0072] 对于VA面板而言,在采用多畴配向的方法解决在斜视方向上偏色严重的现象时,为了实现垂直配向多畴显示,通常会将像素电极图形做成带有狭缝的像素电极,使得液晶分子在该像素电极和彩膜基板上的公共电极的作用下,可以向多个方向倾斜,形成液晶多畴配向。由于像素电极的电极条纹之间存在间隙,导致电极条纹之间的间隙与公共电极之间形成的电场强度会弱于电极条纹与公共电极之间所形成的电场强度,所以电极条纹与公共电极之间所形成的电场对液晶分子产生作用力会大于电极条纹之间的间隙与公共电极之间所形成的电场对液晶分子产生的作用力,导致液晶分子的偏转效率比较低,从而会在间隙位置处形成暗纹,该暗纹所在的区域可以称之为暗纹区,如图8和图9所示。在本实施例中的阵列基板用于VA面板时,存储电容总线30在子像素区域内沿子像素的暗纹区走向设置。由于暗纹区无法透光,该区域本身不能够用于有效显示,将存储电容总线30设置在暗纹区,并不会实际影响到子像素的开口率,可以避免将存储电容总线30设置在其他区域导致子像素的开口率降低。

[0073] 本实施例中的阵列基板还能够用于IPS面板等VA面板之外的、其他的液晶显示面板。在IPS面板及其他液晶显示面板中,不存在严重的在斜视方向上偏色的现象,因此,对于IPS面板和其他液晶显示面板而言,无需在每个子像素内设置亮像素和暗像素以改善在斜视方向上偏色的现象。在本实施例中的阵列基板用于IPS面板和其他液晶显示面板时,第二电极50的透光率可以设置为与第一电极40的透光率相同,从而使每个子像素的开口区内的各区域均能够显示高亮度,且所显示的亮度趋于一致。

[0074] 综上所述,本实施例提供的阵列基板,其第二电极50与第一电极40位于不同层,且第二电极50在第一电极40所在面上的投影的至少部分区域位于第一电极40内,这样在第一电极40和第二电极50之间就形成了平行板结构,二者就具有了形成平行板电容的结构基础。在此基础上,第二电极50与存储电容总线30连接,且第二电极为50导体,从而最终在第

二电极50和第一电极40之间实际形成了一个存储电容。该存储电容可以与在存储电容总线30和第一电极40之间形成的存储电容一样,起到在输入到像素电极的两个数据信号之间的时间间隔内维持像素电极上的电压的作用。与现有技术相比,本实施例提供的阵列基板,增加了在第二电极50和第一电极40之间形成的存储电容,从而使维持像素电极上的电压不再依赖或者不再完全依赖在存储电容总线30和第一电极40之间所形成的存储电容,因此,在存储电容总线30和第一电极40之间无需形成较大的存储电容,这样,存储电容总线30的宽度可以设置的较窄,以及存储电容总线30无需为了增加与第一电极40正对的面积而特意延长在子像素区域内的走线长度,从而可以降低子像素区域内存储电容总线30所占的面积,相应的,在子像素区域内,就会有更多的区域允许光透过,从而就能够提高子像素的开口率。

[0075] (2)阵列基板的制备方法的实施例

[0076] 本实施例提供一种阵列基板的制备方法,其可以制备上述阵列基板的实施例中所描述的阵列基板。在本实施例中,阵列基板的制备方法包括在基板上形成存储电容总线、第一电极、第二电极,以及位于存储电容总线和第二电极之间的绝缘层的步骤。其中,对于形成存储电容总线、第一电极、第二电极和绝缘层的步骤的顺序,不做限制,根据需要可以进行不同的组合。就存储电容总线、绝缘层和第二电极的制备而言,可以先在基板上制备存储电容总线,然后制备绝缘层,最后制备第二电极;也可以先在基板上制备第二电极,然后制备绝缘层,最后制备存储电容总线。

[0077] 就存储电容总线、第一电极、第二电极,以及绝缘层的制备而言,单独制备每个结构的方法是现有技术中已知的,在此不再赘述,下面仅就本实施例提供的阵列基板的制备方法中,制备存储电容总线、第一电极、第二电极和绝缘层的步骤的区别于现有技术之处进行详细描述。

[0078] 在采用先制备存储电容总线,后制备绝缘层,最后制备第二电极的工艺顺序时,在形成绝缘层的步骤后,所形成的绝缘层上具有过孔,过孔的下端与存储电容总线连通;这样在制备第二电极时,用于制备第二电极的材料会形成在过孔内,在过孔的下端与存储电容总线连接,从而使所制备的第二电极与存储电容总线连接。

[0079] 在采用先制备第二电极,后制备绝缘层,最后制备存储电容总线的工艺顺序时,在形成绝缘层的步骤后,所形成的绝缘层上具有过孔,过孔的下端与第二电极连通;这样在制备存储电容总线时,用于制备存储电容总线的材料会形成在过孔内,在过孔的下端与第二电极连接,从而使所制备的存储电容总线与第二电极连接。

[0080] 在制备第二电极时,用于形成第二电极的材料为金属氧化物半导体;在形成第二电极的图形之后,对所形成的第二电极的图形进行导体化处理,使所述第二电极的图形成为作为导体的第二电极,从而能够与第一电极之间形成存储电容。

[0081] 在本实施例中,阵列基板的制备方法还包括薄膜晶体管中各结构的制备方法,制备薄膜晶体管中各结构的方法是现有技术中已知的,在此不再赘述。但需要说明的是,在制备薄膜晶体管和上述各结构时,部分结构可以在一个工艺步骤中同时形成,例如存储电容总线和栅线的图形可以通过单次沉积工艺步骤中同步形成,第二电极的图形可以和薄膜晶体管的有源层的图形通过单次沉积工艺步骤中形成等,此种情况下,优选采用这样的方案,一方面可以降低成本,另一方面还可以减少制备所需的时间。

[0082] 在第二电极和存储电容总线之间的绝缘层可以一层绝缘层,也可以是多层绝缘层。在绝缘层为多层的情况下,该多层绝缘层可以是依次、连续形成的,也可以是间隔形成(在形成两层绝缘层之间形成如薄膜晶体管中的一个或多个结构等)的。

[0083] 在本实施例中,在第二电极的图形与薄膜晶体管的有源层的图形通过单次沉积工艺形成时,可以借助于半色调掩膜工艺实现。例如半色调掩模板具有三级灰阶图形,可以分别称之为明图形、灰图形和暗图形;在通过半色调工艺形成第二电极和有源层的图形时,首先,沉积材料并在沉积层上涂覆光刻胶,并进行曝光处理;之后,将所涂覆的光刻胶上与明图形对应的区域的光刻胶去除,使第二电极和有源层的基本图形之外的其他区域暴露出来,通过刻蚀等工艺在沉积层上去除该部分;再之后,对光刻胶进行灰化减薄处理,使与灰图形对应的区域,即第二电极的图形暴露出来,并进行导体化处理;在该过程中,与暗图形对应的区域(即有源层对应的区域)仍然保留有光刻胶,可以对有源层的图形进行保护,避免有源层的图形在导体化处理时受到破坏;最后,对剩余的光刻胶进行进一步灰化处理,将暗图形对应的区域,即有源层的图形暴露出来,最终形成有源层的图形。通过上述方法,在进行导体化处理时,能够保护有源层对应的区域,从而可以避免有源层的图形在导体化处理的工艺过程中遭到破坏。

[0084] 本实施例提供的阵列基板的制备方法,其能够制备上述阵列基板的实施例中所描述的阵列基板,具有与上述阵列基板相同的有益效果,在此不再赘述。

[0085] (3) 显示面板的实施例

[0086] 在本实施例中,显示面板包括上述阵列基板的实施例所描述的阵列基板。

[0087] 在本实施例中,所述显示面板为多畴配向的VA面板,所述存储电容总线在所述子像素区域内沿所述子像素的暗纹区走向设置。其具体设置和效果如上述阵列基板的实施例所述,在此不在赘述。

[0088] 本实施例提供的显示面板,其包括上述阵列基板的实施例中所描述的阵列基板,具有与上述阵列基板相同的有益效果,在此不再赘述。

[0089] (4) 显示装置的实施例

[0090] 在本实施例中,显示装置包括上述阵列面板的实施例所描述的显示面板。

[0091] 本实施例提供的显示装置,其包括上述显示面板的实施例中所描述的显示面板,具有与上述显示面板相同的有益效果,在此不再赘述。

[0092] 需要说明的是,在本文中,诸如“第一”和“第二”等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0093] 以上所述仅是本发明的具体实施方式,使本领域技术人员能够理解或实现本发明。对这些实施例的多种修改对本领域的技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所申请的原理和新颖特点相一

致的最宽的范围。

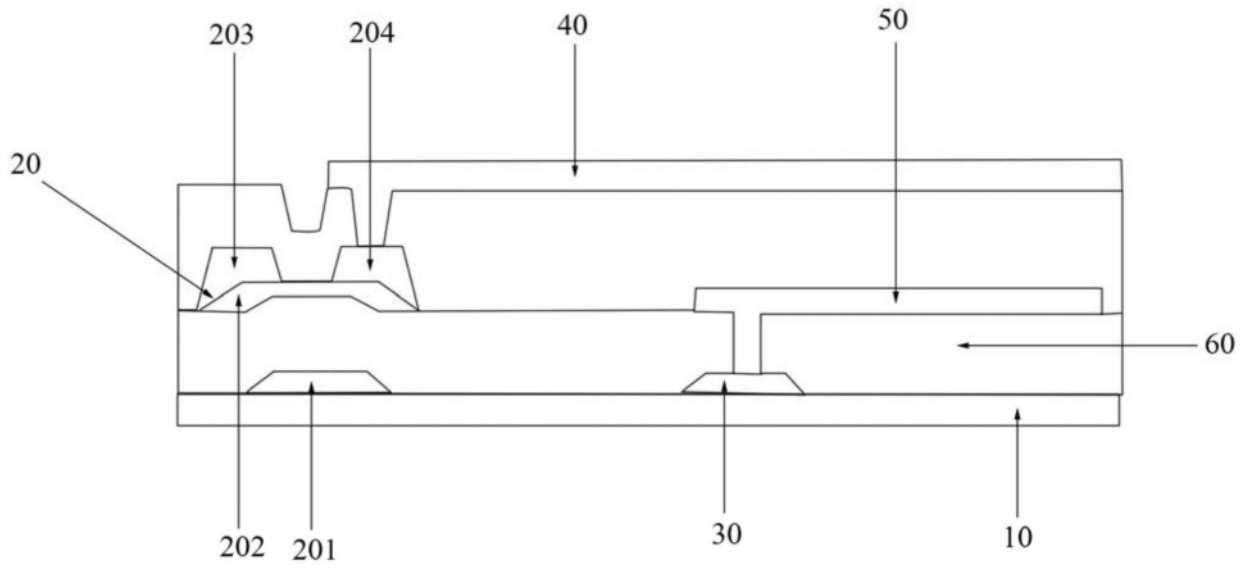


图1

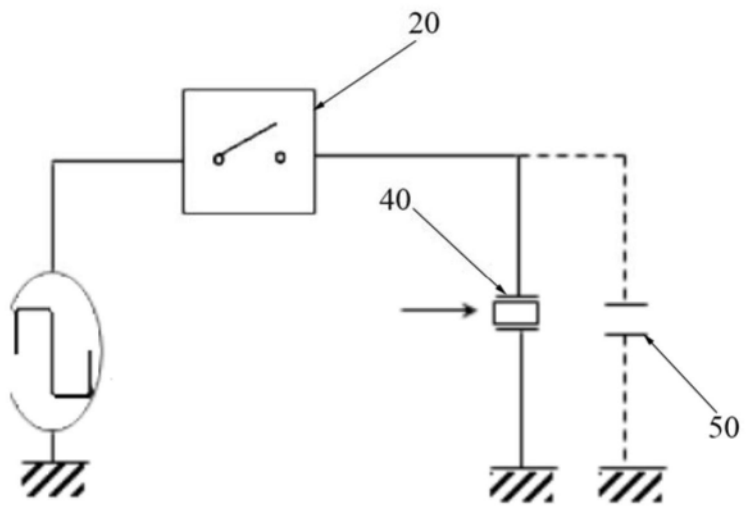


图2

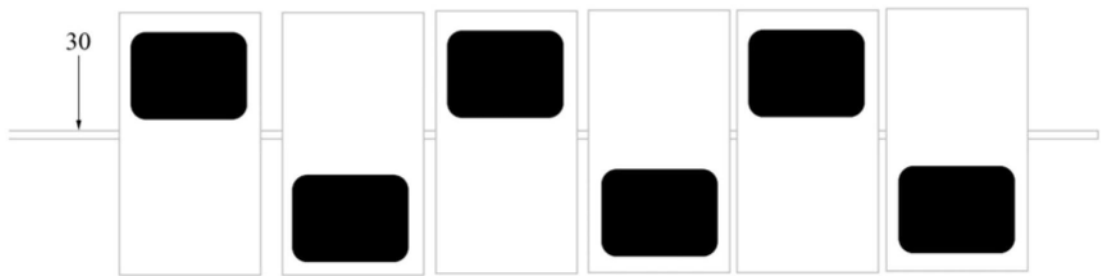


图3

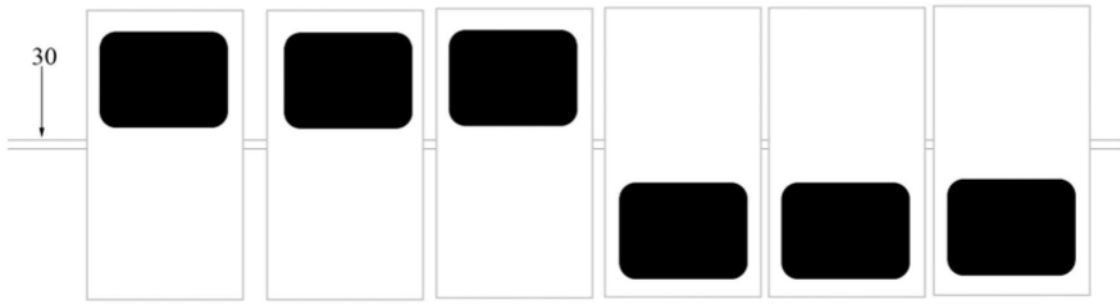


图4

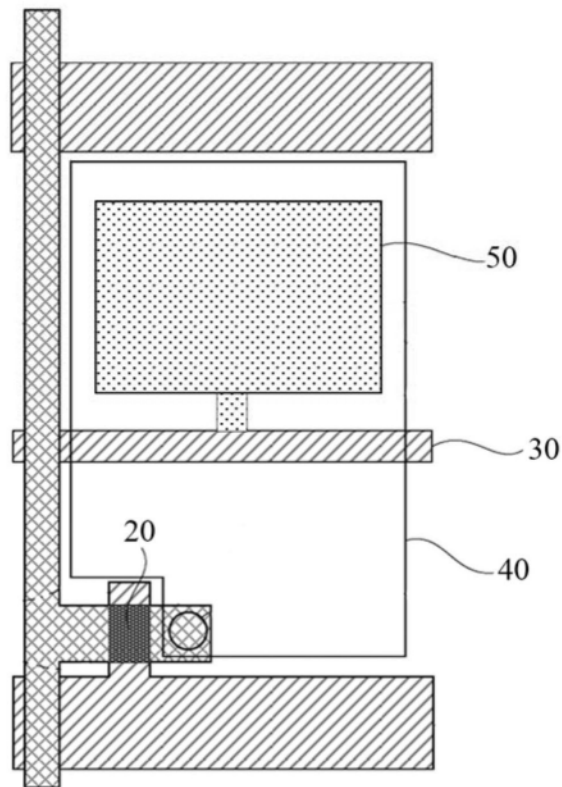


图5

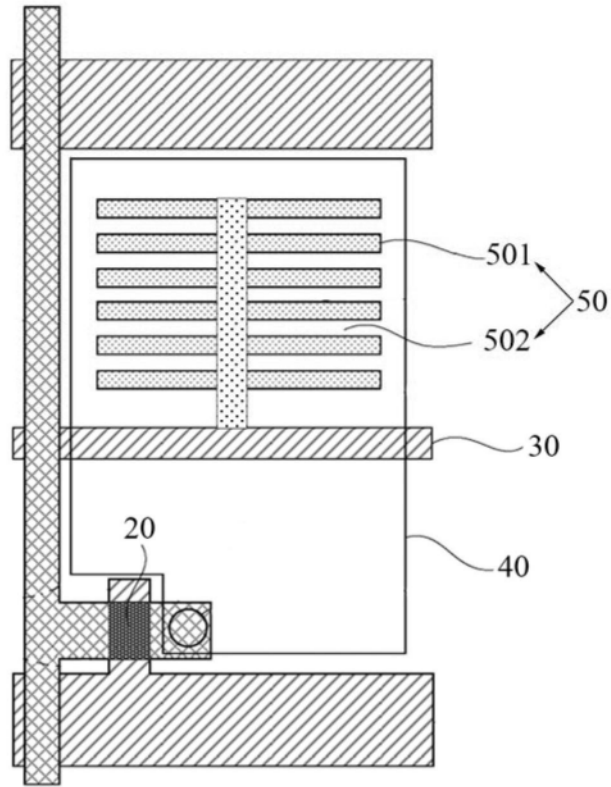


图5a



图6



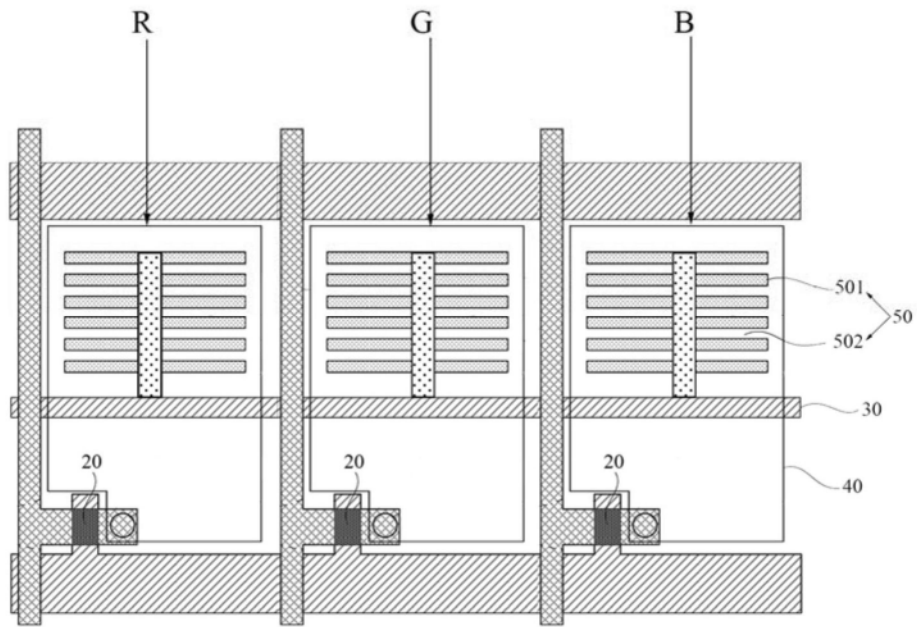


图7

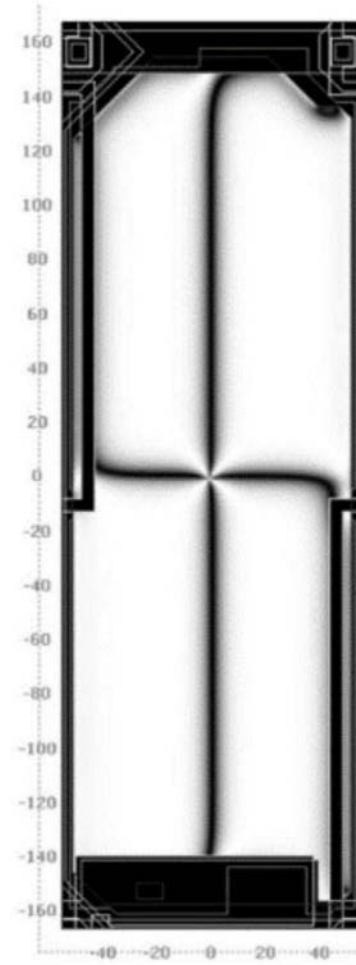


图8

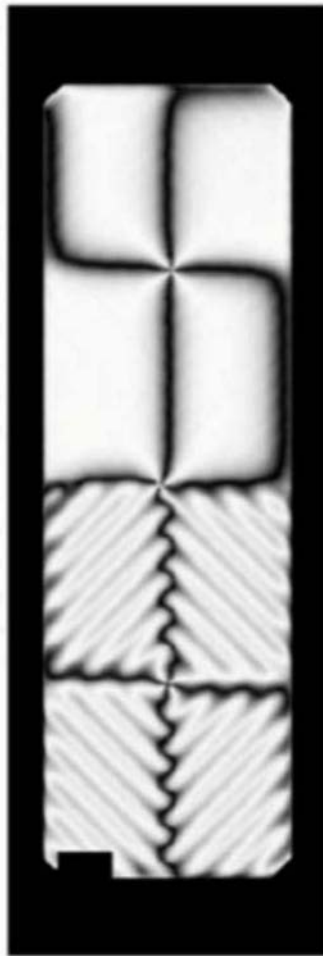


图9