



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0110863  
(43) 공개일자 2020년09월28일

(51) 국제특허분류(Int. Cl.)  
G06F 12/02 (2018.01) G06F 3/06 (2006.01)  
(52) CPC특허분류  
G06F 12/0238 (2013.01)  
G06F 3/0658 (2013.01)  
(21) 출원번호 10-2019-0030315  
(22) 출원일자 2019년03월18일  
심사청구일자 없음

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
변유준  
경기도 용인시 수지구 광교마을로 134 광교지웰홈스 103동 605호  
(74) 대리인  
김성남

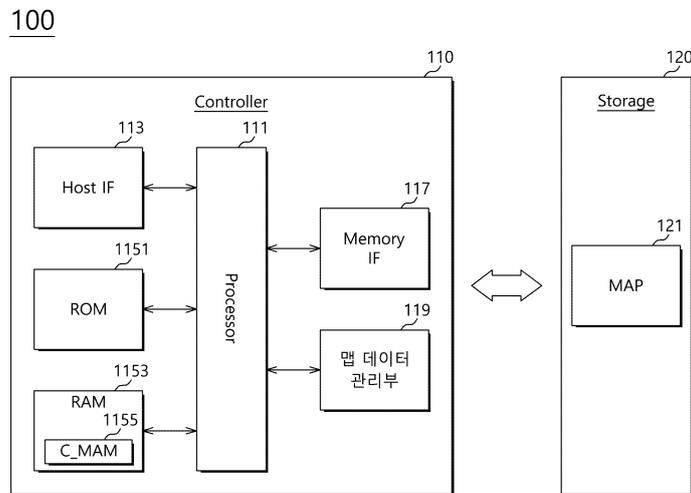
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 메모리 시스템, 컴퓨팅 장치 및 동작 방법

(57) 요약

본 기술의 일 실시예에 의한 메모리 시스템은 불휘발성 메모리 장치를 포함하는 저장부, 및 디바이스 메모리를 구비하며, 호스트 장치의 요청에 따라 불휘발성 메모리 장치의 동작을 제어하는 컨트롤러;를 포함하는 메모리 시스템으로서, 컨트롤러는, 호스트 장치의 논리 어드레스를 복수개로 구분하여 논리 어드레스 그룹을 구성하고, 논리 어드레스 그룹을 복수의 세그먼트로 분할하며, 복수의 세그먼트 각각이 논리 어드레스와 물리 어드레스의 맵핑 정보를 포함하도록 맵 데이터를 생성하여 저장부에 저장하고, 맵 데이터의 전부 또는 일부를 디바이스 메모리에 맵 캐시 데이터로 저장하며, 맵 캐시 데이터 중, 기 설정된 횟수 이상 참조된 업로드 대상 세그먼트가 동일 논리 어드레스 그룹 내에서 지정된 개수 이상 검출되는 경우, 검출된 세그먼트를 호스트 장치로 전송하는 맵 데이터 관리부를 포함하도록 구성될 수 있다.

대표도 - 도1



(52) CPC특허분류  
G06F 2212/7201 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

불휘발성 메모리 장치를 포함하는 저장부; 및

디바이스 메모리를 구비하며, 호스트 장치의 요청에 따라 상기 불휘발성 메모리 장치의 동작을 제어하는 컨트롤러;를 포함하는 메모리 시스템으로서,

상기 컨트롤러는,

상기 호스트 장치의 논리 어드레스를 복수개로 구분하여 논리 어드레스 그룹을 구성하고, 상기 논리 어드레스 그룹을 복수의 세그먼트로 분할하며, 상기 복수의 세그먼트 각각이 논리 어드레스와 물리 어드레스의 맵핑 정보를 포함하도록 맵 데이터를 생성하여 상기 저장부에 저장하고, 상기 맵 데이터의 전부 또는 일부를 상기 디바이스 메모리에 맵 캐시 데이터로 저장하며,

상기 맵 캐시 데이터 중, 기 설정된 횟수 이상 참조된 업로드 대상 세그먼트가 동일 논리 어드레스 그룹 내에서 지정된 개수 이상 검출되는 경우, 상기 검출된 세그먼트를 상기 호스트 장치로 전송하는 맵 데이터 관리부를 포함하도록 구성되는 메모리 시스템.

#### 청구항 2

제 1 항에 있어서,

상기 컨트롤러는 상기 업로드 대상 세그먼트가 포함된 논리 어드레스 그룹 내의 다른 세그먼트가 상기 호스트에 저장되어 있는 경우, 상기 업로드 대상 세그먼트를 상기 호스트로 전송하도록 구성되는 메모리 시스템.

#### 청구항 3

제 1 항에 있어서,

상기 컨트롤러는 상기 업로드 대상 세그먼트가 포함된 논리 어드레스 그룹 내의 다른 세그먼트가 상기 호스트 메모리에 저장되어 있지 않은 경우, 상기 업로드 대상 세그먼트가 포함된 논리 어드레스 그룹 내에서 상기 지정된 개수 이상의 세그먼트가 업로드 대상으로 선택될 때까지 업로드를 보류하도록 구성되는 메모리 시스템.

#### 청구항 4

호스트 메모리를 포함하는 호스트 장치; 및

상기 호스트와 통신하며, 디바이스 메모리를 구비하는 컨트롤러 및 불휘발성 메모리 장치를 구비하는 저장부로 구성되는 데이터 저장 장치;를 포함하고,

상기 컨트롤러는,

상기 호스트 장치의 논리 어드레스를 복수개로 구분하여 논리 어드레스 그룹을 구성하고, 상기 논리 어드레스 그룹을 복수의 세그먼트로 분할하며, 상기 복수의 세그먼트 각각이 논리 어드레스와 물리 어드레스의 맵핑 정보를 포함하도록 맵 데이터를 생성하여 상기 저장부에 저장하고, 상기 맵 데이터의 전부 또는 일부를 상기 디바이스 메모리에 맵 캐시 데이터로 저장하며,

상기 맵 캐시 데이터 중, 기 설정된 횟수 이상 참조된 업로드 대상 세그먼트가 동일 논리 어드레스 그룹 내에서 지정된 개수 이상 검출되는 경우, 상기 검출된 세그먼트를 상기 호스트 장치로 전송하는 맵 데이터 관리부를 포함하도록 구성되는 컴퓨팅 장치.

#### 청구항 5

제 4 항에 있어서,

상기 컨트롤러가 상기 검출된 세그먼트를 전송함에 따라, 상기 호스트 장치가 상기 호스트 메모리에 기 설정된

사이즈의 호스트 서브영역을 할당하여 상기 전송된 세그먼트를 저장하도록 구성되는 컴퓨팅 장치.

**청구항 6**

제 5 항에 있어서,

상기 세그먼트는 상기 디바이스 메모리에 할당된 디바이스 서브영역에 저장되고, 상기 디바이스 서브영역의 사이즈는 상기 호스트 서브영역의 사이즈와 상이한 컴퓨팅 장치.

**청구항 7**

제 6 항에 있어서,

상기 호스트 서브영역의 사이즈는 적어도 하나의 논리 어드레스 그룹에 포함된 모든 세그먼트가 저장 가능한 사이즈로 할당되는 컴퓨팅 장치.

**청구항 8**

제 5 항에 있어서,

상기 호스트 장치는 상기 호스트 메모리에 기 설정된 사이즈를 갖는 적어도 하나의 호스트 서브영역을 할당하며,

상기 컨트롤러는 상기 업로드 대상 세그먼트가 포함된 논리 어드레스 그룹 내의 다른 세그먼트가 상기 호스트 메모리에 저장되어 있는 경우, 상기 업로드 대상 세그먼트를 상기 호스트로 전송하도록 구성되는 컴퓨팅 장치.

**청구항 9**

제 8 항에 있어서,

상기 호스트 장치는 상기 다른 세그먼트가 저장된 호스트 서브 영역에 상기 업로드 대상 세그먼트를 저장하도록 구성되는 컴퓨팅 장치.

**청구항 10**

제 4 항에 있어서,

상기 컨트롤러는 상기 업로드 대상 세그먼트가 포함된 논리 어드레스 그룹 내의 다른 세그먼트가 상기 호스트 메모리에 저장되어 있지 않은 경우, 상기 업로드 대상 세그먼트가 포함된 논리 어드레스 그룹 내에서 상기 지정된 개수 이상의 세그먼트가 업로드 대상으로 선택될 때까지 업로드를 보류하도록 구성되는 컴퓨팅 장치.

**청구항 11**

불휘발성 메모리 장치를 포함하는 저장부와, 디바이스 메모리를 구비하며, 호스트 장치의 요청에 따라 상기 불휘발성 메모리 장치의 동작을 제어하는 컨트롤러를 포함하는 메모리 시스템의 동작 방법으로서,

상기 컨트롤러가, 상기 호스트 장치의 논리 어드레스를 복수개로 구분하여 논리 어드레스 그룹을 구성하고, 상기 논리 어드레스 그룹을 복수의 세그먼트로 분할하며, 상기 복수의 세그먼트 각각이 논리 어드레스와 물리 어드레스의 맵핑 정보를 포함하도록 맵 데이터를 생성하여 상기 저장부에 저장하는 단계;

상기 컨트롤러가, 상기 맵 데이터의 전부 또는 일부를 상기 디바이스 메모리에 맵 캐시 데이터로 저장하는 단계; 및

상기 컨트롤러가 상기 맵 캐시 데이터 중, 기 설정된 횟수 이상 참조된 업로드 대상 세그먼트가 동일 논리 어드레스 그룹 내에서 지정된 개수 이상 검출되는 경우, 상기 검출된 세그먼트를 상기 호스트 장치로 전송하는 단계;

를 포함하도록 구성되는 메모리 시스템의 동작 방법.

**청구항 12**

제 11 항에 있어서,

상기 호스트 장치는 호스트 메모리를 포함하고,

상기 컨트롤러가 상기 검출된 세그먼트를 전송함에 따라, 상기 호스트 장치가 상기 호스트 메모리에 기 설정된 사이즈의 호스트 서브영역을 할당하여 상기 전송된 세그먼트를 저장하는 단계를 더 포함하도록 구성되는 메모리 시스템의 동작 방법.

**청구항 13**

제 12 항에 있어서,

상기 세그먼트는 상기 디바이스 메모리에 할당된 디바이스 서브영역에 저장되고, 상기 컨트롤러는 상기 디바이스 서브영역의 사이즈가 상기 호스트 서브영역의 사이즈와 상이도록 할당하는 메모리 시스템의 동작 방법.

**청구항 14**

제 13 항에 있어서,

상기 호스트 서브영역의 사이즈는 적어도 하나의 논리 어드레스 그룹에 포함된 모든 세그먼트가 저장 가능한 사이즈로 할당되는 메모리 시스템의 동작 방법.

**청구항 15**

제 11 항에 있어서,

상기 업로드 대상 세그먼트가 포함된 논리 어드레스 그룹 내의 다른 세그먼트가 상기 호스트에 저장되어 있는 경우, 상기 컨트롤러가, 상기 업로드 대상 세그먼트를 상기 호스트로 전송하는 단계를 더 포함하도록 구성되는 메모리 시스템의 동작 방법.

**청구항 16**

제 15 항에 있어서,

상기 호스트 장치가 상기 다른 세그먼트를 저장한 호스트 서브 영역에 상기 업로드 대상 세그먼트를 저장하는 단계를 더 포함하도록 구성되는 메모리 시스템의 동작 방법.

**청구항 17**

제 11 항에 있어서,

상기 업로드 대상 세그먼트가 포함된 논리 어드레스 그룹 내의 다른 세그먼트가 상기 호스트 메모리에 저장되어 있지 않은 경우, 상기 컨트롤러가 상기 업로드 대상 세그먼트가 포함된 논리 어드레스 그룹 내에서 상기 지정된 개수 이상의 세그먼트가 업로드 대상으로 선택될 때까지 업로드를 보류하는 단계를 더 포함하도록 구성되는 메모리 시스템의 동작 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 집적 장치에 관한 것으로, 보다 구체적으로는 메모리 시스템, 컴퓨팅 장치 및 동작 방법에 관한 것이다.

**배경 기술**

[0002] 저장 장치는 호스트 장치와 연결되어 호스트의 요청에 따라 데이터 입출력 동작을 수행한다. 저장 장치는 데이터를 저장하기 위해 다양한 저장 매체를 사용할 수 있다.

[0003] 호스트 장치와 저장 장치 간의 동기화를 위해 필요한 맵 데이터는 호스트 장치가 사용하는 논리 주소와 저장 장치가 사용하는 물리 주소와의 맵핑 관계를 저장하고 있는 데이터이다.

[0004] 맵 데이터는 일반적으로 저장 장치 내에서 관리되나, 응답 속도 향상을 위해 호스트 장치에 구비된 메모리에 맵 데이터를 업로드(캐싱)하여 사용하는 기술이 연구되고 있다.

[0005] 하지만 저장 장치와 호스트 장치의 맵 데이터 저장 영역은 그 사이즈 등이 일치하지 않으므로 맵 데이터의 원활하고 효율적인 동기화 방안이 필요한 실정이다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 기술의 실시예는 맵 데이터를 호스트 장치에 효율적으로 캐싱할 수 있는 메모리 시스템, 컴퓨팅 장치 및 동작 방법을 제공할 수 있다.

**과제의 해결 수단**

[0007] 본 기술의 일 실시예에 의한 메모리 시스템은 불휘발성 메모리 장치를 포함하는 저장부; 및 디바이스 메모리를 구비하며, 호스트 장치의 요청에 따라 상기 불휘발성 메모리 장치의 동작을 제어하는 컨트롤러;를 포함하는 메모리 시스템으로서, 상기 컨트롤러는, 상기 호스트 장치의 논리 어드레스를 복수개로 구분하여 논리 어드레스 그룹을 구성하고, 상기 논리 어드레스 그룹을 복수의 세그먼트로 분할하며, 상기 복수의 세그먼트 각각이 논리 어드레스와 물리 어드레스의 맵핑 정보를 포함하도록 맵 데이터를 생성하여 상기 저장부에 저장하고, 상기 맵 데이터의 전부 또는 일부를 상기 디바이스 메모리에 맵 캐시 데이터로 저장하며, 상기 맵 캐시 데이터 중, 기 설정된 횟수 이상 참조된 업로드 대상 세그먼트가 동일 논리 어드레스 그룹 내에서 지정된 개수 이상 검출되는 경우, 상기 검출된 세그먼트를 상기 호스트 장치로 전송하는 맵 데이터 관리부를 포함하도록 구성될 수 있다.

[0008] 본 기술의 일 실시예에 의한 컴퓨팅 장치는 호스트 메모리를 포함하는 호스트 장치; 및 상기 호스트와 통신하며, 디바이스 메모리를 구비하는 컨트롤러 및 불휘발성 메모리 장치를 구비하는 저장부로 구성되는 데이터 저장 장치;를 포함하고, 상기 컨트롤러는, 상기 호스트 장치의 논리 어드레스를 복수개로 구분하여 논리 어드레스 그룹을 구성하고, 상기 논리 어드레스 그룹을 복수의 세그먼트로 분할하며, 상기 복수의 세그먼트 각각이 논리 어드레스와 물리 어드레스의 맵핑 정보를 포함하도록 맵 데이터를 생성하여 상기 저장부에 저장하고, 상기 맵 데이터의 전부 또는 일부를 상기 디바이스 메모리에 맵 캐시 데이터로 저장하며, 상기 맵 캐시 데이터 중, 기 설정된 횟수 이상 참조된 업로드 대상 세그먼트가 동일 논리 어드레스 그룹 내에서 지정된 개수 이상 검출되는 경우, 상기 검출된 세그먼트를 상기 호스트 장치로 전송하는 맵 데이터 관리부를 포함하도록 구성될 수 있다.

[0009] 본 기술의 일 실시예에 의한 메모리 시스템의 동작 방법은 불휘발성 메모리 장치를 포함하는 저장부와, 디바이스 메모리를 구비하며, 호스트 장치의 요청에 따라 상기 불휘발성 메모리 장치의 동작을 제어하는 컨트롤러를 포함하는 메모리 시스템의 동작 방법으로서, 상기 컨트롤러가, 상기 호스트 장치의 논리 어드레스를 복수개로 구분하여 논리 어드레스 그룹을 구성하고, 상기 논리 어드레스 그룹을 복수의 세그먼트로 분할하며, 상기 복수의 세그먼트 각각이 논리 어드레스와 물리 어드레스의 맵핑 정보를 포함하도록 맵 데이터를 생성하여 상기 저장부에 저장하는 단계; 상기 컨트롤러가, 상기 맵 데이터의 전부 또는 일부를 상기 디바이스 메모리에 맵 캐시 데이터로 저장하는 단계; 및 상기 컨트롤러가 상기 맵 캐시 데이터 중, 기 설정된 횟수 이상 참조된 업로드 대상 세그먼트가 동일 논리 어드레스 그룹 내에서 지정된 개수 이상 검출되는 경우, 상기 검출된 세그먼트를 상기 호스트 장치로 전송하는 단계;를 포함하도록 구성될 수 있다.

**발명의 효과**

[0010] 본 기술에 의하면 맵 데이터를 캐싱하기 위해 호스트 메모리가 불필요하게 할당 및 낭비되는 것을 방지할 수 있다.

**도면의 간단한 설명**

- [0011] 도 1은 일 실시예에 의한 메모리 시스템의 구성도이다.
- 도 2는 일 실시예에 의한 컴퓨팅 장치의 구성도이다.
- 도 3은 일 실시예에 의한 메모리 시스템의 맵 데이터 관리 개념을 설명하기 위한 도면이다.
- 도 4는 일 실시예에 의한 메모리 시스템의 동작 방법을 설명하기 위한 흐름도이다.
- 도 5는 일 실시예에 메모리 시스템의 동작 방법을 설명하기 위한 개념도이다.

도 6은 일 실시예에 의한 메모리 시스템의 동작 방법을 설명하기 위한 흐름도이다.

도 7은 일 실시예에 의한 메모리 시스템의 동작 방법을 설명하기 위한 개념도이다.

도 8은 일 실시예에 의한 스토리지 시스템의 구성도이다.

도 9 및 도 10은 실시예들에 따른 데이터 처리 시스템의 구성도이다.

도 11은 일 실시예에 의한 데이터 저장 장치를 포함하는 네트워크 시스템의 구성도이다.

도 12은 일 실시예에 따른 데이터 저장 장치에 포함된 비휘발성 메모리 장치의 구성도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0012] 이하, 첨부된 도면을 참조하여 본 기술의 실시예를 보다 구체적으로 설명한다.
- [0013] 도 1은 일 실시예에 의한 메모리 시스템의 구성도이다.
- [0014] 도 1을 참조하면, 메모리 시스템(100)은 컨트롤러(110) 및 저장부(120)를 포함할 수 있다.
- [0015] 일 실시예에 의한 컨트롤러(110)는 프로세서(111), 호스트 인터페이스(113), ROM(1151), RAM(1153), 메모리 인터페이스(117) 및 맵 데이터 관리부(119)를 포함할 수 있다.
- [0016] 프로세서(111)는 저장부(120)에 대한 데이터의 리드나 라이트 동작에 필요한 다양한 제어정보를 호스트 인터페이스(113), RAM(1153) 및 메모리 인터페이스(117)에 전달하도록 구성될 수 있다. 일 실시예에서, 프로세서(111)는 메모리 시스템(10)의 다양한 동작을 위해 제공되는 펌웨어 또는 소프트웨어 코드를 저장부(120)로부터 읽어 내어 RAM(1153)에 로딩하고 로딩된 코드를 해석 및 실행함으로써 메모리 시스템(100)의 제반 동작을 제어할 수 있다.
- [0017] 일 실시예에서, 프로세서(111)는 저장부(120)를 관리하기 위한 가비지 콜렉션, 주소맵핑, 웨어레벨링 등을 수행하기 위한 플래시 변환계층(FTL)의 기능, 저장부(120)로부터 독출된 데이터의 에러를 검출하고 정정하는 기능 등을 수행할 수 있다.
- [0018] 호스트 인터페이스(113)는 프로세서(111)의 제어에 따라 호스트 장치로부터 커맨드, 어드레스, 데이터 및 클럭 신호를 수신하고 데이터의 입출력을 제어하기 위한 통신 채널을 제공할 수 있다. 호스트 인터페이스(113)는 호스트 장치와 데이터 저장 장치(10) 간의 물리적 연결을 제공할 수 있다. 그리고 호스트 장치의 버스 포맷에 대응하여 데이터 저장부(120)와의 인터페이스를 제공할 수 있다. 호스트 장치의 버스 포맷은 시큐어 디지털(secure digital), USB(universal serial bus), MMC(multi-media card), eMMC(embedded MMC), PCMCIA(personal computer memory card international association), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI Express), UFS(universal flash storage)와 같은 표준 인터페이스 프로토콜들 중 적어도 어느 하나를 포함할 수 있다.
- [0019] ROM(1151)은 컨트롤러(110)의 동작에 필요한 프로그램 코드, 예를 들어 펌웨어 또는 소프트웨어가 저장되고, 프로그램 코드들이 이용하는 코드 데이터 등이 저장될 수 있다.
- [0020] RAM(1153)은 컨트롤러(110)의 동작에 필요한 데이터 또는 컨트롤러(110)에 의해 생성된 데이터, 호스트 장치와 저장부(120) 간에 송수신되는 데이터를 임시 저장할 수 있다.
- [0021] 프로세서(111)는 부팅 동작시 저장 매체(120) 또는 ROM(1151)에 저장된 부트 코드를 RAM(1153)에 로딩함으로써, 메모리 시스템(10)의 부팅 동작을 제어할 수 있다.
- [0022] 메모리 인터페이스(117)는 컨트롤러(110)와 저장부(120) 간의 신호 송수신을 위한 통신 채널을 제공할 수 있다. 메모리 인터페이스(117)는 프로세서(111)의 제어에 따라 RAM(1153) 또는 도시하지 않은 버퍼 메모리에 일시 저장된 데이터를 저장부(120)에 기입할 수 있다. 그리고 저장부(120)로부터 독출되는 데이터를 RAM(1153) 또는 도시하지 않은 버퍼 메모리로 전달하여 일시 저장할 수 있다.
- [0023] 저장부(120)는 EEPROM(Electrically Erasable and Programmable ROM), 낸드(NAND) 플래시 메모리, 노어(NOR) 플래시 메모리, PRAM(Phase-Change RAM), ReRAM(Resistive RAM) FRAM(Ferroelectric RAM), STT-MRAM(Spin Torque Transfer Magnetic RAM) 등과 같은 다양한 비휘발성 메모리 소자 중에서 선택된 메모리 장치를 포함할 수 있다. 저장부(120)는 복수의 다이들(Die 0~Die n), 또는 복수의 칩들, 또는 복수의 패키지들을 포함할 수

있다. 나아가 저장부(120)는 하나의 메모리 셀에 한 비트의 데이터를 저장하는 싱글 레벨 셀(Single-Level Cell), 또는 하나의 메모리 셀에 복수 비트의 데이터를 저장하는 멀티 레벨 셀(Multi-Level Cell)로 이루어질 수 있다.

- [0024] 컨트롤러(110)는 저장부(120)를 관리하는 데에 필요한 다양한 메타 데이터를 관리할 수 있다. 메타 데이터는 저장부(120)에 저장되며, 컨트롤러(110)가 필요한 때에 저장부(120)로부터 읽어 사용할 수 있다.
- [0025] 일 실시예에서, 메타 데이터는 맵 데이터(MAP)를 포함할 수 있다. 맵 데이터(MAP)는 저장부(120)의 메타 데이터 영역(121)에 저장되며 컨트롤러(110)의 프로세서(111), 또는 맵 데이터 관리부(119)에 의해 관리될 수 있다.
- [0026] 맵 데이터(MAP)는 저장부(120)를 구성하는 저장 공간의 물리 어드레스들 및 호스트 장치에 의해 메모리 시스템(100)에 부여된 논리 어드레스들 사이의 맵핑 정보를 포함할 수 있다. 맵 데이터 관리부(119)는 메타 데이터 영역(121)의 맵 데이터(MAP) 중에서 호스트 장치(10)의 요청에 포함된 맵 데이터 또는 메모리 시스템(100) 자체의 백그라운드 동작을 수행하는 데에 필요한 맵 데이터를 저장부(120)로부터 컨트롤러(110)의 내부 메모리(디바이스 메모리, 1155), 예를 들어 RAM(1153)이나 도시하지 않은 버퍼 메모리에 맵 캐시 데이터(C\_MAP)로 로딩하여 사용할 수 있다.
- [0027] 맵 캐시 데이터(C\_MAP)가 저장되는 컨트롤러(110)의 내부 메모리(디바이스 메모리)는 예를 들어 SRAM(Static Random Access Memory)일 수 있다. 맵 데이터 관리부(119)는 호스트 장치의 요청에 따라 동작을 수행할 때에 또는 백그라운드 동작을 수행할 때에 맵 데이터(MAP)가 갱신되면 이를 저장부(120)에 반영할 수 있다.
- [0028] 맵 데이터 관리부(119)는 맵 데이터(MAP)의 전체 또는 일부를 호스트 장치(10)로 전송하도록 구성될 수 있다. 호스트 장치는 메모리 시스템(100) 으로부터 전송되는 맵 데이터(MAP)의 전체 또는 일부를 호스트 맵 캐시 데이터(H\_MAP)로 저장할 수 있다. 이에 따라, 호스트 장치는 호스트 맵 캐시 데이터(H\_MAP)를 참조하여, 물리 어드레스를 포함하는 리드 요청을 메모리 시스템(100)으로 전송할 수 있다. 물리 어드레스를 포함하여 리드를 요청함에 따라 메모리 시스템(100)의 컨트롤러(110)는 어드레스 변환을 수행하거나 또는 저장부(120)로부터 맵 데이터(MAP)를 읽는 동작을 생략할 수 있다. 따라서, 메모리 시스템(100)이 호스트 장치(10)의 요청을 처리하는 데 소요되는 시간이 감소되어 컴퓨팅 장치(1)의 동작 속도가 향상될 수 있다.
- [0029] 일 실시예에서, 맵 데이터 관리부(119)는 논리 어드레스들(LBA)을 복수개의 그룹(LBAG)으로 구분하고, 각 논리 어드레스 그룹(LBAG)을 복수의 세그먼트(SEGO\_0~SEGO\_M, SEG1\_0~SEG1\_M, ...)로 분할할 수 있다. 각 세그먼트는 논리 어드레스(LBA)와 물리 어드레스(PBA)와의 맵핑 관계를 나타내는 데이터, 그리고 해당 물리적 저장 공간에 저장된 데이터의 속성(순차 데이터/랜덤 데이터 여부), 해당 논리적 저장 공간의 참조 횟수 등을 포함하는 기타 정보를 포함할 수 있다.
- [0030] 맵 데이터 관리부(119)는 맵 캐시 데이터(C\_MAP) 중, 기 설정된 횟수 이상 참조된 업로드 대상 세그먼트가 동일 논리 어드레스 그룹 내에서 지정된 개수 이상 검출되는 경우, 상기 검출된 세그먼트를 상기 호스트 메모리로 전송할 수 있다.
- [0031] 맵 데이터 관리부(119)는 업로드 대상 세그먼트가 포함된 논리 어드레스 그룹 내의 다른 세그먼트가 상기 호스트에 저장되어 있는 경우, 업로드 대상 세그먼트를 상기 호스트로 전송하여, 업로드 대상 세그먼트가 속한 논리 어드레스 그룹 내 다른 세그먼트를 저장한 호스트 영역에 업로드 대상 세그먼트를 저장하도록 할 수 있다.
- [0032] 맵 데이터 관리부(119)는 업로드 대상 세그먼트가 포함된 논리 어드레스 그룹 내의 다른 세그먼트가 상기 호스트 메모리에 저장되어 있지 않은 경우, 업로드 대상 세그먼트가 포함된 논리 어드레스 그룹 내에서 지정된 개수 이상의 세그먼트가 업로드 대상으로 선택될 때까지 업로드를 보류할 수 있다.
- [0033] 도 2는 일 실시예에 의한 컴퓨팅 장치의 구성도이다.
- [0034] 도 2를 참조하면, 컴퓨팅 장치(1)는 호스트 장치(10) 및 메모리 시스템(100)을 포함할 수 있다.
- [0035] 호스트 장치(10)는 프로세서(11) 및 호스트 메모리(13)를 포함할 수 있다.
- [0036] 프로세서(11)는 컴퓨팅 장치(1)의 제반 동작을 제어할 수 있다. 프로세서(11)는 코드 또는 프로그램에 포함된 명령들을 실행하도록 물리적으로 구성된 회로를 포함하는 하드웨어 기반의 데이터 프로세싱 장치일 수 있다.
- [0037] 호스트 메모리(13)는 프로세서(11)와 통신하는 호스트 장치(1) 또는 컴퓨팅 장치(1)의 메인 메모리를 포함할 수 있다. 프로세서(11)에서 실행 및 참조할 코드와 데이터는 호스트 메모리(13)에 임시 저장될 수 있다. 프로세서(11)는 호스트 메모리(13)를 이용하여 운영체제, 어플리케이션 등의 코드를 실행하고, 데이터를 처리할 수

있다. 호스트 메모리(13)는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등과 같은 휘발성 메모리, 또는 PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FeRAM (Ferroelectric RAM) 등과 같은 불휘발성 메모리 장치를 포함하는 랜덤 액세스 메모리 주에서 선택될 수 있다.

- [0038] 도시하지 않았지만, 호스트 장치(10)는 사용자 인터페이스를 통해 사용자와 통신할 수 있다. 일 실시예에서 사용자 인터페이스는 키보드, 키패드, 버튼, 터치 패널, 터치 스크린, 터치 패드, 터치 볼, 카메라, 마이크, 자이로스코프 센서, 진동 센서, 등과 같은 사용자 입력 인터페이스들과, LCD(Liquid Crystal Display), OLED(Organic Light Emitting Diode) 표시 장치, AMOLED (Active Matrix OLED) 표시 장치, LED, 스피커, 모니터 등과 같은 사용자 출력 인터페이스들을 포함할 수 있다.
- [0039] 도시하지 않았지만 호스트 장치(10)는 컴퓨팅 장치(1)가 다양한 유선 또는 무선 통신 프로토콜에 의해 외부 장치와 통신할 수 있도록 하는 모뎀을 더 포함할 수 있다.
- [0040] 메모리 시스템(100)은 컨트롤러(110) 및 저장부(120)를 포함하며, 예를 들어 도 1에 도시한 메모리 시스템(100)으로 구성되어, 호스트 인터페이스(113)를 통해 프로세서(11)와 통신할 수 있다. 호스트 장치(10)는 장기적으로 보존되어야 하는 데이터를 메모리 시스템(100)에 저장할 수 있다. 메모리 시스템(100)은 컴퓨팅 장치(1)를 구동하기 위한 부트 이미지, 운영체제, 어플리케이션과 같은 다양한 소프트웨어들의 소스 코드들 및 이들에 의해 처리된 데이터를 저장할 수 있다.
- [0041] 저장부(120)의 메타 데이터 영역(121)에는 저장부(120)를 구성하는 저장 공간의 물리 어드레스들과 호스트 장치(10)에 의해 메모리 시스템(100)에 부여된 논리 어드레스들 사이의 맵핑 정보를 포함하는 맵 데이터(MAP)가 저장될 수 있다.
- [0042] 컨트롤러(110)는 메타 데이터 영역(121)의 맵 데이터(MAP) 중에서 선택된 맵 데이터를 컨트롤러(110)의 내부 메모리(디바이스 메모리, 1155)에 맵 캐시 데이터(C\_MAP)로 로딩하여 사용할 수 있다.
- [0043] 맵 데이터 관리부(119)는 호스트 장치의 요청에 따라 동작을 수행할 때 또는 백그라운드 동작을 수행할 때 맵 데이터(MAP)가 갱신되면 이를 저장부(120)에 반영할 수 있다.
- [0044] 맵 데이터 관리부(119)는 맵 데이터(MAP)의 전체 또는 일부를 호스트 장치(10)로 전송하도록 구성될 수 있다. 호스트 장치는 메모리 시스템(100) 으로부터 전송되는 맵 데이터(MAP)의 전체 또는 일부를 호스트 메모리(13)의 특정 영역, 예를 들어 호스트 맵 영역(131)에 호스트 맵 캐시 데이터(H\_MAP)로 저장할 수 있다.
- [0045] 이에 따라, 호스트 장치(10)는 메모리 시스템(100)으로 리드를 요청할 때 호스트 메모리(13)에 저장된 호스트 맵 캐시 데이터(H\_MAP)를 참조하여, 물리 어드레스를 포함하는 리드 요청을 전송할 수 있다. 그러므로 메모리 시스템(100)의 컨트롤러(110)는 어드레스 변환을 수행하거나 저장부(120)로부터 맵 데이터(MAP)를 읽는 동작을 생략할 수 있다. 따라서, 메모리 시스템(100)이 호스트 장치(10)의 요청을 처리하는 데 소요되는 시간이 감소되어 컴퓨팅 장치(1)의 동작 속도가 향상될 수 있다.
- [0046] 호스트 메모리(13)에 저장되는 호스트 맵 캐시 데이터(H\_MAP)는 메모리 시스템(100) 또는 호스트 장치(10)에 의해 관리될 수 있다. 호스트 장치(10)가 호스트 맵 캐시 데이터(H\_MAP)를 관리하는 경우 호스트 메모리(13) 관리 권한을 메모리 시스템(100)에 인계할 필요가 없으므로 다양한 형태로 구현된 메모리 시스템(100)이 본 기술의 컴퓨팅 장치(1)에 적용될 수 있다.
- [0047] 도 3은 일 실시예에 의한 메모리 시스템의 맵 데이터 관리 개념을 설명하기 위한 도면이다.
- [0048] 도 1 내지 도 3을 참조하면, 컨트롤러(110), 구체적으로는 맵 데이터 관리부(119)는 맵 데이터(MAP)를 이용하여, 논리 어드레스들에 의해 식별되는 논리적 저장 공간과 물리 어드레스들에 의해 식별되는 물리적 저장 공간을 맵핑할 수 있다.
- [0049] 맵 데이터 관리부(119)는 논리 어드레스들(LBA)을 복수개의 그룹(LBAG)으로 구분할 수 있다. 구분된 그룹(LBAG)들에 각각 식별자(R\_Index)가 할당될 수 있다. 일 실시예에서, 식별자(R\_Index) 0이 부여된 논리 어드레스 그룹(LBAG0)은 논리 어드레스(LBA) "0000" 내지 "0999"에 대한 맵 데이터를 포함할 수 있다. 유사하게, 식별자(R\_Index) 1이 부여된 논리 어드레스 그룹(LBAG1)은 논리 어드레스(LBA) "1000" 내지 "1999"에 대한 맵 데이터를 포함할 수 있다.
- [0050] 각 논리 어드레스 그룹(LBAG)은 복수의 세그먼트(SEGO\_0~SEGO\_M, SEG1\_0~SEG1\_M, ...)로 분할될 수 있다. 저장부(120)의 맵 데이터(MAP) 중 기 설정된 기준에 따라 선택된 맵 데이터가 컨트롤러(110)의 디바이스 메모리

(1155)에 맵 캐시 데이터(C\_MAP)로 로딩될 수 있다. 컨트롤러(110)는 맵 캐시 데이터(C\_MAP)를 저장하기 위하여 디바이스 메모리(1155)에 기 설정된 사이즈의 디바이스 서브 영역(SR)을 할당할 수 있다. 디바이스 서브 영역(SR)의 사이즈는 세그먼트의 사이즈에 대응할 수 있다. 따라서, 맵 캐시 데이터(C\_MAP)는 세그먼트 단위, 다른 관점에서는 디바이스 메모리(1155)에 할당된 디바이스 서브 영역(SR) 단위로 컨트롤러(110)에 캐싱될 수 있다.

- [0051] 각각의 세그먼트(SEGO\_0~SEGO\_M, SEG1\_0~SEG1\_M, ...)들은 복수의 엔트리들(ETR\_1~ETY\_N)을 포함할 수 있다. 각 엔트리들(ETR\_1~ETY\_N)은 논리 어드레스(LBA), 물리 어드레스(PBA) 및 기타 정보를 포함할 수 있다.
- [0052] 이러한 관점에서, 컨트롤러(110)는 복수 개(N개)의 엔트리들(ETR\_1~ETY\_N)을 하나의 서브 영역에 저장하여 하나의 세그먼트로 관리할 수 있다.
- [0053] 이와 같이, 맵 데이터(MAP)는 복수의 엔트리들(ETY\_1 ~ ETR\_N)을 포함할 수 있다. 각 엔트리(ETY\_1 ~ ETR\_N)는 하나의 단위 논리적 저장 공간을 식별하는 논리 어드레스(LBA)와 하나의 단위 물리적 저장 공간을 식별하는 물리 어드레스(PBA)와의 맵핑 관계를 나타내는 데이터, 그리고 기타 정보를 저장할 수 있다. 기타 정보는 해당 물리적 저장 공간에 저장된 데이터의 속성(순차 데이터/랜덤 데이터 여부), 해당 논리적 저장 공간의 참조 횟수 등을 포함할 수 있으나 이에 한정되는 것은 아니다.
- [0054] 맵 데이터 관리부(119)는 컨트롤러(110)의 디바이스 메모리(1155)에 캐싱된 맵 캐시 데이터(C\_MAP) 중 기 설정된 기준에 의해 선택된 맵 데이터를 호스트 장치(10)의 호스트 메모리(13)에 전송할 수 있다.
- [0055] 호스트 장치(10)는 맵 캐시 데이터(C\_MAP)를 저장하기 위하여 호스트 메모리(13)의 호스트 맵 영역(131) 내에 기 설정된 사이즈를 갖는 적어도 하나의 호스트 서브 영역(R)을 할당할 수 있다. 호스트 메모리(13)에 할당되는 호스트 서브 영역(R)의 사이즈는 맵 캐시 데이터(C\_MAP)가 저장되는 디바이스 서브영역(SR) 사이즈의 Y배일 수 있다. 따라서, 디바이스 서브 영역(SR)에 세그먼트 단위의 맵 캐시 데이터(C\_MAP)가 저장된다면, 호스트 서브영역(R)에는 Y개의 세그먼트를 포함하는 호스트 맵 캐시 데이터(H\_MAP)가 저장될 수 있다. 바람직한 실시예에서, 호스트 메모리(13)에 할당된 각각의 호스트 서브영역(R)에는 동일한 논리 어드레스 그룹(LBAG)에 속하는 적어도 하나의 세그먼트가 저장될 수 있다.
- [0056] 적어도 하나의 세그먼트가 호스트 장치(10)로 업로드될 것으로 선정되는 경우, 호스트 장치(10)는 호스트 메모리(13) 내에 호스트 서브영역(R)을 할당할 수 있다. 만약 호스트 메모리(13)에 빈 공간이 존재하지 않는다면 기존에 할당했던 호스트 서브영역(R)을 해제하고 새로운 호스트 서브영역(R)을 할당할 수 있다.
- [0057] 일 실시예에서, 특정 논리 어드레스 그룹(LBAG) 내 어느 하나의 세그먼트만이 호스트 장치(10)에 업로드할 것으로 선택되는 경우, 하나의 세그먼트를 저장하기 위해 호스트 메모리(13)에 호스트 서브영역(R)을 할당한다면 호스트 메모리(13)가 낭비될 수 있다. 그러므로, 본 기술에서는 특정 논리 어드레스 그룹(LBAG) 내의 세그먼트 중 기 설정된 조건을 만족하는 세그먼트가 기 설정된 개수(TH1) 이상 검출되는 경우 호스트 메모리(13)에 호스트 서브영역(R)을 할당하고 선택된 세그먼트들을 저장할 수 있다.
- [0058] 일 실시예에서, 호스트 서브영역(R)에 특정 논리 어드레스 그룹(LBAG)에 속하는 적어도 하나의 세그먼트가 저장되어 있는 상태에서, 디바이스 서브 영역(SR)에 저장된 세그먼트 중 기 설정된 조건을 만족하는 세그먼트가 업로드 대상으로 검출될 수 있다. 그리고, 검출된 세그먼트가 호스트 메모리(13)에 기 저장되어 있는 세그먼트의 논리 어드레스 그룹(LBAG)에 포함되면 동일한 논리 어드레스 그룹(LBAG) 내의 세그먼트를 저장하고 있는 호스트 서브영역(R)으로 검출된 세그먼트를 업로드할 수 있다. 만약, 검출된 세그먼트가 호스트 메모리(13)에 기 저장된 세그먼트의 논리 어드레스 그룹(LBAG)에 포함되지 않는다면 검출된 세그먼트가 포함된 논리 어드레스 그룹(LBAG) 내의 세그먼트 중 기 설정된 조건을 만족하는 세그먼트가 기 설정된 개수(TH1) 이상 업로드 대상으로 검출될 때까지 대기한 후 호스트 메모리(13)에 호스트 서브영역(R)을 할당하고 선택된 복수의 세그먼트들을 업로드할 수 있다.
- [0059] 따라서, 호스트 메모리(13)에 불필요하게 영역을 할당할 필요가 없고, 할당된 영역을 최대한 사용할 수 있으므로, 호스트 메모리(13)의 관리 효율이 극대화될 수 있다.
- [0060] 도 4는 일 실시예에 의한 컴퓨팅 장치의 동작 방법을 설명하기 위한 흐름도이고, 도 5는 일 실시예에 의한 컴퓨팅 장치의 동작 방법을 설명하기 위한 개념도이다.
- [0061] 컨트롤러(110)는 맵 캐시 데이터(C\_MAP)가 저장된 디바이스 서브영역(SR)별로 해당 세그먼트의 참조 횟수(Reference Count; RC)를 카운트할 수 있다(S101). 카운트 결과에 따라 참조 횟수(RC)가 기 설정된 임계치

(TH2) 이상인 서버 영역(SR)의 세그먼트를 업로드 대상으로 선택할 수 있다(S103).

- [0062] 카운트 결과에 따라, 컨트롤러(110)는 동일 논리 어드레스 그룹(LBAG)에서 참조횟수(RC)가 임계치(TH2) 이상인 서버 영역(SR)이 기 설정된 개수(TH1)를 초과하여 검출되는지 확인할 수 있다(S105).
- [0063] 그리고, 동일 논리 어드레스 그룹(LBAG) 내에 기 설정된 개수(TH1) 이상의 서버 영역(R)이 업로드 대상으로 선택된 경우(S105: Y), 해당 디바이스 서버영역(SR)의 맵 캐시 데이터(C\_MAP)를 호스트 장치(10)의 호스트 메모리(13)로 전송할 수 있다(S107).
- [0064] 호스트 장치(10)는 호스트 메모리(13)에 호스트 서버영역(R)을 할당하여 메모리 시스템(100)으로부터 전송된 세그먼트들을 저장할 수 있다.
- [0065] 동일 논리 어드레스 그룹(LBAG) 내에서 기 설정된 개수(TH1) 이상의 서버 영역(SR)이 업로드 대상으로 선택되지 않은 경우에는(S105: N) 서버 영역별 참조 횟수를 계속해서 카운트할 수 있다(S101).
- [0066] 도 5를 참조하면, 호스트 메모리(13)에 복수의 호스트 서버영역(R1~Rx)이 할당되어 있고, 컨트롤러(110)의 디바이스 메모리(1155)에 복수의 디바이스 서버영역 (SR00~SR0M, ..., SR10~SR1M)이 할당되어 세그먼트(SEG0\_0~SEG0\_M, ..., SEG1\_0~SEG1\_M) 단위로 맵 캐시 데이터(C\_MAP)가 저장될 수 있다.
- [0067] 그리고, 디바이스 서버영역(SR00~SR0M, ..., SR10~SR1M)에 저장된 세그먼트들(SEG0\_0~SEG0\_M, ..., SEG1\_0~SEG1\_M) 중 동일 논리 어드레스 그룹(LBAG 인덱스 0)에 포함된 기 설정된 개수(TH1) 이상의 세그먼트(SR0\_0, SR0\_1)가 업로드 대상으로 선택될 수 있다. 업로드 대상 세그먼트는 각 디바이스 서버영역(SR00~SR0M, ..., SR10~SR1M)에 대한 참조 횟수에 기초하여 선택될 수 있으나 이에 한정되는 것은 아니다.
- [0068] 도 5와 같이 복수의 세그먼트(SR0\_0, SR0\_1)가 업로드 대상으로 선택됨에 따라, 호스트 서버영역(R1~Rx) 중 하나(R1)를 해제하고, 해제된 호스트 서버영역(R1)을 새로운 호스트 맵 캐시 데이터(H\_MAP)으로 할당할 수 있다. 이에 따라 복수의 세그먼트(SR0\_0, SR0\_1)을 새로 할당된 호스트 서버영역(R1)에 업로드할 수 있다.
- [0069] 하나의 세그먼트(SR0\_0)만이 업로드 대상으로 선택된 상황에서는 해당 세그먼트의 업로드를 보류할 수 있다. 그리고, 복수의 세그먼트(SR0\_0, SR0\_1)가 업로드 대상으로 모아지면 호스트 메모리(13)로 업로드함으로써 호스트 메모리(13)를 효율적으로 사용할 수 있다.
- [0070] 도 6은 일 실시예에 의한 컴퓨팅 장치의 동작 방법을 설명하기 위한 흐름도이고, 도 7은 일 실시예에 의한 컴퓨팅 장치의 동작 방법을 설명하기 위한 개념도이다.
- [0071] 컨트롤러(110)는 맵 캐시 데이터(C\_MAP)가 저장된 디바이스 서버영역(SR00~SR0M, ..., SR20~SR2M, ...)별로 해당 세그먼트의 참조 횟수(Reference Count; RC)를 카운트할 수 있다(S201). 카운트 결과에 따라 참조 횟수(RC)가 기 설정된 임계치(TH2)를 초과하는 디바이스 서버영역(SR)이 검출되는지 확인할 수 있다(S203).
- [0072] 단계 S203의 확인 결과 임계치(TH2)를 초과하여 참조된 서버 영역(SR)이 검출되지 않는다면(S203: N), 계속해서 서버 영역별 참조 횟수를 카운트할 수 있다(S201).
- [0073] 단계 S203의 확인 결과, 임계치(TH2)를 초과하여 참조된 디바이스 서버영역(SR), 즉 세그먼트가 검출되면(S203: Y), 컨트롤러(110)는 검출된 세그먼트가 속한 논리 어드레스 그룹(LBAG) 내의 다른 세그먼트가 호스트 메모리(13)에 업로드되어 있는 상태인지 확인할 수 있다(S205).
- [0074] 단계 S205의 확인 결과, 검출된 서버 영역(SR)(세그먼트)이 포함된 논리 어드레스 그룹(LBAG)의 다른 세그먼트가 호스트 메모리(13)에 업로드되어 있다면(S205: Y), 컨트롤러(110)는 검출된 서버 영역(SR)의 세그먼트를 호스트 메모리(13)로 업로드할 수 있다(S207).
- [0075] 호스트 장치(10)는 호스트 메모리(13)의 해당 논리 어드레스 그룹(LBAG)을 위해 할당된 호스트 서버영역(R)에 업로드 대상으로 검출된 서버영역(SR)의 세그먼트를 저장할 수 있다.
- [0076] 한편, 검출된 서버 영역(SR)(세그먼트)이 포함된 논리 어드레스 그룹(LBAG) 내 다른 세그먼트가 호스트 메모리(13)에 업로드되어 있지 않다면(S205: N), 도 4의 단계 S105로 진행하여, 동일 논리 어드레스 그룹(LBAG) 내 복수의 서버 영역이 업로드 대상으로 선택될 때까지 업로드를 대기할 수 있다.
- [0077] 도 7을 참조하면, 호스트 메모리(13)에 복수의 호스트 서버영역(R1~Rx)이 할당되어 있고, 디바이스 메모리(1155)에 할당된 복수의 디바이스 서버영역(SR00~SR0M, ..., SR20~SR2M, ...) 각각에 세그먼트들(SEG0\_0~SEG0\_M, SEG2\_0~SEG2\_M, ...) 단위로 맵 캐시 데이터(C\_MAP)가 저장되어 있음을 알 수 있다.

- [0078] 그리고, 디바이스 서브영역(SR00~SR0M, ..., SR20~SR2M, ...)에 저장된 세그먼트들(SEG0\_0~SEG0\_M, SEG1\_0~SEG1\_M) 중 특정 논리 어드레스 그룹(LBAG 인덱스 2)에 포함된 적어도 하나의 세그먼트(SEG2\_0, SEG2\_1)가 호스트 서브영역(R2)에 업로드되어 있을 수 있다.
- [0079] 이러한 상태에서, 디바이스 서브영역(SR22)이 기 설정된 임계치(TH2) 이상 참조되어 업로드 대상으로 검출될 수 있다.
- [0080] 그리고, 해당 디바이스 서브영역(SR22)이 포함된 논리 어드레스 그룹(LBAG 인덱스 2)의 다른 세그먼트(SEG2\_0, SEG2\_1)가 호스트 메모리(13)에 존재하므로, 컨트롤러(110)는 호스트 메모리(13)의 해당 호스트 서브영역(R2)에 검출된 서브 영역(SR22)의 세그먼트(SEG2\_2)를 업로드하게 된다. 따라서, 호스트 메모리(13)에 불필요한 영역을 할당할 필요 없이 호스트 메모리(13)를 효율적으로 사용할 수 있다.
- [0081] 도 8은 일 실시예에 의한 스토리지 시스템의 구성도이다.
- [0082] 도 8을 참조하면, 스토리지 시스템(1000)은 호스트 장치(1100)와 데이터 저장 장치(1200)를 포함할 수 있다. 일 실시예에서, 데이터 저장 장치(1200)는 솔리드 스테이트 드라이브(solid state drive)(SSD)로 구성될 수 있다.
- [0083] 데이터 저장 장치(1200)는 컨트롤러(1210), 비휘발성 메모리 장치들(1220-0 ~ 1220-n), 버퍼 메모리 장치(1230), 전원 공급기(1240), 신호 커넥터(1101) 및 전원 커넥터(1103)를 포함할 수 있다.
- [0084] 컨트롤러(1210)는 데이터 저장 장치(1200)의 제반 동작을 제어할 수 있다. 컨트롤러(1210)는 호스트 인터페이스 유닛, 컨트롤 유닛, 동작 메모리로서의 랜덤 액세스 메모리, 에러 정정 코드(ECC) 유닛 및 메모리 인터페이스 유닛을 포함할 수 있다. 예를 들어, 호스트 장치(1100)와 데이터 저장 장치(1200)는 도 1 내지 도 7을 참조하여 설명한 것과 같은 컴퓨팅 장치(1)로 구성될 수 있다.
- [0085] 호스트 장치(1100)와 데이터 저장 장치(1200)는 신호 커넥터(1101)를 통해 신호를 송수신할 수 있다. 여기에서, 신호란 명령어, 어드레스, 데이터를 포함할 수 있다.
- [0086] 컨트롤러(1210)는 호스트 장치(1100)로부터 입력된 신호를 분석하고 처리할 수 있다. 컨트롤러(1210)는 데이터 저장 장치(1200)를 구동하기 위한 펌웨어 또는 소프트웨어에 따라서 백그라운드 기능 블럭들의 동작을 제어할 수 있다.
- [0087] 버퍼 메모리 장치(1230)는 비휘발성 메모리 장치들(1220-0 ~ 1220-n)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(1230)는 비휘발성 메모리 장치들(1220-0 ~ 1220-n)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(1230)에 임시 저장된 데이터는 컨트롤러(1210)의 제어에 따라 호스트 장치(1100) 또는 비휘발성 메모리 장치들(1220-0 ~ 1220-n)로 전송될 수 있다.
- [0088] 비휘발성 메모리 장치들(1220-0 ~ 1220-n)은 데이터 저장 장치(1200)의 저장 매체로 사용될 수 있다. 비휘발성 메모리 장치들(1220-0 ~ 1220-n) 각각은 복수의 채널들(CHO~CHn)을 통해 컨트롤러(1210)와 연결될 수 있다. 하나의 채널에는 하나 또는 그 이상의 비휘발성 메모리 장치가 연결될 수 있다. 하나의 채널에 연결되는 비휘발성 메모리 장치들은 동일한 신호 버스 및 데이터 버스에 연결될 수 있다.
- [0089] 전원 공급기(1240)는 전원 커넥터(1103)를 통해 입력된 전원을 데이터 저장 장치(1200)에 제공할 수 있다. 전원 공급기(1240)는 보조 전원 공급기(1241)를 포함할 수 있다. 보조 전원 공급기(1241)는 서든 파워 오프(sudden power off)가 발생하는 경우, 데이터 저장 장치(1200)가 정상적으로 종료될 수 있도록 전원을 공급할 수 있다. 보조 전원 공급기(1241)는 대용량 캐패시터들(capacitors)을 포함할 수 있으나 이에 한정되는 것은 아니다.
- [0090] 신호 커넥터(1101)는 호스트 장치(1100)와 데이터 저장 장치(1200)의 인터페이스 방식에 따라서 다양한 형태의 커넥터로 구성될 수 있음은 자명하다.
- [0091] 전원 커넥터(1103)는 호스트 장치(1100)의 전원 공급 방식에 따라서 다양한 형태의 커넥터로 구성될 수 있음은 물론이다.
- [0092] 도 9 및 도 10은 실시예들에 따른 데이터 처리 시스템의 구성도이다.
- [0093] 도 9를 참조하면, 데이터 처리 시스템(3000)은 호스트 장치(3100)와 메모리 시스템(3200)을 포함할 수 있다.
- [0094] 호스트 장치(3100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(3100)는 호스트 장치의 기능을 수행하기 위한 백그라운드 기능 블럭들을 포

함할 수 있다.

- [0095] 호스트 장치(3100)는 소켓(socket), 슬롯(slot) 또는 커넥터(connector)와 같은 접속 터미널(3110)을 포함할 수 있다. 메모리 시스템(3200)은 접속 터미널(3110)에 마운트(mount)될 수 있다.
- [0096] 메모리 시스템(3200)은 인쇄 회로 기판과 같은 기판 형태로 구성될 수 있다. 메모리 시스템(3200)은 메모리 모듈 또는 메모리 카드로 볼릴 수 있다. 메모리 시스템(3200)은 컨트롤러(3210), 버퍼 메모리 장치(3220), 비휘발성 메모리 장치(3231~3232), PMIC(power management integrated circuit)(3240) 및 접속 터미널(3250)을 포함할 수 있다.
- [0097] 컨트롤러(3210)는 메모리 시스템(3200)의 제반 동작을 제어할 수 있다.
- [0098] 호스트 장치(3100)와 메모리 시스템(3200)은 도 1 내지 도 7을 참조하여 설명한 것과 같은 컴퓨팅 장치(1)로 구성될 수 있다.
- [0099] 버퍼 메모리 장치(3220)는 비휘발성 메모리 장치들(3231~3232)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(3220)는 비휘발성 메모리 장치들(3231~3232)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(3220)에 임시 저장된 데이터는 컨트롤러(3210)의 제어에 따라 호스트 장치(3100) 또는 비휘발성 메모리 장치들(3231~3232)로 전송될 수 있다.
- [0100] 비휘발성 메모리 장치들(3231~3232)은 메모리 시스템(3200)의 저장 매체로 사용될 수 있다.
- [0101] PMIC(3240)는 접속 터미널(3250)을 통해 입력된 전원을 메모리 시스템(3200) 백그라운드에 제공할 수 있다. PMIC(3240)는, 컨트롤러(3210)의 제어에 따라서, 메모리 시스템(3200)의 전원을 관리할 수 있다.
- [0102] 접속 터미널(3250)은 호스트 장치의 접속 터미널(3110)에 연결될 수 있다. 접속 터미널(3250)을 통해서, 호스트 장치(3100)와 메모리 시스템(3200) 간에 커맨드, 어드레스, 데이터 등과 같은 신호와, 전원이 전달될 수 있다. 접속 터미널(3250)은 호스트 장치(3100)와 메모리 시스템(3200)의 인터페이스 방식에 따라 다양한 형태로 구성될 수 있다. 접속 터미널(3250)은 메모리 시스템(3200)의 어느 한 변에 배치될 수 있다.
- [0103] 도 10은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 도시하는 도면이다.
- [0104] 도 10을 참조하면, 데이터 처리 시스템(4000)은 호스트 장치(4100)와 메모리 시스템(4200)을 포함할 수 있다.
- [0105] 호스트 장치(4100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(4100)는 호스트 장치의 기능을 수행하기 위한 백그라운드 기능 블록들을 포함할 수 있다.
- [0106] 메모리 시스템(4200)은 표면 실장형 패키지 형태로 구성될 수 있다. 메모리 시스템(4200)은 솔더 볼(solder ball)(4250)을 통해서 호스트 장치(4100)에 마운트될 수 있다. 메모리 시스템(4200)은 컨트롤러(4210), 버퍼 메모리 장치(4220) 및 비휘발성 메모리 장치(4230)를 포함할 수 있다.
- [0107] 컨트롤러(4210)는 메모리 시스템(4200)의 제반 동작을 제어할 수 있다.
- [0108] 호스트 장치(4100)와 메모리 시스템(4200)은 도 1 내지 도 7을 참조하여 설명한 것과 같은 컴퓨팅 장치(1)로 구성될 수 있다.
- [0109] 버퍼 메모리 장치(4220)는 비휘발성 메모리 장치(4230)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(4220)는 비휘발성 메모리 장치들(4230)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(4220)에 임시 저장된 데이터는 컨트롤러(4210)의 제어에 따라 호스트 장치(4100) 또는 비휘발성 메모리 장치(4230)로 전송될 수 있다.
- [0110] 비휘발성 메모리 장치(4230)는 메모리 시스템(4200)의 저장 매체로 사용될 수 있다.
- [0111] 도 11은 일 실시예에 의한 데이터 저장 장치를 포함하는 네트워크 시스템의 구성도이다.
- [0112] 도 11을 참조하면, 네트워크 시스템(5000)은 네트워크(5500)를 통해서 연결된 서버 시스템(5300) 및 복수의 클라이언트 시스템들(5410~5430)을 포함할 수 있다.
- [0113] 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)의 요청에 응답하여 데이터를 서비스할 수 있다. 예를 들면, 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)로부터 제공된 데이터를 저장할 수 있다.

다. 다른 예로서, 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)로 데이터를 제공할 수 있다.

- [0114] 서버 시스템(5300)은 호스트 장치(5100) 및 메모리 시스템(5200)을 포함할 수 있다. 호스트 장치(5100)와 메모리 시스템(5200)은 도 1 내지 도 7을 참조하여 설명한 것과 같은 컴퓨팅 장치(1)로 구성될 수 있다.
- [0115] 도 12는 일 실시 예에 따른 데이터 저장 장치에 포함된 비휘발성 메모리 장치의 구성도이다.
- [0116] 도 12를 참조하면, 비휘발성 메모리 장치(300)는 메모리 셀 어레이(310), 행 디코더(320), 데이터 읽기/쓰기 블럭(330), 열 디코더(340), 전압 발생기(350) 및 제어 로직(360)을 포함할 수 있다.
- [0117] 메모리 셀 어레이(310)는 워드 라인들(WL1~WLm)과 비트 라인들(BL1~BLn)이 서로 교차된 영역에 배열된 메모리 셀(MC)들을 포함할 수 있다.
- [0118] 메모리 셀 어레이(310)는 3차원 메모리 어레이를 포함할 수 있다. 3차원 메모리 어레이는 반도체 기관의 평판면에 대해 수직의 방향성을 가지며, 적어도 하나의 메모리 셀이 다른 하나의 메모리 셀의 수직 상부에 위치하는 낸드(NAND) 스트링을 포함하는 구조를 의미한다. 하지만 3차원 메모리 어레이의 구조가 이에 한정되는 것은 아니며 수직의 방향성뿐 아니라 수평의 방향성을 가지고 고집적으로 형성된 메모리 어레이 구조라면 선택적으로 적용 가능함은 자명하다.
- [0119] 행 디코더(320)는 워드 라인들(WL1~WLm)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 행 디코더(320)는 제어 로직(360)의 제어에 따라 동작할 수 있다. 행 디코더(320)는 외부 장치(도시되지 않음)로부터 제공된 어드레스를 디코딩할 수 있다. 행 디코더(320)는 디코딩 결과에 근거하여 워드 라인들(WL1~WLm)을 선택하고, 구동할 수 있다. 예시적으로, 행 디코더(320)는 전압 발생기(350)로부터 제공된 워드 라인 전압을 워드 라인들(WL1~WLm)에 제공할 수 있다.
- [0120] 데이터 읽기/쓰기 블럭(330)은 비트 라인들(BL1~BLn)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 데이터 읽기/쓰기 블럭(330)은 비트 라인들(BL1~BLn) 각각에 대응하는 읽기/쓰기 회로들(RW1~RWn)을 포함할 수 있다. 데이터 읽기/쓰기 블럭(330)은 제어 로직(360)의 제어에 따라 동작할 수 있다. 데이터 읽기/쓰기 블럭(330)은 동작 모드에 따라서 쓰기 드라이버로서 또는 감지 증폭기로서 동작할 수 있다. 예를 들면, 데이터 읽기/쓰기 블럭(330)은 쓰기 동작 시 외부 장치로부터 제공된 데이터를 메모리 셀 어레이(310)에 저장하는 쓰기 드라이버로서 동작할 수 있다. 다른 예로서, 데이터 읽기/쓰기 블럭(330)은 읽기 동작 시 메모리 셀 어레이(310)로부터 데이터를 독출하는 감지 증폭기로서 동작할 수 있다.
- [0121] 열 디코더(340)는 제어 로직(360)의 제어에 따라 동작할 수 있다. 열 디코더(340)는 외부 장치로부터 제공된 어드레스를 디코딩할 수 있다. 열 디코더(340)는 디코딩 결과에 근거하여 비트 라인들(BL1~BLn) 각각에 대응하는 데이터 읽기/쓰기 블럭(330)의 읽기/쓰기 회로들(RW1~RWn)과 데이터 입출력 라인(또는 데이터 입출력 버퍼)을 연결할 수 있다.
- [0122] 전압 발생기(350)는 비휘발성 메모리 장치(300)의 백그라운드 동작에 사용되는 전압을 생성할 수 있다. 전압 발생기(350)에 의해서 생성된 전압들은 메모리 셀 어레이(310)의 메모리 셀들에 인가될 수 있다. 예를 들면, 프로그램 동작 시 생성된 프로그램 전압은 프로그램 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다. 다른 예로서, 소거 동작 시 생성된 소거 전압은 소거 동작이 수행될 메모리 셀들의 웰-영역에 인가될 수 있다. 다른 예로서, 읽기 동작 시 생성된 읽기 전압은 읽기 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다.
- [0123] 제어 로직(360)은 외부 장치로부터 제공된 제어 신호에 근거하여 비휘발성 메모리 장치(300)의 제반 동작을 제어할 수 있다. 예를 들면, 제어 로직(360)은 비휘발성 메모리 장치(300)의 읽기, 쓰기, 소거 동작을 제어할 수 있다.
- [0124] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

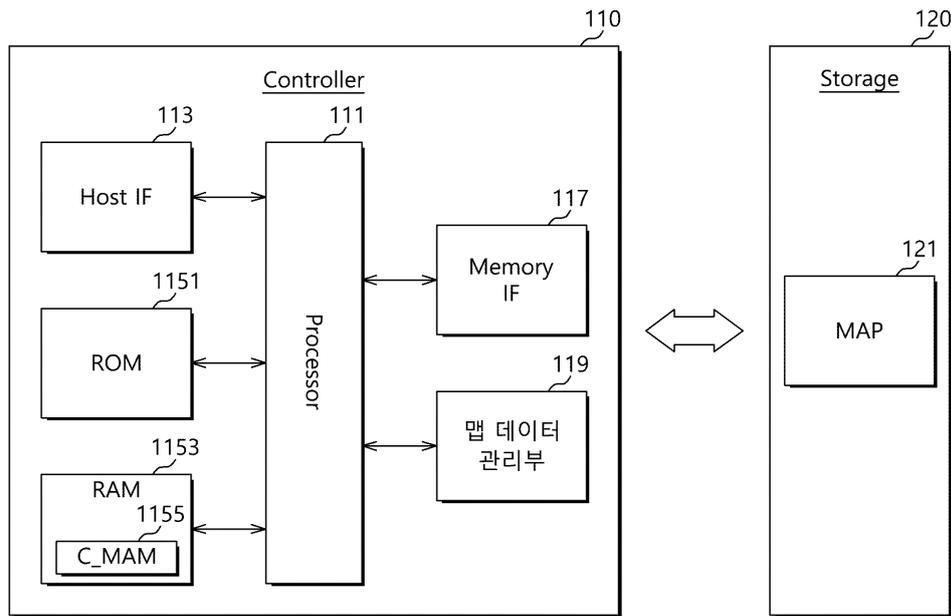
- [0125] 1 : 컴퓨팅 장치

- 10 : 호스트 장치
- 100 : 메모리 시스템
- 110 : 컨트롤러
- 120 : 저장부

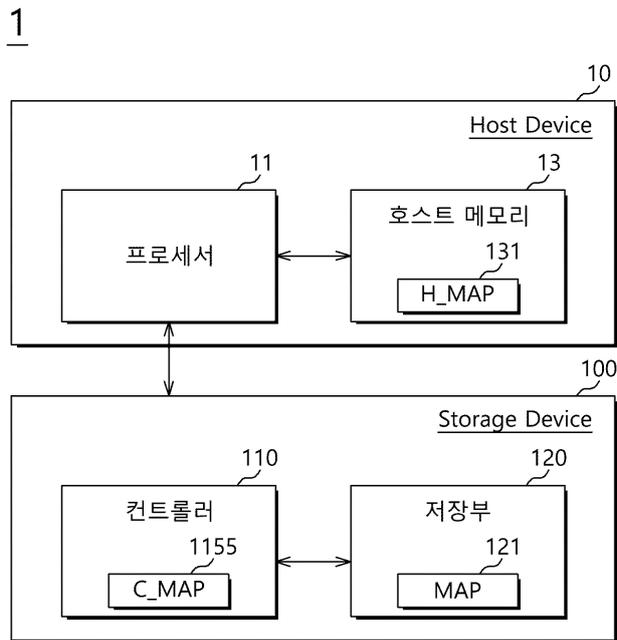
도면

도면1

100



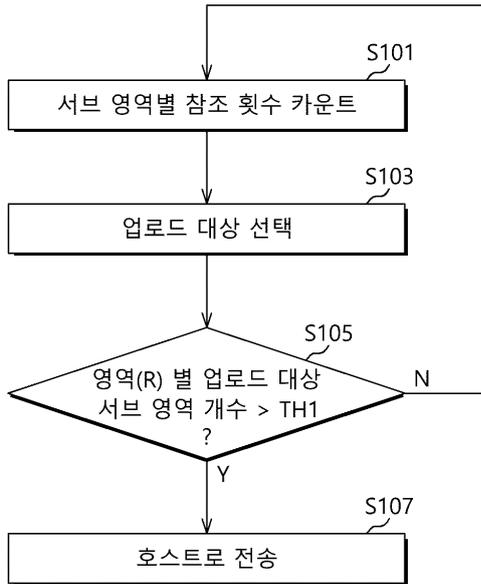
도면2



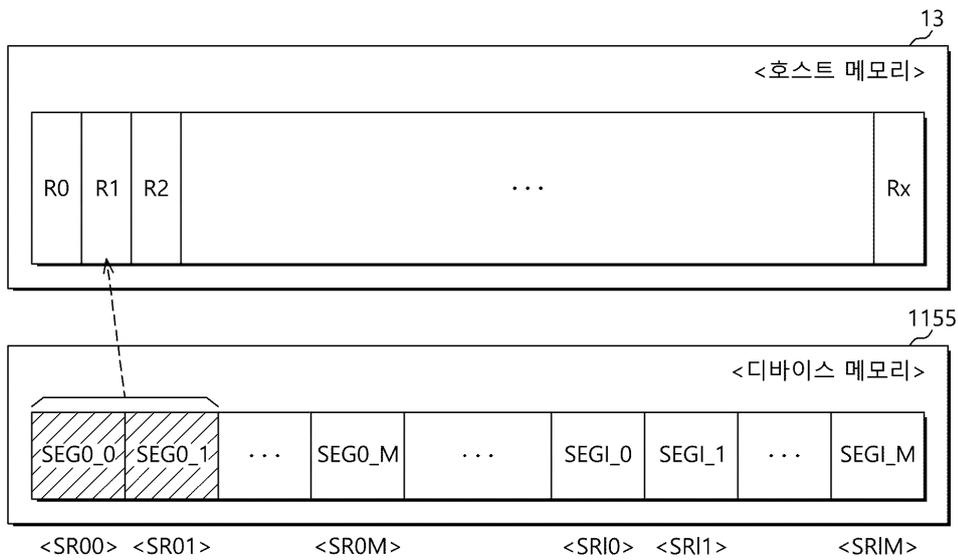
도면3

LBAG	Index	Segment	ETR_1	LBA
0000	0	SEG0_0	⋮	PBA
⋮		⋮		기타
0999		SEG0_M		
1000	1	SEG1_0	ETR_N	
⋮		⋮		
1999		SEG1_M		
⋮	⋮	⋮		

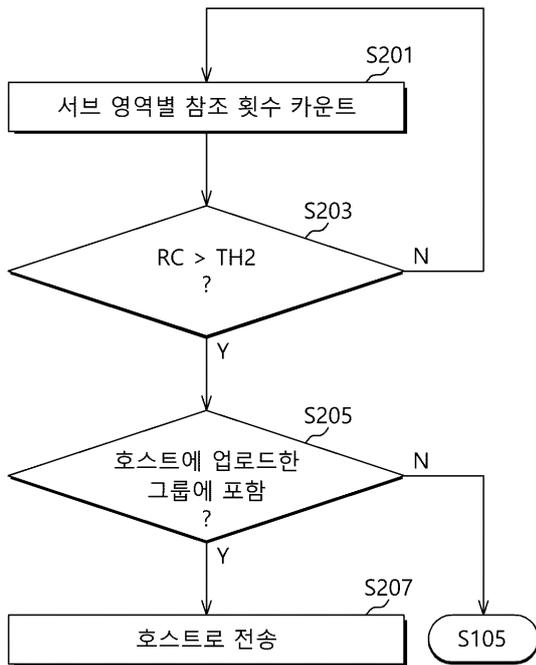
도면4



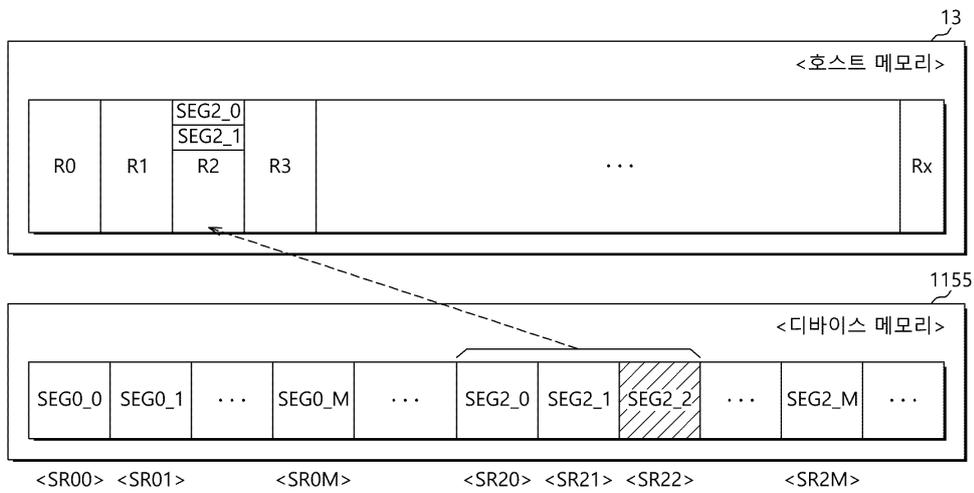
도면5



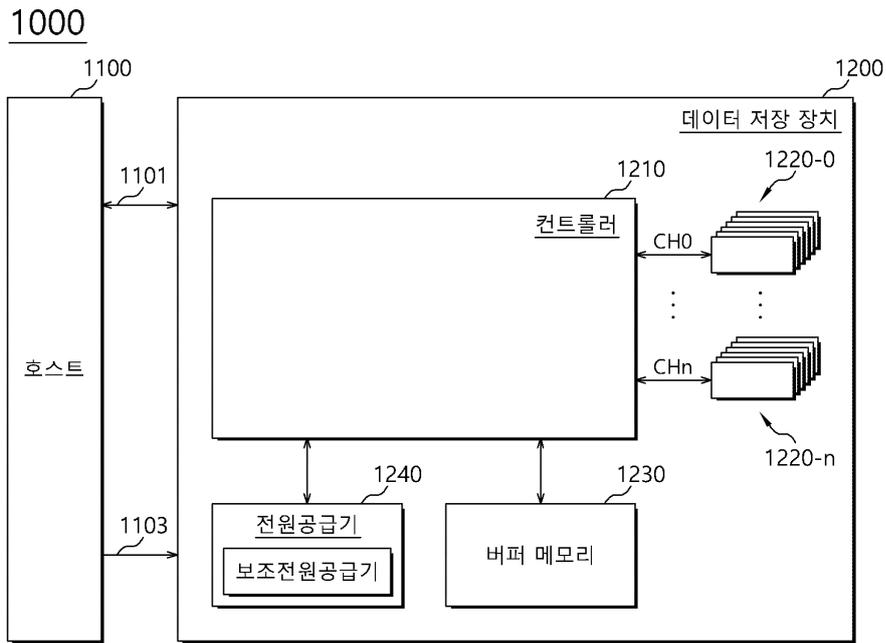
도면6



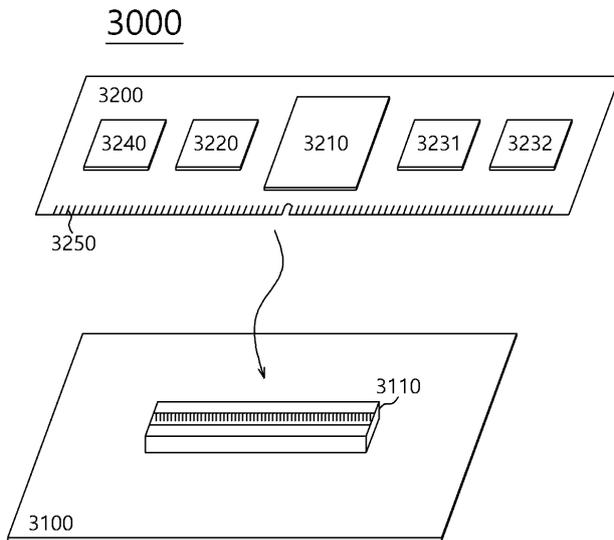
도면7



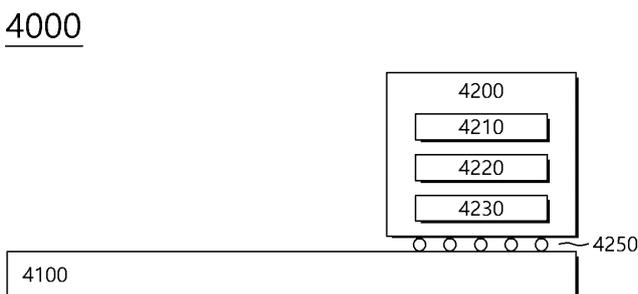
도면8



도면9

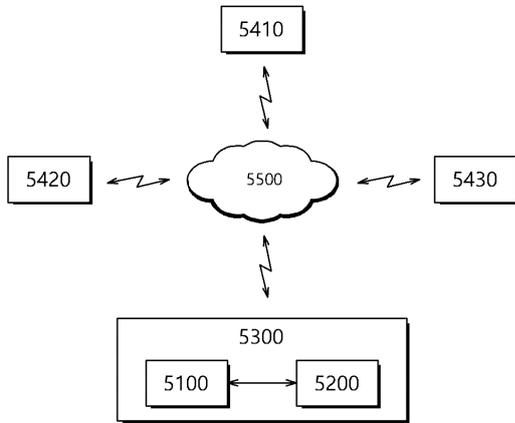


도면10



도면11

5000



도면12

300

