

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6078886号
(P6078886)

(45) 発行日 平成29年2月15日 (2017.2.15)

(24) 登録日 平成29年1月27日 (2017.1.27)

(51) Int.Cl.		F I		
HO 1 L 27/146	(2006.01)	HO 1 L 27/14		A
HO 1 L 31/107	(2006.01)	HO 1 L 31/10		B
HO 1 L 21/76	(2006.01)	HO 1 L 21/76		L
HO 4 N 5/369	(2011.01)	HO 4 N 5/335	6 9 0	

請求項の数 25 外国語出願 (全 11 頁)

(21) 出願番号	特願2014-71001 (P2014-71001)	(73) 特許権者	510215606
(22) 出願日	平成26年3月31日 (2014.3.31)		オムニビジョン テクノロジーズ イン
(65) 公開番号	特開2014-225647 (P2014-225647A)		コーポレイテッド
(43) 公開日	平成26年12月4日 (2014.12.4)		アメリカ合衆国 カリフォルニア州 95
審査請求日	平成26年6月2日 (2014.6.2)		054 サンタ クララ パートン ドラ
(31) 優先権主張番号	13/854,446	(74) 代理人	100092093
(32) 優先日	平成25年4月1日 (2013.4.1)		弁理士 辻居 幸一
(33) 優先権主張国	米国 (US)	(74) 代理人	100082005
			弁理士 熊倉 禎男
		(74) 代理人	100067013
			弁理士 大塚 文昭
		(74) 代理人	100086771
			弁理士 西島 孝喜

最終頁に続く

(54) 【発明の名称】 バイアス深溝分離部を有する高度光子検出装置

(57) 【特許請求の範囲】

【請求項1】

光子検出装置であって、

半導体材料の第1の領域内に配置された平面接合部を有するフォトダイオードであって

、
前記半導体材料は、Pドーピングシリコンを含み、前記平面接合部は、前記半導体材料内のPドーピングシリコン領域に近接して配置された単一のNドーピングシリコン領域を含み、前記単一のNドーピングシリコン領域のドーピング密度は、該単一のNドーピングシリコン領域の端部に向けて徐々に減少し、前記単一のNドーピングシリコン領域の前記端部は、分離のためにガードリング若しくはドーピングウェルを利用しないフォトダイオードと、

前記半導体材料内に配置された深溝分離(DTI)構造と、
を備え、前記DTI構造は、該DTI構造の一方の側にある前記半導体材料の前記第1の領域を、前記DTI構造の他方の側にある前記半導体材料の第2の領域から分離し、前記DTI構造は、

前記DTI構造の内面を覆う誘電体層と、

前記DTI構造内部の前記誘電体層を覆って配置されたドーピング半導体材料と、

を含み、前記DTI構造の内部に配置された前記ドーピング半導体材料は、バイアス電圧に結合されて、前記半導体材料の前記第1の領域にある前記フォトダイオードを、前記半導体材料の前記第2の領域から分離する、

ことを特徴とする光子検出装置。

【請求項 2】

前記平面接合部は、前記半導体材料内の前記 P ドープシリコンから前記平面接合部内に電子がドリフトするよう逆バイアスをかけられるように結合される、ことを特徴とする請求項 1 に記載の光子検出装置。

【請求項 3】

前記半導体材料の前記第 1 の領域内に配置された前記平面接合部を有する前記フォトダイオードは、単一光子アバランシェダイオード (SPAD) を含み、前記 DTI 構造内に配置された前記ドープ半導体材料は、前記 SPAD の光収集領域内の暗電流を低減するようにバイアスをかけられる、ことを特徴とする請求項 1 に記載の光子検出装置。

10

【請求項 4】

前記半導体材料の前記第 2 の領域内に配置されるとともに前記 SPAD に結合されて該 SPAD 内のアバランシェ電流を制限する消滅回路をさらに備え、前記 DTI 構造内に配置された前記ドープ半導体材料は、前記 SPAD の高電界領域を前記消滅回路から分離するようにバイアスをかけられる、ことを特徴とする請求項 3 に記載の光子検出装置。

【請求項 5】

前記半導体材料の前記第 1 の領域は、該半導体材料の該第 1 の領域が第 1 の電圧でバイアスをかけられるように前記第 1 の電圧に結合され、前記半導体材料の前記第 2 の領域は、該半導体材料の該第 2 の領域が第 2 の電圧でバイアスをかけられるように前記第 2 の電圧に結合される、ことを特徴とする請求項 4 に記載の光子検出装置。

20

【請求項 6】

前記フォトダイオードの前記平面接合部は、第 3 の電圧に結合され、前記第 1 の領域に結合された前記第 1 の電圧、及び前記フォトダイオードの前記平面接合部に結合された前記第 3 の電圧に、前記フォトダイオードの前記平面接合部内の逆バイアスが応答する、ことを特徴とする請求項 5 に記載の光子検出装置。

【請求項 7】

前記半導体材料の前記第 2 の領域内に配置された第 2 の SPAD を含む第 2 のフォトダイオードをさらに備え、前記 DTI 構造内に配置された前記ドープ半導体材料は、前記 SPAD の高電界領域を前記第 2 の SPAD の高電界領域から分離するようにバイアスをかけられる、ことを特徴とする請求項 3 に記載の光子検出装置。

30

【請求項 8】

前記半導体材料の前記第 1 及び第 2 の領域は、該半導体材料の該第 1 及び第 2 の領域が第 1 の電圧でバイアスをかけられるように前記第 1 の電圧に結合される、ことを特徴とする請求項 7 に記載の光子検出装置。

【請求項 9】

前記半導体材料は、前記半導体材料の前記第 1 及び第 2 の領域に結合された共通バイアスノードを含み、該共通バイアスノードは、前記半導体材料の前記第 1 及び第 2 の領域が前記第 1 の電圧でバイアスをかけられるように前記第 1 の電圧に結合される、ことを特徴とする請求項 8 に記載の光子検出装置。

40

【請求項 10】

前記 SPAD は、前記半導体材料の背面から照射されるようになっている、ことを特徴とする請求項 3 に記載の光子検出装置。

【請求項 11】

前記 DTI 構造の前記内面を覆う前記誘電体層は、二酸化シリコンを含む、ことを特徴とする請求項 1 に記載の光子検出装置。

【請求項 12】

前記 DTI 構造の内部の誘電体層を覆って配置された前記ドープ半導体材料は、低ドー

50

プポリシリコンを含む、
ことを特徴とする請求項 1 に記載の光子検出装置。

【請求項 1 3】

複数の画素セルを有する画素アレイを備えた光子検知システムであって、前記複数の画素セルの各々は、

半導体材料の第 1 の領域内に配置された平面接合部を有するフォトダイオードであって、前記半導体材料は、P ドープシリコンを含み、前記平面接合部は、前記半導体材料内の P ドープシリコン領域に近接して配置された単一の N ドープシリコン領域を含み、前記単一の N ドープシリコン領域のドーピング密度は、該単一の N ドープシリコン領域の端部に向けて徐々に減少し、前記単一の N ドープシリコン領域の前記端部は、分離のためにガードリング若しくはドープウェルを利用しないフォトダイオードと、

10

前記半導体材料内に配置された深溝分離 (DTI) 構造と、
を含み、前記 DTI 構造は、該 DTI 構造の一方の側にある前記半導体材料の前記第 1 の領域を、前記 DTI 構造の他方の側にある前記半導体材料の第 2 の領域から分離し、前記 DTI 構造は、前記 DTI 構造の内面を覆う誘電体層と、前記 DTI 構造内部の前記誘電体層を覆って配置されたドーパ半導体材料とを含み、前記 DTI 構造の内部に配置された前記ドーパ半導体材料は、バイアス電圧に結合されて前記半導体材料の前記第 1 の領域にある前記フォトダイオードを前記半導体材料の前記第 2 の領域から分離し、
前記複数の画素セルの各々は、

前記画素アレイに結合されて該画素アレイの動作を制御する制御回路と、

20

前記画素アレイに結合されて前記複数の画素セルから光子データを読み出す読み出し回路と、

をさらに含む、

ことを特徴とする光子検知システム。

【請求項 1 4】

前記読み出し回路に結合されて、前記複数の画素セルから読み出された前記光子データを記憶する機能論理回路をさらに備える、

ことを特徴とする請求項 1 3 に記載の光子検知システム。

【請求項 1 5】

前記読み出し回路は、

30

前記複数の画素セルの各々から受け取った前記光子データ内の光子事象を集計すべく前記光子データを受け取るように結合されたカウンタ回路と、

前記カウンタ回路に結合されて、前記光子データ内の前記光子事象に関連する光子タイミング情報を記録する時間 - デジタル変換器回路と、

を含むことを特徴とする請求項 1 3 に記載の光子検知システム。

【請求項 1 6】

前記半導体材料の前記第 1 の領域内に配置された前記平面接合部を有する前記フォトダイオードは、単一光子アバランシェダイオード (SPAD) を含み、前記 DTI 構造内に配置された前記ドーパ半導体材料は、前記 SPAD の光収集領域内の暗電流を低減するようにバイアスをかけられる、

40

ことを特徴とする請求項 1 3 に記載の光子検知システム。

【請求項 1 7】

前記半導体材料の前記第 2 の領域内に配置されるとともに前記 SPAD に結合されて該 SPAD 内のアバランシェ電流を制限する消滅回路をさらに備え、前記 DTI 構造内に配置された前記ドーパ半導体材料は、前記 SPAD の高電界領域を前記消滅回路から分離するようにバイアスをかけられる、

ことを特徴とする請求項 1 6 に記載の光子検知システム。

【請求項 1 8】

前記半導体材料の前記第 1 の領域は、該半導体材料の該第 1 の領域が第 1 の電圧でバイアスをかけられるように前記第 1 の電圧に結合され、前記半導体材料の前記第 2 の領域は

50

、該半導体材料の該第 2 の領域が第 2 の電圧でバイアスをかけられるように前記第 2 の電圧に結合される、

ことを特徴とする請求項 1 7 に記載の光子検知システム。

【請求項 1 9】

前記フォトダイオードの前記平面接合部は、第 3 の電圧に結合され、前記第 1 の領域に結合された前記第 1 の電圧、及び前記フォトダイオードの前記平面接合部に結合された前記第 3 の電圧に、前記フォトダイオードの前記平面接合部内の逆バイアスが応答する、

ことを特徴とする請求項 1 8 に記載の光子検知システム。

【請求項 2 0】

前記半導体材料の前記第 2 の領域内に配置された第 2 の S P A D を含む第 2 のフォトダイオードをさらに備え、前記 D T I 構造内に配置された前記ドープ半導体材料は、前記 S P A D の高電界領域を前記第 2 の S P A D の高電界領域から分離するようにバイアスをかけられる、

ことを特徴とする請求項 1 6 に記載の光子検知システム。

【請求項 2 1】

前記半導体材料の前記第 1 及び前記第 2 の領域は、該半導体材料の該第 1 及び第 2 の領域が第 1 の電圧でバイアスをかけられるように前記第 1 の電圧に結合される、

ことを特徴とする請求項 2 0 に記載の光子検知システム。

【請求項 2 2】

前記半導体材料は、前記半導体材料の前記第 1 及び第 2 の領域に結合された共通バイアスノードを含み、該共通バイアスノードは、前記半導体材料の前記第 1 及び第 2 の領域が前記第 1 の電圧でバイアスをかけられるように前記第 1 の電圧に結合される、

ことを特徴とする請求項 2 1 に記載の光子検知システム。

【請求項 2 3】

前記 S P A D は、前記半導体材料の背面から照射されるようになっている、

ことを特徴とする請求項 1 6 に記載の光子検知システム。

【請求項 2 4】

前記 D T I 構造の前記内面を覆う前記誘電体層は、二酸化シリコンを含む、

ことを特徴とする請求項 1 4 に記載の光子検知システム。

【請求項 2 5】

前記 D T I 構造の内部の誘電体層を覆って配置された前記ドープ半導体材料は、低ドープポリシリコンを含む、

ことを特徴とする請求項 1 4 に記載の光子検知システム。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、一般にフォトダイオードに関し、具体的には、光子センサにおいて利用されるフォトダイオードに関する。

【背景技術】

【0 0 0 2】

画像取込装置は、イメージセンサ及び結像レンズを含む。結像レンズは、イメージセンサ上に集光を行って画像を形成し、イメージセンサは、この光を電気信号に変換する。この電気信号は、画像取込装置からホスト電子システムの他の構成要素に出力される。この電子システムは、例えば、携帯電話機、コンピュータ、デジタルカメラ又は医療機器とすることができる。

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 3】

イメージセンサのサイズを小型化することにより、イメージセンサの画素セルを同じ解像度のままで小型化することが継続的に必要とされている。イメージセンサ又は光検出器

10

20

30

40

50

において使用できる光検知器の一種に、単一光子アバランシェダイオード（SPAD）がある。通常、SPADは、早期エッジ降伏及び隣接画素間干渉の問題を克服するために、ガードリング又は分離部を必要とする。ガードリング又は分離部を形成するための既知の設計では、各画素セルの領域が増して曲線因子が犠牲になる。さらに、イメージセンサが小型化されると、センサに含まれている画素セルの暗電流率が増してしまう。

【課題を解決するための手段】

【0004】

特に定めのない限り様々な図を通じて同様の参照数字が同じ部分を示す以下の図を参照しながら、本発明の非限定的かつ非包括的な実施形態を説明する。

【図面の簡単な説明】

10

【0005】

【図1】本発明の教示による、バイアス深溝分離を有する高度光子検出装置を含む例示的な光子センサを有する光子検知システムの一部を示す図である。

【図2】本発明の教示による、バイアス深溝分離を有する高度光子検出装置の一部を示す断面図である。

【図3】本発明の教示による、バイアス深溝分離を有する高度光子検出装置を含む光子センサ302の一部を示す上面図である。

【発明を実施するための形態】

【0006】

図面の複数の図を通じて、対応する参照文字は対応する構成要素を示す。当業者であれば、図中の要素は単純さ及び明確さを目的として示したものであり、必ずしも縮尺通りではないと理解するであろう。例えば、本発明の様々な実施形態をより良く理解できるように、図中の要素の中には、他の要素に対して寸法を誇張しているものもある。また、本発明のこれらの様々な実施形態をより分かり易く示すために、商業的に実現可能な実施形態において有用又は必要な、一般的なものではあるが良く理解されている要素については示していないことが多い。

20

【0007】

以下の説明では、本発明を完全に理解できるように数多くの特定の詳細を示している。しかしながら、当業者には、これらの特定の詳細の一部又は全部を伴わずに本開示を実施できることが明らかであろう。その他の場合、本発明を曖昧にしないために、周知の材料又は方法については詳細に説明していない。

30

【0008】

本明細書を通じて、「1つの実施形態」、「ある実施形態」、「1つの実施例」又は「ある実施例」に対する言及は、これらの実施形態又は実施例に関連して説明する特定の特徵、構造又は特性が本発明の少なくとも1つの実施形態に含まれることを意味する。従って、本明細書を通じて様々な箇所で出現する「1つの実施形態では」、「ある実施形態では」、「1つの実施例」又は「ある実施例」という表現は、必ずしも全てが同じ実施形態又は同じ実施例について言及しているわけではない。さらに、1又はそれ以上の実施形態又は実施例において、特定の特徵、構造又は特性をあらゆる好適な結合又は副結合の形で組み合わせることもできる。集積回路、電子回路、組み合わせ論理回路、又は説明する機能を提供する他の好適な構成要素に特定の特徵、構造又は特性を含めることもできる。また、本明細書と共に提供する図は、当業者に対する説明を目的とするものであり、図面は必ずしも縮尺通りではないと理解されたい。

40

【0009】

本発明の教示による例では、本発明の教示によるバイアス深溝分離部を有する高度光子検出装置を含む光子センサについて説明する。1つの例では、このバイアス深溝分離構造が、静電容量型分離構造である。図示のように、様々な例では、本発明の教示による光子検出装置が、ガードリングを必要としないP高度単一光子アバランシェダイオード（SPAD）構造を利用する。また、様々な例では、既知の分離技術と比較して使用領域がはるかに狭い分離部を提供するようにバイアス深溝分離（DTI）構造を含め、これにより本

50

発明の教示による光子センサ内で画素がより接近して配置されるようにする。本発明の教示によれば、1つの例では、DTIをポリシリコンで形成し、SPADの光収集領域内の暗電流を低減させるようにバイアスをかけることができる。さらに、本発明の教示によるバイアスDTIを利用することにより、SPADがその消滅回路から分離され、SPADのウェル及び消滅回路に異なる電圧でバイアスをかけることができるようになる。

【0010】

例示すると、図1は、本発明の教示による、バイアス深溝分離部を有する高度光子検出装置を含む画素セル110を有する例示的な画素アレイ102を含む光子検知システム100の一例を大まかに示す図である。1つの例では、画素セル110内の光子検出装置が背面照射される。別の例では、画素セル内110内の光子検出装置が前面照射される。図示の例に示すように、画素アレイ102は、光子検出器又は画素セル110（例えば、画素P1、P2、...、Pn）の二次元（2D）アレイである。図示のように、各画素110は、行（例えば、行R1~Ry）と列（例えば、列C1~Cx）の形に配置されて光子データを取得する。別の例では、画素アレイ102が、本発明の教示による1列の光子検出器又は画素セル110を含む一次元（1D）アレイの場合もあると理解されたい。

10

【0011】

1つの例では、各画素110が、光子事象をデジタル信号パルスに変換する。様々な例では、図示のように、読み出し回路104が、読み出し列112を介して各画素110から光子データを読み出すことができる。様々な例では、読み出し回路104が、各画素110から受け取ったデジタル信号パルスに示される光子事象を集計すべく光子データを受け取るように結合されたカウンタ回路105を含む。様々な例では、読み出し回路104が、各画素110から受け取った光子データ内の光子事象に関連する光子タイミング情報を記録するようにカウンタ回路105に結合された時間-デジタル変換器（TDC）回路107を含むこともできる。1つの例では、次にこれらの集計情報及びタイミング情報を含む光子データが機能論理回路106に転送される。機能論理回路106は、光子データを単純に記憶することができ、或いは後処理及び/又は解析を行うことによって光子データを操作することもできる。1つの例では、読み出し回路104が、読み出し列の線（図示）に沿った時点で光子データの行を読み出すことができ、或いは全ての画素の直列読み出し又は同時完全並列読み出しなどの他の様々な技術（図示せず）を用いて光子データを読み出すことができる。

20

30

【0012】

1つの例では、画素アレイ102の動作特性を制御するように、画素アレイ102に制御回路108が結合される。例えば、制御回路108は、光子データの取得を制御するためのシャッター信号を生成することができる。1つの例では、このシャッター信号が、単一の取得ウィンドウ中に画素アレイ102内の全ての画素がそれぞれの光子データを同時に取り込めるようにするためのグローバルシャッター信号である。

【0013】

図2は、本発明の教示によるバイアス深溝分離部を有する高度光子検出装置210の一例を示す断面図である。1つの例では、図2の光子検出装置210を、図1の画素アレイ102の画素セル110内で利用することができる。図2の例に示すように、光子検出装置210は、半導体材料216の第1の領域216A内に配置された平面接合部240を有するフォトダイオード214を含む。図示の例では、フォトダイオード214は、図示のようなP型半導体材料216内のフォトダイオード214のPドープ領域242とNドープ領域244の間の平面接合部240に降伏接合部を定める単一光子アバランシェダイオード（SPAD）である。1つの例では、Pドープ領域242を、本発明の教示によるP高度ドープ領域と見なすことができる。

40

【0014】

図示の例に示すように、光子検出装置210は、半導体材料216内に配置された1又はそれ以上の深溝分離（DTI）構造222A、222B及び222Cも含む。図2に示すように、各DTI構造222A、222B及び222Cは、薄い誘電体層で覆われる。

50

1つの例では、この薄い誘電体層が、二酸化シリコン(SiO_2)又は別の好適な絶縁材料を含む。具体的には、例示的な図2には、DTI構造222Aが、その内面を覆う薄い誘電体層224Aを含み、DTI構造222Bが、その内面を覆う薄い誘電体層224Bを含み、DTI構造222Cが、その内面を覆う薄い誘電体層224Cを含むことを示している。

【0015】

また、各DTI構造222A、222B及び222Cは、低ドープ半導体材料で満たされる。例えば、例示的な図2には、DTI構造222Aが、誘電体層224Aを覆ってドープポリシリコン226Aで満たされ、DTI構造222Bが、誘電体層224Bを覆ってドープポリシリコン226Bで満たされ、DTI構造222Cが、誘電体層224Cを覆ってドープポリシリコン226Cで満たされることを示している。

10

【0016】

図2に示す例には、各DTI構造222A、222B及び222Cにバイアス電圧232がかけられることも示している。具体的には、例示的な図2には、DTI構造222Aが、金属230Aを介してバイアス電圧232に結合され、DTI構造222Bが、金属230Bを介してバイアス電圧232に結合され、DTI構造222Cが金属230Cを介してバイアス電圧232に結合されることを示している。なお、各DTI構造222A、222B及び222Cが、説明したような薄い誘電体層で半導体材料から分離されたドープ半導体材料で満たされると、静電容量型分離構造が実現される。

【0017】

動作時には、バイアスDTI構造222A、222B及び222Cが、それぞれのバイアスDTI構造の両側にある半導体材料216の領域間を分離すると理解されたい。例示すると、本発明の教示によれば、バイアスDTI構造222Bは、図2ではバイアスDTI構造222Bの左側に位置する半導体材料216の第1の領域216Aを、図2ではバイアスDTI構造222Bの右側に位置する半導体材料216の第1の領域216Bから分離する。バイアスDTI構造222A、222B及び222Cに必要な領域は、他の既知のドープウェル分離の解決策よりも大幅に小さいと理解されたい。従って、本発明の教示によるバイアスDTI構造222A、222B及び222Cを使用すれば、半導体材料216内で複数のフォトダイオード214を互いに大幅に近接させて配置することができる。本発明の教示によれば、1つの例では、バイアスDTI構造222A、222B及び222Cにバイアスをかけて、フォトダイオード214の光収集領域内の暗電流を制御又は低減する。また、本発明の教示によれば、1つの例では、バイアスDTI構造の真正面の半導体材料をさらにドープして暗電流をさらに低減することができる。

20

30

【0018】

図示の例に示すように、フォトダイオード214は、半導体材料216の背面228を通じて導かれる光220で照射されるようになっている。別の例(図示せず)では、フォトダイオード214を、半導体材料216の前面を通して導かれる光220で照射されるように構成することもできると理解されたい。図2に示す例では、背面228から光220が導かれる比較的大きなPドープ領域を有するP高度SPADフォトダイオード214が提供される。P高度SPADフォトダイオード214の降伏接合部は、Pドープ領域242とNドープ領域244の間の平面PN接合部240に定められる。1つの例では、Nドープシリコン領域244内のドーピング密度が、この領域244の端部に向けて徐々に減少することにより、平面PN接合部240の端部における降伏の発生を減少させる役に立つ。動作時には、平面PN接合部240が逆バイアスになる。図示の例では、半導体材料216の第1の領域216Aが、P+バイアスノード246Aを介してバイアス電圧 $-V_{opt}$ 234でバイアスがかけられるように結合され、Nドープ領域244は、電圧 V_{dd} 238でバイアスがかけられるように結合される。従って、図示の例では、SPAD上の逆バイアスは $V_{dd} + V_{opt}$ である。従って、半導体材料216の背面228から入射する光220で光生成された電子248は、図示のように第1の領域216Aの比較的大きなPドープ領域を通過して、逆バイアスがかけられた平面PN接合部240にドリ

40

50

フトし、本発明の教示によるP高度SPADフォトダイオード214内に降伏現象を引き起こすことができる。

【0019】

図2に示す例では、上述したバイアスDTI構造226Bによって半導体材料216の第1の領域216Aから分離された半導体材料216の第2の領域216B内に消滅回路218が配置される。消滅回路218は、P高度SPADフォトダイオード214に結合されて、P高度SPADフォトダイオード214内のアバランシェ電流を制限する。しかしながら、本発明の教示によれば、バイアスDTI構造226Bが設けられた分離部により、P高度SPADフォトダイオード214の高電界領域は消滅回路218から分離される。

10

【0020】

図2に示す高度光子検出装置210の別の特徴は、P高度SPADフォトダイオード214を消滅回路218から分離するためにバイアスDTI構造226Bを利用すると、半導体材料216のPドープ領域216A及び216Bに異なる電圧でバイアスがかかることができる点であると理解されたい。例示すると、図2の例に示すように、P高度SPADフォトダイオード214が配置される半導体材料216の第1の領域216Aは、P+バイアスノード246Aを介して負電圧 $-V_{opt}$ 234に結合される。また、図示のように、消滅回路218が配置される半導体材料216の第2の領域216Bは、P+バイアスノード246Bを介して接地GNDに結合され、P高度SPADフォトダイオード214のNドープ領域244は、電圧 V_{dd} 238でバイアスがかけられるように結合される。従って、本発明の教示によれば、P高度SPADフォトダイオード214の逆バイアスは $V_{dd} + V_{opt}$ になり、P高度SPADフォトダイオード214の出力信号は、消滅回路218の動作電圧に対応する。

20

【0021】

図3は、本発明の教示による、バイアス深溝分離部を有する高度光子検出装置を含む光子センサ302の一例の背面部分を示す底面図である。図示の例に示すように、光子センサ302は、半導体材料316内に配置された複数のフォトダイオード314A、314B、314C及び314Dを含む。1つの例では、図3に示す複数のフォトダイオード314A、314B、314C及び314Dの各々が、図2に示すP高度SPADフォトダイオード214と実質的に同様のものである。従って、フォトダイオード314Aは、Pドープ半導体材料342AとNドープ半導体材料344Aの間に定められた平面接合部を含み、フォトダイオード314Bは、Pドープ半導体材料342BとNドープ半導体材料344Bの間に定められた平面接合部を含み、フォトダイオード314Cは、Pドープ半導体材料342CとNドープ半導体材料344Cの間に定められた平面接合部を含み、フォトダイオード314Dは、Pドープ半導体材料342DとNドープ半導体材料344Dの間に定められた平面接合部を含む。

30

【0022】

図示の例に示すように、光子センサ302は、図2のバイアスDTI構造222A、222B及び222Cと実質的に同様のバイアスDTI構造322も含む。図3に示す例では、バイアスDTI構造322が、図示のように半導体材料316内に配置されてバイアスをかけられ、本発明の教示による各P高度SPADフォトダイオード314A、314B、314C及び314Dの高電界領域を分離する。具体的には、本発明の教示によれば、バイアスDTI構造322は、P高度SPADフォトダイオード314A、314B、314C及び314Dの各々が、P高度SPADフォトダイオード314A、314B、314C及び314Dの隣接する1つから分離されるとともに、バイアスDTI構造322を含む対応する支持回路要素からも分離されるように半導体材料316内に配置される。

40

【0023】

本発明の教示によれば、図3の例に示す光子センサ302に含まれる別の特徴は、P高度SPADフォトダイオード314A、314B、314C及び314Dの各々により、

50

半導体材料 3 1 6 内に配置されたバイアスノード 3 4 6 が共有されている点である。従って、本発明の教示によれば、図 3 に示す例では、P 高度 S P A D フォトダイオード 3 1 4 A、3 1 4 B、3 1 4 C 及び 3 1 4 D の各々が、共通バイアスノード 3 4 6 に結合された同じバイアス電圧を有する半導体 3 1 6 内に配置される。

【 0 0 2 4 】

従って、図 3 の例示的な P 高度 S P A D フォトダイオード 3 1 4 A、3 1 4 B、3 1 4 C 及び 3 1 4 D (及び図 2 の例示的な P 高度 S P A D フォトダイオード 2 1 4) は、分離のためにガードリング又はドープウェルを利用しないと理解されたい。この結果、光子センサ 3 0 2 内の画素セルサイズを大幅に小型化することができる。光子センサ 3 0 2 の各画素セルに必要な領域が減少することにより、解像度が向上するとともにコストも削減される。また、本発明の教示によれば、浅溝分離 (S T I) と D T I の処理の違いに起因して、本明細書で説明したバイアス D T I 構造により、本明細書に開示した例示的な P 高度 S P A D フォトダイオードの暗電流は増加しないとも理解されたい。本発明の教示によれば、暗電流が低下することによりノイズが減少し、光子に対する感度も高くなる。

10

【 0 0 2 5 】

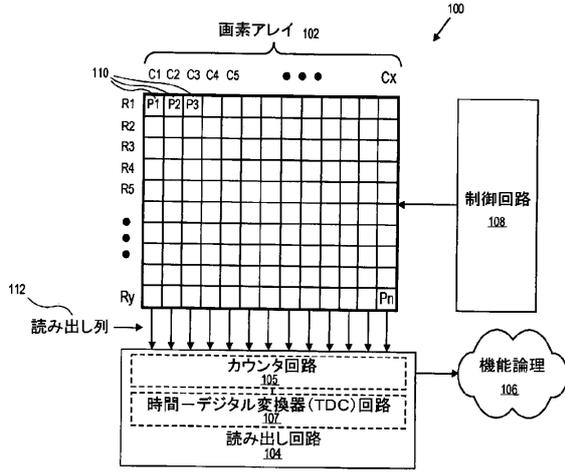
本発明の説明例についての上述の説明は、要約書の記述を含め、包括的であること、又は開示した正確な形に限定されることを意図するものではない。本明細書では、例示を目的として本発明の特定の実施形態及びその例について説明したが、本発明のより広い思想及び範囲から逸脱することなく様々な同等の修正が可能である。

【 0 0 2 6 】

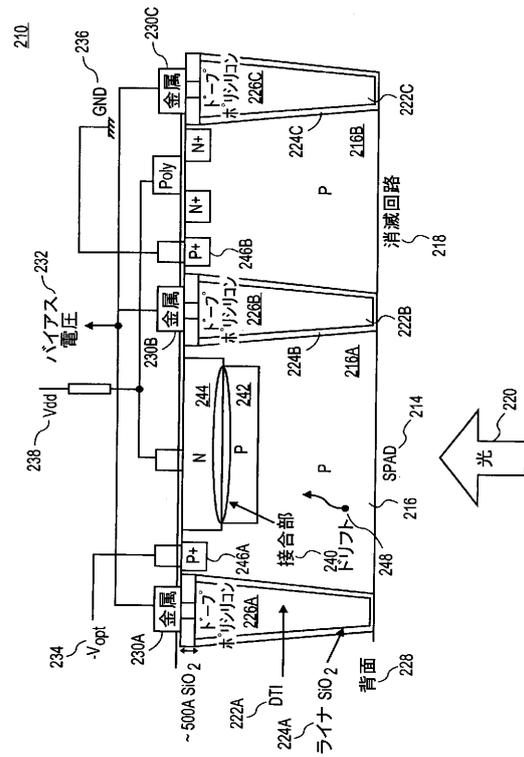
これらの修正は、本発明の例に対し、上記の詳細な説明に照らして行うことができる。以下の特許請求の範囲で使用する用語は、本明細書及び特許請求の範囲に開示する特定の実施形態に本発明を限定するものとして解釈すべきではない。むしろ、本発明の範囲は、確立された請求項解釈の原則に従って解釈すべき以下の特許請求の範囲によってのみ決定すべきでもある。従って、本明細書及び図は、限定的なものではなく例示的なものと見なすべきである。

20

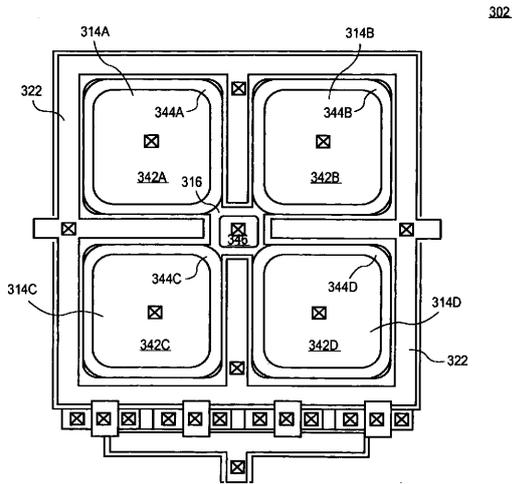
【図1】



【図2】



【図3】



フロントページの続き

- (74)代理人 100109070
弁理士 須田 洋之
- (74)代理人 100109335
弁理士 上杉 浩
- (74)代理人 100120525
弁理士 近藤 直樹
- (74)代理人 100164530
弁理士 岸 慶憲
- (72)発明者 ボーウェイ チャン
アメリカ合衆国 カリフォルニア州 94538 フリーモント ギャラウデット ドライブ 3
9517 アpartment 378
- (72)発明者 ジーチャン リン
アメリカ合衆国 カリフォルニア州 95051 サンタ クララ カイリー プールバード 8
25 #4

審査官 今井 聖和

- (56)参考文献 特開2006-179828(JP,A)
特開2011-114345(JP,A)
特開2005-101864(JP,A)
特開昭61-133660(JP,A)
特表2009-525619(JP,A)
特開2001-230400(JP,A)
特表2008-542706(JP,A)
特開平05-211321(JP,A)
特開2007-005697(JP,A)
米国特許出願公開第2010/0148040(US,A1)
国際公開第2012/032353(WO,A2)
米国特許出願公開第2011/0272561(US,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14
H01L 21/76
H01L 31/10
H04N 5/335