

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3821148号

(P3821148)

(45) 発行日 平成18年9月13日(2006.9.13)

(24) 登録日 平成18年6月30日(2006.6.30)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 611A
	G09G 3/20 611J
	G09G 3/20 623H
請求項の数 3 (全 19 頁) 最終頁に続く	

(21) 出願番号	特願2004-348210 (P2004-348210)	(73) 特許権者	000002369
(22) 出願日	平成16年12月1日(2004.12.1)		セイコーエプソン株式会社
(62) 分割の表示	特願2003-121803 (P2003-121803) の分割	(74) 代理人	100095728 弁理士 上柳 雅誉
原出願日	平成12年2月9日(2000.2.9)		
(65) 公開番号	特開2005-92238 (P2005-92238A)	(74) 代理人	100107076 弁理士 藤網 英吉
(43) 公開日	平成17年4月7日(2005.4.7)	(74) 代理人	100107261 弁理士 須澤 修
審査請求日	平成16年12月1日(2004.12.1)	(72) 発明者	村出 正夫 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(31) 優先権主張番号	特願平11-44986		
(32) 優先日	平成11年2月23日(1999.2.23)		
(33) 優先権主張国	日本国(JP)	審査官	濱本 禎広
		最終頁に続く	

(54) 【発明の名称】 電気光学装置の駆動回路及び電気光学装置並びに電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線との各交点に対応して設けられた複数の画素とを備えた電気光学装置を駆動するための電気光学装置の駆動回路において、

前記駆動回路は、

シフトレジスタ回路と、

前記シフトレジスタ回路から供給される転送信号の信号幅を所定の幅に制限する位相調整回路と、

前記位相調整回路によって信号幅が制限された前記転送信号をサンプリング制御信号として出力するバッファ回路と、

を有し、

前記バッファ回路は、

前記データ線の延在方向とは交差する方向に並び、且つ、並列接続された複数の論理回路によって構成される段が、複数直列接続して構成されたものであり、

前記論理回路を構成するトランジスタのチャンネル幅は、前記論理回路を含む段の前段に含まれる論理回路を構成するトランジスタのチャンネル幅よりも広いことを特徴とする電気光学装置の駆動回路。

【請求項2】

請求項1に記載の電気光学装置の駆動回路を備えたことを特徴とする電気光学装置。

10

20

【請求項3】

請求項2に記載の電気光学装置を備えたこと、
を特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高品位な表示とともに、形成領域において無駄な領域の発生を防止した電気光学装置の駆動回路、および、この駆動回路を内蔵する電気光学装置、並びに、この電気光学装置を用いた電子機器に関する。

【背景技術】

10

【0002】

従来の電気光学装置、例えば、液晶装置の駆動回路は、画像表示領域に配設されたデータ線や走査線などに、画像信号や走査信号などを所定タイミングで供給するデータ線駆動回路や、走査線駆動回路、サンプリング回路などから構成されている。このうち、データ線駆動回路は、一般には、複数のラッチ回路（シフトレジスタ回路）を備え、水平走査期間の最初に供給される転送信号をクロック信号に応じて順次シフトして、これをサンプリング制御信号として出力するものであり、同様に、走査線駆動回路は、複数のラッチ回路を備え、垂直走査期間の最初に供給される転送信号をクロック信号に応じて順次シフトして、これを走査信号として出力するものである。また、サンプリング回路は、各データ線毎に設けられるサンプリング用のスイッチからなり、外部から供給される画像信号を、サンプリング制御信号にしたがってサンプリングして、各データ線に供給するものである。

20

【0003】

また、ラッチ回路とサンプリング回路との間に、バッファ回路を介在させて、転送信号を波形整形して前述のサンプリング制御信号とするとともに、ラッチ回路の駆動能力がサンプリングスイッチを駆動するのに十分でなくても、サンプリングスイッチの負荷に十分対応可能な構成も採用されている。

【0004】

一方、これら駆動回路自体を、電気光学装置を構成する基板上に設けた駆動回路内蔵型の電気光学装置が開発されている。このタイプの電気光学装置では、製造プロセスを効率化するなどの観点から、駆動回路を構成する素子が、画素を駆動するスイッチング素子と共通プロセスで製造される。例えば、電気光学材料として液晶を用いた液晶装置において駆動回路を構成する素子は、液晶画素を駆動する薄膜トランジスタ（Thin Film Transistor：以下「TFT」と称する）などによって構成される。このような駆動回路内蔵型の電気光学装置は、駆動回路を別基板上に形成して外付けするタイプの電気光学装置と比較して、装置全体の小型化やコスト低下を図る上で有利である。

30

【0005】

さて近年、電気光学装置に限られず表示装置全般にあっては、例えばXGA（1024×768ドット）や、SXGA（1280×1024ドット）、UXGA（1600×1200ドット）などのように、高精細化の要請が高まっており、これに対応して、電気光学装置のドット周波数も高める必要が生じている。ここで、上記駆動回路内蔵型の電気光学装置において、ドット周波数を高めると、前述したサンプリングスイッチのサンプリング能力不足や、駆動回路を構成する素子の動作遅延などが発生して、例えば、本来次のデータ線に書き込まれるべき画像信号が、前のデータ線にも書き込まれる結果、いわゆるゴーストやクロストークが生じて、表示画像の品位が低下する。これを解決するために、サンプリングスイッチや駆動回路の構成素子の性能自体を高めるのでは、コストの顕著な上昇を招いてしまう。

40

【0006】

そこで最近では、1系統の画像信号を複数系統に分配するとともに、時間軸に伸長（シリアル-パラレル変換）する一方、サンプリング回路においては複数系統の画像信号を同時にサンプリングして、複数本のデータ線に同時に供給する技術が開発されている。この技術によれば、同時駆動されるデータ線の本数に応じて、各サンプリングスイッチによる

50

サンプリングする時間が、同時駆動されるデータ線の本数倍となるので、駆動回路における駆動周波数が、実質的に、同時駆動されるデータ線の逆数にまで低下する。このため、サンプリングスイッチや、駆動回路の構成素子、画素の駆動素子などの性能自体を向上させることなく、高ドット周波数化に対処することが可能となる。

【0007】

このように複数のデータ線を同時駆動する場合、複数のサンプリングスイッチに対して同時に、あるいは、同一のサンプリング制御信号を供給する必要がある。このため、ラッチ回路とサンプリングスイッチとの間に介在するバッファ回路の駆動能力を、複数のサンプリングスイッチの負荷合計に応じて高めることが必要となる。

【0008】

ここで、バッファ回路の駆動能力を高める方策としては、まず、バッファ回路を構成する論理回路、例えばインバータを構成する素子を、大サイズ化することが考えられる。ただし、この方策において、駆動回路の構成素子を単純に大サイズ化したのでは、今度は、この構成素子を駆動することになるラッチ回路の駆動能力を高める必要性が生じてしまい、複数ラッチ回路からなるシフトレジスタ回路の低消費電力化という、当該電気光学装置の技術分野における一般的要請とは相矛盾する結果を招く。そこで、複数のインバータを直列に多段接続してバッファ回路を構成して、バッファ回路の駆動能力を各段毎に段階的に高める構成が採用されている。すなわち、バッファ回路において、ラッチ回路側の段のインバータを構成する素子サイズが小さい一方、かつ、サンプリングスイッチ側の段のインバータを構成する素子サイズが大きい構成が採用されている。

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、直列に多段接続されたインバータから構成されるバッファ回路を、上記駆動回路内蔵型の電気光学装置に設けようとする、基板領域において、バッファ回路が大型化するため、バッファ回路による占有面積や非有効利用面積の増加が問題となる。特に、バッファ回路が形成される領域は、通常、画像信号線とシフトレジスタ回路との間に介在する領域であるために、データ線の延在方向とは交差する方向に長手となる。したがって、単に、データ線の延在方向に長手状に伸びる素子から各段のインバータを形成するとともに、これをデータ線の延在方向に複数段直列に接続しただけの構成では、当該領域において非有効利用面積の割合が顕著に大きくなってしまふ。そして、最終的には、画像表示領域の一端外側にデータ線駆動回路が形成されるので、非画像表示領域が広がることになり、装置全体の小型軽量化や、同一装置サイズにおける画像表示領域の大型化という、当該電気光学装置の一般的要請に相矛盾する結果を招くことになる。

【0010】

本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、駆動回路内蔵型であって、かつ、複数のデータ線を同時駆動する液晶装置等の電気光学装置において、基板領域を効率的に利用して、装置全体を小型化することが可能な電気光学装置の駆動回路、及び、この駆動回路を内蔵する電気光学装置、並びに、この電気光学装置を有する電子機器を提供することにある。

【課題を解決するための手段】

【0011】

上記課題を解決するため、本発明は、複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線との各交点に対応して設けられた複数の画素とを備えた電気光学装置を駆動するための電気光学装置の駆動回路において、前記駆動回路は、シフトレジスタ回路と、前記シフトレジスタ回路から供給される転送信号の信号幅を所定の幅に制限する位相調整回路と、前記位相調整回路によって信号幅が制限された前記転送信号をサンプリング制御信号として出力するバッファ回路と、を有し、前記バッファ回路は、前記データ線の延在方向とは交差する方向に並び、且つ、並列接続された複数の論理回路によって構成される段が、複数直列接続して構成されたものであり、前記論理回路を構成する

10

20

30

40

50

トランジスタのチャンネル幅は、前記論理回路を含む段の前段に含まれる論理回路を構成するトランジスタのチャンネル幅よりも広いことを特徴とする。

また、複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線との各交点に対応して設けられた複数の画素とを備えた電気光学装置を駆動するための電気光学装置の駆動回路において、前記駆動回路は、シフトレジスタ回路と、前記シフトレジスタ回路から供給される転送信号に基づいてサンプリング制御信号を出力するバッファ回路と、を有し、前記バッファ回路は、前記データ線の延在方向と交差する方向に並び、且つ、並列接続された複数の論理回路を、含み、前記複数の論理回路を構成する各々のトランジスタは、当該トランジスタのチャンネル幅の方向が前記データ線の延在する方向となるように配置されたことを特徴とする。

10

【0012】

そして上記の電気光学装置の駆動回路において、前記バッファ回路は、前記データ線の延在方向とは交差する方向に並び、且つ、並列接続されてなる複数の論理回路によって構成される段を有し、さらに前記段を複数直列接続することが望ましい。

【0013】

さらに、前記論理回路を構成するトランジスタのチャンネル幅は、前記論理回路を含む段の前段に含まれる論理回路を構成するトランジスタのチャンネル幅よりも広いことが望ましい。

【0014】

このように構成すると、論理回路を構成するトランジスタのサイズが各段毎に段階的に大きくなるので、バッファ回路全体の駆動能力を高めることができる。このため、サンプリング制御信号によって同時駆動可能なサンプリングの数を増やすことが可能となる。一方、初段の論理回路を構成するトランジスタのサイズは、比較的小さくて済むため、このトランジスタに転送信号を供給するラッチ回路の駆動能力は、低くても構わない。このため、複数のラッチ回路を備えるシフトレジスタ回路にあっては、回路規模が縮小されるとともに、低消費電力化が図られることとなる。さらに、位相調整回路によって転送信号の信号幅（信号がアクティブレベルとされる時間）が所定の期間に制限されるので、ラッチ回路から相前後して出力される転送信号同士の重複が低減される。このため、本来、異なるサンプリング制御信号によって駆動されるべきデータ線に、同時に同一の画像信号がサンプリングされるという事態が防止されるので、クロストークやゴーストなどの発生が未然に抑えられることとなる。

20

30

【0015】

なお、直列接続の段数が増加するにつれ、これらの論理回路を構成するトランジスタによる遅延時間の合計も増加する。このため、実際には、この遅延時間の合計が最終的に表示画像に悪影響を与えないように、かつ、ドット周波数や、必要とされる仕様、さらには画像品位などを総合的に勘案して、直列接続の段数を定めるようにすることが望ましい。

【0016】

なお、直列接続される構成において、1段分において並列接続される論理回路の個数は、全段にわたって互いに等しいことが望ましい。このように構成すると、論理回路が、データ線の延在方向およびこの交差方向にマトリクス状に配置するので、バッファ回路における設計が容易となる。さらに、各段分の論理回路を、データ線の延在方向と交差する方向において、限度一杯に並列接続すると、基板領域を限度一杯に利用することが可能となる。

40

【0017】

さらに、論理回路がマトリクス状に配置する構成において、全段の論理回路のうち、同列に位置する論理回路は、前記データ線の延在方向に形成された電源配線を互いに共用することが望ましい。このように構成すると、バッファ回路の設計が容易となるだけでなく、共用される電源配線の分だけ、基板領域が有効に活用されるためである。なお、このように同列に位置する論理回路において電源配線を共用するためには、2つの電源配線を、互いに櫛歯状に対向させて配設する構成で可能である。特に、この構成では、同段の論理

50

回路のうち、相隣接する論理回路において、一方の電源配線が共用されるので、電源配線の引き回しが非常に簡略化されることとなる。

【0018】

一方、本発明に係る駆動回路にあつては、シリアル-パラレル変換されて、複数本の画像信号線を介して供給されることが望ましい。これによれば、画像信号は、複数系統に変換されるので、実質的に時間軸に余裕が生じるので、ドット周端数が高い場合であっても、比較的性能の低いサンプリングスイッチを用いることが可能となる。

【0019】

また、上記目的を達成するため、本発明に係る電気光学装置にあつては、上記駆動回路を備えたことを特徴としている。本発明によれば、基板の効率的利用が図られるので、装置全体の小型化や、同一サイズの装置における画像表示領域の大型化とともに、高品位の画像表示が可能となる。

10

【0020】

ここで、本発明にあつては、前記基板には、マトリクス状に配置された画素電極と、前記画素電極および前記データ線の間に介挿されるとともに、前記走査線に供給される走査信号にしたがって開閉するトランジスタとをさらに備えることが望ましい。この構成によれば、トランジスタによりオン画素とオフ画素とを電氣的に分離できるので、高コントラストでクロストークのない高品位でかつ、高精細な表示が可能となる。

【0021】

さらに、上記目的を達成するため本発明に係る電気機器にあつては、上記電気光学装置を備えることを特徴としているので、ゴーストやクロストークのない高品位な表示が可能となる。

20

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施の形態について、図面を参照して説明する。

【0023】

<液晶装置>

まず、本発明に係る電気光学装置として、液晶装置を一例にとって説明する。液晶装置の構成は、後述するように、TFTアレイ基板と対向基板とが互いに電極形成面を対向させて、かつ、一定の間隙を保って貼付されて、この間隙に液晶が挟持された構成となっている。このうち、TFTアレイ基板の画像表示領域にあつては、図1に示されるような等価回路となっている。

30

この図に示されるように、m本の走査線3aが、X方向に沿って平行に配列して形成される一方、n本のデータ線6aが、Y方向に沿って平行に配列して形成されている。そして、これらの走査線3aとデータ線6aとの各交点においては、TFT30のゲートが走査線3aに接続される一方、TFT30のソースがデータ線6aに接続されるとともに、TFT30のドレインが画素電極9aに接続されている。そして、各画素は、画素電極9aと、対向基板に形成される対向電極(後述する)と、これら両電極間に挟持された液晶とによって構成される結果、走査線3aとデータ線6aとの各交点に対応して、マトリクス状に配列することとなる。

40

【0024】

ここで、本実施形態に係る液晶装置において、特に、データ線6aにサンプリングされた画像信号S1、S2、...、Snは、当該液晶装置に画像信号S1、S2、...、Snを供給する画像信号処理回路内のシリアル-パラレル変換回路(図示省略)によって、予めシリアル-パラレル変換されて12系統に分配されたものであつて、相隣接する12本のデータ線6aからなるグループ毎に、同時に供給されるものである。なお、シリアル-パラレル変換数については一般には、ドット周波数が相対的に低ければ(あるいは後述のサンプリング回路におけるサンプリング能力が相対的に高ければ)、例えば「3」や「6」のように小さな値に設定しても良い。逆に、ドット周波数が相対的に高ければ(あるいはサンプリング能力が相対的に低ければ)、例えば「24」のように大きな値に設定してもよ

50

い。また、シリアル - パラレル変換数としては、カラー画像信号が3つの色に係る信号からなることとの関係から、3の倍数であると、ビデオ表示をする際の制御や回路構成を簡易化する上で好ましい。さらに、近時のXGAや、SXGA、UXGAなどのように高ドット周波数の場合、既存のTFT製造技術に鑑みれば、本実施形態である「12」や、ほかに「24」のような大きな値に設定するのが好ましい。

【0025】

また、TFT30のゲートが接続される走査線3aには、走査信号G1、G2、...、Gmが、パルスの線順次で印加される構成となっている。このため、ある走査線3aに走査信号が供給されると、当該走査線3aに接続されるTFT30がオンするので、データ線6aから所定のタイミングで供給される画像信号S1、S2、...、Snは、対応する画素に順番に書き込まれた後、所定の期間保持されることとなる。

10

【0026】

ここで、各画素に印加される電圧レベルに応じて液晶分子の配向や秩序が変化するので、光変調による階調表示が可能となる。例えば、液晶を通過する光量は、ノーマリーホワイトモードであれば、印加電圧が高くなるにつれて制限される一方、ノーマリーブラックモードであれば、印加電圧が高くなるにつれて緩和されるので、液晶装置全体では、画像信号に応じたコントラストを持つ光が各画素毎に出射される。このため、所定の表示が可能となっているのである。

【0027】

また、保持された画像信号がリークするのを防ぐために、蓄積容量70が、画素電極9aと対向電極との間に形成される液晶容量と並列に付加される。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持されるので、保持特性が改善される結果、高コントラスト比が実現されることとなる。

20

【0028】

次に、本実施形態に係る液晶装置の駆動回路について説明する。図2は、TFTアレイ基板の構成を、特に、画像表示領域の外側周辺に形成される駆動回路の構成を示すブロック図である。

【0029】

この図に示されるように、TFTアレイ基板10には、走査線3aおよびデータ線6aの交差領域たる画像表示部100aが設けられており、その外側周辺には、データ線駆動回路101、走査線駆動回路104およびサンプリング回路301を含む駆動回路200が設けられている。すなわち、本実施形態は、TFTアレイ基板10上に、駆動回路200が形成された駆動回路内蔵型のTFTアクティブマトリクス駆動方式の液晶装置である。

30

【0030】

さて、駆動回路200のうち、走査線駆動回路104は、1垂直走査期間において、走査信号G1、G2、...、Gmを、走査線3aに対しパルスの線順次で供給するものである。一方、データ線駆動回路101は、1水平走査期間において、すなわち、走査線駆動回路104が1本の走査線3aに走査信号を供給している期間において、サンプリング制御信号X1、X2、...、Xnを、サンプリング制御信号線114に対し順次供給するものである。

40

【0031】

また、サンプリング回路301は、データ線6a毎にサンプリングスイッチ302を備えて、画像信号線115に供給される画像信号を、サンプリング制御信号X1、X2、...、Xnにしたがってサンプリングして、対応するデータ線6aに供給するものである。ここで、本実施形態にあつては、上述のように1系統の画像信号が12系統の画像信号VID1~VID12にシリアル - パラレル変換されるため、相隣接する12本のデータ線6aに接続される12個のサンプリングスイッチ302が、同一のサンプリング制御信号によって同時駆動されて、当該12本のデータ線6aの各々に、画像信号VID1~VID12がそれぞれサンプリングされて供給される構成となっている。

50

【 0 0 3 2 】

< データ線駆動回路 >

次に、データ線駆動回路 1 0 1 の詳細について説明する。図 3 は、データ線駆動回路 1 0 1 の構成を示すブロック図である。図 3 に示されるように、データ線駆動回路 1 0 1 は、転送信号を順次出力するシフトレジスタ回路 4 0 0 と、順次出力された転送信号を波形整形するバッファ回路 5 0 0 とを備えている。このうち、シフトレジスタ回路 4 0 0 は、直列接続された複数段のラッチ回路 4 0 1 から構成されており、各ラッチ回路 4 0 1 は、実際には、クロック信号 CLX およびその反転クロック信号 CLX' にしたがって入力信号の取込・保持を行う遅延型フリップフロップ回路などが用いられる。

【 0 0 3 3 】

さらに、データ線駆動回路 1 0 1 には、位相調整回路 4 0 2 が設けられる。この位相調整回路 4 0 2 は、各ラッチ回路 4 0 1 の出力に対応して設けられる NAND 回路 4 0 3 からなり、このうち、図において左から数えて奇数段目の NAND 回路 4 0 3 は、対応するラッチ回路 4 0 1 から入力される転送信号 ST_{2i-1} (ただし、 i は自然数) と位相調整信号 $ENB1$ との否定論理積信号を、一方、左から数えて偶数段目の NAND 回路 4 0 3 は、対応するラッチ回路 4 0 1 から入力される転送信号 ST_{2i} と位相調整信号 $ENB2$ との否定論理積信号を、それぞれ配線 4 0 4 を介してバッファ回路 5 0 0 に供給している。

【 0 0 3 4 】

また、バッファ回路 5 0 0 は、各 NAND 回路 4 0 3 に対応して設けられ、直列接続された 3 段のインバータ 5 0 1 ~ 5 0 3 からなり、位相調整回路 4 0 2 による出力信号を波形整形等して、サンプリング制御信号線 1 1 4 を介してサンプリング制御信号として出力する。ここで、各インバータ 5 0 1 ~ 5 0 3 では、後述するように、それを構成する TFT のサイズが後段となるにつれて大きくなるように形成されているため、バッファ回路 5 0 0 全体で見れば、駆動能力が高い一方で、その入力インピーダンスが低く抑えられている。

【 0 0 3 5 】

次に、このような構成されたデータ線駆動回路 1 0 1 の動作について説明する。図 4 は、データ線駆動回路 1 0 1 の動作を説明するためのタイミングチャートである。この図に示されるように、スタートパルス SP が、1 水平走査期間の最初において、画像信号 $VID1 \sim VID12$ に同期して外部の画像信号処理回路から供給されると、図 3 において最左端に位置するラッチ回路 4 0 1 は、 X 側基準クロック信号 CLX (および、その反転クロック信号 CLX') に基づく転送動作を開始して、転送信号 $ST1$ を出力するとともに、この転送信号を左から数えて第 2 段目のラッチ回路 4 0 1 に供給する。次に、第 2 段目のラッチ回路 4 0 1 は、転送信号 $ST1$ を、クロック信号 CLX の半周期だけシフトさせて、転送信号 $ST2$ として出力するとともに、この転送信号を左から数えて第 3 段目のラッチ回路 4 0 1 に供給する。そして、以下同様な転送動作が各段のラッチ回路 4 0 1 において繰り返される結果、1 水平走査期間において、転送信号 $ST1$ 、 $ST2$ 、...、 STn が順次出力されることとなる。

【 0 0 3 6 】

さらに、このように順次出力される転送信号 $ST1$ 、 $ST2$ 、...、 STn は、位相調整回路 4 0 2 によって、位相調整信号 $ENB1$ または $ENB2$ のパルス幅に制限された後、バッファ回路 5 0 0 によって波形整形されて、サンプリング制御信号 $X1$ 、 $X2$ 、...、 Xn として、トランジスタ等で形成されるサンプリング回路 3 0 1 に供給されることとなる。

【 0 0 3 7 】

本実施形態では、特に、位相調整回路 4 0 2 によるパルス幅の制限により、相前後するサンプリング制御信号 $X1$ 、 $X2$ 、...、 Xn のパルス間隔は、図 4 に示されるように時間的に隔絶されるため、これらの信号パルスの重複に起因するクロストークやゴーストなどの発生が未然に防止される。すなわち、サンプリング制御信号 $X1$ 、 $X2$ 、...、 Xn が重複していると、本来、あるグループのデータ線にサンプリングされるべき画像信号が、そ

10

20

30

40

50

のグループの前後に位置するグループのデータ線に対してもサンプリングされてしまうため、クロストークやゴーストなどが発生して表示品位が低下するが、本実施形態によれば、サンプリング制御信号 X 1、X 2、...、X n のパルスが時間的に隔絶されて出力されるため、クロストークやゴーストなどの発生が未然に防止されることとなる。

【0038】

また、ラッチ回路 401 や位相調整回路 402 の駆動能力よりも、バッファ回路 500 の駆動能力の方が遥かに大きい。このためラッチ回路 401 や位相調整回路 402 の駆動能力が低くても、バッファ回路 500 から出力されるサンプリング制御信号 X 1、X 2、...、X n によって、12 個のサンプリングスイッチ 302 を良好に同時駆動されることとなる。

10

【0039】

<データ線駆動回路のレイアウト>

ここで、データ線駆動回路 101 の回路レイアウトについて説明する。図 5 は、データ線駆動回路 101 の要部回路についてのレイアウトを示す平面図である。この図においては、配線 404 を介して供給される位相調整回路 402 の出力信号が、第 1 に、バッファ回路 500 によって波形整形等されて、サンプリング制御信号線 114 を介しサンプリング制御信号として出力され、第 2 に、このサンプリング制御信号にしたがって、12 個のサンプリングスイッチ 302 を駆動制御する構成とともに、12 本の画像信号線 115 に供給される画像信号 VID1 ~ VID12 が、当該 12 個のサンプリングスイッチによりサンプリングされて、対応する 12 本のデータ線 6a に供給される構成が示されている。

20

また、図 5 に示されるように、バッファ回路 500 は、ラッチ回路 401 や位相調整回路 402 が形成される領域と、シリアル - パラレル変換された 12 系統の画像信号 VID1 ~ VID12 が供給される 12 本の画像信号線 115 が形成される領域との間に形成されている。

【0040】

<バッファ回路のレイアウト>

次に、バッファ回路 500 の詳細について図 6 ~ 図 8 を参照して説明する。ここで、図 6 は、バッファ回路 500 のレイアウトを示す平面図であり、図 7 は、図 6 のレイアウトを簡略化した回路図であり、図 8 は、バッファ回路 500 の構成を示す等価回路図である。これらの図に示されるように、バッファ回路 500 では、インバータ 501 ~ 503 がデータ線 6a の延在方向 (Y 方向) に 3 段直列接続して構成されており、さらに、各段のインバータ 501 ~ 503 では、それぞれ 7 個のインバータが走査線 3a の延在方向 (X 方向) に並列接続して構成されている。すなわち、第 1 段目のインバータ 501 はインバータ 511 ~ 517 が、第 2 段目のインバータ 502 はインバータ 521 ~ 527 が、第 3 段目のインバータ 503 はインバータ 531 ~ 537 が、それぞれ並列接続されたものである。

30

【0041】

さらに、これらのインバータ 511 ~ 517、521 ~ 527、531 ~ 537 は、いずれもチャンネル幅方向が Y 方向に形成された P チャンネル型 T F T および N チャンネル型 T F T を組み合わせた相補型 T F T として構成されている。すなわち、インバータ 511 ~ 517、521 ~ 527、531 ~ 537 は、いずれも、引き出し配線 601a、602a 間において、P チャンネル型 T F T および N チャンネル型 T F T が直列接続されている。

40

【0042】

また、これらの T F T のチャンネル長は、すべてにわたって略同一となっている。したがって、バッファ回路 500 を構成するインバータ 511 ~ 517、521 ~ 527、531 ~ 537 は、レイアウト的には 3 行 7 列のマトリクス状に配置している。

【0043】

ここで、第 1 段目のインバータ 501 (インバータ 511 ~ 517) を構成する T F T のチャンネル幅 L 1、第 2 段目のインバータ 502 (インバータ 521 ~ 527) を構成する T F T のチャンネル幅 L 2、および、第 3 段目のインバータ 503 (インバータ 531 ~

50

537)を構成するTFTのチャンネル幅L3は、 $L1 < L2 < L3$ となっている。上述したように、第1段目～第3段目のインバータ501～503は、それぞれ同数(7個)のインバータを並列接続したものであるから、そのオン抵抗は、チャンネル幅で定まることになり、インバータ501>インバータ502>インバータ503>となっている。

【0044】

したがって、バッファ回路500全体で見れば、入力インピーダンスが高くなる一方、出力インピーダンスが低くなる。このため、転送信号を出力するラッチ回路401、または、この転送信号のパルス幅を狭める位相調整回路402を構成するTFTサイズが小さくて済むので、消費電力の大きさが問題視されるシフトレジスタ回路400の低消費電力化が図られる一方で、多数(12個)のサンプリングスイッチ302を同時に駆動制御することが良好に行われることとなる。

10

【0045】

一方、高電圧(Vcc)配線601および低電圧(GND)配線602は、それぞれTFT素子アレイ基板10のX方向にわたって引き通して配設されているが、バッファ回路500が形成される領域にあっては、特に図7において太線で示されるように、高電圧配線601からは引き出し配線601aが、低電圧配線602からは引き出し配線602aが、それぞれY方向に延長配設されるとともに、互いに櫛歯状に対向して形成されている。

【0046】

ここで、X方向に相隣接するインバータは、一方のチャンネル領域を共有して、これが折り返して連続した形となっているため、1段分のインバータを構成するTFTのチャンネル型は、図6または図7において左側から順番に、P、N、N、P、P、N、N、...、P、P、Nとなっている。このため、同一段において相隣接するインバータ同士は、同一のチャンネル領域となるだけでなく、その共有領域に接続される引き出し配線も共有した構成となっている。例えば、インバータ511、512同士は、Nチャンネル型とされるチャンネル領域を共有しているだけでなく、その共有領域のうちドレイン領域に接続される引き出し配線602aも共有している。また、例えば、インバータ522、523同士は、Pチャンネル型とされるチャンネル領域を共有しているだけでなく、その共有領域のうちソース領域に接続される引き出し配線601aも共有している。すなわち、言うなれば、引き出し配線601aまたは602aを中心として左右対称化して各インバータが配列している。

20

30

【0047】

一方、第1段目のインバータ511～517を構成する各TFTにあっては、パルス幅が狭められた転送信号を供給する配線404が、櫛歯状に延設されてゲート電極となっている。一方、第1段目のインバータ511～517を構成するPチャンネル型TFTのソース領域と同Nチャンネル型TFTのドレイン領域とに接続される配線は、コンタクトホールを介してインバータ511～517の出力として共通接続されるとともに、櫛歯状に延設されて、第2段目のインバータ521～527を構成する各TFTのゲート電極となっている。同様に、第2段目のインバータ521～527を構成するPチャンネル型TFTのソース領域と同Nチャンネル型TFTのドレイン領域とに接続される配線は、コンタクトホールを介してインバータ521～527の出力として共通接続されるとともに、櫛歯状に延設されて、第3段目のインバータ531～537を構成する各TFTのゲート電極となっている。そして、第3段目のインバータ531～537を構成するPチャンネル型TFTのソース領域と同Nチャンネル型TFTのドレイン領域とは、コンタクトホールを介してインバータ531～537の出力として共通接続されて、これがサンプリング制御信号線114となっている。そして、このようなバッファ回路500は、図9に示されるように、同時に駆動される12本のデータ線6aの合計幅(W)と一致するピッチでX方向に、シフトレジスタ回路400におけるラッチ回路401に対応して配列している。

40

【0048】

このようなバッファ回路500によれば、複数個のインバータが並列接続されて1段分のインバータを構成しているため、通常X方向が長手となる領域が効率的に利用されると

50

ともに、1段分のインバータによる駆動能力を向上させることができる。さらに、インバータ501～503を構成するTFTのチャンネル幅L1～L3が段階的に大きくなるので、バッファ回路500全体で高負荷に対応でき、同時駆動可能なサンプリングスイッチ302の個数を増やすことが可能となる。

【0049】

また、複数並列接続された1段分のインバータのうち、X方向に相隣接するインバータでは、Pチャンネル領域またはNチャンネル領域が共用されているので、TFT毎にチャンネル領域を形成する場合と比較して、基板領域が効率的に利用されることになる。さらに、共用チャンネル領域にあっては、そのドレイン領域またはソース領域についても共用されるので、電源配線からの引き出し配線も共用することができる。

10

【0050】

くわえて、第1段目～第3段目のインバータ501～503は、いずれも同数(7個)並列接続されたインバータからなり、さらに、これらインバータを構成する相補型TFTは、いずれもチャンネル長が略同一(チャンネル幅は、段毎に異なる)であるため、インバータ511～517、521～527、531～537が、X方向およびY方向にマトリクス状に配列することになる。このため、シフトレジスタ回路400(ラッチ回路401や位相調整回路402)と、複数本の画像信号線115とに挟まれるX方向に長手に延伸する領域において、各インバータを効率良く配置させることができるとともに、Y方向に隣接する相異なる段のインバータ同士において電源配線からの引き出し配線を共用することが容易となる。例えば、インバータ511、521、531において引き出し配線601a、602aを共用することができる。したがって、本実施形態にあっては、引き出し配線601a、602aは、上述のようにX方向に相隣接するインバータ同士のみならず、Y方向に相隣接するインバータ同士でも共用されるので、基板領域が極めて効率良く利用されていることになる。

20

【0051】

さらに、本実施形態にあっては、各インバータを構成するTFTのサイズ調整は、比較的容易に行うことができる。例えば、チャンネル長の調整は、1段分において並列接続されるインバータ個数を増減することで可能であるし、チャンネル幅の調整は、シフトレジスタ回路400と複数本の画像信号線115との間隔を広狭することで可能である。特に、バッファ回路500の駆動能力を決定付ける最終段インバータのチャンネル幅が調整容易であるのは、装置設計上大変有利といえる。しかも、TFTのサイズ調整にかかわらず、X方向には1段分のインバータが複数個並列接続されるから、基板領域の効率的利用とともに駆動能力の向上が図られることとなる。

30

【0052】

なお、上述したバッファ回路500では、インバータの直接段数が3段であったが、これ以外の段数として良いのはもちろんである。同様に、上述したバッファ回路500では、1段分のインバータにおける並列個数が7個であったが、これ以外の個数として良いのはもちろんである。

【0053】

ところで、サンプリング回路301を構成するサンプリングスイッチ302の具体的な構成例としては、例えば、図10(1)に示されるように、Nチャンネル型TFT302aにより構成しても良いし、同図(2)に示されるように、Pチャンネル型TFT302bにより構成しても良いし、また、同図(3)に示されるように、両者TFT302a、302bを相補型として構成しても良い。なお、図3に示される構成にあっては、図10(1)に示されるNチャンネル型TFT302aを用いた場合を想定しているため、Pチャンネル型TFTを用いる場合には、サンプリング制御信号114aに対してレベル反転させたサンプリング制御信号114bを生成する必要があり、さらに、相補型TFTを用いる場合には、サンプリング制御信号114a、114bをそれぞれ供給する信号線も必要となる。

40

【0054】

50

また、サンプリング回路301を構成する各サンプリングスイッチ302は、製造効率等の観点から好ましくは、画素部におけるTFT30と共通プロセスにより製造されるNチャンネル型TFT、または、Pチャンネル型TFT、および両者の相補型等から構成される。

【0055】

以上説明したように本実施形態によれば、バッファ回路500が、TFTアレイ基板10の領域を効率的に利用するようにレイアウトされているので、液晶装置全体の小型化や同一サイズの装置における画像表示領域の大型化が可能となるだけでなく、高ドット周波数にも対応して、高品位の画像表示が可能となる。

【0056】

<液晶装置の全体構成>

次に、上述した実施形態に係る液晶装置の全体構成について図11および図12を参照して説明する。ここで、図11は、液晶装置100の構成を示す斜視図であり、図12は、図11におけるA-A'線の断面図である。

【0057】

これらの図に示されるように、液晶装置100は、画素電極9a等が形成されたガラスや、半導体、石英などからなるTFTアレイ基板10と、対向電極23等が形成されたガラスなどの透明な対向基板20とが、スペーサSPの混入されたシール材52によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に電気光学材料としての液晶50が封入された構造となっている。なお、シール材52は、対向基板20の周辺に沿って形成されるが、液晶50を封入するために一部が開口している。このため、液晶50の封入後に、その開口部分が封止材SRによって封止されている。

【0058】

ここで、TFTアレイ基板10の対向面であって、シール材52の外側一辺においては、上述したデータ線駆動回路101やサンプリング回路301（図11および図12では省略）が形成されて、Y方向に延在するデータ線6aを駆動する構成となっている。さらに、この一辺には複数の外部回路接続端子102が形成されて、外部回路によってシリアル-パラレル変換された画像信号VID1~VID12などの各種信号を入力する構成となっている。また、この一辺に隣接する2辺には、2個の走査線駆動回路104が形成されて、X方向に延在する走査線3aをそれぞれ両側から駆動する構成となっている。なお、走査線3aに供給される走査信号の遅延が問題にならないのであれば、走査線駆動回路104を片側1個だけに形成する構成でも良い。ほかに、TFTアレイ基板10においては、データ線6aへの画像信号の書込負荷を低減するため、各データ線6aを、画像信号のサンプリングに先行するタイミングにおいて、所定電位にプリチャージするプリチャージ回路を形成しても良い。

【0059】

一方、対向基板の対向電極23は、貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材によって、TFTアレイ基板10との電氣的導通が図られている。ほかに、対向基板20には、液晶装置100の用途に応じて、例えば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例えば、クロムやニッケルなどの金属材料や、カーボンやチタンなどをフォトレジストに分散した樹脂ブラックなどの遮光膜が設けられる。なお、色光変調の用途の場合には、カラーフィルタは形成されずに遮光膜が対向基板20に設けられる。また、必要に応じて液晶装置10に光を照射するバックライトが、いずれか一方の基板の背面側に設けられる。

【0060】

くわえて、TFTアレイ基板10および対向基板20の対向面には、それぞれ所定の方向にラビング処理された配向膜（図示省略）などが設けられる一方、その各背面側には配向方向に応じた偏光板（図示省略）がそれぞれ設けられる。ただし、液晶50として、高

10

20

30

40

50

分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光板などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0061】

なお、駆動回路200等の周辺回路の一部または全部を、TFTアレイ基板10に形成する替わりに、例えば、TAB (Tape Automated Bonding) 技術を用いてフィルムに実装された駆動用ICチップを、TFTアレイ基板10の所定位置に設けられる異方性導電フィルムを介して電気的および機械的に接続する構成としても良いし、駆動用ICチップ自体を、COG (Chip On Glass) 技術を用いて、TFTアレイ基板10の所定位置に異方性導電フィルムを介して電気的および機械的に接続する構成としても良いが、上述したよ

10

【0062】

<その他>

また、実施形態においては、液晶装置を構成するTFTアレイ基板10として、ガラス等の透明な絶縁性基板を用いて、当該基板上にシリコン薄膜を形成するとともに、当該薄膜上にソース、ドレイン、チャンネルが形成されたTFTによって、画素のスイッチング素子(TFT30)や駆動回路200を構成するTFTを形成するものとして説明したが、本発明はこれに限られるものではない。

【0063】

例えば、TFTアレイ基板10を半導体基板により構成して、当該半導体基板の表面にソース、ドレイン、チャンネルが形成された絶縁ゲート型電界効果トランジスタによって、画素のスイッチング素子や駆動回路200の構成素子を形成しても良い。このようにTFTアレイ基板10として半導体基板を用いる場合には、透過型として用いることができないため、画素電極9aをアルミニウムなどで形成して、反射型として用いられることとなる。また、TFTアレイ基板10を透明基板として、単に、画素電極9aにアルミニウムなどで形成して反射型としても良い。

20

【0064】

さらに、上述した実施形態にあつては、画素のスイッチング素子を、TFTで代表される3端子素子として説明したが、ダイオード等の2端子素子で構成しても良い。ただし、画素のスイッチング素子として2端子素子を用いる場合には、走査線3aを一方の基板に形成し、データ線6aを他方の基板に形成するとともに、2端子素子を、走査線3aまたはデータ線6aのいずれか一方と、画素電極9aとの間に形成する必要がある。この場合、画素は、二端子素子が接続される画素電極9aと、対向基板20に形成される信号線(データ線6aまたは走査線3aの一方)と、これらの間に挟持される液晶50とから構成されることとなる。

30

【0065】

また、アクティブマトリクス型液晶装置に限られず、STN (Super Twisted Nematic) 液晶などを用いたパッシブ型にも適用可能である。この場合、画素は、電極として作用する走査線3aと、同じく電極として作用するデータ線6aと、これら電極間に挟持される液晶50とから構成されることとなる。

40

【0066】

さらに、電気光学材料としては、液晶のほかに、エレクトロルミネッセンス素子などを用いて、その電気光学効果により表示を行う表示装置に適用可能である。すなわち、本発明は、上述した液晶装置と類似の構成を有するすべての電気光学装置に適用可能である。

【0067】

<電子機器>

次に、上述した液晶装置を各種の電子機器に適用される場合について説明する。この場合、電子機器は、図13に示されるように、主に、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、液晶装置100、クロック発生回路1008並びに

50

電源回路1010を備えて構成されている。このうち、表示情報出力源1000は、ROM(Read Only Memory)、RAM(Random Access Memory)などのメモリや、光ディスク装置などのストレージユニット、画像信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力するものである。また、表示情報処理回路1002は、上述したシリアル-パラレル変換回路や、増幅・極性反転回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKとともに駆動回路1004に出力するものである。駆動回路1004は、液晶装置100を駆動するものであり、上述した駆動回路200のほか、製造後の検査に用いる検査回路などを含んだものである。電源回路1010は、上述の各回路に所定の電源を供給するものである。

10

【0068】

次に、上述した液晶装置を具体的な電子機器に用いた例のいくつかについて説明する。

【0069】**<その1：プロジェクタ>**

まず、この液晶装置100をライトバルブとして用いたプロジェクタについて説明する。図14は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、内部に配置された3枚のミラー1106および2枚のダイクロイックミラー1108によってRGBの3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。

20

【0070】

ここで、ライトバルブ100R、100Gおよび100Bの構成は、上述した液晶装置100と同様であり、画像信号処理回路(図示省略)から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。また、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ1122、リレーレンズ1123および出射レンズ1124からなるリレーレンズ系1121を介して導かれる。

【0071】

さて、ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム1112に3方向から入射される。このダイクロイックプリズム1112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン1120にカラー画像が投射されることとなる。

30

【0072】

なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー1108によって、R、G、Bの各原色に対応する光が入射するので、上述したようにカラーフィルタを設ける必要はない。

【0073】**<その2：モバイル型コンピュータ>**

次に、この液晶装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図15は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示ユニット1206とから構成されている。この液晶表示ユニット1206は、先に述べた液晶装置100の背面にバックライトを付加することにより構成されている。

40

【0074】

なお、電子機器としては、図14および図15を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、携帯電話、テ

50

レビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、実施形態の液晶装置、さらには電気光学装置が適用可能なのは言うまでもない。

【図面の簡単な説明】

【0075】

【図1】本発明の実施形態に係る液晶装置を構成するTFTアレイ基板のうち、画像表示領域の構成を示す等価回路図である。

【図2】同液晶装置におけるTFTアレイ基板の構成を示すブロック図である。

【図3】同液晶装置におけるデータ線駆動回路の詳細構成を示すブロック図である。

【図4】同液晶装置におけるデータ線駆動回路の動作を説明するためのタイミングチャートである。 10

【図5】同液晶装置におけるデータ線駆動回路のレイアウトを示す平面図である。

【図6】同液晶装置におけるバッファ回路のレイアウトを示す平面図である。

【図7】同液晶装置におけるバッファ回路の詳細構成を示す回路図である。

【図8】同液晶装置におけるバッファ回路の詳細構成を示すブロック図である。

【図9】同液晶装置におけるバッファ回路の配置を示すブロック図である。

【図10】(1)~(3)は、それぞれ同液晶装置におけるサンプリング回路のスイッチ構成を示す回路図である。

【図11】同液晶装置の構造を示す斜視図である。

【図12】同液晶装置の構造を説明するための一部断面図である。 20

【図13】同液晶装置を適用した電子機器の概略構成を示すブロック図である。

【図14】同液晶装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

【図15】同液晶装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

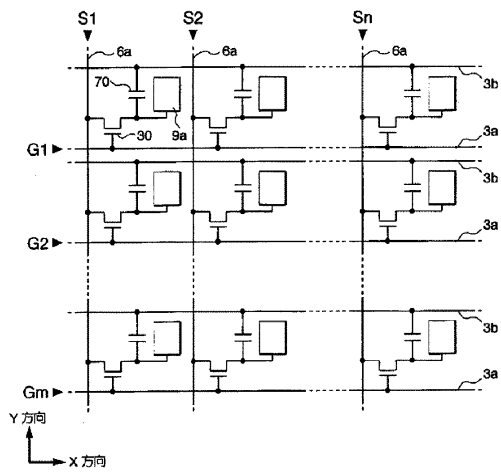
【符号の説明】

【0076】

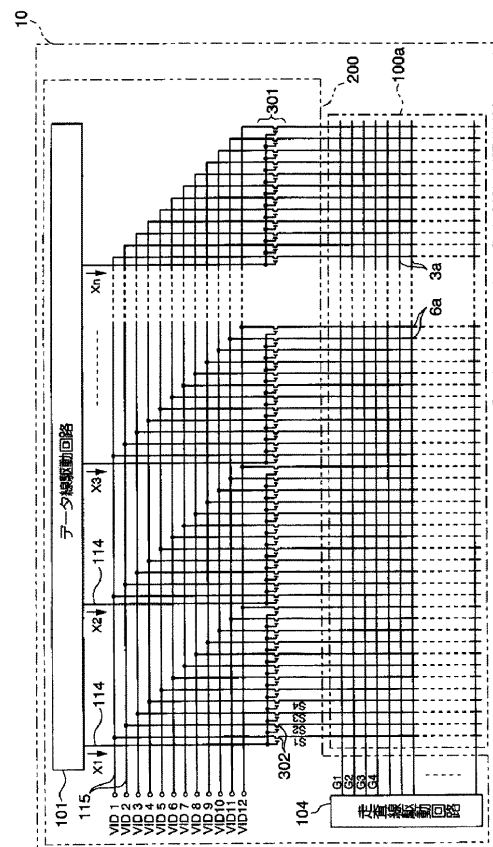
- 3 a ... 走査線
- 3 b ... 容量線
- 6 a ... データ線 30
- 9 a ... 画素電極
- 10 ... TFTアレイ基板
- 20 ... 対向基板
- 30 ... TFT
- 50 ... 液晶
- 52 ... シール材
- 70 ... 蓄積容量
- 101 ... データ線駆動回路
- 104 ... 走査線駆動回路
- 114 ... サンプリング制御信号線 40
- 115 ... 画像信号線
- 301 ... サンプリング回路
- 302 ... サンプリングスイッチ
- 400 ... シフトレジスタ回路
- 401 ... ラッチ回路
- 402 ... 位相調整回路
- 403 ... NAND回路
- 500 ... バッファ回路
- 501 ... インバータ(1段目)
- 502 ... インバータ(2段目) 50

- 5 0 3 ... インバータ (3 段目)
- 6 0 1 ... 高電圧配線
- 6 0 2 ... 低電圧配線

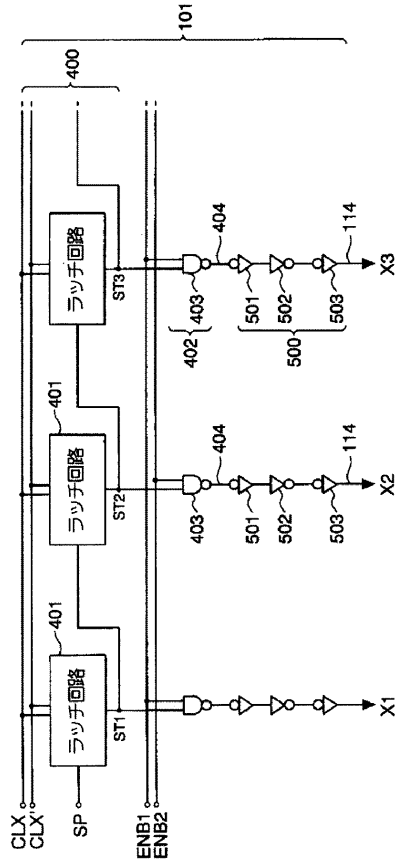
【 図 1 】



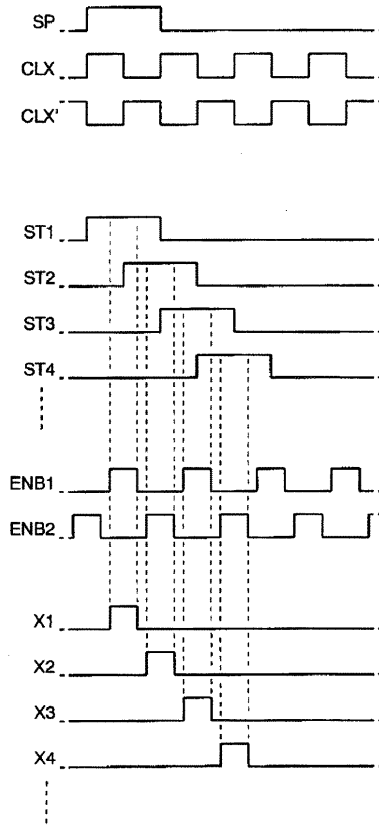
【 図 2 】



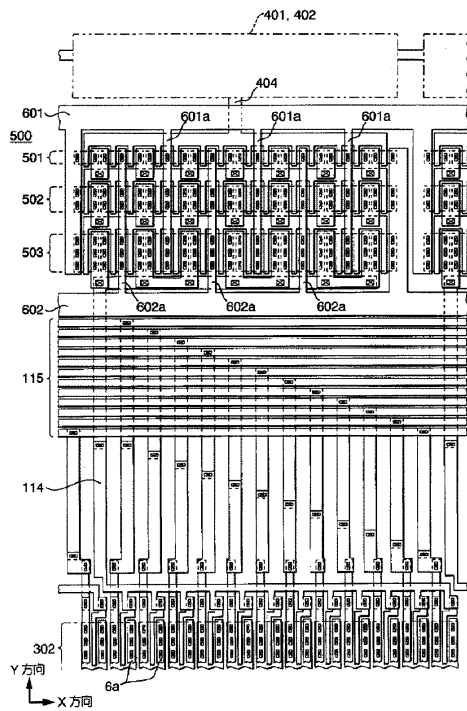
【 図 3 】



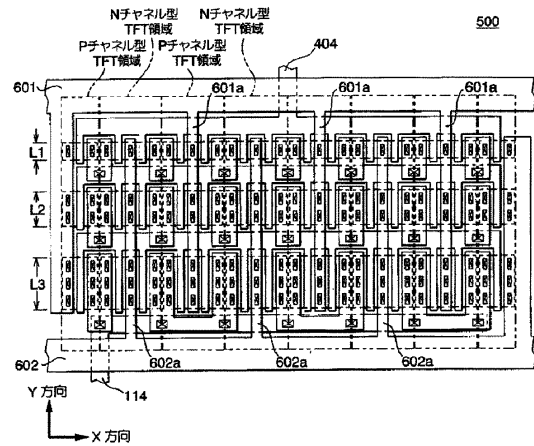
【 図 4 】



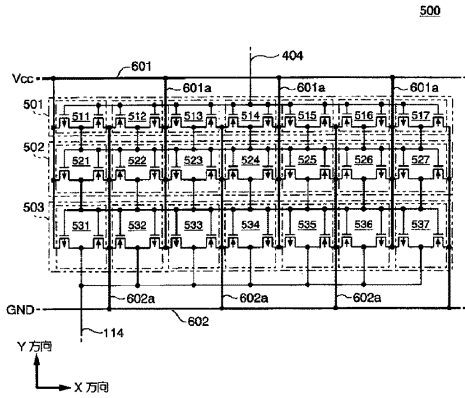
【 図 5 】



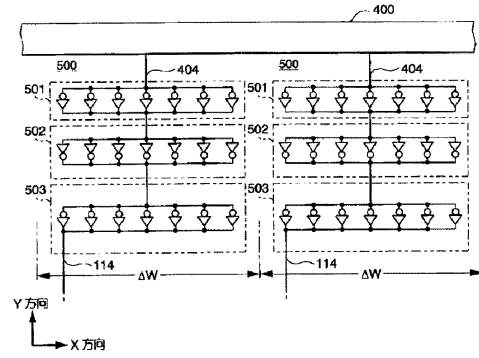
【 図 6 】



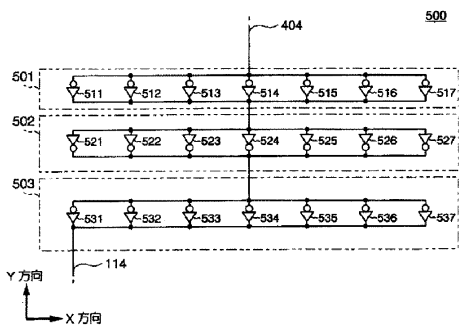
【図7】



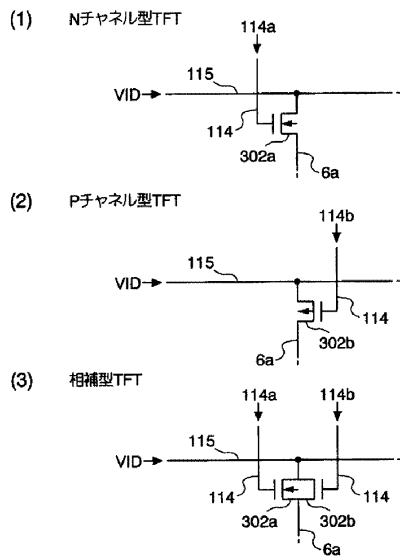
【図9】



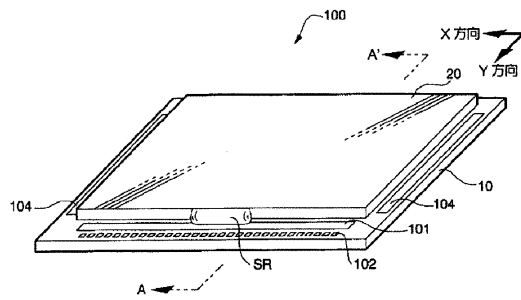
【図8】



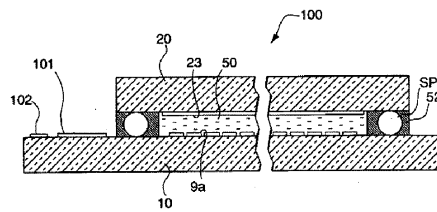
【図10】



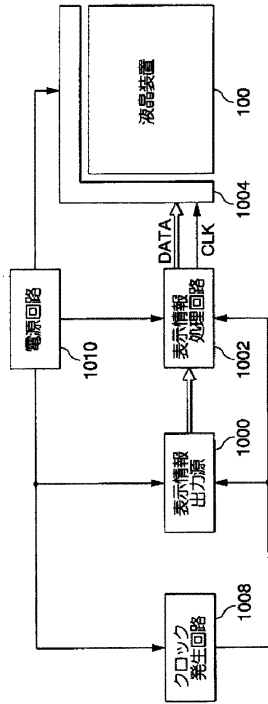
【図11】



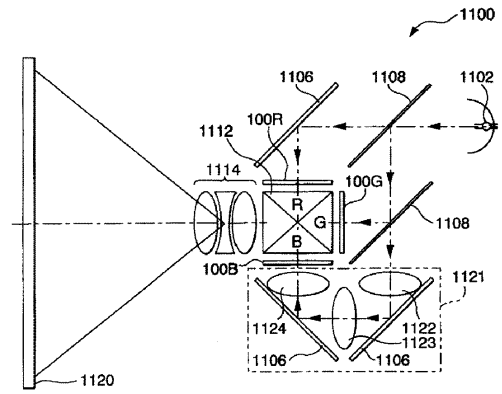
【図12】



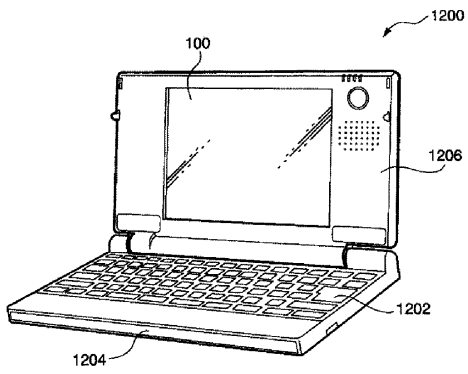
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G 3/20 6 2 3 M

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/20 6 8 0 G

(56) 参考文献 特開平 0 8 - 1 2 2 7 4 8 (J P , A)

特開平 0 9 - 0 3 6 7 3 0 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3