

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-151487  
(P2009-151487A)

(43) 公開日 平成21年7月9日(2009.7.9)

(51) Int. Cl.  
G06F 13/28 (2006.01)

F I  
G06F 13/28 310H

テーマコード (参考)  
5B061

審査請求 未請求 請求項の数 10 O L (全 18 頁)

(21) 出願番号 特願2007-327888 (P2007-327888)  
(22) 出願日 平成19年12月19日 (2007.12.19)

(71) 出願人 00005821  
パナソニック株式会社  
大阪府門真市大字門真1006番地  
(74) 代理人 100077931  
弁理士 前田 弘  
(74) 代理人 100110939  
弁理士 竹内 宏  
(74) 代理人 100110940  
弁理士 嶋田 高久  
(74) 代理人 100113262  
弁理士 竹内 祐二  
(74) 代理人 100115059  
弁理士 今江 克実  
(74) 代理人 100115691  
弁理士 藤田 篤史

最終頁に続く

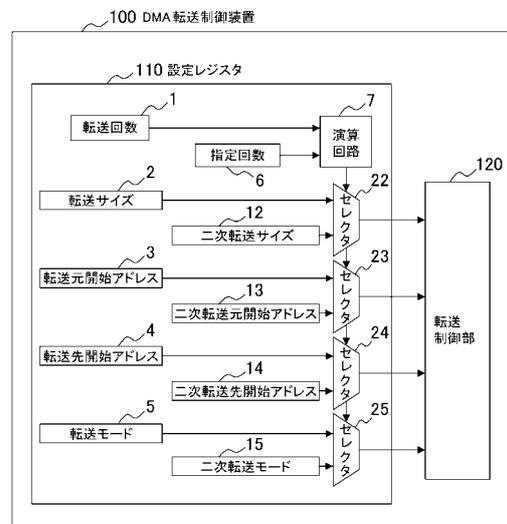
(54) 【発明の名称】 DMA転送制御装置及びデータ転送装置

(57) 【要約】

【課題】DMA転送制御装置において、1回のDMA転送設定で一時的な転送内容の変更を可能とする。

【解決手段】DMA転送制御装置は、転送内容を設定するための設定レジスタ群2～5と、転送実施回数を設定し且つ1回のDMA転送完了毎に値を更新する転送回数レジスタ1と、転送制御部120とを備える。更に、前記DMA転送制御装置は、前記転送内容とは異なる他の転送内容を設定するための二次設定レジスタ群12～15と、指定回数レジスタ6とを備える。1回のDMA転送を開始する毎に、前記転送回数レジスタ1の値と前記指定回数レジスタ6の値との演算結果に従って、前記設定レジスタ群2～5と前記二次設定レジスタ群12～15との何れかの値を、各転送内容毎に選択して転送制御部120に入力する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

転送内容を設定するための設定レジスタ群と、  
転送実施回数を設定し且つDMA転送完了毎に値を更新する転送回数レジスタと、  
転送制御部とを備えたDMA転送制御装置であって、  
前記転送内容とは異なる他の転送内容を設定するための二次設定レジスタ群と、  
指定回数レジスタとを備え、  
DMA転送を開始する毎に、前記転送回数レジスタの値と前記指定回数レジスタの値との演算結果に従って、前記設定レジスタ群と前記二次設定レジスタ群の何れかの値が、各転送内容毎に選択されて前記転送制御部に入力される  
ことを特徴とするDMA転送制御装置。

10

**【請求項 2】**

前記請求項 1 記載のDMA転送制御装置において、  
前記指定回数レジスタ及び二次設定レジスタ群は、各々、複数設けられ、  
前記転送回数レジスタの値と前記複数の指定回数レジスタの値との演算結果に従って、  
前記設定レジスタ群と前記複数の二次設定レジスタ群の何れかの値が、  
各転送内容毎に選択される  
ことを特徴とするDMA転送制御装置。

**【請求項 3】**

前記請求項 1 又は 2 記載のDMA転送制御装置において、  
転送サイズ、転送元開始アドレス、転送先開始アドレス、転送モードの一部又は全部が  
前記設定レジスタ群に格納される  
ことを特徴とするDMA転送制御装置。

20

**【請求項 4】**

前記請求項 1 又は 2 記載のDMA転送制御装置において、  
前記転送回数レジスタと前記指定回数レジスタとの値の一致を前記演算で行う  
ことを特徴とするDMA転送制御装置。

**【請求項 5】**

前記請求項 1 又は 2 記載のDMA転送制御装置において、  
前記転送回数レジスタの一部のビットと前記指定回数レジスタの値とを前記演算に用い  
る  
ことを特徴とするDMA転送制御装置。

30

**【請求項 6】**

前記請求項 1 又は 2 記載のDMA転送制御装置において、  
前記演算内容を決定するための演算レジスタを有する  
ことを特徴とするDMA転送制御装置。

**【請求項 7】**

前記請求項 1 記載のDMA転送制御装置において、  
前記設定レジスタ群、前記転送回数レジスタ、及び指定回数レジスタを、各々、複数チャネル有し、  
チャネル毎に、使用する設定レジスタ群、転送回数レジスタ及び指定回数レジスタを切り替える  
ことを特徴とするDMA転送制御装置。

40

**【請求項 8】**

前記請求項 7 記載のDMA転送制御装置において、  
チャネル毎に、前記演算を実施するか、その演算を実施せずに前記設定レジスタ群の該当するチャネルの値を使用するかを制御する  
ことを特徴とするDMA転送制御装置。

**【請求項 9】**

前記請求項 1 記載のDMA転送制御装置において、

50

前記二次設定レジスタ群は、二次転送サイズレジスタを有し、  
 前記転送回数レジスタの値が最後のDMA転送でない場合には、前記設定レジスタ群の  
 前記転送サイズレジスタの値を前記転送制御部に入力し、一方、  
 前記転送回数レジスタの値が最後のDMA転送となる場合には、前記二次転送サイズレ  
 ジスタの値を前記転送制御部に入力する  
 ことを特徴とするDMA転送制御装置。

【請求項10】

前記請求項1～9の何れかに記載のDMA転送制御装置と、  
 前記DMA転送制御装置の転送元又は転送先としての周辺デバイスとを備えた  
 ことを特徴とするデータ転送装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デバイス間でデータを転送するDMA転送制御装置に関する。

【背景技術】

【0002】

従来、CPUを経由させずにデータ転送を転送デバイス間で直接行うDMA転送方法が  
 広く知られており、メモリ同士のデータ転送を両メモリ間で直接行う等において使われて  
 いる。

【0003】

20

DMA転送では、データ転送元開始アドレス、データ転送先開始アドレス、データ転送  
 サイズ等の転送に必要な情報をDMA転送制御装置のレジスタ等に設定し、その後、CPU  
 等が転送開始を制御することにより、転送動作を実行する。転送時にはCPUによる転  
 送制御の必要はないため、CPUを経由する場合に比べて高速にデータ転送を行うことが  
 でき、また、CPUの負担を減らすことができる。レジスタ等に設定された転送サイズだ  
 け転送が完了すれば、DMA転送制御装置の設定によって、DMA転送終了割り込みをア  
 サートする。CPUは、DMA転送終了割り込みを検知すると、DMA転送制御装置のレ  
 ジスタ等を読み込んで、DMA転送の結果やステータスを監視する。

【0004】

DMA転送の使い方として、複数の転送要求が送られて、同じ内容の転送又は続きの  
 アドレスからの転送を複数回DMA転送する場合が多い。例えば、周辺デバイスからメモ  
 リにデータを転送する場合、周辺デバイスの持つFIFOに蓄積されるデータ量を見て転  
 送要求が発生し、それに応じてDMA転送が行われる。この処理を、決められた総転送数  
 分実施する。

30

【0005】

前記の構成において、一回のDMA転送完了毎にCPUに割り込みを発生させていると  
 、その都度転送内容を設定する必要があり、転送効率が悪くなる。また、DMA転送制  
 御装置に転送内容を再設定してDMA転送する前に、FIFOのデータが蓄積されてしま  
 うと、FIFOがオーバーフローを起こして、システムとして不具合が生じてしまう。

【0006】

40

このような課題に対し、従来、特許文献1に記載されたDMA転送制御装置がある。こ  
 のDMA転送制御装置では、転送回数レジスタに設定した回数だけDMA転送を繰り返す  
 。具体的には、図11に示すように、1回のDMA転送要求に対するデータ転送回数を設  
 定するためのCYCレジスタ60と、データ転送を行った回数を計数するCYCカウンタ  
 61と、CYCレジスタ60に保持されている回数だけデータ転送を行う毎に、保持して  
 いる値を更新するTRNカウンタ52とを設け、TRNカウンタ62が所定値になるまで  
 前記の動作を繰り返してデータ転送を行っている。

【特許文献1】特開2002-73527号公報

【発明の開示】

【発明が解決しようとする課題】

50

## 【 0 0 0 7 】

しかしながら、前記従来 of 転送制御装置では、DMA の総転送量は、CYC レジスタ 60 の設定値 (A) × TRN カウンタ 62 の設定値 (B) となるが、転送させたい DMA の総転送量が (A) の整数倍であるとは限らないため、(A) × (B) に合わず、端数が生じる場合がある。この時の転送方法として、以下の幾つかの方法が考えられる。

## 【 0 0 0 8 】

1. (A) × (B) の転送完了後に CPU に割り込みを出して、再び端数分の転送を行うように設定して実行する。

## 【 0 0 0 9 】

2. 端数に合わせて転送データ量を小さくするよう設定値を変更し、(A') × (B') とする。

10

## 【 0 0 1 0 】

3. ダミー転送を混ぜて、(A) × (B) の大きさになるよう調整する。

## 【 0 0 1 1 】

しかし、前記各々の方法では、デメリットも発生する。例えば、前記 1. では、端数以外の転送を実施した後に、再度端数転送用の設定をする必要があり、ソフト設定の手間が発生する。また、前記 2. では、一度の DMA 転送要求で転送できるデータ量が小さくなるため、やはり転送が遅くなってしまふ。また必要な転送速度に足らなくなり、データがあふれて取り込めない場合が発生することもある。更に、前記 3. では、ダミー転送により必要なデータが上書きされてしまう場合もある。

20

## 【 0 0 1 2 】

また、前記従来技術では、各 DMA 転送要求により行う DMA 転送に用いる設定レジスタは毎回同じであり、転送元開始アドレスや転送先開始アドレス等も固定又は前回の続きとなるため、一時的に転送量を調整したい場合や転送アドレスを変更したい場合において、柔軟な設定変更ができない。

## 【 0 0 1 3 】

本発明の目的は、前記で述べたデメリットがなく、端数を含む様々な転送の実現など、柔軟に設定内容を変更できるようにし、より高度な DMA 転送制御装置を提供することにある。

## 【課題を解決するための手段】

30

## 【 0 0 1 4 】

前記目的を達成するため、本発明では、変更したい転送内容を設定する二次設定レジスタを設け、元々の転送内容とこの変更したい転送内容とを転送回数に応じて適宜変更可能な構成を採用する。

## 【 0 0 1 5 】

具体的に、請求項 1 記載の発明の DMA 転送制御装置は、転送内容を設定するための設定レジスタ群と、転送実施回数を設定し且つ DMA 転送完了毎に値を更新する転送回数レジスタと、転送制御部とを備えた DMA 転送制御装置であって、前記転送内容とは異なる他の転送内容を設定するための二次設定レジスタ群と、指定回数レジスタとを備え、DMA 転送を開始する毎に、前記転送回数レジスタの値と前記指定回数レジスタの値との演算結果に従って、前記設定レジスタ群と前記二次設定レジスタ群の何れかの値が、各転送内容毎に選択されて前記転送制御部に入力されることを特徴とする。

40

## 【 0 0 1 6 】

従って、請求項 1 記載の発明の DMA 転送制御装置では、DMA 転送を始める際には、各種レジスタに値を設定し、その後、転送要求によって DMA 転送を開始する際には、先ず、現在の転送回数レジスタの値と指定回数レジスタを用いて演算を行い、その結果によって、設定レジスタ群又は二次設定レジスタ群かを選択し、レジスタの値を転送制御部へ入力する。選択する内容は、転送元開始アドレス、転送先開始アドレス、転送サイズ、転送モードなどの各転送内容毎に異なっても良い。そして、1 回の DMA 転送が完了すれば、転送回数レジスタの値を更新し、再び演算を行って次の DMA 転送時に使用するた

50

めのレジスタの値を決定する。転送回数レジスタが0などの所定値に達すれば、DMA転送を完了させてCPUに割り込みを出力する。よって、ある特定の転送回数においてのみ転送内容の設定を変更することが、1回のDMA転送設定のみで可能となる。

【0017】

請求項2記載の発明は、前記請求項1記載のDMA転送制御装置において、前記指定回数レジスタ及び二次設定レジスタ群は、各々、複数設けられ、前記転送回数レジスタの値と前記複数の指定回数レジスタの値との演算結果に従って、前記設定レジスタ群と前記複数の二次設定レジスタ群の何れかの値が、各転送内容毎に選択されることを特徴とする。

【0018】

従って、請求項2記載の発明のDMA転送制御装置では、複数の指定回数において、その各々で異なる転送内容に設定を変更することが、1回のDMA転送設定のみで可能となる。

10

【0019】

請求項3記載の発明は、前記請求項1又は2記載のDMA転送制御装置において、転送サイズ、転送元開始アドレス、転送先開始アドレス、転送モードの一部又は全部が前記設定レジスタ群に格納されることを特徴とする。

【0020】

従って、請求項3記載の発明のDMA転送制御装置では、転送サイズ、転送元開始アドレス、転送先開始アドレスを入れ替えることにより、総転送数が転送サイズの整数倍とならない場合の転送や、複数アドレスからのデータマージや、複数アドレスへのデータ分散が1回のDMA設定のみで可能となる。また、ある転送回数での転送モードを転送元開始アドレス固定とすることにより、特定アドレスのデータを再取得して転送先開始アドレスに転送すること等が、1回のDMA設定のみで可能となる。

20

【0021】

請求項4記載の発明は、前記請求項1又は2記載のDMA転送制御装置において、前記転送回数レジスタと前記指定回数レジスタとの値の一致を前記演算で行うことを特徴とする。

【0022】

従って、請求項4記載の発明のDMA転送制御装置では、容易に所望の転送回数において転送設定を変更できる。

30

【0023】

請求項5記載の発明は、前記請求項1又は2記載のDMA転送制御装置において、前記転送回数レジスタの一部のビットと前記指定回数レジスタの値とを前記演算に用いることを特徴とする。

【0024】

従って、請求項5記載の発明のDMA転送制御装置では、演算結果を周期的に変化させることが可能となる。

【0025】

請求項6記載の発明は、前記請求項1又は2記載のDMA転送制御装置において、前記演算内容を決定するための演算レジスタを有することを特徴とする。

40

【0026】

従って、請求項6記載の発明のDMA転送制御装置では、演算内容を転送途中で変更したり、チャンネル毎に演算内容を変えることが可能となる。

【0027】

請求項7記載の発明は、前記請求項1記載のDMA転送制御装置において、前記設定レジスタ群、前記転送回数レジスタ、及び指定回数レジスタを、各々、複数チャンネル有し、チャンネル毎に、使用する設定レジスタ群、転送回数レジスタ及び指定回数レジスタを切り替えることを特徴とする。

【0028】

従って、請求項7記載の発明のDMA転送制御装置では、指定回数レジスタや二次設定

50

レジスタ群を、複数のチャンネル間で共用使用することができる。

【 0 0 2 9 】

請求項 8 記載の発明は、前記請求項 7 記載の D M A 転送制御装置において、チャンネル毎に、前記演算を実施するか、その演算を実施せずに前記設定レジスタ群の該当するチャンネルの値を使用するかを制御することを特徴とする。

【 0 0 3 0 】

従って、請求項 8 記載の発明の D M A 転送制御装置では、特定のチャンネルのみ設定内容の変更を実施することが可能となる。

【 0 0 3 1 】

請求項 9 記載の発明は、前記請求項 1 記載の D M A 転送制御装置において、前記二次設定レジスタ群は、二次転送サイズレジスタを有し、前記転送回数レジスタの値が最後の D M A 転送でない場合には、前記設定レジスタ群の前記転送サイズレジスタの値を前記転送制御部に入力し、一方、前記転送回数レジスタの値が最後の D M A 転送となる場合には、前記二次転送サイズレジスタの値を前記転送制御部に入力することを特徴とする。

10

【 0 0 3 2 】

従って、請求項 9 記載の発明の D M A 転送制御装置では、転送サイズレジスタの値の端数を二次転送サイズレジスタに設定することにより、総転送数が転送サイズの整数倍とならない場合の転送が 1 回の D M A 転送設定で可能となり、また二次転送レジスタ群を用いるための演算も容易となる。

【 0 0 3 3 】

20

請求項 1 0 記載の発明のデータ転送装置は、前記請求項 1 ~ 9 の何れかに記載の D M A 転送制御装置と、前記 D M A 転送制御装置の転送元又は転送先としての周辺デバイスとを備えたことを特徴とする。

【 0 0 3 4 】

従って、請求項 1 0 記載の発明のデータ転送装置では、周辺デバイスの設定によって 1 回の D M A 転送における転送サイズの値が決定されるが、総転送数は転送サイズの値の整数倍とならないような D M A 転送においても、1 回の D M A 転送設定で可能となる。

【 発明の効果 】

【 0 0 3 5 】

以上説明したように、請求項 1 ~ 1 0 記載の発明の D M A 転送制御装置によれば、1 つ以上の特定の転送回数においてのみ転送内容を変更することを容易に可能としたので、総転送数が転送サイズの整数倍とならない場合や、複数アドレスからのデータマージや、複数アドレスへのデータ分散などの複雑なデータ転送が、1 回の D M A 設定のみで可能となる効果を奏する。

30

【 発明を実施するための最良の形態 】

【 0 0 3 6 】

以下、本発明の D M A 転送制御装置の実施形態を図面に基づいて説明する。尚、本発明の実施形態において使用される手法、構成は一例であり、本発明はこれらに限定されるものでない。

【 0 0 3 7 】

40

( 実施形態 1 )

図 1 は、本発明の実施形態 1 における D M A 転送制御装置 1 0 0 の概略構成を示すブロック図である。

【 0 0 3 8 】

図 1 において、1 1 0 は転送情報を格納する設定レジスタ、1 2 0 は設定レジスタ 1 1 0 より入力される情報を元にデータ転送を制御する転送制御部である。

【 0 0 3 9 】

前記設定レジスタ 1 1 0 内には、転送回数レジスタ 1、転送サイズレジスタ 2、転送元開始アドレスレジスタ 3、転送先開始アドレスレジスタ 4、転送モードレジスタ 5 の 5 個のレジスタがあり、これ等のレジスタに格納されている転送回数、転送サイズ、転送元開

50

始アドレス、転送先開始アドレス、転送モードは基本転送情報である。尚、これ等の基本転送情報についても、説明に便宜上、それ等を格納するレジスタと同一番号を付しておく。

#### 【0040】

また、前記設定レジスタ110内には、何回数目であるかを指定する指定回数レジスタ6と、前記転送回数1と指定回数6とを入力して演算する演算回路7が備えられる。更に、設定レジスタ110内には、他に、二次的な転送情報の格納レジスタとして、二次転送サイズレジスタ12、二次転送元開始アドレスレジスタ13、二次転送先開始アドレスレジスタ14、二次転送モードレジスタ15の4個のレジスタが備えられる。これ等のレジスタに格納されている二次的な転送情報（二次転送サイズ、二次転送元開始アドレス、二次転送先開始アドレス、二次転送モード）や前記指定回数についても、以下、それ等を格納するレジスタと同一番号を付して説明する。

10

#### 【0041】

更に、図1において、22は、演算回路7の出力により、転送サイズ2か二次転送サイズ12の何れかを選択して転送制御部120に出力するセレクタ、23は、演算回路7の出力により、転送元開始アドレス3か二次転送元開始アドレス13の何れかを選択して転送制御部120に出力するセレクタ、24は演算回路7の出力により、転送先開始アドレス4か二次転送先開始アドレス14の何れかを選択して転送制御部120に出力するセレクタ、25は演算回路7の出力により、転送モード5か二次転送モード15の何れかを選択して転送制御部120に出力するセレクタである。

20

#### 【0042】

尚、転送に必要な情報を格納している設定レジスタ110が有している各種レジスタについては、これ等に限るものではなく、例えば、外部端子より転送情報が入力される等、異なる方法により転送情報を与えるように構成しても構わない。また、転送で選択される基本的な転送情報は前記に限らず、転送先連続領域サイズ、転送元データ幅、転送先データ幅など、高度な転送を行うために必要な追加情報も含まれる。

#### 【0043】

次に、前記のように構成された本実施形態のDMA転送制御装置の動作を説明する。

#### 【0044】

DMA転送を開始する前に、設定レジスタ110にある各種レジスタに値を設定する。転送回数レジスタ1には、転送制御部120にてDMA転送する回数を設定する。転送制御部120にて実際にDMA転送する内容を、基本転送情報（転送サイズ2、転送元開始アドレス3、転送先開始アドレス4、転送モード5）に設定し、一時的に変更したい転送情報を二次転送情報（二次転送サイズ12、二次転送元開始アドレス13、二次転送先開始アドレス14、二次転送モード15）に設定する。

30

#### 【0045】

また、指定回数レジスタ6には、二次転送情報（二次転送サイズ12、二次転送元開始アドレス13、二次転送先開始アドレス14、二次転送モード15）によって転送したい転送回数（何番目の転送回数目を示す値）を設定する。

#### 【0046】

DMA転送要求が来てDMA転送が開始されると、設定レジスタ110より転送制御部120へ必要な情報を送るが、この際に、演算回路7にて転送回数1と指定回数6との比較を行う。比較した結果が一致しない場合、セレクタ22～25では、基本転送情報（転送サイズ2、転送元開始アドレス3、転送先開始アドレス4、転送モード5）を選択し、転送制御部120に出力する。一方、一致した場合は、セレクタ22～25では、二次転送情報（二次転送サイズ12、二次転送元開始アドレス13、二次転送先開始アドレス14、二次転送モード15）を選択し、転送制御部120に出力する。

40

#### 【0047】

尚、この際、全ての転送情報において二次転送情報を用いる必要はなく、セレクタ22～25では各々異なる選択をして、基本転送情報と二次転送情報とを混在させても良い。

50

## 【 0 0 4 8 】

転送制御部 1 2 0 では、得られた転送情報の内容で D M A 転送を行う。D M A 転送が完了すると、設定レジスタ 1 1 0 に通知し、転送回数 1 を 1 減算する。また必要に応じて、転送元開始アドレス 3、転送先開始アドレス 4 を更新する。次の D M A 転送要求が入力された際には、再び転送回数 1 と指定回数 6 とを比較し、転送制御部 1 2 0 に入力する転送情報を決定する。転送回数 1 が 0 回となったら、終了割込みを出力して C P U に通知し、全転送完了となる。

## 【 0 0 4 9 】

尚、これらの説明はあくまで一例であって限定されるものではない。例えば、終了割込みについては、割込みという形態である必要はなく、D M A 転送制御装置内のレジスタをポーリングするなどの異なる方法であっても構わない。また、D M A 転送要求が別の制御で行われたり、D M A 転送要求を必要としない制御であっても構わない。

10

## 【 0 0 5 0 】

前記の構成により、本実施形態では、演算回路 7 の結果によって、基本転送情報でなく二次転送情報を用いて D M A 転送できるので、一時的な転送情報の柔軟な設定変更が、1 回の D M A 転送設定のみで可能となる。

## 【 0 0 5 1 】

また、演算回路 7 で転送回数 1 と指定回数 6 との比較一致を演算することにより、指定回数にて設定した転送回数においてのみ、転送情報を変更することが容易に可能となる。

## 【 0 0 5 2 】

20

( 実施形態 2 )

図 2 は、本発明の実施形態 2 における D M A 転送制御装置 1 0 0 の概略構成を示すブロック図である。

## 【 0 0 5 3 】

本実施形態の D M A 転送制御装置 1 0 0 の構成については、前記実施形態 1 の図 1 の構成に加えて、演算回路 7 における演算を指定する演算内容レジスタ 2 6 を持ち、また、指定回数 6 と二次転送情報 ( 二次転送サイズ 1 2、二次転送元開始アドレス 1 3、二次転送先開始アドレス 1 4、二次転送モード 1 5 ) を各々 m 個分備えている。

## 【 0 0 5 4 】

次に、前記のように構成された本実施形態の D M A 転送制御装置の動作を説明する。

30

## 【 0 0 5 5 】

指定回数レジスタ 6 では、1 ~ m の複数の指定回数を演算回路 7 に入力する。

## 【 0 0 5 6 】

演算回路 7 では、演算内容レジスタ 2 6 において設定された演算内容に基づき、入力された複数の指定回数 6 を参考にして、演算される。尚、演算回路 7 の出力は、真か偽のみではなく、複数ビット幅を持った結果を持つことができる。

## 【 0 0 5 7 】

セレクタ 2 2 ~ 2 5 では、この演算回路 7 の出力に応じて、実行チャネルの基本転送情報 ( 転送サイズ 2、転送元開始アドレス 3、転送先開始アドレス 4、転送モード 5 ) 又は二次転送情報 ( 二次転送サイズ 1 2、二次転送元開始アドレス 1 3、二次転送先開始アドレス 1 4、二次転送モード 1 5 ) の 1 ~ m の何れかを選択し、転送制御部 1 2 0 に出力する。

40

## 【 0 0 5 8 】

尚、これらの説明はあくまで一例であって限定されるものではない。例えば、保有するレジスタの数が転送情報毎に異なっても構わない。また、セレクタ 2 2 ~ 2 5 では、各々異なる構成を持つことにより、基本転送情報や 1 ~ m の複数の二次転送情報を混在させても構わない。その他の動作については、実施形態 1 と同様である。

## 【 0 0 5 9 】

前記の構成により、本実施形態では、複数の転送回数に応じて、使用する二次転送情報を変更し、それぞれ異なる転送情報に一時的に変更することが、1 回の D M A 転送設定の

50

みで可能となる。尚、演算情報の変更は、転送回数 1 の変化など、他の要因を参照して変更することも可能である。

【 0 0 6 0 】

また、転送回数 1 と複数の指定回数 6 との比較一致を演算する旨を演算内容レジスタ 2 6 に設定し、演算回路 7 で比較一致演算を行うことにより、指定回数 6 にて設定した複数の転送回数においてのみ、転送情報をそれぞれ異なる転送情報に変更することが容易に可能となる。

【 0 0 6 1 】

更に、演算回路 7 の出力が基本転送情報のみを選択するよう、演算内容レジスタ 2 6 に設定することにより、転送情報の一時的な変更を行わず、基本転送情報のみを用いることが可能となる。

10

【 0 0 6 2 】

(実施形態 3)

図 3 は、本発明の実施形態 3 における D M A 転送制御装置 1 0 0 の概略構成を示すブロック図である。

【 0 0 6 3 】

本実施形態の D M A 転送制御装置 1 0 0 の構成については、前記実施形態 1 の図 1 の構成に加えて、実行するチャンネルを決定するための調停部 1 3 0、演算回路 7 における演算を指定するチャンネル数 ( n 個 ) 分の演算内容レジスタ 2 6、転送内容の変更を行うかどうかを決定するチャンネル数 ( n 個 ) 分のイネーブルレジスタ 2 7 を持ち、また、転送回数 1 と基本転送情報 ( 転送サイズ 2、転送元開始アドレス 3、転送先開始アドレス 4、転送モード 5 ) は各々チャンネル数 ( n 個 ) 分備え、指定回数 6 と二次転送情報 ( 二次転送サイズ 1 2、二次転送元開始アドレス 1 3、二次転送先開始アドレス 1 4、二次転送モード 1 5 ) は各々 m 個分備えている。

20

【 0 0 6 4 】

次に、前記のように構成された本実施形態の D M A 転送制御装置の動作を説明する。

【 0 0 6 5 】

基本転送情報 ( 転送サイズ 2、転送元開始アドレス 3、転送先開始アドレス 4、転送モード 5 ) では、調停部 1 3 0 にて決定された、次の実行チャンネルの基本転送情報を使用する。

30

【 0 0 6 6 】

次の実行チャンネルのイネーブルレジスタ 2 7 がオフの時は、転送情報の一時的な変更を行わず基本転送情報を用いて転送を実施する。

【 0 0 6 7 】

また、指定回数レジスタ 6 では、実行チャンネルに応じて 1 ~ m の中から 1 つ以上の指定回数を選び、演算回路 7 に入力する。

【 0 0 6 8 】

更に、演算内容レジスタ 2 6 では、調停部 1 3 0 で決定された次の実行チャンネルの演算内容を演算回路 7 に入力する。尚、演算回路 7 の出力は、真か偽のみではなく、複数ビット幅を持った結果を持つことができる。

40

【 0 0 6 9 】

セレクタ 2 2 ~ 2 5 では、この演算回路 7 の出力に応じて、実行チャンネルの基本転送情報 ( 転送サイズ 2、転送元開始アドレス 3、転送先開始アドレス 4、転送モード 5 ) 又は二次転送情報 ( 二次転送サイズ 1 2、二次転送元開始アドレス 1 3、二次転送先開始アドレス 1 4、二次転送モード 1 5 ) の 1 ~ m の何れかを選択し、転送制御部 1 2 0 に出力する。

【 0 0 7 0 】

尚、これらの説明はあくまで一例であって限定されるものではない。例えば、保有するレジスタの数が転送情報毎に異なっても構わない。また、セレクタ 2 2 ~ 2 5 では、各々異なる構成を持つことにより、実行チャンネルの基本転送情報や 1 ~ m の複数の二次転

50

送情報を混在させても構わない。また、演算内容レジスタ26を用いず、調停部130で決定される実行チャネルを演算回路7に直接入力して、演算内容を決定しても構わない。また、演算回路7の出力が基本転送情報のみを選択するよう、演算内容レジスタ26に設定することにより、イネーブルレジスタ27を用いずに、転送情報の一時的な変更を行わず基本転送情報のみを用いることが可能となる。その他の動作については、実施形態1と同様である。

#### 【0071】

前記の構成により、本実施形態では、実行チャネルが変化する毎に、基本転送情報、転送回数と指定回数との演算内容、使用する二次転送情報を変更することが、1回のDMA転送設定のみで可能となる。尚、演算情報の変更は、チャネルの変化だけでなく、転送回数1の変化など、他の要因を参照して変更することも可能でなる。

10

#### 【0072】

また、複数の指定回数6を演算回路7に加えて複数の出力を得て、複数の二次転送情報を用いることにより、複数の異なる転送情報に一時的に変更することが、1回のDMA転送設定のみで可能となる。

#### 【0073】

更に、演算回路7の出力が基本転送情報のみを選択するように、演算内容レジスタ26に設定することにより、任意実行チャネルにおいて、転送情報の一時的な変更を行わず、基本転送情報のみを用いることが可能となる。

#### 【0074】

20

(実施形態4)

図4は、本発明の実施形態4におけるDMA転送制御装置100の概略構成を示すブロック図である。

#### 【0075】

図4において、110は転送情報を格納する設定レジスタであり、120は設定レジスタ110より入力される情報を元にデータ転送を制御する転送制御部である。

#### 【0076】

前記設定レジスタ110で格納されている基本転送情報としては、転送回数1、転送サイズ2、転送元開始アドレス3、転送先開始アドレス4、転送モード5の5つの情報がある。

30

#### 【0077】

また、転送サイズ2の値が1であるかを判定する判定回路8がある。他に二次的な転送情報として、二次転送サイズ12がある。22は、判定回路8の出力により、転送サイズ2と二次転送サイズ12との何れかを選択して転送制御部120に出力するセレクタである。

#### 【0078】

尚、データ転送に必要な情報を格納している設定レジスタ110が有している各種レジスタについては、これに限るものではなく、例えば、外部端子より転送情報が入力される等、異なる方法により転送情報を与えるように構成しても構わない。また、データ転送で選択される基本的な転送情報は前記に限らず、転送先連続領域サイズ、転送元データ幅、転送先データ幅など、高度な転送を行うために必要な追加情報も含まれる。

40

#### 【0079】

次に、前記のように構成された本実施形態のDMA転送制御装置の動作を説明する。

#### 【0080】

DMA転送を開始する前に、設定レジスタ110にある各種レジスタに値を設定する。転送回数1には、転送制御部120にてDMA転送する回数を設定する。転送制御部120にて実際にDMA転送する内容を、転送サイズ2、転送元開始アドレス3、転送先開始アドレス4、転送モード5に設定する。この際、転送させたい総転送数が、転送サイズ2の整数倍に一致しない場合、つまり総転送数が $Q_{sum} = Q_s \times Q_n + Q_f$  ( $Q_s$ が転送サイズ)となって端数が発生する場合には、図5に示すように、 $Q_s$ を転送サイズ2に、

50

Q n + 1 を転送回数 1 に、端数である Q f を二次転送サイズ 1 2 に各々設定する。

【 0 0 8 1 】

D M A 転送要求が来て D M A 転送が開始されると、設定レジスタ 1 1 0 より転送制御部 1 2 0 へ必要な情報を送るが、この際に、判定回路 8 にて転送回数 1 が 1 であるかどうか判定する。判定結果が不一致の場合、セクタ 2 2 では、基本転送情報である転送サイズ 2 を選択し、Q s だけ転送するよう転送制御部 1 2 0 に出力する。一致した場合、セクタ 2 2 では、二次転送情報である二次転送サイズ 1 2 を選択し、Q f だけ転送するよう転送制御部 1 2 0 に出力する。

【 0 0 8 2 】

転送元開始アドレス 3、転送先開始アドレス 4、転送モード 5 の値はそのまま転送制御部 1 2 0 に送られる。

【 0 0 8 3 】

転送制御部 1 2 0 では、得られた転送情報の内容で D M A 転送を行う。D M A 転送が完了すれば、設定レジスタ 1 1 0 に通知し、転送回数 1 を 1 減算する。また、必要に応じて、転送元開始アドレス 3、転送先開始アドレス 4 を更新する。次の D M A 転送要求が入力された際には、再び、転送回数 1 が 1 回であるか判定し、転送制御部 1 2 0 に入力する転送サイズを決定する。転送回数 1 が 0 回となれば、終了割込みを出力して C P U に通知し、全転送完了となる。

【 0 0 8 4 】

尚、これらの説明はあくまで一例であって限定されるものではない。例えば、終了割込みについては、割込みという形態である必要はなく、D M A 転送制御装置内のレジスタをポーリングするなどの異なる方法であっても構わない。また、D M A 転送要求が別の制御で行われたり、D M A 転送要求を必要としない制御であっても構わない。

【 0 0 8 5 】

前記の構成により、本実施形態では、最後の転送回数においては、転送サイズ 2 でなく二次転送サイズ 1 2 を用いて D M A 転送できるので、総転送数が転送回数 × 転送サイズとならずに端数が生じる場合においても、1 回の D M A 転送設定のみで可能となる。また、少ないハードウェアの増加のみで実現できる。

【 0 0 8 6 】

(実施形態 5)

図 6 は、本発明の実施形態 5 における D M A 転送制御装置 1 0 0 の概略構成を示すブロック図である。

【 0 0 8 7 】

図 6 において、1 1 0 は転送情報を格納する設定レジスタ、1 2 0 は設定レジスタ 1 より入力される情報を元にデータ転送を制御する転送制御部である。

【 0 0 8 8 】

前記設定レジスタ 1 1 0 で格納されている基本転送情報としては、転送回数 1、転送サイズ 2、転送元開始アドレス 3、転送先開始アドレス 4、転送モード 5 の情報がある。

【 0 0 8 9 】

また、転送サイズ 2 の最下位ビットが 1 かどうかを判定する判定回路 8 がある。他に、二次的な転送情報として、二次転送サイズ 1 2 と、二次転送元開始アドレス 1 3 の情報がある。また、2 2 は、判定回路 8 の出力により、転送サイズ 2 か二次転送サイズ 1 2 の何れかを選択して転送制御部 1 2 0 に出力するセクタ、2 3 は、判定回路 8 の出力により、転送元開始アドレス 3 か二次転送元開始アドレス 1 3 の何れかを選択して転送制御部 1 2 0 に出力するセクタである。

【 0 0 9 0 】

尚、転送に必要な情報を格納している設定レジスタ 1 1 0 が有している各種レジスタについては、これに限るものではなく、例えば、外部端子より転送情報が入力される等、異なる方法により転送情報を与えるように構成しても構わない。また、転送で選択される基本的な転送情報は前記に限らず、転送先連続領域サイズ、転送元データ幅、転送先データ

10

20

30

40

50

幅など、高度な転送を行うために必要な追加情報も含まれる。

【0091】

次に、前記のように構成された本実施形態のDMA転送制御装置の動作を説明する。

【0092】

DMA転送を開始する前に、設定レジスタ110にある各種レジスタに値を設定する。転送回数レジスタ1には、転送制御部120にてDMA転送する回数を設定する。転送制御部120にて実際にDMA転送する内容を、転送サイズ2、転送元開始アドレス3、転送先開始アドレス4、転送モード5に設定する。ここで、2箇所の転送元開始アドレスのデータを1箇所の転送先開始アドレスへマージさせたい場合に、二次転送元開始アドレス13にもう一つの転送元開始アドレスと、二次転送サイズ12にその時に取得したい転送サイズを設定する。

10

【0093】

DMA転送要求が来てDMA転送が開始されると、設定レジスタ110より転送制御部120へ必要な情報を送るが、この際に、判定回路8にて転送回数1の最下位ビットが1であるかどうか判定を行う。判定結果が不一致の場合には、セクタ22では転送サイズ2を、セクタ23では転送元開始アドレス3を選択して、転送制御部120に出力する。一方、一致した場合には、セクタ22では二次転送サイズ12を、セクタ23では二次転送元開始アドレス13を選択し、転送制御部120に出力する。

【0094】

転送先開始アドレス4、転送モード5の値はそのまま転送制御部120に送られる。

20

【0095】

転送制御部120では、得られた転送情報の内容でDMA転送を行う。DMA転送が完了すれば、設定レジスタ110に通知し、転送回数1を1減算する。また必要に応じて、転送元開始アドレス3、転送先開始アドレス4、二次転送元開始アドレス13を更新する。次のDMA転送要求が入力された際は、再び転送回数1が1であるか判定を行い、転送制御部120に入力する転送サイズを決定する。転送回数1が0回となれば、終了割込みを出力してCPUに通知し、全転送完了となる。転送の様子を図7に示す。転送回数毎に、転送サイズ2及び転送元開始アドレス3、又は、二次転送サイズ12及び二次転送元開始アドレス13が交互に用いられ、図中の[1]~[8]の順序で転送が行われるため、二箇所の転送元データがマージされて転送先へ送られる。

30

【0096】

尚、これらの説明はあくまで一例であって限定されるものではない。例えば、終了割込みについては、割込みという形態である必要はなく、DMA転送制御装置内のレジスタをポーリングするなどの異なる方法であっても構わない。また、DMA転送要求が別の制御で行われたり、DMA転送要求を必要としない制御であっても構わない。

【0097】

前記の構成により、本実施形態では、転送先には、2箇所の転送元から異なるサイズのデータを交互に送ることができる。従って、画素情報などのデータをマージしたい場合に、1回のDMA転送設定のみで可能であり、少しのハードウェア増加のみで実現できる。

【0098】

また、図1の指定回数レジスタ6を複数個備え、判定回路8による出力結果を複数とし、二次転送元開始アドレス23を複数持つことにより、3つ以上の転送元開始アドレスから選択することが可能となる。3箇所以上の転送元からデータをマージして転送先に送るといった複雑な転送が可能となる。

40

【0099】

更に、二次転送元開始アドレスの代わりに、二次転送先開始アドレスを備えることにより、図8に示すように、1箇所の転送元データを、二箇所以上の転送先データに振り分けることが可能となる。図中の[1]~[8]の順序で転送が行われるため、1箇所の転送元データが2箇所の転送先に振り分けて送られる。

【0100】

50

また、二次転送元開始アドレスの代わりに、二次転送先開始アドレスと二次転送モードとを備えて、転送モードで転送元開始アドレスの更新あり/更新なしを切り替えることができる場合、図9に示すように、一部の転送元データを2回取得して、各々の転送先に送ることが可能となる。図中の[1]~[8]の順序で転送が行われるので、一部の転送元データが2箇所の転送先にコピーされて転送される。また、転送先開始アドレスを同一にすれば、一部のデータをコピーして転送することが可能となる。尚、転送モードについては、前記の切り替えに限らないことは明らかである。

**【0101】**

(実施形態6)

図10は、本発明の実施形態6におけるデータ転送装置200の概略構成を示すブロック図である。

10

**【0102】**

図10において、本実施形態のデータ転送装置200は、集積回路30、SDRAM40、周辺デバイス50を有する。集積回路30は、CPU31、DMA転送制御装置100、メモリコントローラ32、周辺コントローラ33を有しており、各々がバス34により相互接続されている。メモリコントローラ32は、SDRAM40と接続されており、周辺コントローラ33は周辺デバイス50と接続されている。また、DMA転送制御装置100は、前記実施形態1~5の何れかで説明したものである。

**【0103】**

本データ転送装置200では、DMA転送制御装置100を用いて、周辺デバイス50からSDRAM40へデータを引き抜く場合では、DMA転送制御装置100にて設定される転送サイズは、周辺コントローラ33にあるデータFIFOの容量と周辺デバイス50からFIFOに入るデータ転送速度に依存して決定される。

20

**【0104】**

ここで、引き抜きたいデータの総数が、前記で決定される転送サイズの整数倍でない場合では、転送サイズに対して端数が生じる。この時、前記実施形態4にて説明した方法で二次転送サイズに前記の端数を設定し、転送回数の最後においては二次転送サイズを使用する。この方法により、一回のDMA転送設定で総転送量のデータを引き抜くことができる。また、引き抜く途中で新たにDMA転送設定をすることにより、データの引き抜きが間に合わないというリスク要因がなくなる。

30

**【0105】**

また、SDRAM40から周辺デバイス50へデータを転送する場合においても、DMA転送制御装置100にて設定される転送サイズは、周辺コントローラ33にあるデータFIFOの容量とSDRAM40からFIFOに入るデータ転送速度に依存して決定される。

**【0106】**

ここで、転送したいデータの総数が、前記で決定される転送サイズの整数倍でない場合では、転送サイズに対して端数が生じる。この時、前記実施形態4にて説明した方法で二次転送サイズに前記の端数を設定し、転送回数の最後においては二次転送サイズを使用する。この方法により、一回のDMA転送設定で総転送量のデータを転送することができる。また、転送する途中で新たにDMA転送設定をすることにより、周辺デバイス50へのデータ転送が間に合わないというリスク要因がなくなる。

40

**【0107】**

このように、転送サイズの設定が周辺デバイスなどDMA転送制御装置外の要因により決定されるような場合に、本発明は有効であり、外部記憶装置や周辺デバイスに限らないことは明らかであり、集積回路30の内部の機能ブロック等にアクセスする場合にも有効である。

**【0108】**

尚、実現の方法については、前記実施形態で述べた複数の構成を組み合わせることも当然可能である。また、上述した本発明の実施形態において使用される手法や構成

50

は一例であり、本発明はこれらに限定されるものでない。

【産業上の利用可能性】

【0109】

本発明に係るDMA転送制御装置は、転送内容を一時的に変更することが僅かなハードウェアの追加で容易に可能となるので、総転送数が転送サイズの整数倍とならない場合の転送や、複数アドレスからのデータマージや、複数アドレスへのデータ分散などの複雑な転送が1回のDMA設定のみで実現できるDMA転送制御装置として有用である。

【図面の簡単な説明】

【0110】

- 【図1】本発明の実施形態1のDMA転送制御装置の概略構成を示すブロック図である。 10
- 【図2】本発明の実施形態2のDMA転送制御装置の概略構成を示すブロック図である。
- 【図3】本発明の実施形態3のDMA転送制御装置の概略構成を示すブロック図である。
- 【図4】本発明の実施形態4のDMA転送制御装置の概略構成を示すブロック図である。
- 【図5】同実施形態の総転送数と設定レジスタとの関係を示した図である。
- 【図6】本発明の実施形態5のDMA転送制御装置の概略構成を示すブロック図である。
- 【図7】同実施形態のデータマージと設定レジスタとの関係を示した図である。
- 【図8】同実施形態の変形例によるデータ振り分けと設定レジスタとの関係を示した図である。
- 【図9】同実施形態の変形例による一部データのコピー振り分けと設定レジスタとの関係を示した図である。 20

【図10】本発明の実施形態6のデータ転送装置の概略構成を示すブロック図である。

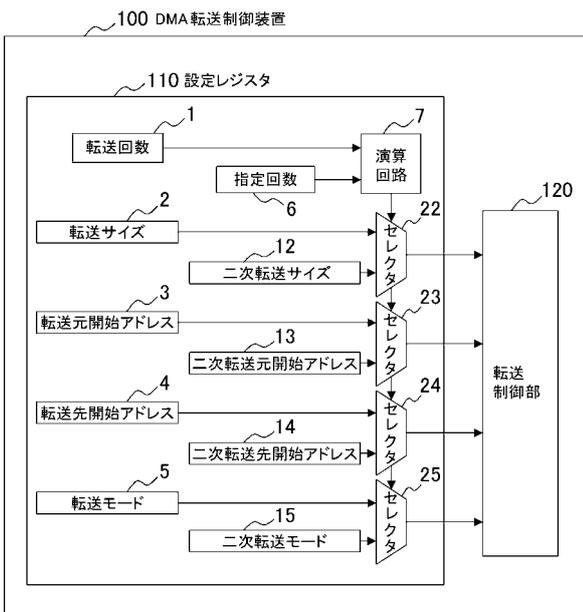
【図11】従来のDMA転送制御装置の概略構成を示すブロック図である。

【符号の説明】

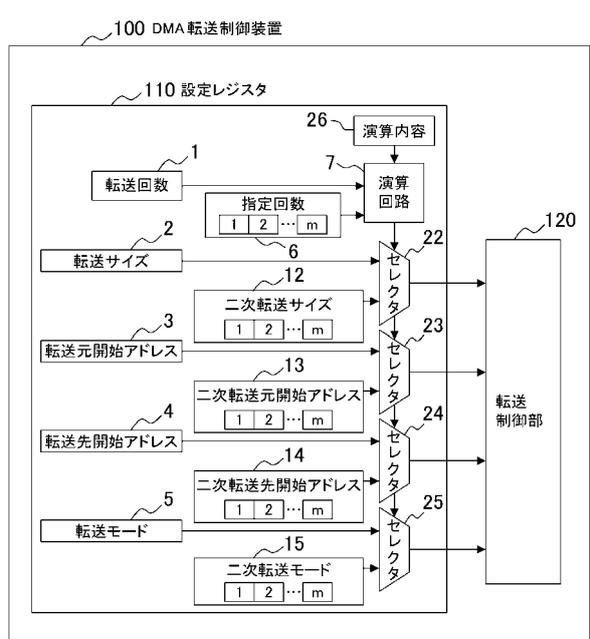
【0111】

- 1 転送回数レジスタ
- 2 転送サイズレジスタ
- 3 転送元開始アドレスレジスタ
- 4 転送先開始アドレスレジスタ
- 5 転送モードレジスタ
- 6 指定回数レジスタ 30
- 7 演算回路
- 8 判定回路
- 12 二次転送サイズレジスタ
- 13 二次転送元開始アドレスレジスタ
- 14 二次転送先開始アドレスレジスタ
- 15 二次転送モードレジスタ
- 22 ~ 25 セレクタ
- 26 演算内容レジスタ
- 27 イネーブルレジスタ
- 30 集積回路 40
- 31 CPU
- 32 メモリコントローラ
- 33 周辺コントローラ
- 34 バス
- 40 SDRAM
- 50 周辺デバイス
- 100 DMA転送制御装置
- 110 設定レジスタ
- 120 転送制御部
- 130 調停部 50

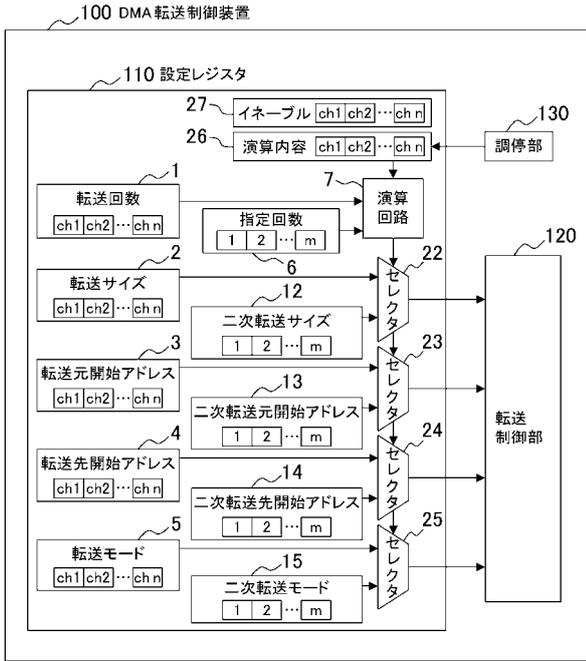
【図1】



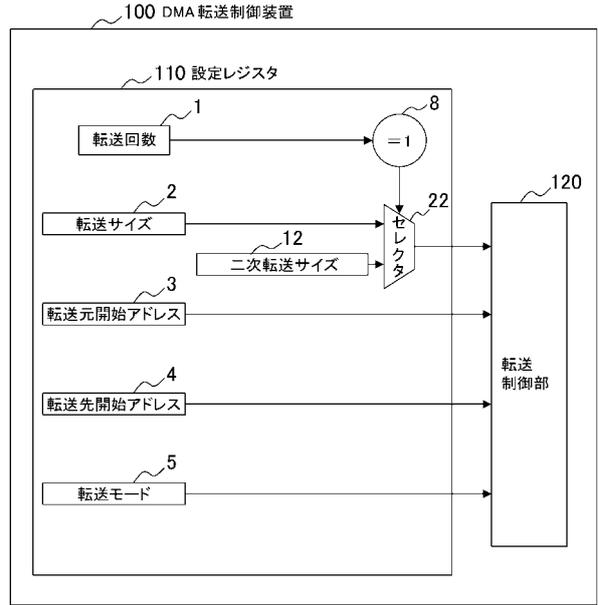
【図2】



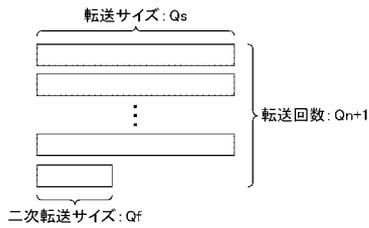
【図3】



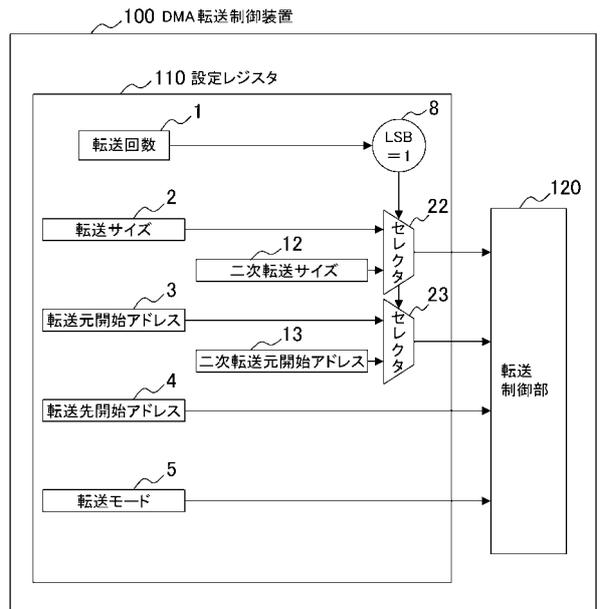
【図4】



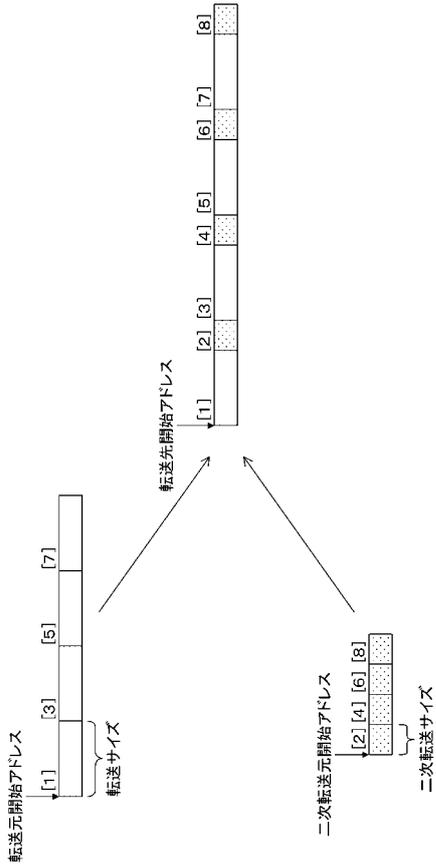
【図5】



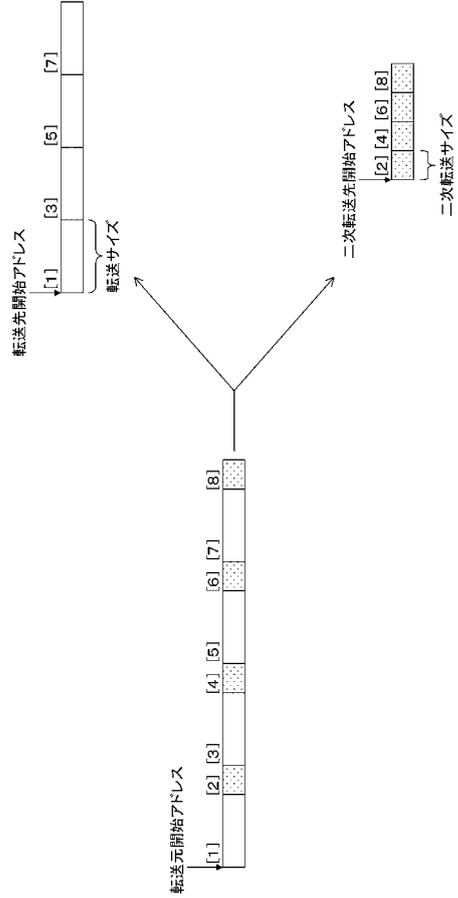
【図6】



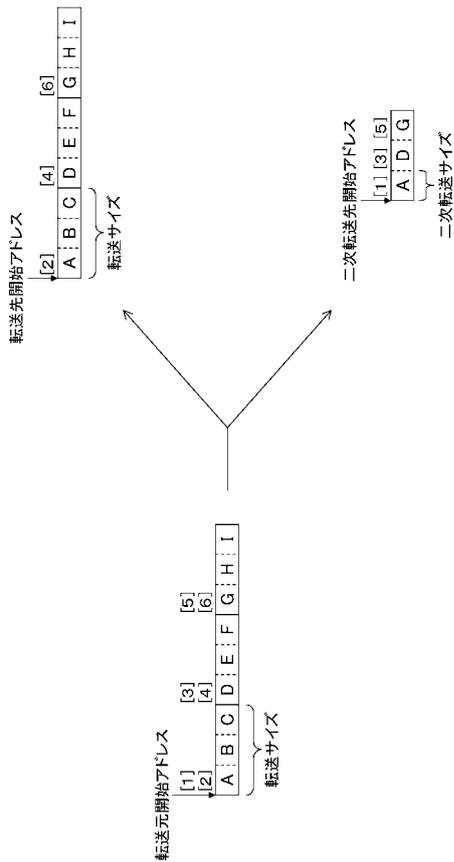
【 図 7 】



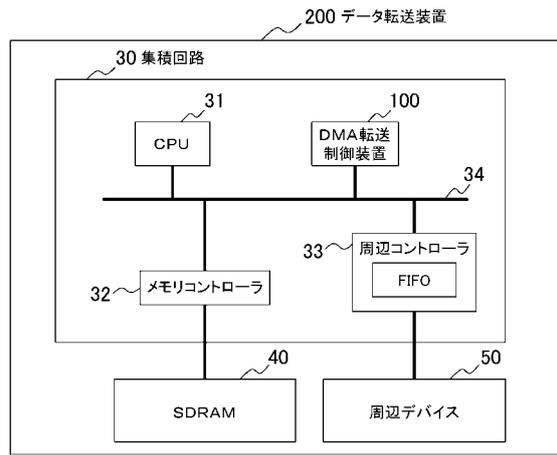
【 図 8 】



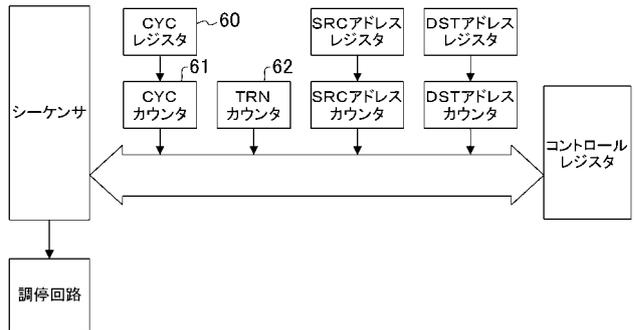
【 図 9 】



【 図 10 】



【 図 11 】



---

フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 澤井 隆二

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5B061 DD02 DD07