

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H03K 3/037

(11) 공개번호 10-2005-0099259
(43) 공개일자 2005년10월13일

(21) 출원번호 10-2004-0024507
(22) 출원일자 2004년04월09일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김민수
경기도화성군태안읍반월리860번지신영통현대아파트305동1101호

(74) 대리인 리엔목특허법인
이해영

심사청구 : 없음

(54) 고속 플립플롭들 및 이를 이용한 복합 게이트들

요약

고속 플립플롭들 및 이를 이용한 복합 게이트들이 개시된다. 본 발명의 플립플롭은 전원 전압과 접지 전압 사이에 직렬 연결되는 제1 피모스 트랜지스터, 제2 엔모스 트랜지스터 및 제3 엔모스 트랜지스터를 포함한다. 제1 피모스 트랜지스터와 제2 엔모스 트랜지스터의 게이트는 입력 데이터에 연결되고, 제3 엔모스 트랜지스터의 게이트는 클럭 펄스 신호에 연결된다. 제1 피모스 트랜지스터와 제2 엔모스 트랜지스터 사이의 제1 중간 노드는 제1 래치에 의해 그 로직 레벨이 래치된다. 그리고, 플립플롭은 전원 전압과 접지 전압 사이에 직렬 연결되는 제4 피모스 트랜지스터, 제5 엔모스 트랜지스터 및 제6 엔모스 트랜지스터를 포함한다. 제4 피모스 트랜지스터와 제5 엔모스 트랜지스터의 게이트는 제1 중간 노드에 연결되고 제6 엔모스 트랜지스터의 게이트는 클럭 펄스 신호에 연결된다. 제4 피모스 트랜지스터와 제5 엔모스 트랜지스터 사이의 제2 중간 노드는 제2 래치에 의해 그 로직 레벨이 유지된다. 따라서, 플립플롭들의 중간 노드들이 로직 레벨 스위칭시 접지 전압으로의 경로가 2개의 엔모스 트랜지스터들을 통해 형성되므로, 스위칭 시간이 단축된다

대표도

도 3

색인어

플립플롭, 중간 노드들, 스위칭 시간, 복합 게이트

명세서

도면의 간단한 설명

도 1은 종래의 플립플롭을 설명하는 도면이다.

도 2는 도 1의 플립플롭의 동작을 설명하는 타이밍 다이어그램이다.

- 도 3은 본 발명의 제1 실시예에 따른 플립플롭을 설명하는 도면이다.
- 도 4A 내지 도 4B는 본 발명의 클럭 펄스 발생 회로를 설명하는 도면이다.
- 도 5는 도 3의 플립플롭의 동작을 설명하는 도면이다.
- 도 6은 도 3의 플립플롭을 이용한 3-입력 앤드 게이트를 나타내는 도면이다.
- 도 7은 도 3의 플립플롭을 이용한 3-입력 오아 게이트를 나타내는 도면이다.
- 도 8은 도 3의 플립플롭을 이용한 4-입력 AOI 게이트를 나타내는 도면이다.
- 도 9는 본 발명의 제2 실시예에 따른 플립플롭을 설명하는 도면이다.
- 도 10은 도 9의 플립플롭의 동작을 설명하는 도면이다.
- 도 11은 도 9의 플립플롭을 이용한 3-입력 앤드 게이트를 나타내는 도면이다.
- 도 12는 도 9의 플립플롭을 이용한 3-입력 오아 게이트의 제1예를 나타내는 도면이다.
- 도 13은 도 9의 플립플롭을 이용한 3-입력 오아 게이트의 제2예를 나타내는 도면이다.
- 도 14는 도 9의 플립플롭을 이용한 3-입력 오아 게이트의 제3예를 나타내는 도면이다.
- 도 15는 도 9의 플립플롭을 이용한 6-입력 AOI 게이트를 나타내는 도면이다.
- 도 16은 간략화된 2-입력 앤드 게이트를 설명하는 도면이다.
- 도 17은 간략화된 3-입력 오아 게이트를 설명하는 도면이다.
- 도 18은 간략화된 6-입력 AOI 게이트를 설명하는 도면이다.
- 도 19는 본 발명의 제3 실시예에 따른 플립플롭을 설명하는 도면이다.
- 도 20은 본 발명의 제4 실시예에 따른 플립플롭을 설명하는 도면이다.
- 도 21은 도 19 및 도 20의 플립플롭들의 동작을 설명하는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플립플롭에 관한 것으로, 특히 고속 플립플롭들 및 이를 이용한 복합 게이트들에 관한 것이다.

플립플롭들은 디지털 전자 회로에 사용되는 범용 데이터 저장 소자이다. 플립플롭들은 디지털 회로의 설계에 있어서 중요한 요소이다. 왜냐하면, 플립플롭들은 시퀀셜하고 안정적인 로직 설계를 가능하게 만드는 클럭 동작 저장 소자들(clocked storage elements)이기 때문이다. 플립플롭들은 로직 스테이트나 파라미터들 또는 디지털 제어 신호들을 저장하는 용도로 사용된다.

예를 들어, 마이크로 프로세서들은 전형적으로 수많은 플립플롭들을 포함하는 데, 고성능의 마이크로 프로세서 동작에 부합하기 위하여 플립플롭들은 플립플롭 셋업 및 홀드 시간, 클럭-투-출력(clock-to-output) 시간을 줄여 최대 로직 클럭킹 속도(maximum logic clocking speed)를 제공하도록 요구된다. 여기에다가, 플립플롭들은 데이터-투-출력(data-to-clock) 시간을 줄여 짧은 데이터 응답 시간 또한 요구된다.

도 1은 종래의 플립플롭을 설명하는 도면이다. 이를 참조하면, 플립플롭(100)은 클럭 신호(CK)에 응답하여 수신되는 데이터(D)의 로직 레벨에 따라 노드 N124 신호 및 QN 출력 신호를 발생한다. 데이터(D)는 108 피모스 트랜지스터와 110 엔모스 트랜지스터의 게이트에 연결되고, 클럭 신호(CK)는 112 엔모스 트랜지스터의 게이트에 연결되고, 그리고 클럭 신호(CK)를 입력하고 직렬 연결된 3개의 인버터들(102, 104, 106)의 출력이 114 엔모스 트랜지스터의 게이트에 연결된다. 108, 110, 112 및 114 트랜지스터들은 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결된다.

108 피모스 트랜지스터와 110 엔모스 트랜지스터 사이의 노드 N109는 전원 전압(VDD)에 연결되고 클럭 신호(CK)에 게이팅되는 116 피모스 트랜지스터 및 106 인버터 출력에 게이팅되는 120 피모스 트랜지스터, 그리고 116 및 120 트랜지스터들과 연결되고 노드 N125에 게이팅되는 118 피모스 트랜지스터에 의해 그 로직 레벨이 유지된다. 노드 N125에 게이팅되는 122 엔모스 트랜지스터는 110 엔모스 트랜지스터와 112 엔모스 트랜지스터 사이의 노드 N111와 접지 전압(GND) 사이에 연결되어 노드 N111의 로직 레벨을 결정한다.

전원 전압(VDD)과 접지 전압(VSS) 사이에 124 피모스 트랜지스터와 126, 128, 130 엔모스 트랜지스터들이 직렬 연결되고, 124 및 126 트랜지스터들의 게이트들은 노드 N109에, 128 트랜지스터의 게이트는 클럭 신호(CK)에, 그리고 130 트랜지스터의 게이트는 106 인버터 출력에 각각 연결된다. 124 트랜지스터와 126 트랜지스터 사이의 노드 N125는 140 인버터를 통해 출력 신호(QN)로 발생된다. 그리고 노드 N125는 138 인버터와 연결되고, 138 인버터 출력에 응답하는 132 피모스 트랜지스터와 134 엔모스 트랜지스터, 그리고 노드 N109에 게이팅되는 136 엔모스 트랜지스터에 의해 그 로직 레벨이 결정되고 유지된다.

이러한 플립플롭(100)의 동작은 도 2의 타이밍 다이어그램에 도시되어 있다. 도 2를 참조하면, 클럭 신호(CK)가 순차적으로 입력되고 데이터(D)가 로직 로우레벨에서 로직 하이레벨로, 다시 로직 로우레벨로 천이되면서 입력된다. 이에 따라, t2 시간에서, 클럭 신호(CK)의 상승 에지일 때 데이터(D)의 로직 로우레벨에서 로직 하이레벨로의 천이에 응답하여 노드 N109는 로직 하이레벨에서 로직 로우레벨로, 노드 N125는 로직 로우레벨에서 로직 하이레벨로. 그리고 QN 출력 신호는 로직 하이레벨에서 로직 로우레벨로 천이한다. 이후, t6 시간에서, 클럭 신호(CK)의 상승 에지일 때 데이터(D)의 로직 하이레벨에서 로직 로우레벨로의 천이에 응답하여 노드 N109는 로직 로우레벨에서 로직 하이레벨로, 노드 N125는 로직 하이레벨에서 로직 로우레벨로. 그리고 QN 출력 신호는 로직 로우레벨에서 로직 하이레벨로 천이한다. 즉, 데이터(D)의 로직 레벨대로 노드 N125 신호가 발생되고, 데이터(D)의 반전된 로직 레벨대로 QN 출력 신호가 발생된다.

플립플롭(100)의 동작에 있어서, 그 동작 속도, 예컨대 데이터-투-출력 시간을 결정하는 주요 노드들은 중간 노드들인 노드 N109 및 노드 N125이다. 특히나 노드 N109와 노드 N125의 로직 로우레벨로의 천이 시간이 중요하다. 노드 N109는 110, 112 및 114 트랜지스터들을 통해 접지 전압(VSS)으로의 경로가 형성되고, 노드 N125는 126, 128, 130 트랜지스터들을 통해 접지 전압(VSS)으로의 경로가 형성된다. 노드 N109와 노드 N125는 3개의 트랜지스터들을 거쳐서 접지 전압(VSS)과 연결되므로, 각 트랜지스터들의 부하로 인해 노드 N109와 노드 N125의 로우레벨로의 스위칭 시간에 근본적인 제한이 된다.

그러므로, 중간 노드들의 부하를 줄임으로써 데이터-투-출력 시간을 줄여 고속 동작되는 플립플롭의 존재가 필요하다. 그리고 이러한 플립플롭을 앤드(AND), 오아(OR), AOI 등의 복합 게이트에 사용하게 되면 로직 출력 평션(logic output function)을 구동하는 데에 고속 동작이 가능해질 것이다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 고속 플립플롭을 제공하는 데 있다.

본 발명의 다른 목적은 상기 플립플롭을 응용한 복합 게이트들을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 제1면에 따른 플립플롭은 전원 전압이 그 소스에 연결되고 입력 데이터가 그 게이트로 인가되는 제1 피모스 트랜지스터; 제1 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 입력 데이터가 그 게이트로 인가되는 제2 엔모스 트랜지스터; 제2 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제3 엔모스 트랜지스터; 제1 피모스 트랜지스터와 제2 엔모스 트랜지스터 사이의 제1 연결점과 제2 엔모스 트랜지스터와 상기 제3 엔모스 트랜지스터 사이의 제2 연결점의 레벨을 래치하는 제1 래치; 전원 전압이 그 소스에 연결되고 제1 연결점이 그 게이트에 연결되는 제4 피모스 트랜지스터; 제4 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 제1 연결점이 그 게이트에 연결되는 제5 엔모스 트랜지스터; 제5 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제6 엔모스 트랜지스터; 및 제4 피모스 트랜지스터와 제5 엔모스 트랜지스터 사이의 제3 연결점의 레벨을 래치하는 제2 래치를 포함한다.

상기 목적을 달성하기 위하여, 본 발명의 제2면에 따른 플립플롭은 전원 전압이 그 소스에 연결되고 제2 클럭 신호가 그 게이트에 연결되는 제1 피모스 트랜지스터; 제1 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되는 제2 엔모스 트랜지스터; 제2 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 입력 데이터가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제3 엔모스 트랜지스터; 제1 피모스 트랜지스터와 제2 엔모스 트랜지스터 사이의 제1 연결점의 로직 레벨을 래치하는 제1 래치; 전원 전압이 그 소스에 연결되고 제1 연결점이 그 게이트에 연결되는 제4 피모스 트랜지스터; 제4 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 제2 클럭 신호가 그 게이트에 연결되는 제5 엔모스 트랜지스터; 제5 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 제1 연결점이 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제6 엔모스 트랜지스터; 및 제4 피모스 트랜지스터와 제5 엔모스 트랜지스터 사이의 제2 연결점의 로직 레벨을 래치하는 제2 래치를 포함한다.

상기 목적을 달성하기 위하여, 본 발명의 제3면에 따른 플립플롭은 전원 전압이 그 소스에 연결되고 제2 클럭 신호가 그 게이트에 연결되는 제1 피모스 트랜지스터; 제1 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 입력 데이터가 그 게이트에 연결되는 제2 엔모스 트랜지스터; 제2 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제3 엔모스 트랜지스터; 제1 피모스 트랜지스터와 제2 엔모스 트랜지스터 사이의 제1 연결점의 로직 레벨을 래치하는 제1 래치; 전원 전압이 그 소스에 연결되고 제1 연결점이 그 게이트에 연결되는 제4 피모스 트랜지스터; 제4 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 제1 연결점이 그 게이트에 연결되는 제5 엔모스 트랜지스터; 제5 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되는 제6 엔모스 트랜지스터; 및 제4 피모스 트랜지스터와 제5 엔모스 트랜지스터 사이의 제2 연결점의 로직 레벨을 래치하는 제2 래치를 포함한다.

따라서, 본 발명에 의하면, 플립플롭들의 중간 노드들이 로직 레벨 스위칭시 접지 전압으로의 경로가 2개의 엔모스 트랜지스터들을 통해 형성되므로, 종래 3개 트랜지스터들을 통해 이루어지던 접지 전압으로의 경로에 비해 스위칭 시간이 단축된다. 그리고 이러한 플립플롭들을 이용한 복합 게이트들도 짧은 스위칭 시간을 갖는다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

본 명세서에서 설명되는 신호들의 로직 하이레벨 및 로직 로우레벨은 각각 하이레벨(HIGH) 및 로우레벨(LOW)로 간략히 설명된다. 그리고 본 발명의 플립플롭들의 동작을 설명하는 타이밍 다이어그램들에서 트랜지스터들과 로직 게이트들을 통과하면서 물리적으로 발생하는 소정의 시간 지연은 고려하지 않고 무시된다. 이것은 플립플롭의 디지털적인 동작을 좀더 명확하게 나타내기 위해서이다.

도 3은 본 발명의 제1 실시예에 따른 플립플롭을 설명하는 도면이다. 이를 참조하면, 플립플롭(300)은 전원 전압(VDD)과 접지 전압 사이에 직렬 연결되는 301 피모스 트랜지스터, 302 엔모스 트랜지스터 및 303 엔모스 트랜지스터를 포함한다. 301 피모스 트랜지스터와 302 엔모스 트랜지스터의 게이트들은 데이터(D)에 연결되고, 303 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다. 301 피모스 트랜지스터와 302 엔모스 트랜지스터 사이의 노드 N301는 제1 래치(320)에 연결된다.

그리고, 플립플롭(300)은 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 304 피모스 트랜지스터, 305 엔모스 트랜지스터 및 306 엔모스 트랜지스터를 더 포함한다. 304 피모스 트랜지스터와 305 엔모스 트랜지스터의 게이트들은 노드 N301에 연결되고, 306 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다. 304 피모스 트랜지스터와 305 엔모스 트랜지스터 사이의 노드 N304는 제2 래치(320)에 연결된다. 그리고 노드 N304는 출력 신호(QN)를 출력하는 제1 인버터(307)에 연결된다.

제1 래치(310)는 전원 전압(VDD)과 노드 N301 사이에 직렬 연결되는 311 및 312 피모스 트랜지스터들과 302 엔모스 트랜지스터와 303 엔모스 트랜지스터 사이의 노드 N302과 접지 전압(VSS) 사이에 연결되는 313 엔모스 트랜지스터를 포함한다. 311 피모스 트랜지스터와 313 엔모스 트랜지스터의 게이트들은 노드 N304에 연결되고, 312 피모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다.

제2 래치(320)는 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 321 및 322 피모스 트랜지스터들과 323 및 324 엔모스 트랜지스터들을 포함하고, 322 피모스 트랜지스터와 323 엔모스 트랜지스터 사이의 연결점은 노드 N304과 연결되고 노드 N304는 제2 인버터(325)와 연결된다. 321 피모스 트랜지스터의 게이트는 제2 인버터(325) 출력에 연결되고, 322 피모스 트랜지스터의 게이트는 노드 N304에 연결되고, 323 피모스 트랜지스터의 게이트는 노드 N301에 연결되고, 324 피모스 트랜지스터의 게이트는 제2 인버터(325) 출력에 연결된다.

클럭 펄스 신호(CKP)는 클럭 신호(CK)로부터 발생하는 데, 내부 클럭 신호 발생 회로는 도 4A 내지 도 4D에 도시되어 있다. 도 4A를 참조하면, 클럭 펄스 발생 회로(400)는 클럭 신호(CK)를 입력하는 직렬 연결된 401, 402, 403 인버터들과 403 인버터 출력과 클럭 신호(CK)를 입력하는 낸드 게이트(404), 그리고 낸드 게이트(404) 출력을 입력하여 클럭 펄스 신호(CKP)를 발생하는 405 인버터를 포함한다. 제1 인버터(401)의 출력은 제1 클럭 신호(CKB1)로 발생되고, 제2 인버터(402)의 출력은 제2 클럭 신호(CK2)로 발생된다. 클럭 신호(CK)는 일반적으로 외부에서 제공되는 클럭 신호로, 하이레벨 및 로우레벨 동안 소정의 듀레이션(duration)을 갖는다. 내부 클럭 신호는 클럭 신호(CK)의 상승 에지마다 소정의 하이레벨 펄스로 발생된다.

도 4B를 참조하면, 클럭 펄스 발생 회로(410)는 클럭 신호(CK)와 노드 N411을 입력하는 낸드 게이트(411), 낸드 게이트(411) 출력을 입력하는 제1 인버터(412), 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 413 피모스 트랜지스터와 414 엔모스 트랜지스터, 413 피모스 트랜지스터와 414 엔모스 트랜지스터 사이의 노드 N411에 연결되는 제2 인버터(415) 그리고 노드 N411과 접지 전압(VSS) 사이에 직렬 연결되는 416 및 417 엔모스 트랜지스터들을 포함한다. 413 피모스 트랜지스터의 게이트는 클럭 신호(CK)에 연결되고, 414 엔모스 트랜지스터의 게이트는 제1 인버터(412) 출력에 연결된다. 제1 인버터(412)의 출력은 클럭 펄스 신호(CKP)로 발생된다. 416 엔모스 트랜지스터의 게이트는 클럭 신호(CK)에 연결되고, 417 엔모스 트랜지스터의 게이트는 제2 인버터(415)의 출력에 연결된다.

도 4C를 참조하면, 클럭 펄스 발생 회로(420)는 클럭 신호(CK)를 입력하는 직렬 연결된 3개의 인버터들(421, 422, 423)과 클럭 신호(CK), 인에이블 신호(EN) 그리고 423 인버터 출력을 입력하는 낸드 게이트(424)와 낸드 게이트(424) 출력을 입력하여 클럭 펄스 신호(CKP)를 발생하는 인버터(425)를 포함한다. 클럭 펄스 발생 회로(420)는 인에이블 신호(EN)가 하이레벨이면 도 4A의 클럭 펄스 발생 회로와 동일하게 동작된다.

도 4D를 참조하면, 클럭 펄스 발생 회로(430)는 클럭 신호(CK), 인에이블 신호(EN) 그리고 노드 N431을 입력하는 낸드 게이트(431), 낸드 게이트(431) 출력을 입력하는 제1 인버터(432), 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 433 피모스 트랜지스터와 434 엔모스 트랜지스터, 433 피모스 트랜지스터와 434 엔모스 트랜지스터 사이의 노드 N431에 연결되는 제2 인버터(435) 그리고 노드 N431과 접지 전압(VSS) 사이에 직렬 연결되는 436 및 437 엔모스 트랜지스터들을 포함한다. 433 피모스 트랜지스터의 게이트는 클럭 신호(CK)에 연결되고, 434 엔모스 트랜지스터의 게이트는 제1 인버터(432) 출력에 연결된다. 제1 인버터(432)의 출력은 클럭 펄스 신호(CKP)로 발생된다. 436 엔모스 트랜지스터의 게이트는 클럭 신호(CK)에 연결되고, 437 엔모스 트랜지스터의 게이트는 제2 인버터(435)의 출력에 연결된다. 클럭 펄스 발생 회로(430)는 인에이블 신호(EN)가 하이레벨인 구간에서 도 4B의 클럭 펄스 발생 회로(410)와 동일하게 동작한다.

도 5는 도 3의 플립플롭(300)의 동작을 설명하는 타이밍 다이어그램이다. 도 3의 플립플롭(300)과 연계하여, 도 5를 참조하면, 순차적으로 입력되는 클럭 신호(CK)의 상승 에지마다 소정의 펄스로 클럭 펄스 신호(CKP)가 발생된다. t2 시간에서, 데이터(D)가 로우레벨에서 하이레벨로 천이한다. 하이레벨의 데이터(D)와 하이레벨 펄스의 클럭 펄스 신호(CKP)에 응

답하여 302 및 303 엔모스 트랜지스터들이 턴온되어 노드 N301은 로우레벨로 천이한다. 로우레벨의 노드 N301에 응답하여 304 피모스 트랜지스터가 턴온되어 노드 N304는 하이레벨이 된다. 이 때 305 엔모스 트랜지스터는 로우레벨의 노드 N301에 응답하여 턴오프되기 때문에 접지 전압(VSS)으로의 경로가 차단된다.

하이레벨의 노드 N304에 응답하여 311 트랜지스터가 턴오프되고, 클럭 펄스 신호(CKP)의 하이레벨 펄스에 응답하여 312 피모스 트랜지스터가 턴오프된다. 이 후 클럭 펄스 신호(CKP)의 로우레벨에 응답하여 312 피모스 트랜지스터가 턴온되지만 311 트랜지스터가 턴오프되어 있기 때문에, 노드 N301은 전원 전압(VDD)의 공급이 완전히 차단되어 로우레벨을 유지한다. 그리고 하이레벨의 노드 N304에 응답하여 313 엔모스 트랜지스터가 턴온되기 때문에 노드 N301은 로우레벨을 유지한다. 하이레벨의 노드 N304에 의해 제2 인버터(325)의 출력은 로우레벨이 된다.

로우레벨의 제2 인버터(325) 출력에 응답하여 321 피모스 트랜지스터가 턴온되지만, 하이레벨의 노드 N304에 응답하여 322 피모스 트랜지스터가 턴오프되고, 로우레벨의 노드 N301에 응답하여 323 엔모스 트랜지스터가 턴오프되고, 로우레벨의 제2 인버터(325) 출력에 응답하여 324 엔모스 트랜지스터가 턴오프된다. 이에 따라, 노드 N304는 그 전압 레벨 즉, 하이레벨을 유지한다. 하이레벨의 노드 N304는 제1 인버터(307)를 통해 로우레벨의 출력 신호(QN)로 발생된다.

t6 시간에서, 데이터(D)가 하이레벨에서 로우레벨로 천이한다. 클럭 펄스 신호(CKP)의 하이레벨 펄스에 응답하여 303 엔모스 트랜지스터가 턴온되지만, 로우레벨의 데이터(D)에 응답하여 301 피모스 트랜지스터가 턴온되고 302 엔모스 트랜지스터가 턴오프되어, 노드 N301은 하이레벨로 천이한다. 하이레벨의 노드 N301에 응답하여 304 피모스 트랜지스터가 턴오프되고 305 엔모스 트랜지스터가 턴온된다. 그리고 하이레벨 펄스에 응답하여 306 엔모스 트랜지스터가 턴온된다. 노드 N304는 305 및 306 엔모스 트랜지스터들을 통해 로우레벨이 된다.

로우레벨의 노드 N304에 응답하여 311 트랜지스터가 턴온되고, 클럭 펄스 신호(CKP)의 하이레벨 펄스에 응답하여 312 피모스 트랜지스터가 턴오프되고, 로우레벨의 노드 N304에 응답하여 313 엔모스 트랜지스터가 턴오프된다. 이 후, 클럭 펄스 신호(CKP)의 로우레벨에 응답하여 312 피모스 트랜지스터가 턴온되기 때문에, 노드 N301은 전원 전압(VDD) 레벨의 하이레벨을 유지한다. 로우레벨의 노드 N304에 의해 제2 인버터(325)의 출력은 하이레벨이 된다.

하이레벨의 제2 인버터(325) 출력에 응답하여 321 피모스 트랜지스터가 턴오프되고, 로우레벨의 노드 N304에 응답하여 322 피모스 트랜지스터가 턴온되고, 하이레벨의 노드 N301에 응답하여 323 엔모스 트랜지스터가 턴온되고, 하이레벨의 제2 인버터(325) 출력에 응답하여 324 엔모스 트랜지스터가 턴온된다. 이에 따라 노드 N304는 323 및 324 엔모스 트랜지스터들을 통해 로우레벨이 유지된다. 로우레벨의 노드 N304는 제1 인버터(307)를 통해 하이레벨의 출력 신호(QN)로 발생된다.

이러한 플립플롭(300)은 그 중간 노드들인 노드 N301 및 노드 N304의 접지 전압으로의 경로가 2개의 트랜지스터들, 즉 302 및 303 엔모스 트랜지스터들과 305 및 306 엔모스 트랜지스터들에 의해 형성된다. 그러므로, 종래의 도 1에서 중간 노드들(N109, N125)이 3개의 트랜지스터들에 의해 접지 전압으로의 경로가 형성되는 것에 비하여, 제1 실시예의 플립플롭(300)은 30% 이상의 스위칭 시간 단축을 가져온다. 그리고 플립플롭(300)은 입력 데이터(D)의 로직 레벨이 하이레벨로 일정한 구간 동안 노드 N301의 로직 레벨도 로우레벨로 일정하게 유지되기 때문에, 스태틱(static) 플립플롭이라고 칭한다.

도 3의 플립플롭을 응용한 복합-게이트(complex-gate)들이 도 6 내지 도 8에 도시되어 있다. 도 6은 3-입력 앤드(AND) 게이트를 나타낸다. 3-입력 앤드 게이트(600)는 클럭 펄스 신호(CKP)에 응답하여 입력부(610)를 통해 수신되는 3개의 입력 데이터(A, B, C)를 앤드하여 출력 신호(QN)를 발생한다. 3-입력 앤드 게이트(600)는 입력부(610), 617 엔모스 트랜지스터, 제1 래치(620), 631 피모스 트랜지스터, 632 엔모스 트랜지스터, 633 엔모스 트랜지스터, 제2 래치(640), 그리고 제1 인버터(650)를 포함한다.

입력부(610)는 전원 전압(VDD)과 노드 N611 사이에 병렬 연결되는 3개의 피모스 트랜지스터들, 611, 612 및 613과 노드 N611과 노드 N616 사이에 직렬로 연결되는 3개의 엔모스 트랜지스터들, 614, 615 및 616을 포함한다. 611 피모스 트랜지스터와 614 엔모스 트랜지스터의 게이트들은 A 입력 데이터에 연결되고, 612 피모스 트랜지스터와 615 엔모스 트랜지스터의 게이트들은 B 입력 데이터에 연결되고, 613 피모스 트랜지스터와 616 엔모스 트랜지스터의 게이트들은 C 입력 데이터에 연결된다.

노드 N616과 접지 전압 사이에 617 엔모스 트랜지스터가 연결되고 617 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다. 제1 래치(620)는 전원 전압(VDD)과 노드 N611 사이에 직렬 연결되는 621 및 622 피모스 트랜지스터

들과 노드 N616과 접지 전압(VSS) 사이에 연결되는 623 피모스 트랜지스터를 포함한다. 621 피모스 트랜지스터의 게이트는 노드 N631에 연결되고, 622 피모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결되고, 623 엔모스 트랜지스터의 게이트는 노드 N631에 연결된다.

631, 632 및 633 트랜지스터들은 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬로 연결되는 데, 631 피모스 트랜지스터와 632 엔모스 트랜지스터의 게이트들은 노드 N611에 연결되고 633 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다. 제2 래치(640)는 노드 N631에 연결되는 제2 인버터(645)와 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 641 및 642 피모스 트랜지스터들과 643 및 644 엔모스 트랜지스터들을 포함한다. 641 피모스 트랜지스터의 게이트는 제2 인버터(645) 출력에 연결되고, 642 피모스 트랜지스터의 게이트는 노드 N631에 연결되고, 643 엔모스 트랜지스터의 게이트는 노드 N611에 연결되고, 644 엔모스 트랜지스터의 게이트는 제2 인버터(645) 출력에 연결된다. 노드 N631은 제1 인버터(650)와 연결되어 출력 신호(QN)로 발생된다.

이러한 3-입력 앤드 게이트(600)는 노드 N631이 2개의 엔모스 트랜지스터들, 632 및 633을 통해 접지 전압(VSS)으로의 경로가 형성되기 때문에, 스위칭 시간이 단축된다.

도 7은 3-입력 오아(OR) 게이트를 나타내는 도면이다. 3-입력 오아 게이트(700)는 도 6의 3-입력 앤드 게이트(600)와 비교하여 입력부(710)의 구성만이 차이가 있고 나머지 구성 요소들, 617 엔모스 트랜지스터, 제1 래치(620), 631, 632 및 633 트랜지스터들, 제2 래치(640), 그리고 제1 인버터(650)은 동일하다. 설명의 중복을 피하기 위하여, 나머지 구성 요소들에 대한 설명은 생략된다.

3-입력 오아 게이트(700)는 클럭 펄스 신호(CKP)에 응답하여 수신되는 3개의 입력 데이터들(A, B, C)를 오아링하여 출력 신호(QN)를 발생한다. 입력부(710)는 전원 전압(VDD)과 노드 N713 사이에 직렬 연결되는 3개의 피모스 트랜지스터들, 711, 712 및 713과 노드 N713과 노드 N714 사이에 병렬 연결되는 3개의 엔모스 트랜지스터들, 714, 715 및 716을 포함한다. 711 피모스 트랜지스터와 714 엔모스 트랜지스터의 게이트들은 A 입력 데이터에 연결되고, 712 피모스 트랜지스터와 715 엔모스 트랜지스터의 게이트들은 B 입력 데이터에 연결되고, 713 피모스 트랜지스터와 716 엔모스 트랜지스터의 게이트들은 C 입력 데이터에 연결된다.

도 8은 4-입력 AOI 게이트를 나타내는 도면이다. 4-입력 AOI 게이트(800)는 도 7의 3-입력 오아 게이트(700)와 마찬가지로, 도 6의 3-입력 앤드 게이트(600)와 비교하여 입력부(810)만이 차이가 있고 나머지 구성 요소들은 동일하므로, 나머지 구성 요소들에 대한 설명은 생략된다.

4-입력 AOI 게이트(800)는 클럭 펄스 신호(CKP)에 응답하여 4개의 입력 데이터(A, B, C, D)를 앤드-오아-인버터링하여 출력 신호(QN)를 발생한다. 4-입력 AOI 게이트(800)는 고속 덧셈기에 주로 사용된다. 입력부(810)는 전원 전압(VDD)과 노드 N812 사이에 직렬 연결되는 811 및 812 피모스 트랜지스터들과 815 및 816 피모스 트랜지스터들을 포함하고, 노드 N812와 노드 n814 사이에 직렬 연결되는 813 및 814 엔모스 트랜지스터들과 817 및 818 엔모스 트랜지스터들을 포함한다. 812 피모스 트랜지스터와 813 엔모스 트랜지스터의 게이트들은 A 입력 데이터에 연결되고, 816 피모스 트랜지스터와 814 엔모스 트랜지스터의 게이트들은 B 입력 데이터에 연결되고, 811 피모스 트랜지스터와 817 엔모스 트랜지스터의 게이트들은 C 입력 데이터에 연결되고, 815 피모스 트랜지스터와 818 엔모스 트랜지스터의 게이트들은 D 입력 데이터에 연결된다.

도 9는 본 발명의 제2 실시예에 따른 플립플롭을 설명하는 도면이다. 이를 참조하면, 플립플롭(900)은 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 911 피모스 트랜지스터와 912 및 913 엔모스 트랜지스터들을 포함한다. 911 피모스 트랜지스터의 게이트는 제2 클럭 신호(CK2)에 연결되고, 912 피모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결되고, 913 엔모스 트랜지스터의 게이트는 입력 데이터(D)에 연결된다. 제2 클럭 신호(CK2)와 클럭 펄스 신호(CKP)는 앞서 설명한 도 4A의 펄스 발생 회로에서 제공된다. 911 피모스 트랜지스터와 912 엔모스 트랜지스터 사이의 노드 N911은 제1 래치(920)에 의해 그 로직 레벨이 유지된다.

그리고, 플립플롭(900)은 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 931 피모스 트랜지스터와 932 및 933 엔모스 트랜지스터들을 포함한다. 931 피모스 트랜지스터와 933 엔모스 트랜지스터의 게이트들은 노드 N911에 연결되고, 932 엔모스 트랜지스터의 게이트는 제2 클럭 신호(CK2)에 연결된다. 931 피모스 트랜지스터와 932 엔모스 트랜지스터 사이의 노드 N931은 제2 래치(940)에 의해 그 로직 레벨이 유지된다. 노드 N931은 제1 인버터(960)를 통해 출력 신호(QN)로 발생된다.

제1 래치(820)는 노드 N911에 연결되는 제2 인버터(925)와 전원 전압(VDD) 과 접지 전압(VSS) 사이에 직렬 연결되는 921 및 922 피모스 트랜지스터들과 923 및 924 엔모스 트랜지스터들을 포함한다. 921 피모스 트랜지스터와 924 엔모스 트랜지스터의 게이트들은 제2 인버터(925) 출력에 연결되고, 922 피모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결되고, 923 엔모스 트랜지스터의 게이트는 제2 클럭 신호(CK2)에 연결된다.

제2 래치(940)는 노드 N931에 연결되는 제3 인버터(945)와 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 941 및 942 피모스 트랜지스터와 943 및 944 엔모스 트랜지스터를 포함한다. 941 피모스 트랜지스터와 944 엔모스 트랜지스터의 게이트들은 제3 인버터(945) 출력에 연결되고, 942 피모스 트랜지스터의 게이트는 제2 클럭 신호(CK2)에 연결되고, 943 엔모스 트랜지스터의 게이트는 제1 클럭 신호(CKB1)에 연결된다.

도 10은 도 9의 플립플롭의 동작을 설명하는 타이밍 다이어그램이다. 도 9의 플립플롭(900)과 연계하여, 도 10을 참조하면, 순차적으로 입력되는 클럭 신호(CK)의 상승 에지마다 소정의 펄스로 클럭 펄스 신호(CKP)가 발생되고 클럭 신호(CK)와 동일한 위상(phase)으로 제2 클럭 신호(CK2)가 발생된다. t2 시간에서, 입력 데이터(D)가 로우레벨에서 하이레벨로 천이한다. 하이레벨의 제2 클럭 신호(CK2)에 응답하여 911 피모스 트랜지스터가 턴오프되고 클럭 펄스 신호(CKP)의 하이레벨 펄스에 응답하여 912 엔모스 트랜지스터가 턴온되고 입력 데이터(D)의 하이레벨에 응답하여 913 엔모스 트랜지스터가 턴온되어, 노드 911은 로우레벨이 된다. 로우레벨의 노드 N911은 하이레벨의 제2 클럭 신호(CK)와 하이레벨의 제2 인버터(925) 출력에 각각 응답하여 턴온되는 923 및 924 엔모스 트랜지스터들에 의해 그 로직 레벨이 유지된다.

노드 N931은 로우레벨의 노드 N911에 응답하여 931 피모스 트랜지스터가 턴온되어 하이레벨이 된다. 이 때 하이레벨의 제2 클럭 신호(CK2)에 응답하여 932 엔모스 트랜지스터가 턴온되지만 로우레벨의 노드 N911에 응답하여 933 트랜지스터가 턴오프된다. 하이레벨의 노드 N931은 하이레벨의 제3 인버터 출력에 응답하여 턴온되는 941 피모스 트랜지스터와 하이레벨의 제2 클럭 신호(CK2)에 응답하여 턴온되는 942 피모스 트랜지스터를 통해 그 로직 레벨이 유지된다. 하이레벨의 노드 N931은 제1 인버터(950)를 통해 로우레벨의 출력 신호(QN)로 발생된다.

계속하여, 로우레벨의 노드 N911은 제2 클럭 신호(CK2)가 로우레벨로 토글링되는 구간에 응답하여 턴온되는 911 피모스 트랜지스터에 의해 하이레벨로 변화된다. 이 때, 하이레벨의 입력 데이터(D)에 응답하여 913 엔모스 트랜지스터가 턴온되어 있지만 클럭 펄스 신호(CKP)의 로우레벨에 응답하여 912 엔모스 트랜지스터가 턴오프되어, 노드 N911은 하이레벨이다. 그리고 하이레벨의 노드 N911은 로우레벨의 제2 인버터(925) 출력에 응답하여 턴온되는 921 피모스 트랜지스터와 로우레벨의 클럭 펄스 신호(CKP)에 응답하여 턴온되는 922 피모스 트랜지스터를 통해 그 로직레벨이 유지된다. 이러한 동작의 반복으로, 노드 N911은 입력 데이터(D)의 하이레벨 구간 동안 제2 클럭 신호(CK2)의 로직 레벨에 따라 토글링된다.

t6 시간에서, 입력 데이터(D)가 하이레벨에서 로우레벨로 천이된다. 로우레벨의 입력 데이터(D)에 응답하여 913 엔모스 트랜지스터가 턴오프된다. 하이레벨의 제2 클럭 신호(CK2)에 응답하여 911 피모스 트랜지스터가 턴온되어 노드 N911은 하이레벨이 된다. 하이레벨의 노드 N911은 로우레벨의 제2 인버터(925) 출력에 응답하여 턴온되는 921 피모스 트랜지스터와 로우레벨의 클럭 펄스 신호(CKP)에 응답하여 턴온되는 922 피모스 트랜지스터에 의해 그 로직 레벨이 유지된다.

하이레벨의 노드 N911에 응답하여 931 피모스 트랜지스터가 턴오프되고, 하이레벨의 제2 클럭 신호(CK2)에 응답하여 932 엔모스 트랜지스터가 턴온되고, 하이레벨의 노드 N911에 응답하여 933 엔모스 트랜지스터가 턴온되어, 노드 N931은 로우레벨이 된다. 로우레벨의 노드 N931은 하이레벨의 제3 인버터(945) 출력에 응답하여 턴온되는 944 엔모스 트랜지스터와 하이레벨의 제1 클럭 신호(CKB1)에 응답하여 턴온되는 943 엔모스 트랜지스터에 의해 그 전압 레벨이 유지된다. 로우레벨의 노드 N931은 제1 인버터(950)를 통해 하이레벨의 출력 신호(QN)로 발생된다.

제2 실시예의 플립플롭(900)은 그 중간 노드들, 즉 노드 N911 및 노드 N931이 2개의 엔모스 트랜지스터들, 912 및 913과 932 및 933을 통해 접지 전압으로의 경로가 형성되기 때문에, 스위칭 시간이 단축된다. 그리고 플립플롭(900)은 입력 데이터(D)가 하이레벨로 일정한 구간 동안 노드 N911의 로직 레벨이 토글링하기 때문에, 다이나믹 플립플롭이라고 칭한다.

제2 실시예의 플립플롭(900)을 이용한 복합 게이트들이 도 11 내지 도 15에 도시되어 있다. 도 11은 3-입력 앤드 게이트를 나타내는 도면이다. 3-입력 앤드 게이트(1100)는 제2 클럭 신호(CK2) 및 클럭 펄스 신호(CKP)에 응답하여 3개의 입력 데이터들(A, B, C)을 앤드하여 그 출력 신호(QN)를 발생한다. 3-입력 앤드 게이트(1100)는 입력부(1110), 제1 래치

(920), 931, 932 및 933 트랜지스터들, 제2 래치(940) 그리고 제1 인버터(950)를 포함한다. 제1 래치부(920), 931, 932 및 933 트랜지스터들, 제2 래치(940) 그리고 제1 인버터(950)는 도 9의 플립플롭(900)의 구성과 동일하다. 설명의 중복을 피하기 위하여, 동일한 구성 요소들의 설명은 생략된다.

입력부(1110)는 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 1111 피모스 트랜지스터, 1112, 113, 114 및 115 엔모스 트랜지스터들을 포함한다. 1111 피모스 트랜지스터의 게이트는 제2 클럭 신호(CK2)에 연결되고, 1112 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결되고, 1113 엔모스 트랜지스터의 게이트는 A 입력 데이터에 연결되고, 1114 엔모스 트랜지스터의 게이트는 B 입력 데이터에 연결되고, 1115 엔모스 트랜지스터의 게이트는 C 입력 데이터에 연결된다. 1111 피모스 트랜지스터와 1112 엔모스 트랜지스터 사이의 노드 N1111은 제1 래치(920)에 연결되어 그 로직 레벨이 유지된다.

도 12는 제1예의 3-입력 오아 게이트를 나타낸다. 이를 참조하면, 3-입력 오아 게이트(1200)는 제2 클럭 신호(CK2) 및 클럭 펄스 신호(CKP)에 응답하여 3개의 입력 데이터들(A, B, C)을 오아하여 그 출력 신호(QN)를 발생한다. 3-입력 오아 게이트(1200)는 도 11의 3-입력 앤드 게이트(1100)와 마찬가지로, 도 9의 플립플롭(900)과 비교하여 입력부(1210)만이 차이가 있고 나머지 구성 요소들은 동일하기 때문에, 나머지 구성 요소들에 대한 설명이 생략된다.

입력부(1210)는 전원 전압(VDD)과 노드 N1212 사이에 직렬 연결되는 1211 및 1212 피모스 트랜지스터들과 노드 N1212와 접지 전압(VSS) 사이에 병렬 연결되는 3개의 엔모스 트랜지스터들, 1213, 1214 및 1215를 포함한다. 1211 피모스 트랜지스터의 게이트는 제2 클럭 신호(CK2)에 연결되고, 1212 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결되고, 1213 엔모스 트랜지스터의 게이트는 A 입력 데이터에 연결되고, 1214 엔모스 트랜지스터의 게이트는 B 입력 데이터에 연결되고, 1215 엔모스 트랜지스터의 게이트는 C 입력 데이터에 연결된다. 1211 피모스 트랜지스터와 1212 엔모스 트랜지스터 사이의 노드 N1211은 제1 래치(920)에 연결되어 그 로직 레벨이 유지된다.

도 13은 제2예의 3-입력 오아 게이트를 나타낸다. 이를 참조하면, 3-입력 오아 게이트(1300)는 제2 클럭 신호(CK2) 및 클럭 펄스 신호(CKP)에 응답하여 3개의 입력 데이터들(A, B, C)을 오아하여 그 출력 신호(QN)를 발생한다. 3-입력 오아 게이트(1300)는 도 11의 3-입력 앤드 게이트(1100)와 마찬가지로, 도 9의 플립플롭(900)과 비교하여 입력부(1310)만이 차이가 있고 나머지 구성 요소들은 동일하기 때문에, 나머지 구성 요소들에 대한 설명이 생략된다.

입력부(1310)는 전원 전압(VDD)과 노드 N1311 사이에 연결되는 1311 피모스 트랜지스터, 노드 1311과 접지 전압 사이에 각각 직렬 연결되는 1312 및 1315, 1313 및 1316, 1314 및 1317 엔모스 트랜지스터들을 포함한다. 1311 피모스 트랜지스터의 게이트는 제2 클럭 신호(CK2)에 연결되고, 1312 엔모스 트랜지스터의 게이트는 A 입력 데이터에 연결되고, 1313 엔모스 트랜지스터의 게이트는 B 입력 데이터에 연결되고, 1314 엔모스 트랜지스터의 게이트는 C 입력 데이터에 연결되고, 1315, 1316 및 1317 엔모스 트랜지스터들의 게이트들은 클럭 펄스 신호(CKP)에 연결된다. 1311 피모스 트랜지스터와 1312, 1313 및 1314 엔모스 트랜지스터들 사이의 노드 N1311은 제1 래치(920)에 연결되어 그 로직 레벨이 유지된다.

도 14는 제3예의 3-입력 오아 게이트를 나타낸다. 이를 참조하면, 3-입력 오아 게이트(1400)는 제2 클럭 신호(CK2) 및 클럭 펄스 신호(CKP)에 응답하여 3개의 입력 데이터들(A, B, C)을 오아하여 그 출력 신호(QN)를 발생한다. 3-입력 오아 게이트(1400)는 도 11의 3-입력 앤드 게이트(1100)와 마찬가지로, 도 9의 플립플롭(900)과 비교하여 입력부(1410)만이 차이가 있고 나머지 구성 요소들은 동일하기 때문에, 나머지 구성 요소들에 대한 설명이 생략된다.

입력부(1410)는 전원 전압(VDD)과 노드 N1411 사이에 연결되는 1411 피모스 트랜지스터와 노드 N1411과 노드 N1412 사이에 병렬 연결되는 3개의 엔모스 트랜지스터들, 1412, 1413 및 1414와 노드 N1412와 접지 전압(VSS) 사이에 연결되는 1415 엔모스 트랜지스터를 포함한다. 1411 피모스 트랜지스터의 게이트는 제2 클럭 신호(CK2)에 연결되고, 1412 엔모스 트랜지스터의 게이트는 A 입력 데이터에 연결되고, 1413 엔모스 트랜지스터의 게이트는 B 입력 데이터에 연결되고, 1414 엔모스 트랜지스터의 게이트는 C 입력 데이터에 연결되고, 1415 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다. 1411 피모스 트랜지스터와 1412, 1413 및 1414 엔모스 트랜지스터들 사이의 노드 N1411은 제1 래치(920)에 연결되어 그 로직 레벨이 유지된다.

도 15는 6-입력 AOI 게이트를 나타낸다. 이를 참조하면, 6-입력 AOI 게이트(1500)는 제2 클럭 신호(CK2) 및 클럭 펄스 신호(CKP)에 응답하여 6개의 입력 데이터들(A, B, C, X, Y, Z)을 앤드-오아-인버터링하여 출력 신호(QN)를 발생한다. 6-입력 AOI 게이트(1500)는 도 11의 3-입력 앤드 게이트(1100)와 마찬가지로, 도 9의 플립플롭(900)과 비교하여 입력부(1510)만이 차이가 있고 나머지 구성 요소들은 동일하기 때문에, 나머지 구성 요소들에 대한 설명이 생략된다.

입력부(1510)는 전원 전압(VDD)과 노드 N1512 사이에 직렬 연결되는 1511 피모스 트랜지스터 및 1512 엔모스 트랜지스터와 노드 N1512와 접지 전압(VSS) 사이에 각각 직렬 연결되는 1513 및 1516, 1514 및 1517, 1515 및 1518 엔모스 트랜지스터들을 포함한다. 1511 피모스 트랜지스터의 게이트는 제2 클럭 신호(CK2)에 연결되고, 1512 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결되고, 1513 엔모스 트랜지스터의 게이트는 A 입력 데이터에 연결되고, 1514 엔모스 트랜지스터의 게이트는 B 입력 데이터에 연결되고, 1515 엔모스 트랜지스터의 게이트는 C 입력 데이터에 연결되고, 1516 엔모스 트랜지스터의 게이트는 X 입력 데이터에 연결되고, 1517 엔모스 트랜지스터의 게이트는 Y 입력 데이터에 연결되고, 1518 엔모스 트랜지스터의 게이트는 Z 입력 데이터에 연결된다. 1511 피모스 트랜지스터와 1512 엔모스 트랜지스터 사이의 노드 N1511은 제1 래치(920)에 연결되어 그 로직 레벨이 유지된다.

앞서 설명한 복합 게이트들 보다 좀더 간략화된 복합 게이트들이 도 16 내지 도 18에 도시되어 있다. 도 16은 2-입력 앤드 게이트를 나타낸다. 이를 참조하면, 2-입력 앤드 게이트(1600)은 클럭 펄스 신호(CKP)에 응답하여 2개의 입력 데이터들(A, B)을 앤드하여 출력 신호(QN)를 발생한다. 2-입력 앤드 게이트(1600)는 입력부(1610), 제1 래치(1620), 1631, 1632 및 1633 트랜지스터들, 제2 래치(1640) 그리고 제1 인버터(1650)를 포함한다.

입력부(1610)는 전원 전압(VDD)과 접지 전압 사이에 4개의 트랜지스터들, 1611, 1612, 1613 및 1614가 직렬 연결된다. 1611 피모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결되고, 1612 엔모스 트랜지스터의 게이트는 A 입력 데이터에 연결되고, 1613 엔모스 트랜지스터의 게이트는 B 입력 데이터에 연결되고, 1614 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다.

제1 래치(1620)는 1611 피모스 트랜지스터와 1612 엔모스 트랜지스터 사이의 노드 N1611의 로직 레벨을 래치한다. 제1 래치(1620)는 노드 N1611을 입력하는 제2 인버터(1621)와 전원 전압(VDD)과 노드 N1611 사이에 연결되고 제2 인버터(1621) 출력에 게이팅되는 1622 엔모스 트랜지스터를 포함한다. 제1 래치(1620)는 노드 N1611의 로직 레벨을 홀딩 및 유지한다.

전원 전압(VDD)과 접지 전압 사이에 1631, 1632 및 1633 트랜지스터들이 직렬 연결된다. 1631 피모스 트랜지스터 및 1632 엔모스 트랜지스터의 게이트들은 노드 N1611에 연결되고, 1633 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다.

제2 래치(1640)는 1631 피모스 트랜지스터와 1632 엔모스 트랜지스터 사이의 노드 N1631를 래치하는 제3 및 제4 인버터들(1641, 1642)을 포함한다. 제2 래치(1640)는 노드 N1631의 로직 레벨을 홀딩 및 유지한다. 노드 N1631은 제1 인버터(1650)를 통해 출력 신호(QN)로 발생된다.

도 17은 3-입력 오아 게이트를 나타낸다. 이를 참조하면, 3-입력 오아 게이트(1700)은 클럭 펄스 신호(CKP)에 응답하여 3개의 입력 데이터들(A, B, C)을 오아하여 출력 신호(QN)를 발생한다. 3-입력 오아 게이트(1700)는 도 16의 2-입력 앤드 게이트(1600)와 비교하여 입력부(1710)만이 차이가 있고 나머지 구성 요소들, 제1 래치(1620), 1631, 1632 및 1633 트랜지스터들, 제2 래치(1640) 그리고 제1 인버터(1650)는 동일하다. 설명의 중복을 피하기 위하여 나머지 구성 요소들에 대한 설명은 생략된다.

입력부(1710)는 전원 전압(VDD)과 노드 N1711 사이에 연결되는 1711 피모스 트랜지스터와 노드 N1711과 노드 N1712 사이에 병렬 연결되는 3개의 엔모스 트랜지스터들, 1712, 1713 및 1714와 노드 N1712와 접지 전압(VSS) 사이에 연결되는 1715 엔모스 트랜지스터를 포함한다. 1711 피모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결되고, 1712 엔모스 트랜지스터의 게이트는 A 입력 데이터에 연결되고, 1713 엔모스 트랜지스터의 게이트는 B 입력 데이터에 연결되고, 1714 엔모스 트랜지스터의 게이트는 C 입력 데이터에 연결되고, 1715 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다. 노드 N1711의 로직 레벨은 제1 래치(1620)에 의해 홀딩 및 유지된다.

도 18은 6-입력 AOI 게이트를 나타낸다. 이를 참조하면, 6-입력 AOI 게이트(1800)는 클럭 펄스 신호(CKP)에 응답하여 6개의 입력 데이터들(A, B, C, X, Y, Z)을 앤드-오아-인버터링하여 출력 신호(QN)를 발생한다. 6-입력 AOI 게이트(1800)는 도 17의 3-입력 오아 게이트(1700)와 마찬가지로, 입력부(1810)만이 차이가 있고 나머지 구성 요소들은 도 16의 2-입력 앤드 게이트(1600)와 동일하므로, 나머지 구성 요소들에 대한 설명은 생략된다.

입력부(1810)는 전원 전압(VDD)과 노드 N1811 사이에 연결되는 1811 피모스 트랜지스터와 노드 N1811과 노드 N1815 사이에 각각 직렬 연결되는 1812 및 1815, 1813 및 1816, 1814 및 1817 트랜지스터들과 노드 N1815와 접지 전압(VSS) 사이에 연결되는 1818 엔모스 트랜지스터를 포함한다. 1811 피모스 트랜지스터의 게이트는 클럭 펄스 신호에

연결되고, 1812 엔모스 트랜지스터의 게이트는 A 입력 데이터에 연결되고, 1813 엔모스 트랜지스터의 게이트는 B 입력 데이터에 연결되고, 1814 엔모스 트랜지스터의 게이트는 C 입력 데이터에 연결되고, 1815 엔모스 트랜지스터의 게이트는 X 입력 데이터에 연결되고, 1816 엔모스 트랜지스터의 게이트는 Y 입력 데이터에 연결되고, 1817 엔모스 트랜지스터의 게이트는 Z 입력 데이터에 연결되고, 1818 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다. 노드 N1811의 로직 레벨은 제1 래치(1620)에 의해 홀딩 및 유지된다.

도 19는 본 발명의 제3 실시예에 따른 플립플롭을 설명하는 도면이다. 이를 참조하면, 플립플롭(1900)은 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 1911 피모스 트랜지스터, 1912 엔모스 트랜지스터 및 1913 엔모스 트랜지스터를 포함한다. 1911 피모스 트랜지스터의 게이트는 제2 클럭 신호(CK2)에 연결되고, 1912 엔모스 트랜지스터의 게이트는 입력 데이터(D)에 연결되고, 1913 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다. 1911 피모스 트랜지스터와 1912 엔모스 트랜지스터 사이의 노드 N1911은 제1 래치(1920)에 연결된다.

그리고 플립플롭(1900)은 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 1931 피모스 트랜지스터, 1932 엔모스 트랜지스터 및 1933 엔모스 트랜지스터를 포함한다. 1931 피모스 트랜지스터와 1932 엔모스 트랜지스터의 게이트들은 노드 N1911에 연결되고, 1933 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다. 1931 피모스 트랜지스터와 1932 엔모스 트랜지스터 사이의 노드 N1931은 제2 래치(1940)에 연결되고, 제1 인버터(1950)를 통해 출력 신호(QN)로 발생된다.

제1 래치(1920)는 노드 N1911에 연결되는 제2 인버터(1925)와 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 1921, 1922, 1923 및 1934 트랜지스터들을 포함한다. 1921 피모스 트랜지스터는 제2 인버터(1925) 출력에 연결되고, 1922 피모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결되고, 1923 엔모스 트랜지스터의 게이트는 제2 클럭 신호(CK2)에 연결되고, 1924 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다. 제2 래치(1940)는 노드 N1931에 연결되는 제3 인버터(1941)와 제3 인버터(1941) 출력에 연결되고 그 출력이 노드 N1931에 연결되는 제4 인버터(1942)를 포함한다.

도 20은 본 발명의 제4 실시예에 따른 플립플롭을 설명하는 도면이다. 이를 참조하면, 플립플롭(2000)은 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 2011, 2012 및 2013 트랜지스터들을 포함한다. 2011 피모스 트랜지스터의 게이트는 제2 클럭 신호(CK2)에 연결되고, 2012 엔모스 트랜지스터의 게이트는 입력 데이터(D)에 연결되고, 2013 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다. 2011 피모스 트랜지스터와 2012 엔모스 트랜지스터 사이의 노드 N2011은 제1 래치(2020)에 연결된다.

그리고 플립플롭(2000)은 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬 연결되는 2031, 2032 및 2033 트랜지스터들을 포함한다. 2031 피모스 트랜지스터 및 2032 엔모스 트랜지스터의 게이트들은 노드 N2011에 연결되고, 2033 엔모스 트랜지스터의 게이트는 클럭 펄스 신호(CKP)에 연결된다. 2031 피모스 트랜지스터와 2032 엔모스 트랜지스터 사이의 노드 N2031은 제2 래치(2040)에 연결된다. 노드 N2031은 제1 인버터(2050)를 통해 출력 신호(QN)로 발생된다.

제1 래치(2020)는 노드 N2011에 연결되는 제2 인버터(2021)와 제2 인버터(2021) 출력에 연결되고 그 출력이 노드 N2031에 연결되는 제3 인버터(2022)를 포함한다. 제2 래치(2040)는 노드 N2031에 연결되는 제4 인버터(2041)와 제4 인버터(2041) 출력에 연결되고 그 출력이 노드 N2031에 연결되는 제5 인버터(2042)를 포함한다.

도 19의 플립플롭(1900)과 도 20의 플립플롭(2000)의 동작은 도 21에 도시되어 있다. 이를 참조하면, 순차적으로 클럭 신호(CK)가 입력되고, 클럭 신호(CK)의 상승에지에 응답하여 소정의 하이레벨 펄스로 클럭 펄스 신호(CKP)가 발생되고, 클럭 신호(CK)와 동일한 위상으로 제2 클럭 신호(CK2)가 발생된다. t_2 시간에서, 입력 데이터(D)가 로우레벨에서 하이레벨로 천이하면, 제1 중간 노드들인 노드 N1911(도 19)와 노드 N2011(도 20)은 하이레벨에서 로우레벨로 변하고, 제2 중간 노드들인 노드 N1931(도 19)과 노드 N2031(도 20)은 로우레벨에서 하이레벨로 변하고, 출력 신호(QN)는 로우레벨로 발생된다. 이후, 노드 N1911(도 19)와 노드 N2011(도 20)은 제2 클럭 신호의 토글링에 따라 그 로직 레벨들도 토글링된다. t_6 시간에서, 입력 데이터(D)가 하이레벨에서 로우레벨로 천이하면, 제1 중간 노드들인 노드 N1911(도 19)와 노드 N2011(도 20)은 하이레벨로 변하고, 제2 중간 노드들인 노드 N1931(도 19)과 노드 N2031(도 20)은 로우레벨로 변하고, 출력 신호(QN)는 하이레벨로 발생된다.

도 19의 플립플롭(1900)과 도 20의 플립플롭(2000)은 입력 데이터(D)의 하이레벨 구간 동안 노드 N1911과 노드 N2011이 토글링하기 때문에, 다이내믹 플립플롭으로 불린다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 본 발명에 의하면, 플립플롭들의 중간 노드들이 로직 레벨 스위칭시 접지 전압으로의 경로가 2개의 엔모스 트랜지스터들을 통해 형성되므로, 종래 3개 트랜지스터들을 통해 이루어지던 접지 전압으로의 경로에 비해 스위칭 시간이 단축된다. 그리고 이러한 플립플롭들을 이용한 복합 게이트들도 짧은 스위칭 시간을 갖는다.

(57) 청구의 범위

청구항 1.

전원 전압이 그 소스에 연결되고 입력 데이터가 그 게이트로 인가되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 입력 데이터가 그 게이트로 인가되는 제2 엔모스 트랜지스터;

상기 제2 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제3 엔모스 트랜지스터;

상기 제1 피모스 트랜지스터와 상기 제2 엔모스 트랜지스터 사이의 제1 연결점과 상기 제2 엔모스 트랜지스터와 상기 제3 엔모스 트랜지스터 사이의 제2 연결점의 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제4 피모스 트랜지스터;

상기 제4 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제5 엔모스 트랜지스터;

상기 제5 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제6 엔모스 트랜지스터; 및

상기 제4 피모스 트랜지스터와 상기 제5 엔모스 트랜지스터 사이의 제3 연결점의 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 플립플롭.

청구항 2.

제1항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호를 입력하고 직렬 연결되는 제1 내지 제3 인버터들;

상기 클럭 신호와 상기 제3 인버터 출력을 입력하는 낸드 게이트; 및

상기 낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 발생하는 제4 인버터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 3.

제1항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호와 제4 연결점을 입력하는 낸드 게이트;

낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 출력하는 제1 인버터;

상기 전원 전압이 그 소스에 연결되고 상기 클럭 신호가 그 게이트에 연결되고 상기 제4 연결점이 그 드레인에 연결되는 제7 피모스 트랜지스터;

상기 제4 연결점이 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제8 엔모스 트랜지스터;

상기 제4 연결점을 입력하는 제2 인버터;

상기 제4 연결점이 그 드레인에 연결되고 상기 클럭 신호가 그 게이트에 연결되는 제9 엔모스 트랜지스터; 및

상기 제9 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제2 인버터 출력이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제10 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 4.

제1항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호를 입력하고 직렬 연결되는 제1 내지 제3 인버터들;

상기 클럭 신호, 인에이블 신호 및 상기 제3 인버터 출력을 입력하는 낸드 게이트; 및

상기 낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 발생하는 제4 인버터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 5.

제1항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호, 인에이블 신호 및 제4 연결점을 입력하는 낸드 게이트;

낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 출력하는 제1 인버터;

상기 전원 전압이 그 소스에 연결되고 상기 클럭 신호가 그 게이트에 연결되고 상기 제4 연결점이 그 드레인에 연결되는 제7 피모스 트랜지스터;

상기 제4 연결점이 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제8 엔모스 트랜지스터;

상기 제4 연결점을 입력하는 제2 인버터;

상기 제4 연결점이 그 드레인에 연결되고 상기 클럭 신호가 그 게이트에 연결되는 제9 엔모스 트랜지스터; 및

상기 제9 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제2 인버터 출력이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제10 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 6.

제1항에 있어서, 상기 제1 래치는

상기 전원 전압이 그 소스에 연결되고 상기 제3 연결점이 그 게이트에 연결되는 제7 피모스 트랜지스터;

상기 제7 피모스 트랜지스터의 드레인에 그 소스가 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 제1 연결점이 그 드레인에 연결되는 제8 피모스 트랜지스터; 및

상기 제2 연결점이 그 드레인에 연결되고 상기 제3 연결점이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제9 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 7.

제1항에 있어서, 상기 제2 래치는

상기 제3 연결점에 연결되는 인버터;

상기 전원 전압이 그 소스에 연결되고 상기 인버터의 출력이 그 게이트에 연결되는 제10 피모스 트랜지스터;

상기 제10 피모스 트랜지스터의 드레인이 그 소스에 연결되고 상기 제3 연결점이 그 게이트에 연결되고 상기 제3 연결점이 그 드레인에 연결되는 제11 피모스 트랜지스터;

상기 제3 연결점이 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제12 엔모스 트랜지스터; 및

상기 제12 엔모스 트랜지스터의 소스에 그 드레인이 연결되고 상기 인버터의 출력이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제13 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 8.

전원 전압이 그 소스에 연결되고 데이터가 그 게이트로 인가되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 데이터가 그 게이트로 인가되는 제2 엔모스 트랜지스터;

상기 제2 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제3 엔모스 트랜지스터;

상기 제1 피모스 트랜지스터와 상기 제2 엔모스 트랜지스터 사이의 제1 연결점과 상기 제2 엔모스 트랜지스터와 상기 제3 엔모스 트랜지스터 사이의 제2 연결점의 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제4 피모스 트랜지스터;

상기 제4 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되는 제5 엔모스 트랜지스터;

상기 제5 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제6 엔모스 트랜지스터; 및

상기 제4 피모스 트랜지스터와 상기 제5 엔모스 트랜지스터 사이의 제3 연결점의 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 플립플롭.

청구항 9.

제8항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호를 입력하고 직렬 연결되는 제1 내지 제3 인버터들;

상기 클럭 신호와 상기 제3 인버터 출력을 입력하는 낸드 게이트; 및

상기 낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 발생하는 제4 인버터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 10.

제8항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호와 제4 연결점을 입력하는 낸드 게이트;

낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 출력하는 제1 인버터;

상기 전원 전압이 그 소스에 연결되고 상기 클럭 신호가 그 게이트에 연결되고 상기 제4 연결점이 그 드레인에 연결되는 제7 피모스 트랜지스터;

상기 제4 연결점이 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트. 연결되고 상기 접지 전압이 그 소스에 연결되는 제8 엔모스 트랜지스터;

상기 제4 연결점을 입력하는 제2 인버터;

상기 제4 연결점이 그 드레인에 연결되고 상기 클럭 신호가 그 게이트에 연결되는 제9 엔모스 트랜지스터; 및

상기 제9 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제2 인버터 출력이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제10 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 11.

제8항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호를 입력하고 직렬 연결되는 제1 내지 제3 인버터들;

상기 클럭 신호, 인에이블 신호 및 상기 제3 인버터 출력을 입력하는 낸드 게이트; 및

상기 낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 발생하는 제4 인버터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 12.

제8항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호, 인에이블 신호 및 제4 연결점을 입력하는 낸드 게이트;

낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 출력하는 제1 인버터;

상기 전원 전압이 그 소스에 연결되고 상기 클럭 신호가 그 게이트에 연결되고 상기 제4 연결점이 그 드레인에 연결되는 제7 피모스 트랜지스터;

상기 제4 연결점이 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제8 엔모스 트랜지스터;

상기 제4 연결점을 입력하는 제2 인버터;

상기 제4 연결점이 그 드레인에 연결되고 상기 클럭 신호가 그 게이트에 연결되는 제9 엔모스 트랜지스터; 및

상기 제9 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제2 인버터 출력이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제10 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 13.

제8항에 있어서, 상기 제1 래치는

상기 전원 전압이 그 소스에 연결되고 상기 제3 연결점이 그 게이트에 연결되는 제7 피모스 트랜지스터;

상기 제7 피모스 트랜지스터의 드레인에 그 소스가 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 제1 연결점이 그 드레인에 연결되는 제8 피모스 트랜지스터; 및

상기 제2 연결점이 그 드레인에 연결되고 상기 제3 연결점이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제9 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 14.

제8항에 있어서, 상기 제2 래치는

상기 제3 연결점에 연결되는 인버터;

상기 전원 전압이 그 소스에 연결되고 상기 인버터의 출력이 그 게이트에 연결되는 제10 피모스 트랜지스터;

상기 제10 피모스 트랜지스터의 드레인이 그 소스에 연결되고 상기 제3 연결점이 그 게이트에 연결되고 상기 제3 연결점이 그 드레인에 연결되는 제11 피모스 트랜지스터;

상기 제3 연결점이 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제12 엔모스 트랜지스터; 및

상기 제12 엔모스 트랜지스터의 소스에 그 드레인이 연결되고 상기 인버터의 출력이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제13 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 15.

전원 전압이 그 소스에 연결되고 제2 클럭 신호가 그 게이트에 연결되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되는 제2 엔모스 트랜지스터;

상기 제2 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 입력 데이터가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제3 엔모스 트랜지스터;

상기 제1 피모스 트랜지스터와 상기 제2 엔모스 트랜지스터 사이의 제1 연결점의 로직 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제4 피모스 트랜지스터;

상기 제4 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제2 클럭 신호가 그 게이트에 연결되는 제5 엔모스 트랜지스터;

상기 제5 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제6 엔모스 트랜지스터; 및

상기 제4 피모스 트랜지스터와 상기 제5 엔모스 트랜지스터 사이의 제2 연결점의 로직 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 플립플롭.

청구항 16.

제15항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호를 입력하고 제1 클럭 신호를 발생하는 제1 인버터;

상기 제1 클럭 신호를 입력하고 상기 제2 클럭 신호를 발생하는 제2 인버터;

상기 제2 인버터 출력을 입력하는 제3 인버터;

상기 클럭 신호와 상기 제3 인버터 출력을 입력하는 낸드 게이트; 및

상기 낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 발생하는 제4 인버터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 17.

제15항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호를 입력하는 제1 클럭 신호를 발생하는 제1 인버터;

상기 제1 클럭 신호를 입력하고 상기 제2 클럭 신호를 발생하는 제2 인버터;

상기 제2 인버터 출력을 입력하는 제3 인버터;

상기 클럭 신호, 인에이블 신호 및 상기 제3 인버터 출력을 입력하는 낸드 게이트; 및

상기 낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 발생하는 제4 인버터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 18.

제15항에 있어서, 상기 제1 래치는

상기 제1 연결점에 연결되는 제1 인버터;

상기 전원 전압이 그 소스에 연결되고 상기 제1 인버터 출력이 그 게이트에 연결되는 제7 피모스 트랜지스터;

상기 제7 피모스 트랜지스터의 드레인이 그 소스에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 제1 연결점이 그 드레인에 연결되는 제8 피모스 트랜지스터;

상기 제1 연결점이 그 드레인에 연결되고 상기 제2 클럭 신호가 그 게이트에 연결되는 제9 엔모스 트랜지스터;

상기 9 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제1 인버터 출력이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제10 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 19.

제15항 내지 제17항에 있어서, 상기 제2 래치는

상기 제2 연결점에 연결되는 제2 인버터;

상기 전원 전압이 그 소스에 연결되고 상기 제2 인버터 출력이 그 게이트에 연결되는 제11 피모스 트랜지스터;

상기 제11 피모스 트랜지스터의 드레인이 그 소스에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 제2 연결점이 그 드레인에 연결되는 제12 피모스 트랜지스터;

상기 제2 연결점이 그 드레인에 연결되고 상기 제1 클럭 신호가 그 게이트에 연결되는 제13 엔모스 트랜지스터;

상기 제13 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제2 인버터 출력이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제14 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 20.

전원 전압이 그 소스에 연결되고 제2 클럭 신호가 그 게이트에 연결되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 입력 데이터가 그 게이트에 연결되는 제2 엔모스 트랜지스터;

상기 제2 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제3 엔모스 트랜지스터;

상기 제1 피모스 트랜지스터와 상기 제2 엔모스 트랜지스터 사이의 제1 연결점의 로직 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제4 피모스 트랜지스터;

상기 제4 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제5 엔모스 트랜지스터;

상기 제5 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되는 제6 엔모스 트랜지스터; 및

상기 제4 피모스 트랜지스터와 상기 제5 엔모스 트랜지스터 사이의 제2 연결점의 로직 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 플립플롭.

청구항 21.

제20항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호를 입력하는 제1 인버터;

상기 제1 인버터 출력을 입력하고 상기 제2 클럭 신호를 발생하는 제2 인버터;

상기 제2 인버터 출력을 입력하는 제3 인버터;

상기 클럭 신호와 상기 제3 인버터 출력을 입력하는 낸드 게이트; 및

상기 낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 발생하는 제4 인버터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 22.

제20항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호를 입력하는 제1 인버터;

상기 제1 인버터 출력을 입력하고 상기 제2 클럭 신호를 발생하는 제2 인버터;

상기 제2 인버터 출력을 입력하는 제3 인버터;

상기 클럭 신호, 인에이블 신호 및 상기 제3 인버터 출력을 입력하는 낸드 게이트; 및

상기 낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 발생하는 제4 인버터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 23.

제20항에 있어서, 상기 제1 래치는

상기 제1 연결점에 연결되는 제1 인버터;

상기 전원 전압이 그 소스에 연결되고 상기 제1 인버터 출력이 그 게이트에 연결되는 제7 피모스 트랜지스터;

상기 제7 피모스 트랜지스터의 드레인이 그 소스에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 제1 연결점이 그 드레인에 연결되는 제8 피모스 트랜지스터;

상기 제1 연결점이 그 드레인에 연결되고 상기 제2 클럭 신호가 그 게이트에 연결되는 제9 엔모스 트랜지스터; 및

상기 제9 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제1 인버터 출력이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제10 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 24.

제20항에 있어서, 상기 제1 래치는

상기 제1 연결점을 입력하는 제2 인버터; 및

상기 제2 인버터 출력을 입력하고 그 출력이 상기 제1 연결점에 연결되는 제3 인버터를 구비하는 플립플롭.

청구항 25.

제20항에 있어서, 상기 제2 래치는

상기 제2 연결점을 입력하는 제4 인버터; 및

상기 제2 인버터 출력을 입력하고 그 출력이 상기 제2 연결점에 연결되는 제5 인버터를 구비하는 플립플롭.

청구항 26.

전원 전압과 제1 연결점 사이에 병렬 연결되는 제1 내지 제3 피모스 트랜지스터들과 상기 제1 연결점과 제2 연결점 사이에 직렬 연결되는 제1 내지 제3 엔모스 트랜지스터들을 포함하고, 상기 제1 피모스 트랜지스터와 제1 엔모스 트랜지스터의 게이트는 제1 입력 데이터에 연결되고 상기 제2 피모스 트랜지스터와 제2 엔모스 트랜지스터의 게이트는 제2 입력 데이터에 연결되고 상기 제3 피모스 트랜지스터와 제3 엔모스 트랜지스터의 게이트는 제3 입력 데이터에 연결되는 입력부;

상기 제3 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제4 엔모스 트랜지스터;

상기 제1 연결점과 상기 제2 연결점의 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제5 피모스 트랜지스터;

상기 제5 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제6 엔모스 트랜지스터;

상기 제6 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제7 엔모스 트랜지스터; 및

상기 제5 피모스 트랜지스터와 상기 제6 엔모스 트랜지스터 사이의 제3 연결점의 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 3-입력 앤드 게이트의 복합 게이트.

청구항 27.

전원 전압과 제1 연결점 사이에 직렬 연결되는 제1 내지 제3 피모스 트랜지스터들과 상기 제1 연결점과 제2 연결점 사이에 병렬 연결되는 제1 내지 제3 엔모스 트랜지스터들을 포함하고, 상기 제1 피모스 트랜지스터와 제1 엔모스 트랜지스터의 게이트는 제1 입력 데이터에 연결되고 상기 제2 피모스 트랜지스터와 제2 엔모스 트랜지스터의 게이트는 제2 입력 데이터에 연결되고 상기 제3 피모스 트랜지스터와 제3 엔모스 트랜지스터의 게이트는 제3 입력 데이터에 연결되는 입력부;

상기 제3 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제4 엔모스 트랜지스터;

상기 제1 연결점과 상기 제2 연결점의 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제5 피모스 트랜지스터;

상기 제5 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제6 엔모스 트랜지스터;

상기 제6 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제7 엔모스 트랜지스터; 및

상기 제5 피모스 트랜지스터와 상기 제6 엔모스 트랜지스터 사이의 제3 연결점의 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 3-입력 오아 게이트의 복합 게이트.

청구항 28.

전원 전압과 제1 연결점 사이에 각각 직렬 연결되는 제1 및 제2 피모스 트랜지스터들과 제3 및 제4 피모스 트랜지스터들과 상기 제1 연결점과 제2 연결점 사이에 각각 직렬 연결되는 제1 및 제2 엔모스 트랜지스터들과 제3 및 제4 엔모스 트랜지스터들을 포함하고, 상기 제1 피모스 트랜지스터와 제1 엔모스 트랜지스터의 게이트들은 제1 입력 데이터에 연결되고 상기 제2 피모스 트랜지스터와 제2 엔모스 트랜지스터의 게이트들은 제2 입력 데이터에 연결되고 상기 제3 피모스 트랜지스터와 제3 엔모스 트랜지스터의 게이트들은 제3 입력 데이터에 연결되고 제4 피모스 트랜지스터와 제4 엔모스 트랜지스터의 게이트들은 제4 입력 데이터에 연결되는 입력부;

상기 제2 및 제4 엔모스 트랜지스터들의 소스들이 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제5 엔모스 트랜지스터;

상기 제1 연결점과 상기 제2 연결점의 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제6 피모스 트랜지스터;

상기 제6 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제7 엔모스 트랜지스터;

상기 제7 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제8 엔모스 트랜지스터; 및

상기 제6 피모스 트랜지스터와 상기 제7 엔모스 트랜지스터 사이의 제3 연결점의 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 4-입력 AOI 게이트의 복합 게이트.

청구항 29.

제26항 내지 제28항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호를 입력하고 직렬 연결되는 제1 내지 제3 인버터들;

상기 클럭 신호와 상기 제3 인버터 출력을 입력하는 낸드 게이트; 및

상기 낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 발생하는 제4 인버터를 구비하는 것을 특징으로 하는 복합 게이트.

청구항 30.

제26항 내지 제28항에 있어서, 상기 제1 래치는

상기 전원 전압이 그 소스에 연결되고 상기 제3 연결점이 그 게이트에 연결되는 제9 피모스 트랜지스터;

상기 제9 피모스 트랜지스터의 드레인에 그 소스가 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 제1 연결점이 그 드레인에 연결되는 제10 피모스 트랜지스터; 및

상기 제2 연결점이 그 드레인에 연결되고 상기 제3 연결점이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제11 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 복합 게이트.

청구항 31.

제26항 내지 제28항에 있어서, 상기 제2 래치는

상기 제3 연결점에 연결되는 인버터;

상기 전원 전압이 그 소스에 연결되고 상기 인버터의 출력이 그 게이트에 연결되는 제12 피모스 트랜지스터;

상기 제12 피모스 트랜지스터의 드레인이 그 소스에 연결되고 상기 제3 연결점이 그 게이트에 연결되고 상기 제3 연결점이 그 드레인에 연결되는 제13 피모스 트랜지스터;

상기 제3 연결점이 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제14 엔모스 트랜지스터; 및

상기 제14 엔모스 트랜지스터의 소스에 그 드레인이 연결되고 상기 인버터의 출력이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제15 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 복합 게이트.

청구항 32.

전원 전압이 그 소스에 연결되고 제2 클럭 신호가 그 게이트에 연결되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되는 제2 엔모스 트랜지스터;

상기 제2 엔모스 트랜지스터의 소스와 접지 전압 사이에 직렬 연결되는 제3 내지 제5 엔모스 트랜지스터들을 포함하고, 상기 제3 엔모스 트랜지스터의 게이트가 제1 입력 데이터에 연결되고 상기 제4 엔모스 트랜지스터가 제2 입력 데이터에 연결되고 상기 제5 엔모스 트랜지스터의 게이트가 제3 입력 데이터에 연결되는 입력부;

상기 제1 피모스 트랜지스터와 상기 제2 엔모스 트랜지스터 사이의 제1 연결점의 로직 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제6 피모스 트랜지스터;

상기 제6 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제2 클럭 신호가 그 게이트에 연결되는 제7 엔모스 트랜지스터;

상기 제7 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제8 엔모스 트랜지스터; 및

상기 제6 피모스 트랜지스터와 상기 제7 엔모스 트랜지스터 사이의 제2 연결점의 로직 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 3-입력 앤드 게이트의 복합 게이트.

청구항 33.

전원 전압이 그 소스에 연결되고 제2 클럭 신호가 그 게이트에 연결되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되는 제2 엔모스 트랜지스터;

상기 제2 엔모스 트랜지스터의 소스와 접지 전압 사이에 병렬 연결되는 제3 내지 제5 엔모스 트랜지스터들을 포함하고, 상기 제3 엔모스 트랜지스터의 게이트가 제1 입력 데이터에 연결되고 상기 제4 엔모스 트랜지스터가 제2 입력 데이터에 연결되고 상기 제5 엔모스 트랜지스터의 게이트가 제3 입력 데이터에 연결되는 입력부;

상기 제1 피모스 트랜지스터와 상기 제2 엔모스 트랜지스터 사이의 제1 연결점의 로직 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제6 피모스 트랜지스터;

상기 제6 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제2 클럭 신호가 그 게이트에 연결되는 제7 엔모스 트랜지스터;

상기 제7 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제8 엔모스 트랜지스터; 및

상기 제6 피모스 트랜지스터와 상기 제7 엔모스 트랜지스터 사이의 제2 연결점의 로직 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 3-입력 오아 게이트의 복합 게이트.

청구항 34.

전원 전압이 그 소스에 연결되고 제2 클럭 신호가 그 게이트에 연결되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인과 접지 전압 사이에 병렬 연결되는 각각 직렬 연결된 제1 및 제4 엔모스 트랜지스터들, 제2 및 제5 엔모스 트랜지스터들, 그리고 제3 및 제6 엔모스 트랜지스터들을 포함하고, 상기 제1 엔모스 트랜지스터의 게이트가 제1 입력 데이터에 연결되고 상기 제2 엔모스 트랜지스터가 제2 입력 데이터에 연결되고 상기 제3 엔모스 트랜지스터의 게이트가 제3 입력 데이터에 연결되고 상기 제4 내지 제6 엔모스 트랜지스터들의 게이트들은 클럭 펄스 신호에 연결되는 입력부;

상기 제1 피모스 트랜지스터의 드레인과 상기 제1 내지 제3 엔모스 트랜지스터들의 드레인들 사이의 제1 연결점의 로직 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제7 피모스 트랜지스터;

상기 제7 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제2 클럭 신호가 그 게이트에 연결되는 제8 엔모스 트랜지스터;

상기 제8 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제9 엔모스 트랜지스터; 및

상기 제7 피모스 트랜지스터와 상기 제8 엔모스 트랜지스터 사이의 제2 연결점의 로직 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 3-입력 오아 게이트의 복합 게이트.

청구항 35.

전원 전압이 그 소스에 연결되고 제2 클럭 신호가 그 게이트에 연결되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인과 제2 연결점 사이에 병렬 연결되는 제1 내지 제3 엔모스 트랜지스터들을 포함하고, 상기 제1 엔모스 트랜지스터의 게이트가 제1 입력 데이터에 연결되고 상기 제2 엔모스 트랜지스터가 제2 입력 데이터에 연결되고 상기 제3 엔모스 트랜지스터의 게이트가 제3 입력 데이터에 연결되는 입력부;

상기 제2 연결점이 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제4 엔모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인과 상기 제1 내지 제3 엔모스 트랜지스터들의 드레인들 사이의 제1 연결점의 로직 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제5 피모스 트랜지스터;

상기 제5 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제2 클럭 신호가 그 게이트에 연결되는 제6 엔모스 트랜지스터;

상기 제6 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제7 엔모스 트랜지스터; 및

상기 제5 피모스 트랜지스터와 상기 제6 엔모스 트랜지스터 사이의 제2 연결점의 로직 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 3-입력 오아 게이트의 복합 게이트.

청구항 36.

전원 전압이 그 소스에 연결되고 제2 클럭 신호가 그 게이트에 연결되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 클럭 펄스 신호가 그 게이트에 연결되는 제2 엔모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인과 접지 전압 사이에 병렬 연결되는 각각 직렬 연결된 제3 및 제6 엔모스 트랜지스터들, 제4 및 제7 엔모스 트랜지스터들, 그리고 제5 및 제8 엔모스 트랜지스터들을 포함하고, 상기 제3 엔모스 트랜지스터의 게이트가 제1 입력 데이터에 연결되고 상기 제4 엔모스 트랜지스터가 제2 입력 데이터에 연결되고 상기 제5 엔모스 트랜지스터의 게이트가 제3 입력 데이터에 연결되고 상기 제6 엔모스 트랜지스터의 게이트가 제4 입력 데이터에 연결되고 상기 제7 엔모스 트랜지스터가 제5 입력 데이터에 연결되고 상기 제8 엔모스 트랜지스터의 게이트가 제6 입력 데이터에 연결되는 입력부;

상기 제1 피모스 트랜지스터와 상기 제2 엔모스 트랜지스터 사이의 제1 연결점의 로직 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제9 피모스 트랜지스터;

상기 제9 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제2 클럭 신호가 그 게이트에 연결되는 제10 엔모스 트랜지스터;

상기 제10 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제11 엔모스 트랜지스터; 및

상기 제9 피모스 트랜지스터와 상기 제10 엔모스 트랜지스터 사이의 제2 연결점의 로직 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 6-입력 AOI 게이트의 복합 게이트.

청구항 37.

제32항 내지 제36항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호를 입력하고 제1 클럭 신호를 발생하는 제1 인버터;

상기 제1 클럭 신호를 입력하고 상기 제2 클럭 신호를 발생하는 제2 인버터;

상기 제2 인버터 출력을 입력하는 제3 인버터;

상기 클럭 신호와 상기 제3 인버터 출력을 입력하는 낸드 게이트; 및

상기 낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 발생하는 제4 인버터를 구비하는 것을 특징으로 하는 복합 게이트.

청구항 38.

제32항 내지 제36항에 있어서, 상기 제1 래치는

상기 제1 연결점에 연결되는 제1 인버터;

상기 전원 전압이 그 소스에 연결되고 상기 제1 인버터 출력이 그 게이트에 연결되는 제12 피모스 트랜지스터;

상기 제12 피모스 트랜지스터의 드레인이 그 소스에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 제1 연결점이 그 드레인에 연결되는 제13 피모스 트랜지스터;

상기 제1 연결점이 그 드레인에 연결되고 상기 제2 클럭 신호가 그 게이트에 연결되는 제14 엔모스 트랜지스터;

상기 제14 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제1 인버터 출력이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제15 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 39.

제32항 내지 제36항에 있어서, 상기 제2 래치는

상기 제2 연결점에 연결되는 제2 인버터;

상기 전원 전압이 그 소스에 연결되고 상기 제2 인버터 출력이 그 게이트에 연결되는 제16 피모스 트랜지스터;

상기 제16 피모스 트랜지스터의 드레인이 그 소스에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 상기 제2 연결점이 그 드레인에 연결되는 제17 피모스 트랜지스터;

상기 제2 연결점이 그 드레인에 연결되고 상기 제1 클럭 신호가 그 게이트에 연결되는 제18 엔모스 트랜지스터;

상기 제18 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 제2 인버터 출력이 그 게이트에 연결되고 상기 접지 전압이 그 소스에 연결되는 제19 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 40.

전원 전압이 그 소스에 연결되고 클럭 펄스 신호가 그 게이트에 연결되고 제1 연결점이 그 드레인에 연결되는 제1 피모스 트랜지스터;

상기 제1 연결점과 제2 연결점 사이에 직렬 연결되는 제2 및 제3 엔모스 트랜지스터들을 포함하고, 상기 제2 엔모스 트랜지스터의 게이트는 제1 입력 데이터에 연결되고 상기 제3 엔모스 트랜지스터의 게이트는 제2 입력 데이터에 연결되는 입력부;

상기 제2 연결점이 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제4 엔모스 트랜지스터;

상기 제1 연결점의 로직 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제5 피모스 트랜지스터;

상기 제5 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제6 엔모스 트랜지스터;

상기 제6 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되는 제7 엔모스 트랜지스터; 및

상기 제5 피모스 트랜지스터와 상기 제6 엔모스 트랜지스터 사이의 제3 연결점의 로직 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 2-입력 앤드 게이트의 복합 게이트.

청구항 41.

전원 전압이 그 소스에 연결되고 클럭 펄스 신호가 그 게이트에 연결되고 제1 연결점이 그 드레인에 연결되는 제1 피모스 트랜지스터;

상기 제1 연결점과 제2 연결점 사이에 병렬 연결되는 제2 내지 제4 엔모스 트랜지스터들을 포함하고, 상기 제2 엔모스 트랜지스터의 게이트는 제1 입력 데이터에 연결되고 상기 제3 엔모스 트랜지스터의 게이트는 제2 입력 데이터에 연결되고 제4 엔모스 트랜지스터의 게이트는 제3 입력 데이터에 연결되는 입력부;

상기 제4 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제5 엔모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인과 상기 제2 내지 제4 엔모스 트랜지스터들의 드레인이 연결되는 상기 제1 연결점의 로직 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제6 피모스 트랜지스터;

상기 제6 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제7 엔모스 트랜지스터;

상기 제7 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되는 제8 엔모스 트랜지스터; 및

상기 제6 피모스 트랜지스터와 상기 제7 엔모스 트랜지스터 사이의 제3 연결점의 로직 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 3-입력 오아 게이트의 복합 게이트.

청구항 42.

전원 전압이 그 소스에 연결되고 클럭 펄스 신호가 그 게이트에 연결되고 제1 연결점이 그 드레인에 연결되는 제1 피모스 트랜지스터;

상기 제1 연결점과 제2 연결점 사이에 병렬 연결되는 각각 직렬 연결된 제2 및 제5 엔모스 트랜지스터들, 제3 및 제6 엔모스 트랜지스터들, 그리고 제4 및 제7 엔모스 트랜지스터들을 포함하고, 상기 제2 엔모스 트랜지스터의 게이트는 제1 입력 데이터에 연결되고 상기 제3 엔모스 트랜지스터의 게이트는 제2 입력 데이터에 연결되고 제4 엔모스 트랜지스터의 게이트는 제3 입력 데이터에 연결되고 상기 제5 엔모스 트랜지스터의 게이트는 제4 입력 데이터에 연결되고 상기 제6 엔모스 트랜지스터의 게이트는 제5 입력 데이터에 연결되고 제7 엔모스 트랜지스터의 데이터는 제6 입력 데이터에 연결되는 입력부;

상기 제2 연결점이 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제8 엔모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인과 상기 제2 내지 제4 엔모스 트랜지스터들의 드레인이 연결되는 상기 제1 연결점의 로직 레벨을 래치하는 제1 래치;

상기 전원 전압이 그 소스에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제9 피모스 트랜지스터;

상기 제9 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 상기 제1 연결점이 그 게이트에 연결되는 제10 엔모스 트랜지스터;

상기 제10 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 상기 클럭 펄스 신호가 그 게이트에 연결되는 제11 엔모스 트랜지스터; 및

상기 제9 피모스 트랜지스터와 상기 제10 엔모스 트랜지스터 사이의 제3 연결점의 로직 레벨을 래치하는 제2 래치를 구비하는 것을 특징으로 하는 6-입력 AOI 게이트의 복합 게이트.

청구항 43.

제40항 내지 제42항에 있어서, 상기 클럭 펄스 신호는

클럭 신호를 입력하여 상기 클럭 펄스 신호를 발생하는 클럭 펄스 발생 회로에 의해 제공되며,

상기 클럭 펄스 발생 회로는

클럭 신호를 입력하고 직렬 연결되는 제1 내지 제3 인버터들;

상기 클럭 신호와 상기 제3 인버터 출력을 입력하는 낸드 게이트; 및

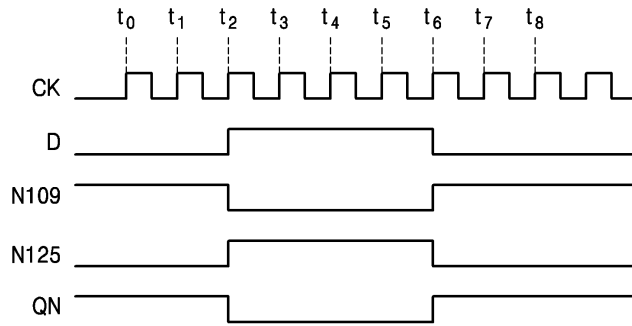
상기 낸드 게이트 출력을 입력하고 상기 클럭 펄스 신호를 발생하는 제4 인버터를 구비하는 것을 특징으로 하는 플립플롭.

청구항 44.

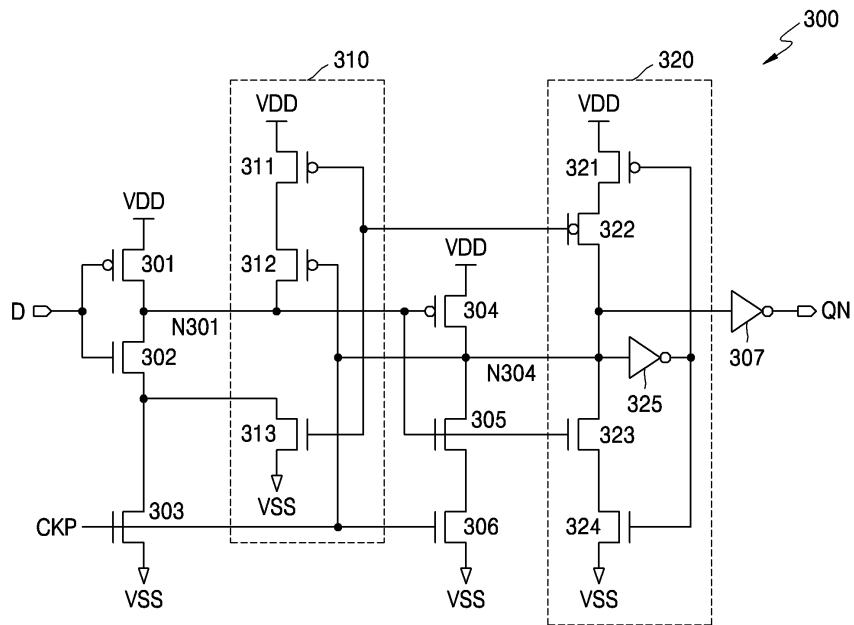
제40항 내지 제42항에 있어서, 상기 제1 래치는

상기 제1 연결점을 입력하는 제1 인버터; 및

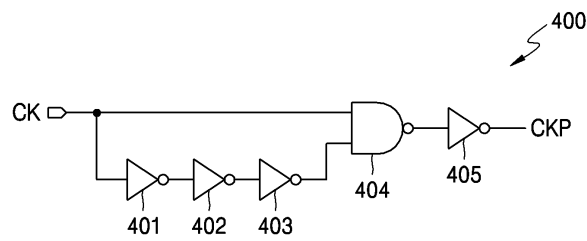
도면2



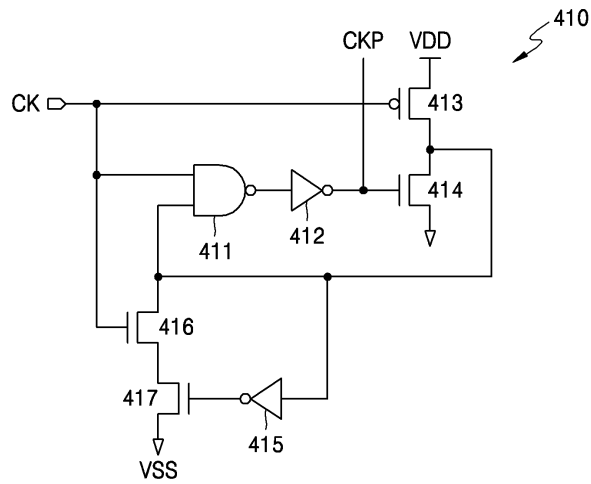
도면3



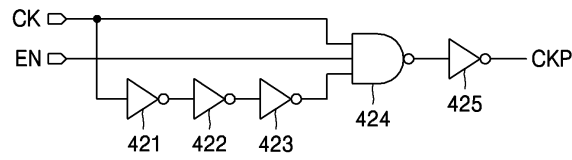
도면4a



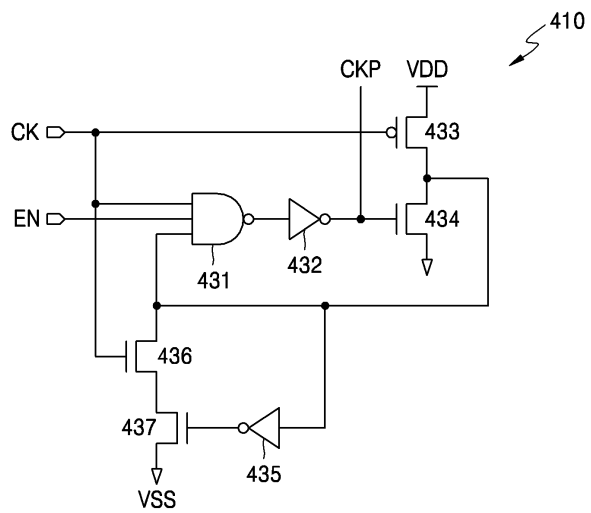
도면4b



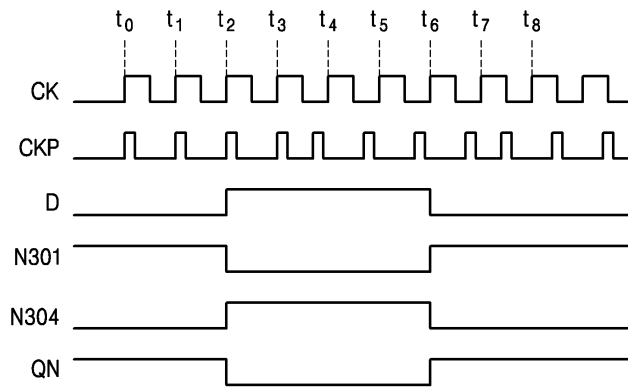
도면4c



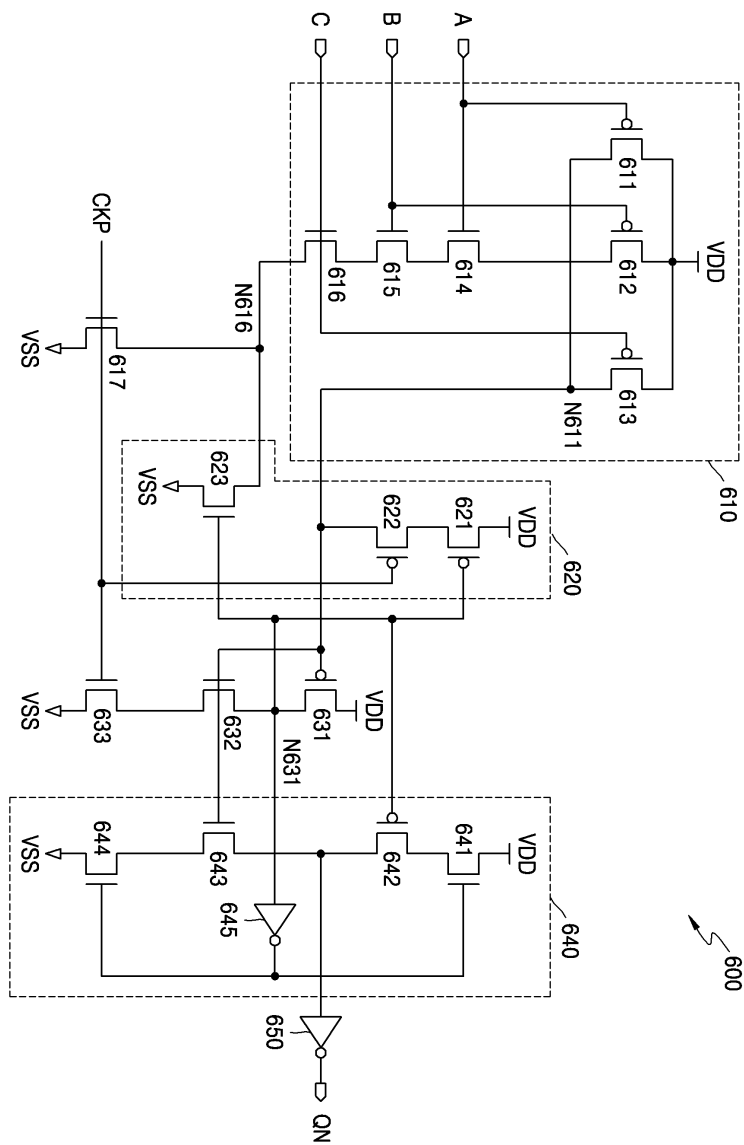
도면4d



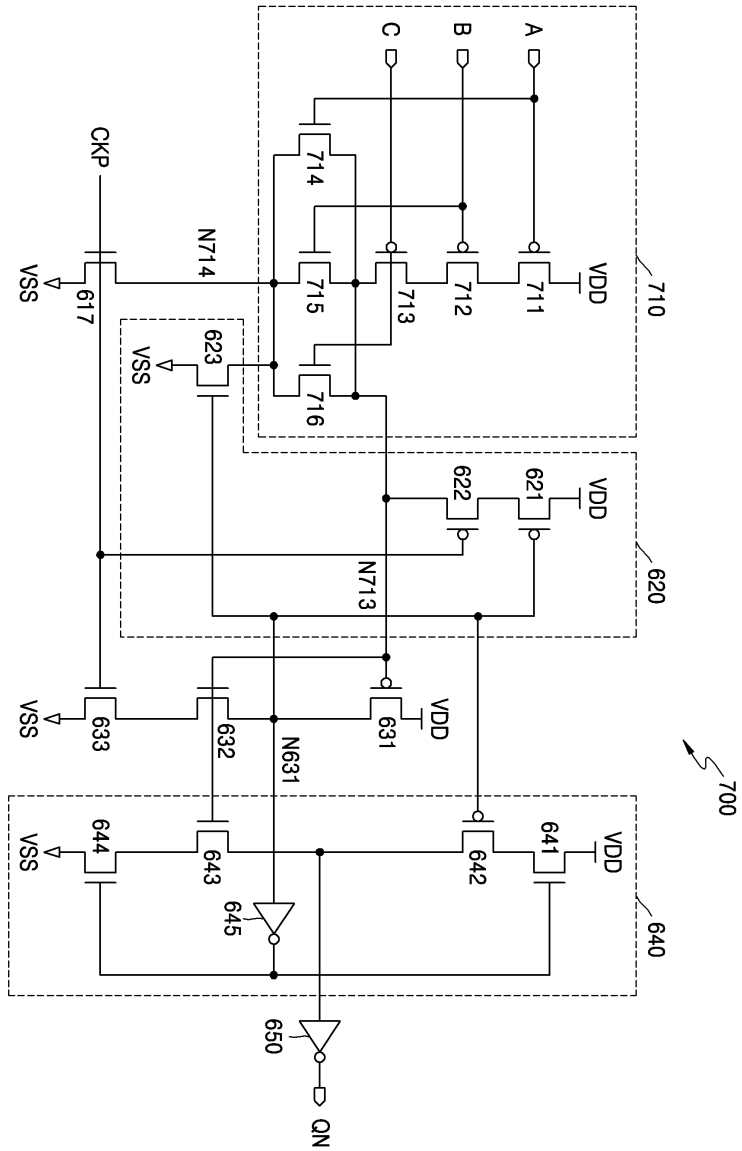
도면5



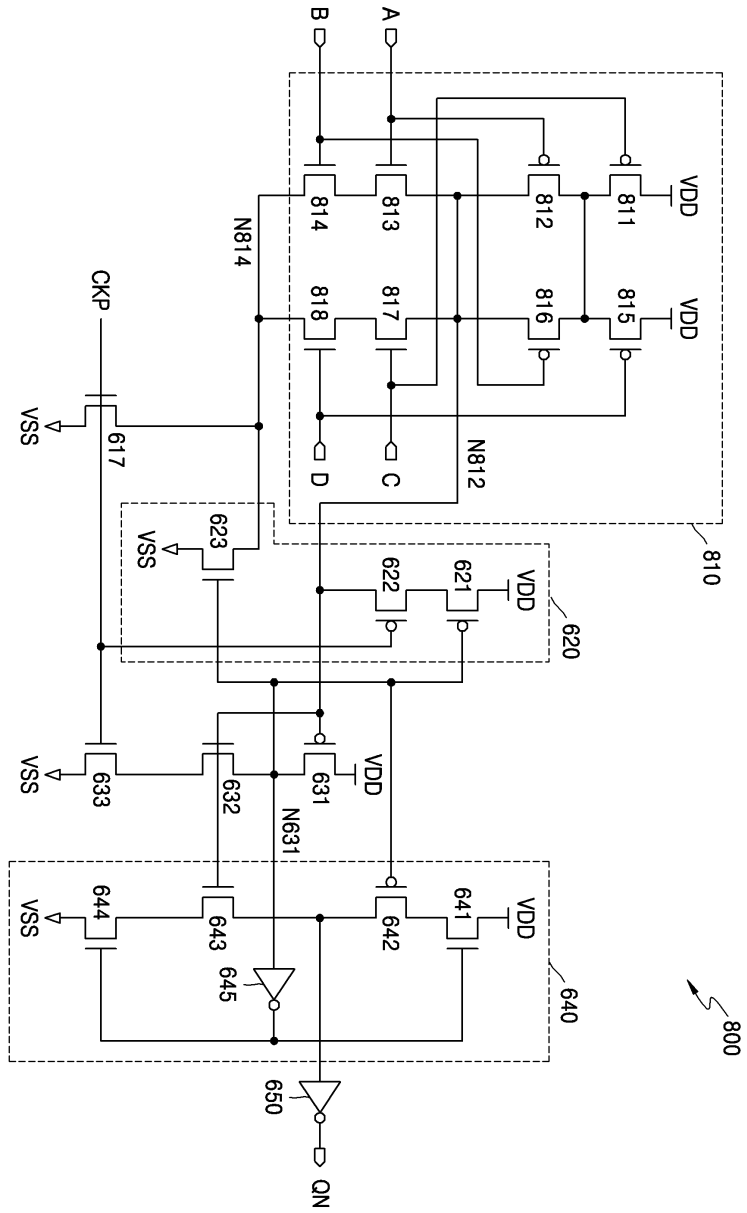
도면6



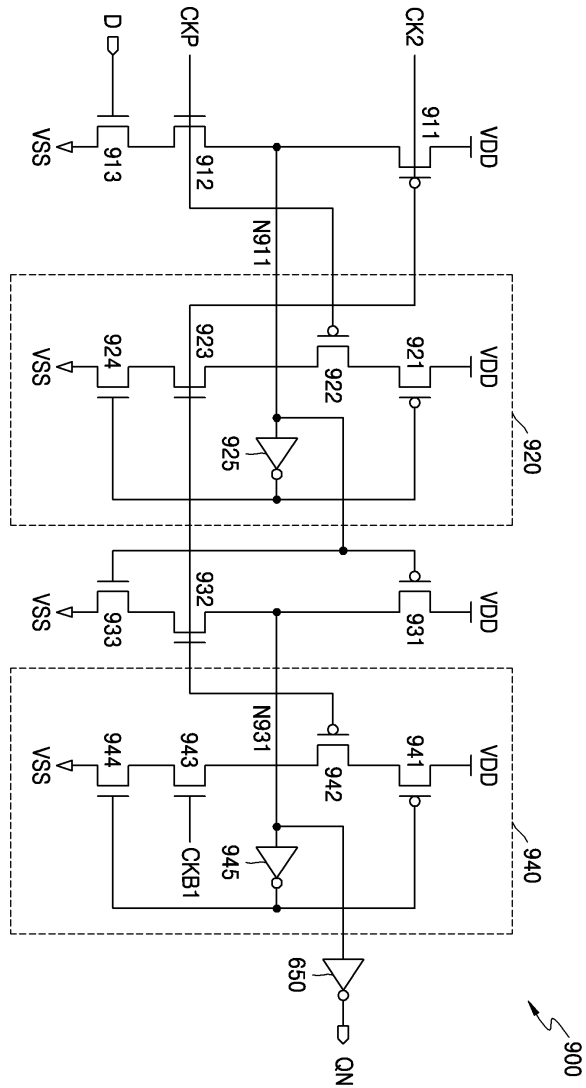
도면7



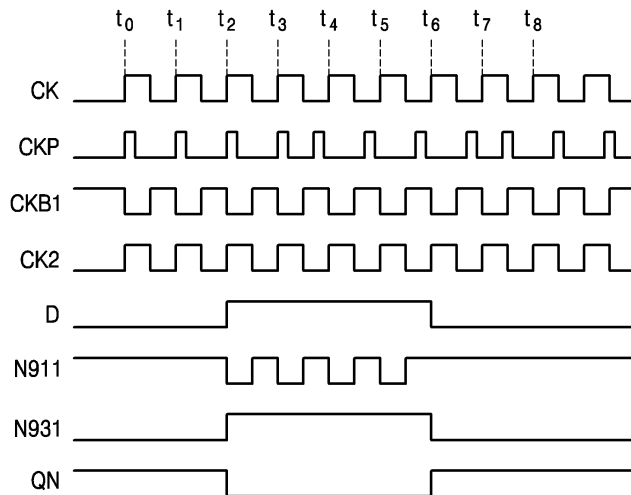
도면8



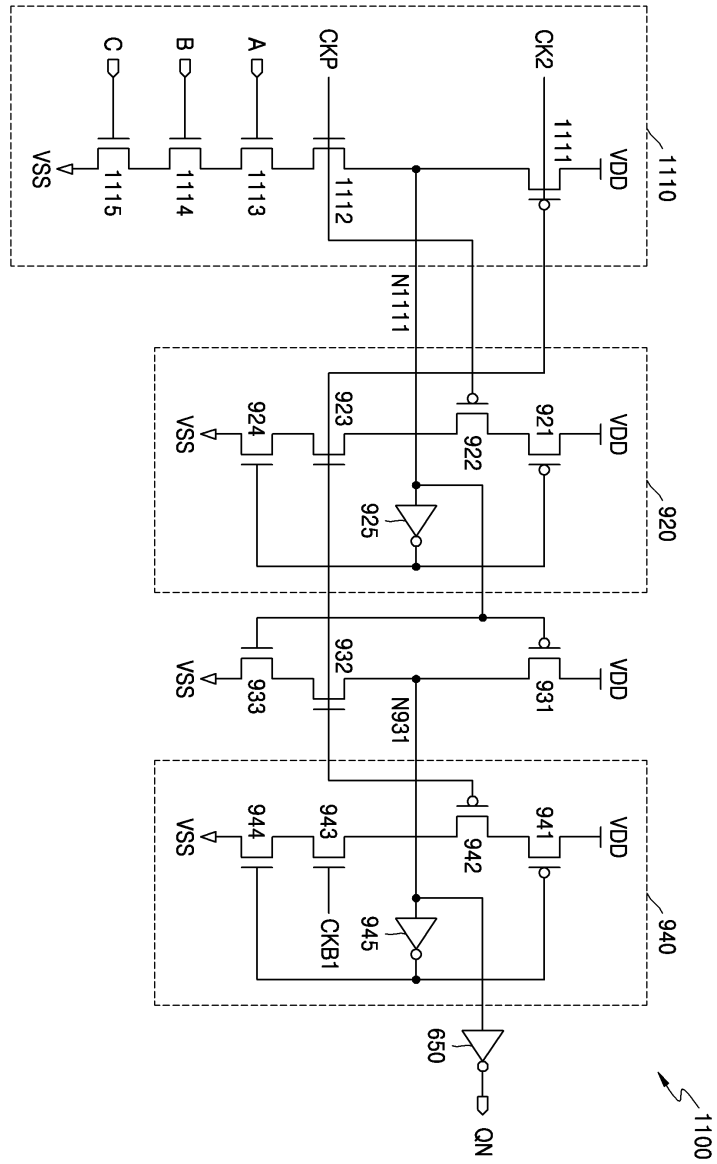
도면9



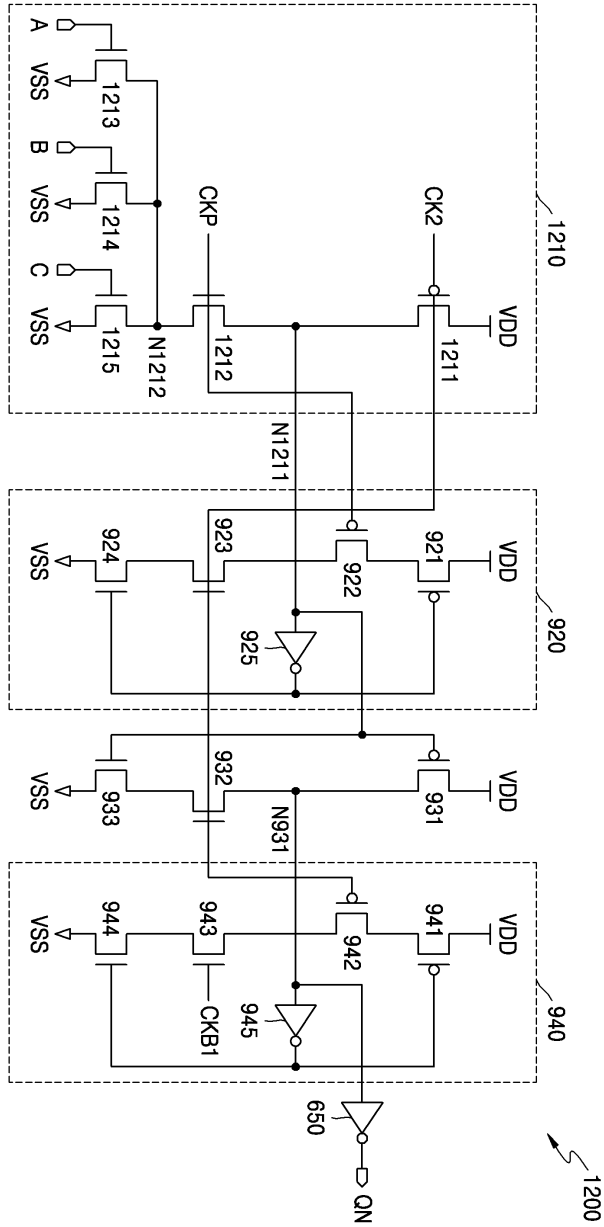
도면10



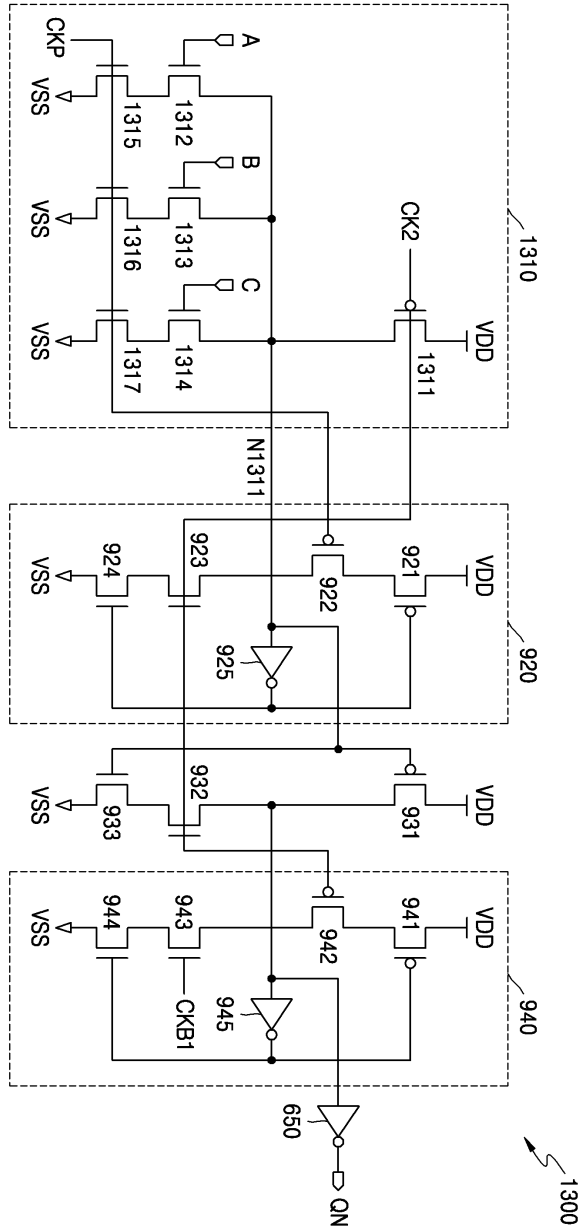
도면11



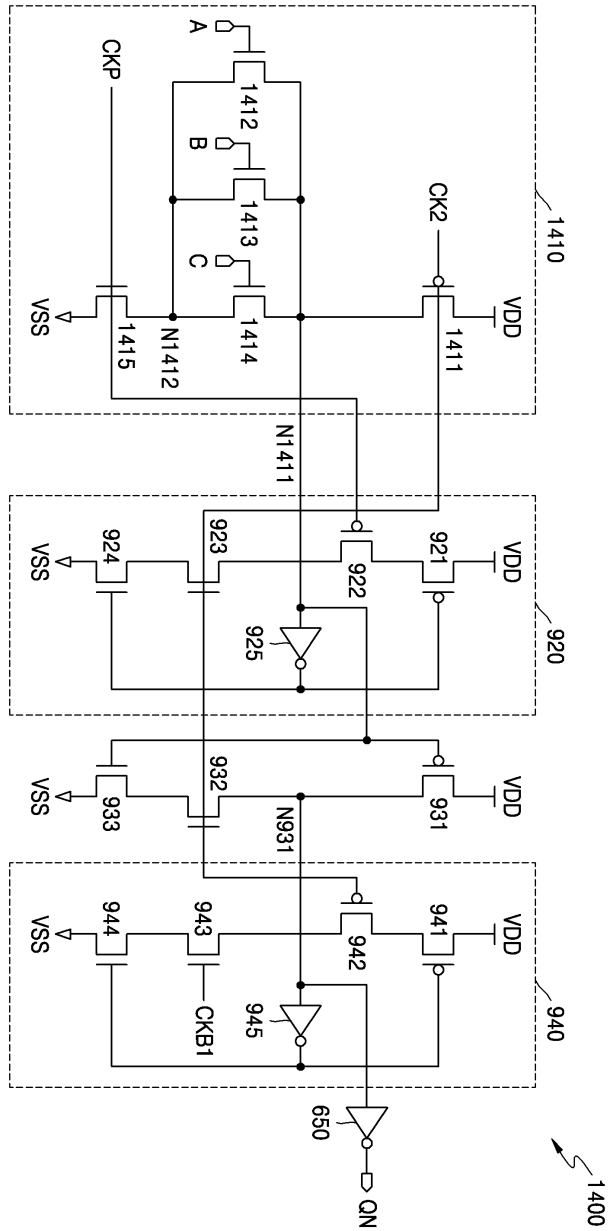
도면12



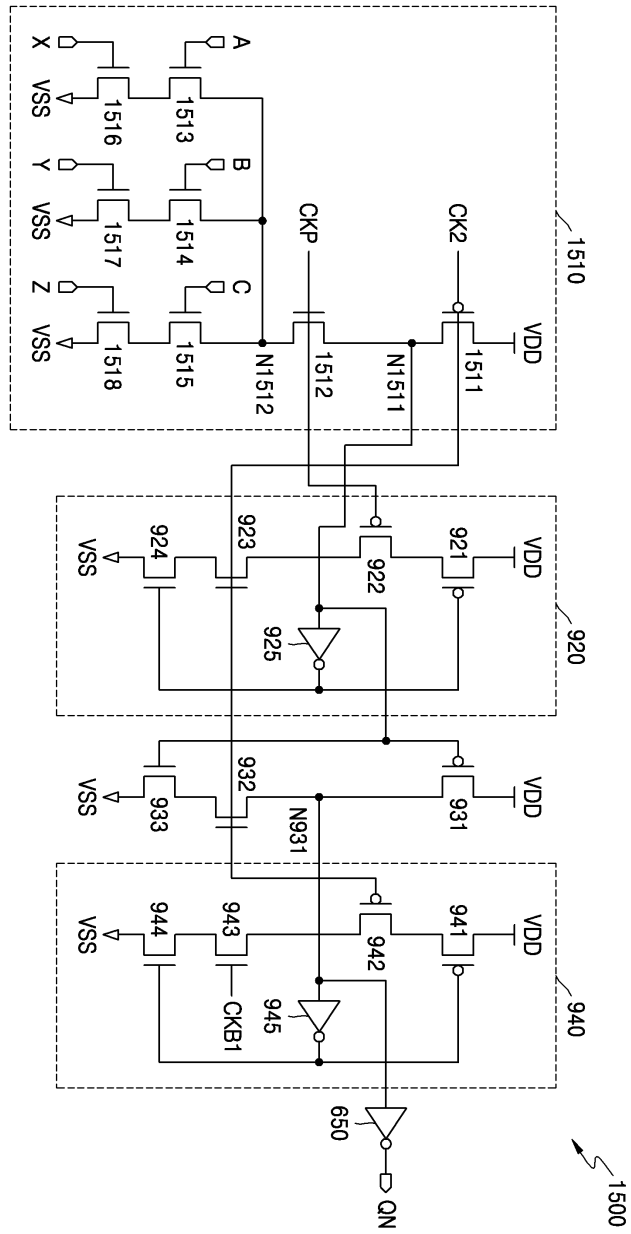
도면13



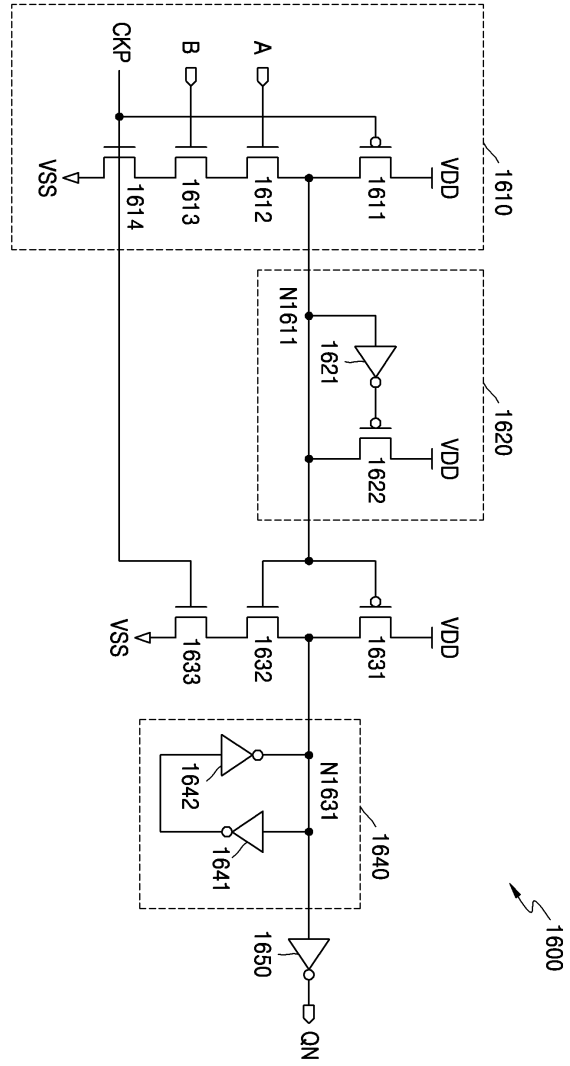
도면14



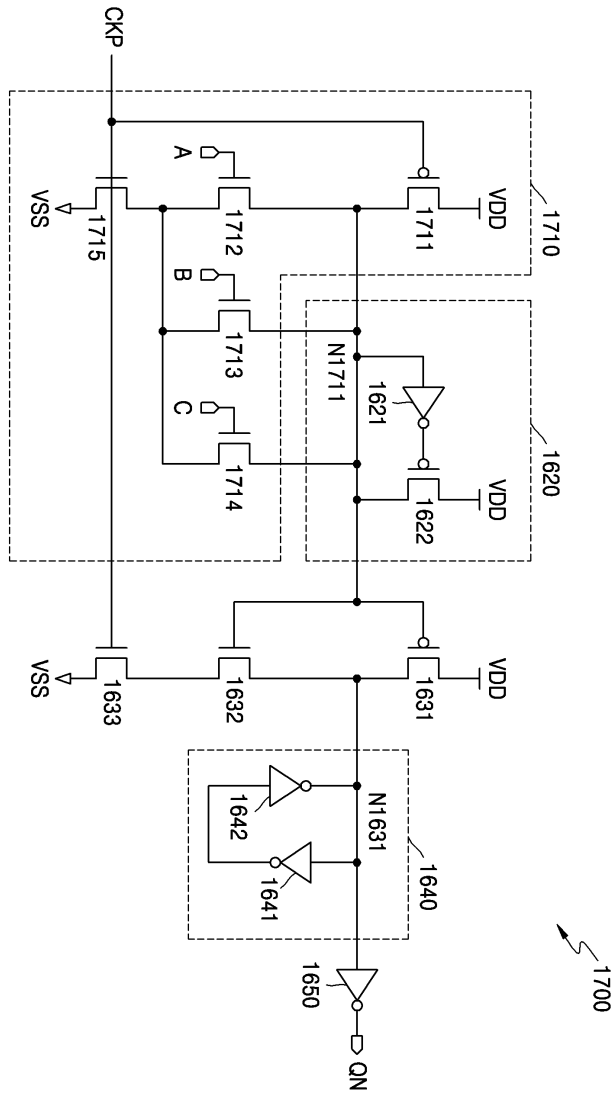
도면15



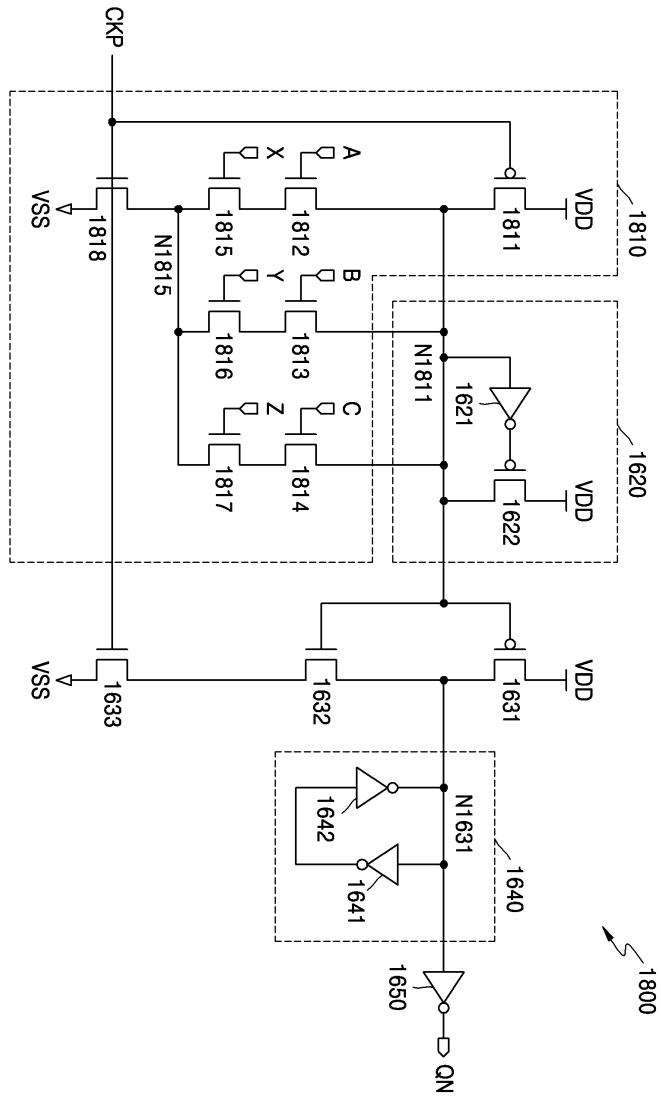
도면16



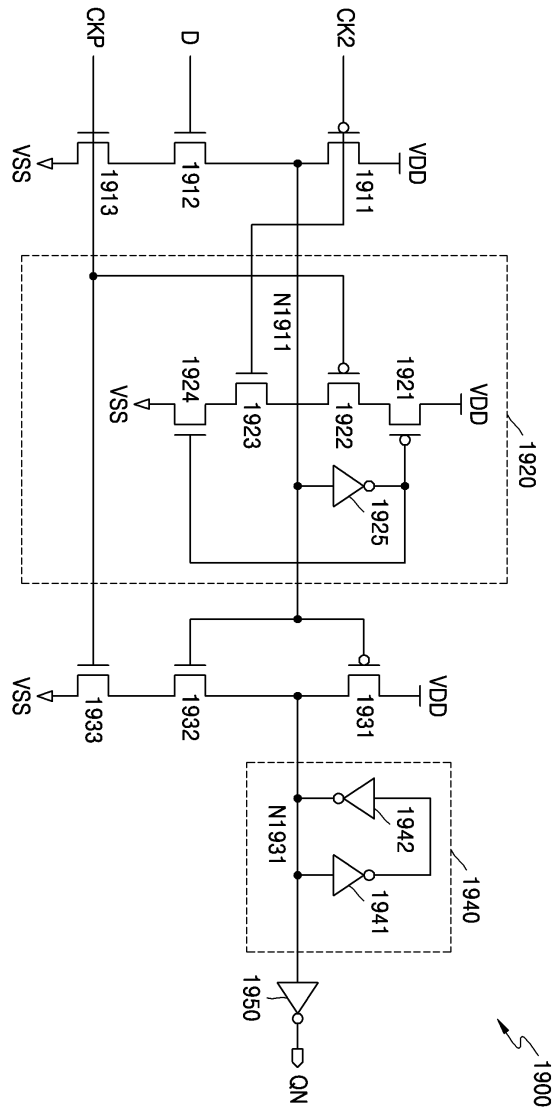
도면17



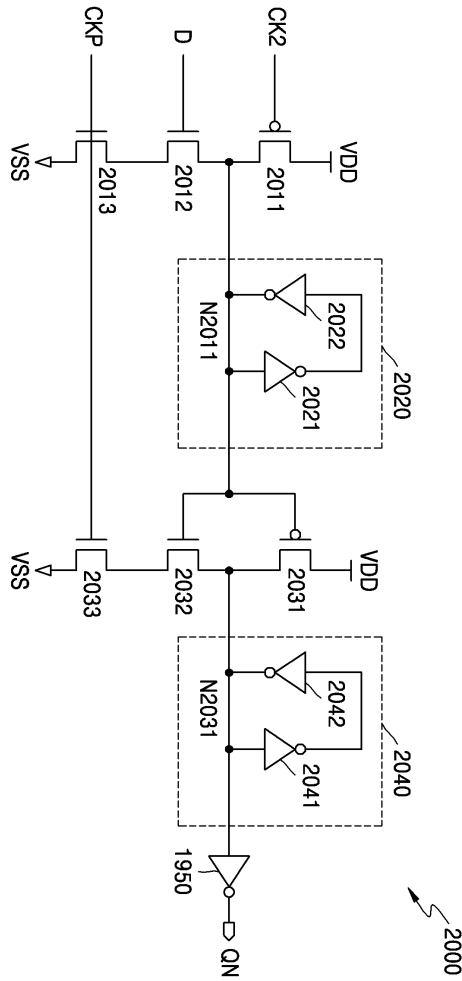
도면18



도면19



도면20



도면21

