

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 23/48

(45) 공고일자 2001년07월 12일

(11) 등록번호 10-0291511

(24) 등록일자 2001년03월 13일

(21) 출원번호 10-1998-0045464

(65) 공개번호 특2000-0027519

(22) 출원일자 1998년 10월 28일

(43) 공개일자 2000년 05월 15일

(73) 특허권자 현대전자산업주식회사 박종섭
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 박용준
서울특별시 강동구 상일동 121 주공아파트 316동 408호
(74) 대리인 강성배

심사관 : 유환철

(54) 멀티 칩 패키지

요약

본 발명은 멀티 칩 패키지를 개시한다. 개시된 본 발명의 멀티 칩 패키지는 단방향 양측 가장자리 부분 각각에 본딩패드들이 배치되어 있는 적어도 두 개 이상의 반도체 칩들로 된 칩 유닛; 상기 칩 유닛 상에 본딩패드들이 노출되도록 하는 크기로 배치되며, 상부면에 상기 본딩패드들과 인접된 가장자리 부분으로부터 내측 부분으로 소정 길이만큼이 수평·연장되는 제1구리패턴들이 형성되어 있는 제1회로기판; 상기 제1회로기판 상에 제1구리패턴들의 가장자리 부분을 노출시킴과 동시에 칩 유닛의 일측 가장자리 부분의 외측으로 소정 길이만큼이 돌출되도록 하는 크기로 배치되며, 상부면의 일측 및 타측 가장자리 부분 각각에는 소정 간격 이격되는 스트라이프 형태로 된 제2구리패턴들이 상기 제1구리패턴들과 수직하는 방향으로 형성되어 있는 제2회로기판; 상기 본딩패드들과 상기 제1구리패턴들간을 접속시도록 형성된 금속 와이어들; 및 상기 금속 와이어들과 제1 및 제2회로기판을 포함한 칩 유닛의 상부면에 코팅된 봉지제를 포함하여 이루어지며, 상기 제2회로기판에는 제2구리패턴들의 상부면으로부터 상기 제2회로기판의 하부면을 관통시키는 홀들이 구비되어 있고, 상기 홀의 내측면에는 금속 물질이 도금되어 있으며, 상기 제1구리패턴들과 제2구리패턴들은 상기 제1회로기판과 제2회로기판을 열 압착시키는 공정을 통해 상기 금속 물질에 의해 전기적으로 접속되어 있는 것을 특징으로 한다.

대표도

도2

명세서

도면의 간단한 설명

- <1> 도 1은 종래 기술에 따른 반도체 패키지를 설명하기 위한 단면도.
<2> 도 2는 본 발명의 실시예에 따른 멀티 칩 패키지를 설명하기 위한 평면도.
<3> 도 3은 본 발명의 실시예에 따른 칩 유닛을 도시한 평면도.
<4> 도 4a는 본 발명의 실시예에 따른 제1회로기판을 도시한 평면도.
<5> 도 4b는 본 발명의 실시예에 따른 제2 회로기판을 도시한 평면도.
<6> 도 5는 도 4의 V-V' 선을 따라 절단하여 나타낸 단면도.
<7> (도면의 주요 부분에 대한 부호의 설명)
<8> 10a, 10b, 10c : 반도체 칩 12 : 본딩패드
<9> 20 : 칩 유닛 22, 32 : 베이스 필름
<10> 24 : 제1구리 패턴 30 : 제1회로기판
<11> 34 : 제2구리패턴 36 : 홀
<12> 40 : 제2회로기판 50 : 금속 와이어
<13> 60 : 봉지제

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

- <14> 본 발명은 반도체 장치에 관한 것으로, 보다 상세하게는, 하나의 패키지에 적어도 두 개 이상의 반도체 칩들을 내장시켜 메모리 용량을 증대시킨 멀티 칩 패키지에 관한 것이다.
- <15> 일반적으로, 공지의 공정을 통해 웨이퍼 상태로 제작된 반도체 칩들은 칩 절단(Sawing), 칩 부착(Die Attach), 와이어 본딩(Wire Bonding), 몰딩(Molding), 트림(Trim) 및 포밍(Forming) 등 일련의 어셈블리(Assembly) 공정을 거쳐 패키지로 제작된다.
- <16> 상기한 어셈블리 공정을 통해 제작된 반도체 패키지의 전형적인 예가 도 1에 도시되어 있는바, 이를 설명하면 다음과 같다.
- <17> 도시된 바와 같이, 칩 절단 공정을 통해 얻어진 반도체 칩(1)은 칩 부착 공정을 통해 다이 패드(Die Pad : 2a)와 인너 리드(Inner Lead : 2b) 및 아웃 리드(Out Lead : 2c)로 구성되는 리드 프레임(Lead Frame)의 다이 패드(2a) 상에 부착되며, 아울러, 금(Au) 또는 알루미늄(Al)과 같은 전도성 금속으로 된 금속 와이어(3)에 의해 인너 리드(2b)와 전기적으로 연결된다.
- <18> 또한, 반도체 칩(1) 및 금속 와이어(3)가 외부 영향으로부터 보호될 수 있도록 상기 반도체 칩(1)과 이에 와이어 본딩된 인너 리드(2b)를 포함한 공간적 영역은 에폭시 수지로 된 몰딩 컴파운드(Epoxy Molding Compound)에 의해 봉지된다.
- <19> 게다가, 몰딩 컴파운드로 된 봉지재(4)의 외측으로는 인쇄회로기판에의 실장을 위한 리드 프레임의 아웃 리드(2c)가 돌출되며, 이러한 아웃 리드(2c)는 후속 공정인 트림 및 포밍 공정을 통해 소정 형태로 절곡된다.

발명이 이루고자 하는 기술적 과제

- <20> 그러나, 상기와 같은 종래의 반도체 패키지는, 하나의 패키지에 하나의 반도체 칩이 내장되기 때문에 메모리 용량 증대를 기대할 수 없고, 모듈 제작시에는 수 개의 반도체 패키지들을 각각 실장시켜야 하기 때문에 넓은 실장 면적을 필요로 하게 되며, 아울러, 어셈블리 공정에 많은 시간이 소요되는 문제점이 있었다.
- <21> 따라서, 본 발명의 목적은 하나의 패키지에 적어도 두 개 이상의 반도체 칩들을 내장시킴으로써 메모리 용량 증대는 물론 실장 면적을 감소시킬 수 있는 멀티 칩 패키지를 제공하는 것이다.
- <22> 또한, 본 발명의 다른 목적은 트림 및 포밍 공정을 삭제시킴으로써 어셈블리 공정에 요구되는 공정 시간을 단축시킬 수 있는 멀티 칩 패키지를 제공하는 것이다.

발명의 구성 및 작용

- <23> 상기와 같은 목적을 달성하기 위한 본 발명의 멀티 칩 패키지는, 단방향 양측 가장자리 부분 각각에 본딩패드들이 배치되어 있는 적어도 두 개 이상의 반도체 칩들이 연결되어 있는 칩 유닛; 상기 칩 유닛 상에 상기 본딩패드들이 노출되도록 하는 크기로 배치되며, 상부면에 상기 본딩패드들과 인접된 가장자리 부분으로부터 내측 부분으로 소정 길이만큼이 수평·연장되는 수 개의 제1구리패턴들이 형성되어 있는 제1회로기판; 상기 제1회로기판 상에 상기 제1구리패턴들의 가장자리 부분을 노출시킴과 동시에 칩 유닛의 일측 가장자리 부분의 외측으로 소정 길이만큼이 돌출되도록 하는 크기로 배치되며, 상부면의 일측 및 타측 가장자리 부분 각각에는 소정 간격 이격되는 스트라이프 형태로 된 제2구리패턴들이 상기 제1구리패턴들과 수직하는 방향으로 형성되어 있는 제2회로기판; 상기 본딩패드들과 상기 제1구리패턴들간을 각각 접속시키도록 형성된 금속 와이어들; 및 상기 금속 와이어들과 제1 및 제2회로기판을 포함한 칩 유닛의 상부면에 코팅된 봉지재를 포함하여 이루어지며, 상기 제2회로기판에는 제2구리패턴들의 상부면으로부터 상기 제2회로기판의 하부면을 관통시키는 홀들이 구비되어 있고, 아울러, 상기 홀의 내측면에는 금속 물질이 도금되어 있으며, 상기 제1구리패턴들과 제2구리패턴들은 상기 제1회로기판과 제2회로기판을 열 압착시키는 공정을 통해 상기 금속 물질에 의해 전기적으로 접속되어 있는 것을 특징으로 한다.
- <24> 본 발명에 따르면, 하나의 패키지에 적어도 두 개 이상의 반도체 칩들을 내장시키기 때문에 메모리 용량을 증대시킬 수 있고, 아울러, 실장 면적을 감소시킬 수 있다. 게다가, 아웃 리드가 없는 것에 기인하여 트림 및 포밍 공정을 삭제시킬 수 있기 때문에 전체적인 어셈블리 공정 시간을 단축시킬 수 있다.
- <25> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.
- <26> 도 2, 도 3, 도 4a 및 도 4b는 본 발명의 실시예에 따른 멀티 칩 패키지를 설명하기 위한 도면들로서, 도 2는 본 발명의 멀티 칩 패키지를 도시한 평면도이고, 도 3은 본 발명의 실시예에 따른 칩 유닛을 도시한 평면도이며, 도 4a 및 도 4b는 본 발명의 실시예에 따른 제1 및 제2회로기판을 도시한 평면도이다.
- <27> 우선, 도 2에 도시된 바와 같이, 본 발명의 실시예에 따른 멀티 칩 패키지는 적어도 두 개 이상, 예를 들어, 세 개의 반도체 칩들(10a, 10b, 10c)로 이루어진 칩 유닛(20)과, 상기 칩 유닛(20) 상에 배치되어 각 반도체 칩들(10a, 10b, 10c)과 외부회로간의 전기적 신호 전달 경로를 이루는 제1 및 제2회로기판(30, 40), 상기 반도체 칩들(10a, 10b, 10c)에 구비된 본딩패드들(12)과 상기 제1회로기판(30)에 구비된 제1구리패턴들간(34)을 전기적으로 연결시키는 금속 와이어(50), 및 상기 금속 와이어(50)와 제1 및 제2회로기판(30, 40)을 포함한 칩 유닛(20)의 상부면에 코팅되는 봉지재(도시안됨)으로 구성된다.
- <28> 상기에서, 칩 유닛(20)은 도 3에 도시된 바와 같이, 웨이퍼 상태로 제작된 반도체 칩들에 대한 칩 절단 공정시에 세 개의 반도체 칩들(10a, 10b, 10c)을 하나의 단위로 절단하는 것에 의해 제공되며,

이에 따라, 반도체 칩들(10a, 10b, 10c)의 장방향 면은 연결된 상태로 존재한다. 또한, 각 반도체 칩들(10a, 10b, 10c)의 단방향 양측 가장자리 부분 각각에는 본딩패드들(12)이 배열되며, 전체적으로는 칩 유닛(20)의 장방향 양측 가장자리 부분 각각에 본딩패드들(12)이 열로 배열된다.

<29> 그리고, 제1 및 제2회로기판(30, 40)은 베이스 필름 상에 회로패턴을 형성하여 제작한 것으로, 먼저, 제1회로기판(30)은 각 반도체 칩들(10a, 10b, 10c)의 본딩패드들을 덮지 않는 크기로 제작되며, 도 4a에 도시된 바와 같이, 베이스 필름(22)의 상부면에는 그의 장방향 양측 가장자리 부분으로부터 내측 부분으로 수평·연장되는 수 개의 제1구리패턴들(24)이 소정 간격 이격되어 형성된다.

<30> 이때, 제1구리패턴들(24)은 칩 유닛에 구비되는 본딩패드들의 수 만큼, 예를 들어, 하나의 반도체 칩의 일측 가장자리 부분에 네 개의 본딩패드들이 구비되어 전체적으로 칩 유닛의 일측 및 타측 가장자리 부분 각각에 열 두개씩의 본딩패드들이 구비된 경우에 그들에 인접하는 베이스 필름(22)의 일측 및 타측 가장자리 부분 각각에는 열 두개씩의 제1구리패턴들(24)이 형성된다.

<31> 또한, 제1구리패턴들(24)은 하나의 반도체 칩에 이웃하는 베이스 필름(22)의 가장자리 부분에서는 서로 다른 길이를 갖도록 형성되며, 이러한 제1구리패턴들(24)의 형태는 각 반도체 칩들에 대해서 동일한 형태를 갖도록 형성되고, 아울러, 전체적으로는 베이스 필름(22) 상에 좌·우 대칭적으로 형성된다.

<32> 다음으로, 제2회로기판(40)은 제1회로기판(30)에 구비된 제1구리패턴들(24)의 양측 가장자리 부분을 덮지 않는 크기로 제작되며, 도 4b에 도시된 바와 같이, 베이스 필름(32)의 장방향 양측 가장자리 부분 각각에는 제1회로기판에 구비된 제1구리패턴과 수직·교차하는 방향으로 배열되는 스트라이프 형태로 된 제2구리패턴들(34)이 소정 간격 이격되어 형성되고, 이때, 제2구리패턴(34)은 하나의 반도체 칩에 구비된 본딩패드들의 수 만큼, 예를 들어, 베이스 필름의 양측 가장자리 각각 네 개씩이 형성된다.

<33> 또한, 제2회로기판(40)에는 제2구리패턴(34)의 상부면으로부터 베이스 필름(32)의 하부면까지 관통하는 홀들(36)이 구비되며, 이러한 홀들(36)은 하나의 제2구리패턴(34)에 반도체 칩의 수 만큼, 예를 들어, 세 개가 배치되도록 구비되고, 아울러, 홀(36)의 내측면에는 금속 물질(도시안됨), 예컨대, 구리(Cu), 주석(Sn), 납(Pb) 또는 은(Ag) 중에서 선택되는 하나의 금속 물질이 도금된다.

<34> 이에 따라, 제1회로기판과 제2회로기판을 열 압착시키는 것에 의해 상기한 금속 물질을 통하여 제1구리패턴들과 제2구리패턴은 전기적으로 접속되며, 이때, 도 2에 도시된 바와 같이, 하나의 제2구리패턴(34)은 그 하부에 배치된 세 개, 즉, 각 반도체 칩들(10a, 10b, 10c)의 동일한 신호를 입·출력하게 되는 본딩패드들(12)과 연결되는 세 개의 제1구리패턴들(24)과 접속된다.

<35> 한편, 제2회로기판(40)은 칩 유닛(20)의 본딩패드들(12)과 인접하지 않는 단방향 일측 가장자리 부분이 상기 칩 유닛(20)의 일측 가장자리 부분의 외측으로 소정 길이 만큼이 돌출되도록 제작되며, 돌출된 제2회로기판(40) 부분은 이후 패키지의 실장시에 외부 시스템, 예를 들어, 마더 보드(Mother Board) 상에 형성되는 소켓(socket)에 삽입되어 상기 마더 보드와 전기적으로 접속된다.

<36> 따라서, 본 발명의 멀티 칩 패키지는 마더 보드 상에 구비시키게 되는 소켓에 돌출되어져 있는 제2회로기판 부분을 삽입시키는 것에 실장이 이루어지기 때문에 통상의 반도체 패키지를 제작하기 위한 어셈블리 공정과 비교해서 아웃 리드가 없기 때문에 트림 및 포밍 공정이 삭제시킬 수 있다.

<37> 도 5는 본 발명의 실시예에 따른 멀티 칩 패키지의 제작 방법을 설명하기 위하여 도 2의 V-V' 선을 따라 절단하여 나타낸 단면도로서, 도시된 바와 같이, 우선, 제1회로기판(30)과 제2회로기판(40)간을 열 압착시켜 상기 제2회로기판(40)에 구비시킨 홀(도시안됨)의 내측면에 도금된 금속 물질(도시안됨)을 통하여 제2구리패턴(34)과 제1구리패턴(24)간을 전기적으로 접속시킨 상태에서, 이러한 제1 및 제2회로기판(30, 40)을 칩 유닛(20) 상에 배치시킨다.

<38> 그런 다음, 칩 유닛(20)의 본딩패드들(12)과 제1구리패턴들(24)을 금(Au) 또는 알루미늄(Al)으로 된 금속 와이어(50)로 각각 연결시킨 상태에서, 칩 유닛(20)과 금속 와이어(50), 제1 및 제2회로기판(30, 40)이 외부 영향으로부터 보호될 수 있도록 상기 칩 유닛(20)의 상부면을 에폭시 수지와 같은 물질로 코팅시켜 봉지재(60)를 형성한다. 이때, 칩 유닛의 일측 가장자리 부분의 외측으로 돌출되는 제2회로기판 부분은 코팅시키지 않는다.

발명의 효과

<39> 이상에서와 같이, 본 발명의 멀티 칩 패키지는 하나의 패키지에 적어도 두 개 이상의 반도체 칩들 내장시키기 때문에 패키지의 메모리 용량을 증대시킬 수 있으며, 아울러, 실장 면적을 감소시킬 수 있다.

<40> 또한, 적어도 두 개 이상의 반도체 칩들을 단위 칩으로 구비시키기 때문에 칩 절단 공정에 요구되는 공정 시간을 단축시킬 수 있고, 아울러, 리드 프레임의 사용없이 패키지를 제작하기 때문에 트림 및 포밍 공정을 삭제시킬 수 있는 것에 기인하여 전체적인 어셈블리 공정 시간을 단축시킬 수 있다.

<41> 한편, 여기에서는 본 발명의 특정 실시예에 대하여 설명하고 도시하였지만, 당업자에 의하여 이에 대한 수정과 변형을 할 수 있다. 따라서, 이하, 특허청구의 범위는 본 발명의 진정한 사상과 범위에 속하는 한 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.

(57) 청구의 범위

청구항 1

단방향 양측 가장자리 부분 각각에 본딩패드들이 배치되어 있는 적어도 두 개 이상의 반도체 칩들이 연결되어 있는 칩 유닛;

상기 칩 유닛 상에 상기 본딩패드들이 노출되도록 하는 크기로 배치되며, 상부면에 상기 본딩패

드들과 인접된 가장자리 부분으로부터 내측 부분으로 소정 길이만큼이 수평·연장되는 수 개의 제1구리패턴들이 형성되어 있는 제1회로기판;

상기 제1회로기판 상에 상기 제1구리패턴들의 가장자리 부분을 노출시킴과 동시에 칩 유닛의 일측 가장자리 부분의 외측으로 소정 길이 만큼이 돌출되도록 하는 크기로 배치되며, 상부면의 일측 및 타측 가장자리 부분 각각에는 소정 간격 이격되는 스트라이프 형태로된 제2구리패턴들이 상기 제1구리패턴들과 수직하는 방향으로 형성되어 있는 제2회로기판;

상기 본딩패드들과 상기 제1구리패턴들간을 각각 접속시키도록 형성된 금속 와이어들; 및

상기 금속 와이어들과 제1 및 제2회로기판을 포함한 칩 유닛의 상부면에 코팅된 봉지체를 포함하여 이루어지며,

상기 제2회로기판에는 제2구리패턴들의 상부면으로부터 상기 제2회로기판의 하부면을 관통시키는 홀들이 구비되어 있고, 아울러, 상기 홀의 내측면에는 금속 물질이 도금되어 있으며, 상기 제1구리패턴들과 제2구리패턴들은 상기 제1회로기판과 제2회로기판을 열 압착시키는 공정을 통해 상기 금속 물질에 의해 전기적으로 접속되어 있는 것을 특징으로 하는 멀티 칩 패키지.

청구항 2

제 1 항에 있어서, 상기 제1구리패턴들은 본딩패드들의 수와 동일한 수로 형성되며, 하나의 반도체 칩에 대해서 서로 다른 길이를 갖도록 형성된 것을 특징으로 하는 멀티 칩 패키지.

청구항 3

제 1 항에 있어서, 상기 제2구리패턴은 하나의 반도체 칩에 구비되는 본딩패드들의 수 만큼이 형성되는 것을 특징으로 하는 멀티 칩 패키지.

청구항 4

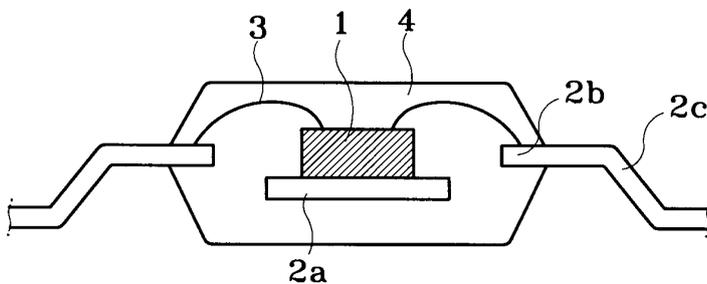
제 1 항 또는 제 3 항에 있어서, 상기 제2구리패턴은 각 반도체 칩의 본딩패드들과 연결된 세 개의 제1구리패턴들과 접속되는 것을 특징으로 하는 멀티 칩 패키지.

청구항 5

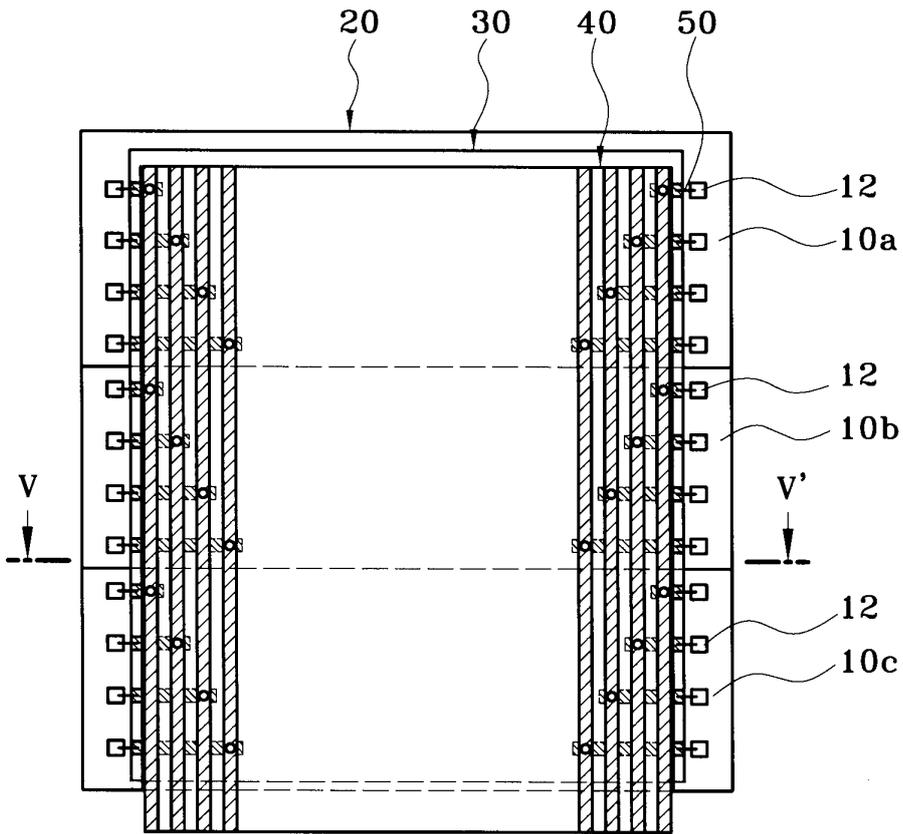
제 1 항에 있어서, 상기 금속성 물질은 구리, 주석, 납, 또는 은 중에서 선택되는 하나인 것을 특징으로 하는 멀티 칩 패키지.

도면

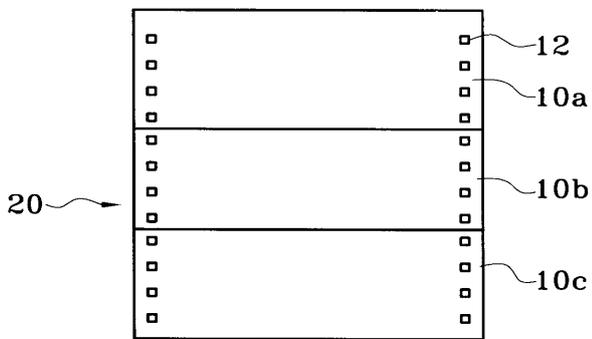
도면1



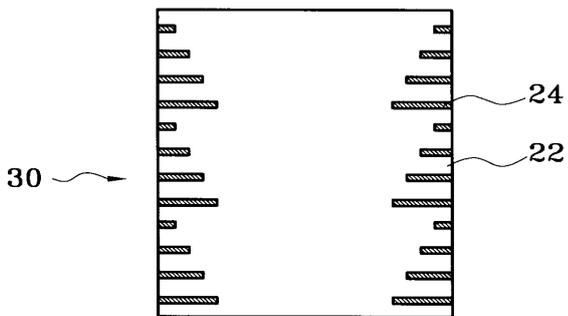
도면2



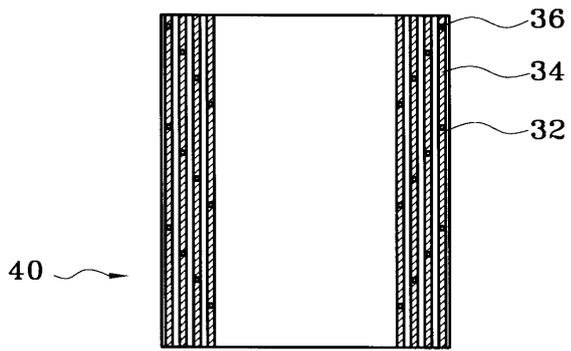
도면3



도면4a



도면4b



도면5

