



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 976442

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 07.05.81 (21) 3283537/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.11.82. Бюллетень № 43

Дата опубликования описания 26.11.82

(51) М. Кл.<sup>3</sup>

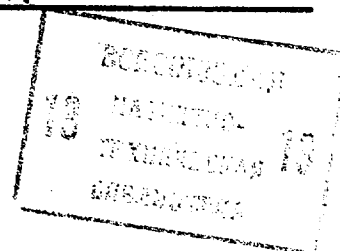
G 06 F 9/00

(53) УДК 681.325  
(088.8)

(72) Авторы  
изобретения

М. П. Вольнов и Ю. Н. Долгин

(71) Заявитель



## (54) УСТРОЙСТВО ДЛЯ РАСПРЕДЕЛЕНИЯ ЗАДАНИЙ ПРОЦЕССОРАМ

1  
Изобретение относится к вычислительной технике и может быть использовано в многопроцессорных системах для обработки цифровой информации.

Известно устройство для сопряжения процессов, содержащее блок коммутации, блок настройки, блок управления и блок передачи, объединенные между собой внутренними шинами и предназначенное для сопряжения отдельных ЭВМ в единую однородную вычислительную систему [1].

Недостатком указанного устройства является его существенная сложность и сравнительно невысокая производительность.

Наиболее близким к изобретению по технической сущности и достигаемому результату является устройство для распределения заданий процессорам, содержащее  $n$  процессоров, регистр сдвига, регистр готовности процессоров, первый блок из групп элементов И и первый блок из  $n$  групп элементов ИЛИ [2].

Недостатком устройства является низкая производительность, являющаяся след-

2  
ствием простоев в работе устройства в случае, когда число свободных от работы процессоров меньше требуемого количества.

Целью изобретения является увеличение пропускной способности устройства. 5  
Поставленная цель достигается тем, что в устройство для распределения заданий процессорам, содержащее регистр готовности процессоров, регистр сдвига, 10  
первую группу из  $n$  блоков элементов И (где  $n$  - число процессоров) и первую группу из элементов ИЛИ, причем прямые выходы регистра готовности процессоров соединены с первыми входами соответствующих блоков элементов И первой группы, выходы которых соединены с соответствующими выходами группы информационных выходов устройства и с входами соответствующих элементов ИЛИ первой 15  
группы, выходы которых соединены с группой входов сброса регистров готовности процессоров, [группа информационных входов которого соединена с группой входов

готовности устройства, введены кодовый селектор, вторая группа из  $n$  блоков элементов И, вторая группа из  $n$  элементов ИЛИ, элемент И, причем первые входы каждого блока элементов И второй группы соединены с первыми входами одноименных блоков элементов первой группы И, выходы каждого блока элементов И второй группы — с соответствующими выходами группы информационных выходов устройства и с входами соответствующих элементов ИЛИ второй группы, выходы которых соединены с группой входов сброса регистра готовности процессоров, инверсный выход каждого  $i$ -го ( $i = 1 \dots n$ ) ряда регистра готовности процессоров соединены с вторыми входами  $(i+1)$ -го блока элементов И первой и второй групп, второй вход первого блока элементов И и третьи входы остальных блоков элементов И первой группы соединены с первым выходом кодового селектора, второй вход первого и третьи входы остальных блоков элементов И соединены с вторым выходом кодового селектора, первый вход которого соединен с адресным входом устройства, второй вход кодового селектора соединен с числовым входом устройства, группа входов кодового селектора соединена с группой выходов регистра сдвига, вход которого соединен с тактовым входом устройства, сигнальный выход устройства соединен с выходом элемента И, входы которого соединены с прямыми выходами регистра готовности процессоров.

Кроме того, кодовый селектор содержит  $2n$  регистров и треугольную матрицу элементов сравнения размерности  $(m-1) \cdot (m-1)$ , (где  $m = !$ ), каждый элемент сравнения которой в свою очередь содержит схему сравнения и два блока элементов И, причем первый вход каждого регистра соединен с первым входом кодового селектора, второй вход каждого регистра соединен с вторым входом кодового селектора, первый выход первого регистра соединен с первым входом каждой схемы сравнения первой строки треугольной матрицы элементов сравнения, а первые выходы каждого  $i$ -го регистра, начиная с второго, соединены с первым входом каждой схемы сравнения  $i$ -ой строки треугольной матрицы элементов сравнения и к второму входу каждой схемы сравнения  $i$ -го столбца треугольной матрицы элементов сравнения, выход схемы сравнения каждого элемента сравнения треугольной матрицы элементов сравне-

ния соединен с первыми входами обоих блоков элементов И своего элемента сравнения треугольной матрицы элементов сравнения, вторые входы которых соединены между собой и с соответствующим входом группы входов кодового селектора, вторые выходы первого регистра соединены с третьими входами каждого первого блока элементов И первой строки треугольной матрицы элементов сравнения, а вторые выходы каждого  $i$ -го регистра, начиная с второго, соединены с третьими входами каждого первого блока элементов И  $i$ -ой строки треугольной матрицы элементов сравнения и с третьими выходами каждого второго блока элементов И  $i$ -го столбца треугольной матрицы элементов сравнения, выходы первых блоков элементов И каждой строки треугольной матрицы элементов сравнения соединены с первым выходом кодового селектора, выходы вторых блоков элементов И каждой строки треугольной матрицы элементов сравнения соединены с вторым выходом кодового селектора.

На фиг. 1 приведена структурная схема устройства для распределения заданий процессорам; на фиг. 2 — структурная схема кодового селектора.

Устройство содержит регистр 1 готовности процессоров, группы блоков элементов И 2 и 3, группы элементов ИЛИ 4 и 5, регистр 6 сдвига, кодовый селектор 7, элемент И 8, тактовый вход 9 устройства, сигнальный выход 10 устройства, адресный вход 11 устройства, числовой вход 12 устройства, выходы 13 и 14 кодового селектора 7, группу информационных выходов 15 устройства, группу входов 16 готовности устройства, группу входов 17 кодового селектора 7.

Кодовый селектор содержит регистр 18, треугольную матрицу 19 элементов сравнения. Элементы 20 сравнения матрицы 19 содержат схему 21 сравнения, блоки 22 и 23 элементов И.

Принцип работы устройства основан на предварительном формировании заданий процессорам, заключающемся в том, что все множество операндов, предназначенное для решения в данном цикле вычислений, при помощи кодового селектора 7 разбивается по общему адресному признаку на пары операндов, взаимодействующих между собой. Последующее распределение полученных таким образом пар операндов по процессорам производится по мере готовности процессоров к работе, причем каж-

дый операнд несет помимо числовой информации значение кода операций, выполняемых над данной парой, что исключает необходимость обращения к памяти. Указанное распределение обеспечивается параллельной работой группы блоков 2 совместно с группой элементов ИЛИ 4 и группы блоков 3 совместно с группой элементов ИЛИ 5, которые осуществляют коммутацию выделенных пар операндов кодовым селектором 7 на выходы 15.

Устройство работает следующим образом.

На выходы 11 и 12 устройства подается соответственно адресный признак и операнд с кодом операции. Эта информация заносится в регистры 18 кодового селектора 7. Она представляет собой множество операндов, реализуемых в данном цикле вычислений и соответствующие им адресные признаки.

Каждый операнд, подаваемый по входу 12, представляет собой двоичный код, часть разрядов которого определяет необходимую для обработки числовую информацию, а другая часть — код операции, выполняемой над этим числом. Адресные признаки, подаваемые на входы 11, также представляют собой двоичные коды, одинаковые для каждой пары взаимодействующих между собой операндов. Таким образом, в каждый из регистров 18 кодового селектора 7 записывается адресный признак и соответствующий ему операнд с кодом операции.

Кодовый селектор 7 при помощи треугольной матрицы 19 сравнения обеспечивает разделение множества операндов на пары, которые попарно через выходы 13 и 14 кодового селектора 7 подаются на входы блоков 2 и 3.

Разделение пар операндов во времени обеспечивается за счет регистра 6. На вход регистра 6 через тактовый вход 9 устройства подается входная последовательность импульсов заданной частоты, которая осуществляет запись единицы и ее последующий поразрядный циклический сдвиг, за счет чего на выходах регистра 6 формируется тактовая сетка с временным сдвигом, равным периоду следования входной последовательности импульсов, которая через входы 17 кодового селектора 7 поступает на блоки 22 и 23 элементов 20 треугольной матрицы 19 сравнения. Число разрядов регистра 6 также, как и число элементов 20 треугольной матрицы 19 сравнения кодового селекто-

ра 7 равно максимальному числу пар операндов, участвующих в работе.

Таким образом формируется задание на работу процессорам в данном цикле вычислений.

Распределение заданий процессорам осуществляется по готовности процессоров, которая регистрируется соответствующими разрядами регистра 1. Информация о готовности процессоров записывается в регистр 1 сигналами готовности, подаваемыми с входов 16, а обнуляется по мере загрузки процессоров через элементы ИЛИ 4 и 5.

Первый операнд с выхода 13 селектора 7 поступает на входы каждого блока 2, а второй операнд с выходов 14 селектора 7 одновременно с первым подается на входы каждого блока 3. Прохождение операндов через блоки 2 и 3 обеспечивается разрешающим сигналом готовности процессоров, который подается с группы прямых выходов регистра 1, на входы соответствующих блоков 2 и 3. Во избежание назначения одного задания на несколько процессоров в устройстве предусмотрен запрет назначения заданий на каждый последующий процессор, если предыдущий готов к работе. Для этого инверсный выход каждого  $j$ -го разряда регистра 1 готовности процессоров соединен с входами блоков 2 и 3, блоков 4 и 8 элементов И.

Таким образом, с выходов соответствующих пар блоков 2 и 3 каждая пара операндов поочередно поступает на входы готового к работе процессора.

Распределение заданий процессорам производится до тех пор, пока не будут получены сигналы готовности всех  $n$  процессоров. Эти сигналы подаются с прямых выходов регистра 1 готовности процессоров на входы элемента И 8, который по готовности всех  $n$  процессоров выдает на выход 10 устройства сигнал готовности к приему новой группы операндов.

Кодовый селектор 7 работает следующим образом.

Адресные признаки операндов, записанных в регистрах 18, с первой группы выходов поступают на схемы 21 сравнения. При этом адресный признак операнда, записанного в первом регистре 18, подается на первые входы схем 21 сравнения строки треугольной матрицы 19 сравнения, адресный признак второго операнда, записанного во втором регистре 18, поступает на второй вход схемы 21 сравнения столбца треугольной матрицы 19 сравнения. Таким же образом подаются адрес-

ные признаки со всех последующих регистров 18 на элементы треугольной матрицы сравнения. В общем случае с  $i$ -го регистра 18 ( $2 \leq i \leq M-1$ ) адресный признак поступает на вторые входы сравнения схем 21 сравнения элементов 20  $(-1)$ -го столбца и на первые входы схем 21 сравнения элементов 20  $-ой$  строки. Адресный признак последнего операнда поступает только на вторые входы схем 21 сравнения элементов 20 последнего столбца матрицы.

Таким образом подвергаются попарному сравнению адресные признаки всех участвующих в вычислениях операндов. В случае, если для какой-либо пары операндов имеет место общий адресный признак, то соответствующий элемент 21 сравнения формирует сигнал, который свидетельствует о равенстве адресных признаков сравниваемых операндов. Этот сигнал с выхода элемента 21 сравнения поступает на первые входы блоков 22 и 23 элементов И матрицы 19.

Блок 22 и блок 23 элементов И каждого элемента 20 треугольной матрицы 19 сравнения попарно опрашиваются импульсами, поступающими на группу входов 17 кодового селектора 7, и если схемы 21 сравнения соответствующих элементов 20 треугольной матрицы 19 сравнения при этом выдают на блоки 22 и 23 элементов И сигналы равенства адресных признаков операндов, то соответствующие пары операндов, поступающие с вторых выходов регистров 18 на входы блоков 22 и 23, проходят на выходы 13 и 14 кодового селектора 7.

Применение изобретения позволяет повысить пропускную способность устройства при распределении заданий процессорам.

#### Ф о р м у л а и з о б р е т е н и я

1. Устройство для распределения заданий процессорам, содержащее регистр готовности процессоров, регистр сдвига, первую группу из  $M$  блоков элементов И (где  $M$  - число процессоров) и первую группу из элементов ИЛИ, причем прямые выходы регистра готовности процессоров соединены с первыми входами соответствующих блоков элементов И первой группы, выходы которых соединены с соответствующими выходами группы информационных выходов устройства и с входами соответствующих элементов ИЛИ первой группы, выходы которых соединены с группой входов сброса регистра готовности процессо-

ров, группа информационных входов которого соединена с группой входов готовности устройства, отличающееся тем, что, с целью увеличения пропускной способности, в устройство введены кодовый селектор, вторая группа из  $M$  блоков элементов И, вторая группа элементов из  $M$  элементов ИЛИ, элемент И, причем первые входы каждого блока элементов И второй группы соединены с первыми входами одноименных блоков элементов первой группы И, выходы каждого блока элементов И второй группы - с соответствующими выходами группы информационных выходов устройства и с входами соответствующих элементов ИЛИ второй группы, выходы которых соединены с группой входов сброса регистра готовности процессоров, инверсный выход каждого  $i$ -го ( $i = 1 \dots M$ ) разряда регистра готовности процессоров соединены с вторыми входами  $(i+1)$ -го блока элементов И первой и второй групп, второй вход первого блока элементов И и третьи входы остальных блоков элементов И первой группы соединены с первым выходом кодового селектора, второй вход первого и третьи входы остальных блоков элементов И соединены с вторым выходом кодового селектора, первый вход которого соединен с адресным входом устройства, второй вход кодового селектора соединен с числовым входом устройства, группа входов кодового селектора соединена с группой выходов регистра сдвига, вход которого соединен с тактовым входом устройства, сигнальный выход устройства соединен с выходом элемента И, входы которого соединены с прямыми выходами регистра готовности процессоров.

2. Устройство по п. 1, отличающееся тем, что кодовый селектор содержит  $2M$  регистров и треугольную матрицу элементов сравнения размерности  $(M-1) \cdot (M-1)$  (где  $M = M!$ ), каждый элемент сравнения которой в свою очередь содержит схему сравнения и два блока элементов И, причем первый вход каждого регистра соединен с первым входом кодового селектора, второй вход каждого регистра соединен с вторым входом кодового селектора, первый выход первого регистра соединен с первым входом каждой схемы сравнения первой строки треугольной матрицы элементов сравнения, а первые выходы каждого  $i$ -го регистра, начиная с второго, соединены с первым входом каждой схемы сравнения  $i$ -ой строки треуголь-

ной матрицы элементов сравнения и к второму входу каждой схемы сравнения  $i$ -го столбца треугольной матрицы элементов сравнения, выход схемы сравнения каждого элемента сравнения треугольной матрицы элементов сравнения соединен с первыми входами обоих блоков элементов И своего элемента сравнения треугольной матрицы элементов сравнения, вторые входы которых соединены между собой и с соответствующим выходом группы входов кодового селектора, вторые выходы первого регистра соединены с третьими входами каждого первого блока элементов И первой строки треугольной матрицы элементов сравнения, а вторые выходы каждого  $i$ -го регистра, начиная с второго, соединены с третьими входами каждого первого блока элементов И  $i$ -ой строки тре-

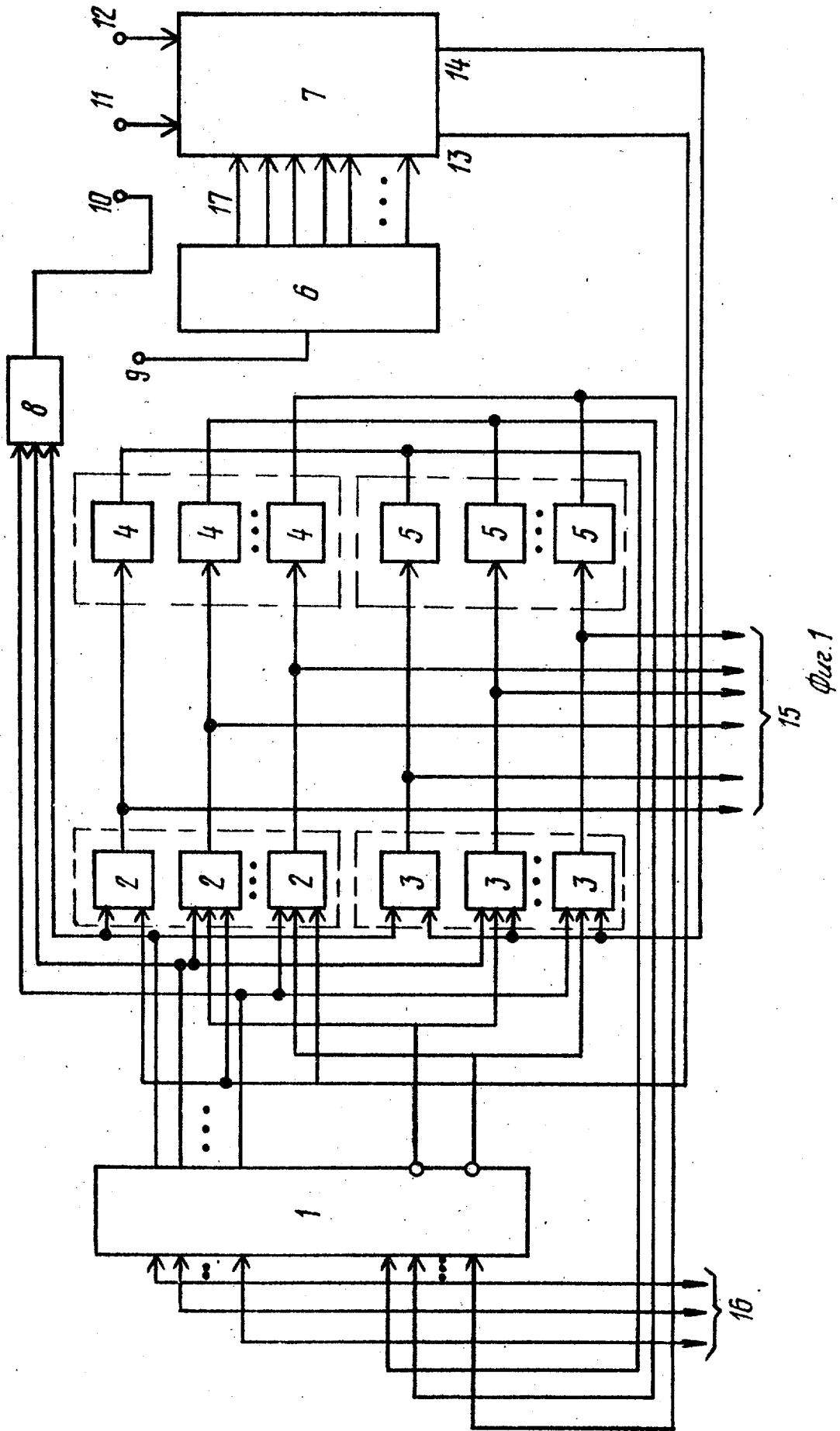
угольной матрицы элементов сравнения и с третьими входами каждого второго блока элементов И  $i$ -го столбца треугольной матрицы элементов сравнения, выходы первых блоков элементов И каждой строки треугольной матрицы элементов сравнения соединены с первым выходом кодового селектора, выходы вторых блоков элементов И каждой строки треугольной матрицы элементов сравнения соединены с вторым выходом кодового селектора.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 758128, кл. G 06 F 3/04, 1978.

2. Авторское свидетельство СССР № 629538, кл. G 06 F 9/00, 1978 (прототип).



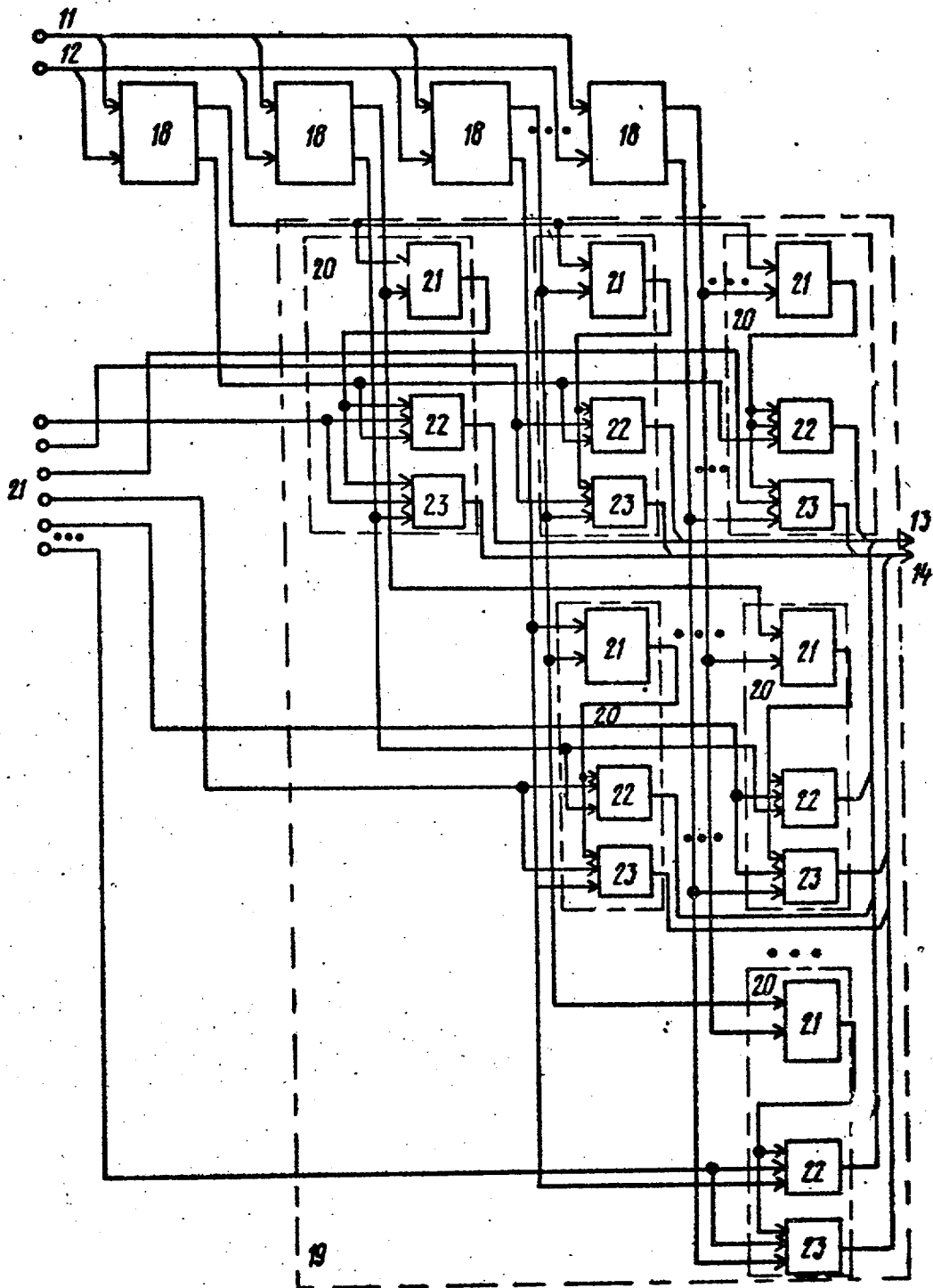


Fig. 2