



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월28일
(11) 등록번호 10-0825784
(24) 등록일자 2008년04월22일

(51) Int. Cl.

H01L 21/60 (2006.01) H01L 23/48 (2006.01)

(21) 출원번호 10-2006-0101561

(22) 출원일자 2006년10월18일

심사청구일자 2006년10월18일

(65) 공개번호 10-2008-0035210

(43) 공개일자 2008년04월23일

(56) 선행기술조사문헌

US20020000656 A1*

KR1019980084278 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정소영

대전 대덕구 송촌동 294-29

양세영

서울 강남구 역삼동 개나리아파트 37-803

(74) 대리인

리앤등록특허법인

전체 청구항 수 : 총 20 항

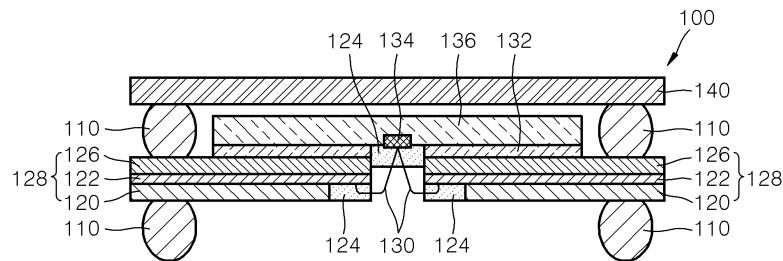
심사관 : 백양규

(54) 휨 및 와이어 단선을 억제하는 반도체 패키지 및 그제조방법

(57) 요약

반도체 패키지의 구조 및 제조방법에 관하여 개시한다. 이를 위해 본 발명은, 회로 기판, 상기 회로 기판에 실장된 반도체 칩, 상기 반도체 칩과 상기 회로 기판을 전기적으로 연결시키는 와이어 및 상기 와이어의 일 부분만을 둘러싸고 있는 봉지재를 포함하는 반도체 패키지 및 그 제조방법을 제공한다. 이에 따르면 봉지재를 와이어의 일 부분만 감싸도록 형성하여 와이어의 단선을 해결함과 동시에 반도체 패키지의 휨 문제를 방지할 수 있다. 또한 적층형 반도체 패키지에서는 두께를 감소시킬 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

내부에 슬릿이 형성되어 있는 회로 기관;
상기 회로 기관 상부면에 실장된 반도체 칩;
상기 반도체 칩과 상기 회로 기관을 슬릿을 통하여 전기적으로 연결시키는 와이어; 및
상기 와이어의 일 부분만을 둘러싸는 봉지재를 포함하는 반도체 패키지.

청구항 2

제1 항에 있어서,
상기 봉지재에 의해 둘러싸인 와이어의 일부분은,
상기 와이어와 상기 반도체 칩의 접합부분인 볼 본드인 반도체 패키지.

청구항 3

제1 항에 있어서,
상기 봉지재에 의해 둘러싸인 와이어의 일부분은,
상기 와이어와 상기 회로 기관의 접합부분인 스티치 본드인 반도체 패키지.

청구항 4

제1 항에 있어서,
상기 회로기관은 중앙부분에 슬릿이 형성된 반도체 패키지.

청구항 5

제1 항에 있어서,
상기 회로기관은 가장자리에 슬릿이 형성된 반도체 패키지.

청구항 6

제1 항에 있어서,
상기 와이어는 산화를 방지할 수 있는 소재로 코팅된 반도체 패키지.

청구항 7

제1 항에 있어서,
상기 반도체 패키지는 상기 회로 기관의 하부면에 부착된 솔더볼을 더 포함하는 반도체 패키지.

청구항 8

제7 항에 있어서,
상기 반도체 패키지는 상기 회로기관 상부면 가장자리에 부착된 솔더볼과 상기 솔더볼 위에 접속된 리드(lid)를 더 포함하는 반도체 패키지.

청구항 9

제7 항에 있어서,
상기 반도체 패키지는 상기 회로기관 상부에 적층되고 상기 반도체 패키지와 동일구조를 갖는 적층된 반도체 패키지를 더 포함하는 반도체 패키지.

청구항 10

제9 항에 있어서,

상기 적층된 반도체 패키지는 상기 회로기판 상부면 가장자리에 부착된 솔더볼과 상기 솔더볼 위에 접속된 리드를 더 포함하는 반도체 패키지.

청구항 11

제1 항에 있어서,

상기 봉지재는 모듈러스 값이 1.3 ~ 10MPa 범위인 반도체 패키지.

청구항 12

반도체 칩을 슬릿이 형성된 회로 기판 상부면에 실장시키는 단계;

상기 반도체 칩과 상기 회로 기판을 와이어로 연결하는 단계; 및

상기 와이어의 일 부분만을 봉지재로 밀봉하는 단계를 포함하는 반도체 패키지 제조 방법.

청구항 13

제 12항에 있어서,

상기 와이어의 일 부분만을 봉지재로 밀봉하는 단계는,

상기 와이어와 상기 반도체 칩의 접합부분인 볼 본드를 봉지재로 밀봉하는 단계; 및

상기 와이어와 상기 회로 기판의 접합부분인 스티치 본드를 봉지재로 밀봉하는 단계로 이루어진 반도체 패키지 제조 방법.

청구항 14

제 12항에 있어서,

상기 와이어의 일 부분만을 봉지재로 밀봉하는 단계는,

상기 와이어와 상기 회로 기판의 접합부분인 스티치 본드를 봉지재로 밀봉하는 단계; 및

상기 와이어와 상기 반도체 칩의 접합부분인 볼 본드를 봉지재로 밀봉하는 단계로 이루어진 반도체 패키지 제조 방법.

청구항 15

제12 항에 있어서,

상기 와이어의 일 부분만을 봉지재로 밀봉하는 단계 후에,

상기 회로 기판 하부면에 솔더볼을 부착하는 단계를 더 포함하는 반도체 패키지 제조방법.

청구항 16

제12 항에 있어서,

상기 와이어의 일 부분만을 봉지재로 밀봉하는 단계 후에,

상기 회로 기판 상부면의 가장자리에 솔더볼을 부착하고 상기 솔더볼과 접속된 리드를 부착하는 단계를 더 포함하는 반도체 패키지 제조방법.

청구항 17

제15 항에 있어서,

상기 회로기판 하부면에 솔더볼을 부착하는 단계 후에,

상기 회로기판 위에 반도체 패키지와 동일 구조를 갖는 적층된 반도체 패키지를 형성하는 단계를 더 포함하는 반도체 패키지 제조 방법.

청구항 18

제17 항에 있어서,

상기 적층된 반도체 패키지를 형성하는 단계 후에,

상기 적층된 반도체 패키지의 회로 기판 상부면 가장자리에 솔더볼을 부착하고 상기 솔더볼과 접속된 리드를 부착하는 단계를 더 포함하는 반도체 패키지 제조방법.

청구항 19

제17 항에 있어서,

상기 적층된 반도체 패키지를 형성하는 방법은,

상기 적층된 반도체 패키지의 솔더볼이 반도체 패키지의 회로기판 상부와 연결되도록 형성하는 반도체 패키지 제조 방법.

청구항 20

제17 항에 있어서,

상기 적층된 반도체 패키지를 형성하는 방법은,

상기 적층된 반도체 패키지가 뒤집어 적층되고 각각의 반도체 칩이 접착부재를 통해 접속되는 반도체 패키지 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 반도체 패키지의 구조 및 그 제조 방법에 관한 것으로서, 특히 기본 골격재로 사용되는 회로기판에 슬릿(slit)이 형성되어 있는 WBGA(Wire Ball Grid Array) 반도체 패키지의 구조 및 그 제조방법에 관한 것이다.
- <15> 일반적인 WBGA 반도체 패키지의 조립 공정은, 반도체 웨이퍼를 단위 반도체 칩으로 절단하는 웨이퍼 소잉(wafer sawing) 공정과, 상기 절단된 반도체 칩을 리드프레임이나 인쇄회로기판(PCB) 또는 테이프 배선기판과 같이 반도체 패키지의 기본골격재로 사용되는 회로기판 위에 부착하는 다이 부착(die attach) 공정과, 상기 반도체 칩과 회로기판을 와이어를 사용하여 전기적으로 연결하는 와이어 본딩(wire bonding) 공정, 상기 반도체 칩, 와이어 및 회로기판의 일부를 봉지재로 덮는 밀봉(encapsulation) 공정 및 상기 회로기판 아래에 있는 솔더볼 패드에 솔더볼을 부착하는 솔더볼 부착공정 등으로 이루어진다.
- <16> 도 1은 종래 기술에 따른 반도체 칩 패키지를 나타낸 단면도이다.
- <17> 도 1을 참조하면, 일반적인 WBGA 형태의 반도체 패키지(101)는, 반도체 칩(36)을 실장할 수 있고 중앙부에 슬릿(slit)이 형성되어 있으며, 단면 구조가 상부 기판 부재(26)와 하부 기판 부재(20) 및 기판 배선(22)을 포함하는 회로 기판(28)을 기본 골격재로 사용한다. 상기 회로 기판(28)은 상부면에 패드(134)를 포함하는 회로면이 아래로 향하도록 집착 부재(32)를 통하여 반도체 칩(36)이 탑재되어 있다. 그리고, 상기 회로 기판(28)은 슬릿을 통하여 반도체 칩(36) 회로면의 패드(34)와 기판 배선(22)을 전기적으로 연결하는 와이어(30)가 형성되어 있다. 한편, 상기 슬릿에 의해 노출된 반도체 칩(36)의 회로면과 와이어(30)는 봉지재(24)에 의하여 완전히 밀봉(sealing)된다. 그리고 회로 기판(128)의 하부면은 솔더볼(10)이 부착되어 외부회로와 연결이 가능한 구조로 만들어진다.
- <18> 추가적으로 반도체 칩(36)을 외부의 충격으로부터 보호하고 패키지의 신뢰성을 향상시키기 위해 칩 상부에 리드

(lid, 40)를 더 탑재할 수도 있다.

<19> 그러나 상술한 종래기술에 따르면, 봉지재(24)로 모듈러스(modulus)가 작은 물질이 사용된다. 이는 모듈러스가 큰 물질을 봉지재로 사용하면 반도체 패키지내 각기 다른 물질들간의 열팽창계수(CTE: Coefficient of Thermal expansion) 차이에 기인한 휨(warpage)을 발생시키기 때문이다. 그러나 모듈러스가 작은 물질을 봉지재(24)로 사용할 경우, 고온 등의 환경에 노출되면 열팽창으로 인하여 와이어(wire)가 끊어지는 와이어 단선 문제가 있다.

발명이 이루고자 하는 기술적 과제

<20> 본 발명이 이루고자 하는 기술적인 과제는, 반도체 패키지의 구조를 개선하고 봉지재 재질을 변경하여 휨 현상이 없으면서 와이어의 단선 발생을 동시에 방지할 수 있는 반도체 패키지를 제공하는데 있다.

<21> 본 발명이 이루고자 하는 다른 기술적인 과제는 반도체 패키지의 구조를 개선하고 봉지재 재질을 변경하여 휨 현상이 없으면서 와이어의 단선 발생을 동시에 방지할 수 있는 반도체 패키지 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

<22> 상기 기술적 과제를 달성하기 위한 본 발명의 바람직한 실시예에 따른 반도체 패키지는, 내부에 슬릿이 형성되어 있는 회로 기판과, 상기 회로 기판 상부면에 실장된 반도체 칩과, 상기 반도체 칩과 상기 회로 기판을 슬릿을 통하여 전기적으로 연결시키는 와이어와, 상기 와이어의 일 부분만을 둘러싸는 봉지재를 포함하는 것을 특징으로 한다.

<23> 상기 봉지재에 의해 둘러싸인 와이어의 일부분은, 상기 와이어와 상기 반도체 칩의 접합부분인 볼 본드 및 상기 와이어와 상기 회로 기판의 접합부분인 스티치 본드인 것이 적합하고, 상기 봉지재는 모듈러스 값이 1.3 ~ 10MPa 범위인 것이 적합하다. 또한, 상기 회로기판은 중앙부분에 슬릿이 형성되거나 가장자리에 슬릿이 형성될 수 있다. 상기 와이어는 산화를 방지할 수 있는 소재로 코팅된 것이 바람직하다.

<24> 상기 기술적 과제를 달성하기 위한 본 발명의 바람직한 실시예에 따른 반도체 패키지의 제조방법은, 반도체 칩을 슬릿이 형성된 회로 기판 상부면에 실장시키는 단계와, 상기 반도체 칩과 상기 회로 기판을 와이어로 연결하는 단계와, 상기 와이어의 일 부분만을 봉지재로 밀봉하는 단계를 포함하는 것을 특징으로 한다.

<25> 상기 와이어의 일 부분만을 봉지재로 밀봉하는 단계는, 상기 와이어와 상기 반도체 칩의 접합부분인 볼 본드를 봉지재로 밀봉하는 단계 및 상기 와이어와 상기 회로 기판의 접합부분인 스티치 본드를 봉지재로 밀봉하는 단계로 이루어진 것이 적합하며, 필요에 따라 반대의 순서로 진행할 수 있다.

<26> 바람직하게는, 상기 회로기판 위에 반도체 패키지와 동일 구조를 갖는 적층된 반도체 패키지를 형성할 수 있으며, 상기 적층된 반도체 패키지를 형성하는 방법은, 상기 적층된 반도체 패키지의 솔더볼이 반도체 패키지의 회로기판 상부와 연결되도록 형성하거나 혹은 적층된 반도체 패키지가 뒤집어 적층되고 각각의 반도체 칩이 접촉 부재를 통해 접속되도록 형성할 수 있다.

<27> 도 2는 본 발명의 일 실시예에 따른 반도체 패키지 구조의 단면도이다.

<28> 도 2를 참조하면, 본 발명의 일 실시예에 따른 반도체 패키지(100)는, 반도체 칩(136)이 부착될 수 있고, 중앙부에 슬릿(slit)이 형성되어 있으며, 단면 구조가 상부 기판 부재(126)와 하부 기판 부재(120) 및 기판 배선(122)을 포함하는 회로 기판(128)을 기본 골격체로 사용한다. 상기 회로 기판(128)의 상부면은 반도체 칩(136)이 패드(134)를 포함하는 회로면이 아래로 향하도록 접촉 부재(132)를 통하여 부착되어 있다. 또한 와이어(130)가 상기 회로 기판(128)의 슬릿을 통하여 반도체 칩(136) 회로면의 패드(134)와 기판 배선(122)을 전기적으로 연결한다.

<29> 그리고 본 발명의 일 실시예에 따른 반도체 패키지(100)는, 봉지재(124)가 슬릿에 의해 노출된 반도체 칩(136)의 회로면과 와이어(130)의 일 부분만을 덮도록 밀봉되어 있다. 또한 솔더볼(110)이 상기 회로 기판(128)의 하부면에 부착되어 있다. 추가적으로 반도체 칩(136)을 보호하고 반도체 패키지의 신뢰성 향상을 위해 반도체 칩 상부에 리드(lid, 140)를 탑재할 수도 있다.

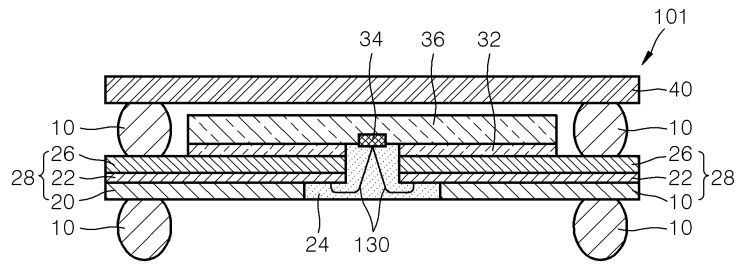
<30> 본 발명에 의한 반도체 패키지(100)는, 상기 모듈러스 값이 높은 1.3 ~ 10 MPa의 봉지재(124)가 와이어와 반도체 칩의 접합부분인 볼 본드(ball bond) 및 상기 와이어와 기판 배선(122)의 접합부분인 스티치 본드(stitch bond)만을 덮도록 형성되어 있다. 이에 따라 와이어(130)가 부분적으로 봉지재(124)에 의해 덮이기 때문에, 와

이어(130) 및 봉지재(124)의 열팽창계수(CTE) 차이에 의한 스트레스를 와이어(130)가 적게 받는다. 동시에 비록 모듈러스 값이 높지만 부분적으로 와이어(130)를 덮도록 형성된 봉지재(124)는, 반도체 패키지(100)에서 발생하는 휨과 같은 결함의 발생을 억제할 수 있다.

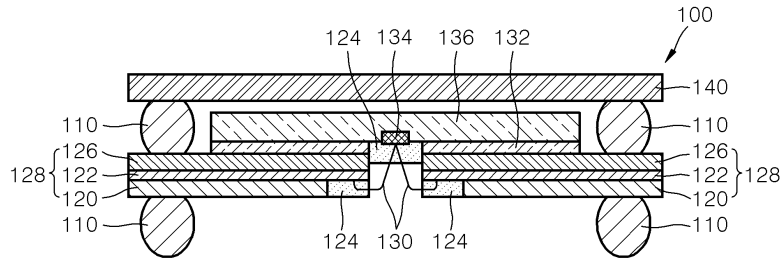
- <31> 따라서 종래 기술과 같이 모듈러스가 1.3MPa 보다 낮은 물질을 봉지재(124)로 사용할 경우 발생하는 열팽창에 의한 와이어(130)의 단선을 방지할 수 있으며, 모듈러스가 1.3MPa 보다 높은 물질을 봉지재(124)로 사용할 경우 발생하는 스트레스에 기인한 휨 현상도 방지할 수 있다. 이때 상기 봉지재(124)가 와이어(130)의 일부분을 덮는 두께는, 볼 본드 경우, 볼 본드 위로 5-50 μ m 두께로 덮는 것이 와이어 단선 억제에 효과적이며, 스티치 본드의 경우 스티치 본드의 상부를 덮을 수 있는 두께인 것이 적합하다.
- <32> 한편, 상기 와이어(130)의 일 부분만 봉지재로 둘러싸이기 때문에 노출된 와이어(130)가 산화되지 않도록 하기 위하여 와이어(130)에 산화를 방지할 수 있는 소재로 코팅하여 사용할 수도 있다. 도 2의 실시예는 반도체 칩(136)의 회로면이 위로 향하도록 변형될 수도 있다. 이 경우 반도체 칩(136)에 관통 전극(through via)을 형성하여 패드(134)를 회로면과 반대면으로 연장시킨 후, 도2와 같이 와이어(130)를 통해 회로 기판(128)과 연결할 수 있다.
- <33> 도 3은 본 발명의 두번째 실시예에 따른 반도체 패키지 구조의 단면도이다.
- <34> 도 3을 참조하면, 본 발명의 두번째 실시예에 따른 반도체 패키지(200)는, 반도체 칩(136)을 상부면에 실장할 수 있고 외곽 부분에 슬릿(slit)이 형성되어 있으며, 단면 구조가 상부 기판 부재(126)와 하부 기판 부재(120) 및 기판 배선(122)을 포함하는 회로 기판(128)을 기본 골격재로 사용한다. 도 2와 비교하여 슬릿이 형성된 위치가 서로 다른 차이점이 있다.
- <35> 본 발명의 두번째 실시예에 따른 반도체 패키지(200)는, 상기 회로 기판(128) 상부면에 패드(134)를 포함하는 회로면이 아래로 향하도록 접착 부재(132)를 통하여 실장된 반도체 칩(136)과, 상기 회로 기판(128)의 슬릿을 통하여 반도체 칩(136) 회로면의 패드(134)와 기판 배선(122)을 전기적으로 연결하는 와이어(130)와, 상기 슬릿에 의해 노출된 반도체 칩(136)의 회로면과 와이어(130)의 일 부분, 예컨대 볼 본드 및 스티치 본드만을 덮는 봉지재(124)와, 회로 기판(128) 하부면에 부착된 솔더볼(110)을 포함하여 이루어진다.
- <36> 추가적으로 본 발명의 두번째 실시예에 따른 반도체 패키지(200)는, 반도체 칩(136)을 보호하고 패키지의 신뢰성 향상을 위해 칩 상부에 리드(lid, 140)를 탑재할 수도 있다. 가장자리(edge) 패드(pad)를 갖는 반도체 칩을 WBGA에 적용할 경우 본 발명의 두번째 실시예처럼 구현하는 것이 유리하다.
- <37> 도 4는 본 발명의 세번째 실시예에 따른 반도체 패키지 구조의 단면도이다.
- <38> 도 4를 참조하면, 세번째 실시예에 따른 반도체 패키지(300)는, 본 발명의 첫번째 실시예에서 설명한 반도체 패키지들이 2개 혹은 그 이상으로 적층한 반도체 패키지이다. 이때 상하부 반도체 패키지는 동종의 반도체 칩이 실장될 수도 있고, 이종의 반도체 칩이 각각 내부에 실장될 수도 있다. 또한 상하부 반도체 패키지는 솔더볼(110)에 의해 전기적인 연결이 가능하다.
- <39> 도 5는 본 발명의 네번째 실시예에 따른 반도체 패키지 구조의 단면도이다.
- <40> 도 5를 참조하면, 본 발명의 네번째 실시예에 따른 반도체 패키지(400)는, 상술한 도2에서 설명한 반도체 패키지를 적층한 반도체 패키지(400)로, 상하부 패키지의 반도체 칩(136)들이 접착 부재(132)에 의해 서로 붙어있는 구조를 갖고 있다. 이에 따라 본 발명의 네번째 실시예에 따른 반도체 패키지(400)는, 상하부 반도체 칩(136) 사이의 공간이 없기 때문에 적층되는 패키지의 두께를 감소시킬 수 있는 장점이 있다.
- <41> 도 6a 내지 도 6c는 본 발명의 일 실시예에 따른 반도체 패키지 제조 방법을 나타낸 단면도들이다.
- <42> 도 6a를 참조하면, 내부에 슬릿이 있는 회로 기판(128)에 반도체 칩(136)을 접착부재(132)를 통해 실장한다. 이어서 상기 반도체 칩(136)과 회로 기판(128)을 전기적으로 연결하기 위하여 상기 슬릿을 통하여 와이어(130) 본딩을 진행한다. 상기 와이어(130)는 반도체 칩(136)에 형성된 패드(134)와 회로 기판(128)의 기판 배선(122)과 물리적으로 접속될 수 있다..
- <43> 도 6b를 참조하면, 와이어(130)의 일 부분만을 봉지재(124)로 둘러싸는 공정을 진행한다. 먼저 와이어(130)가 반도체 칩(136)과 접합되는 부분인 볼 본드에 봉지재(124)를 형성하는 단계를 진행하고, 이어서 와이어(130)와 기판 배선(122)이 접합되는 부분인 스티치 본드에 봉지재를 형성하는 단계를 진행할 수 있다. 필요에 따라 이러한 순서는 반대로 적용될 수도 있다. 이때, 스티치 본드쪽에 봉지재(124)를 형성할 때, 봉지재(124)가 흘러

도면

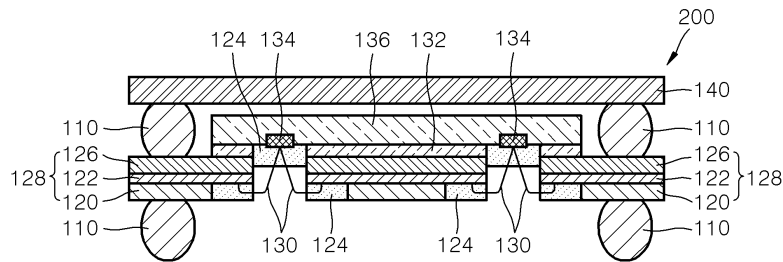
도면1



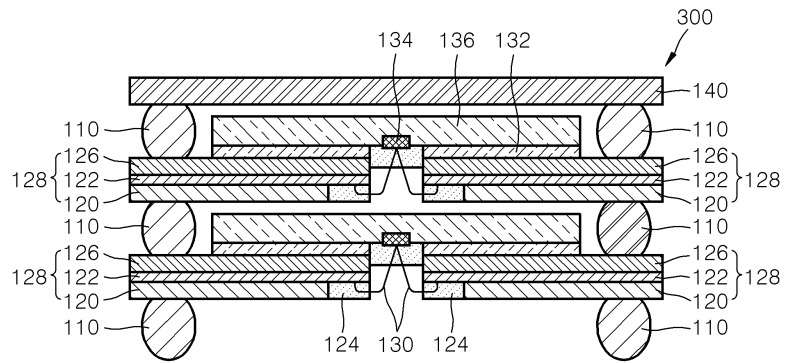
도면2



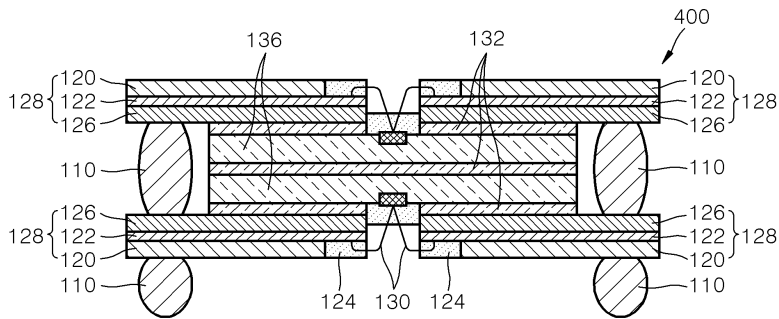
도면3



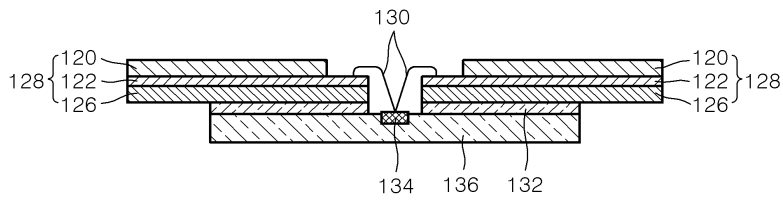
도면4



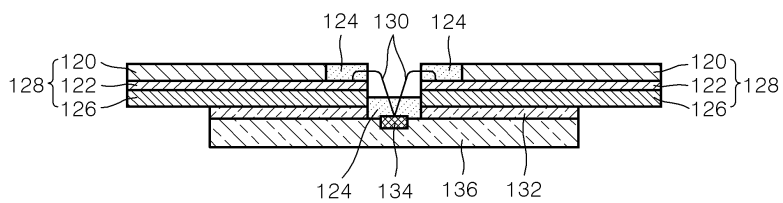
도면5



도면6



도면7



도면8

