



(12) 发明专利申请

(10) 申请公布号 CN 104217760 A

(43) 申请公布日 2014. 12. 17

(21) 申请号 201410425719. X

(22) 申请日 2014. 08. 26

(71) 申请人 上海华虹宏力半导体制造有限公司
地址 201203 上海市浦东新区张江高科技园
区祖冲之路 1399 号

(72) 发明人 顾靖 张永福

(74) 专利代理机构 北京集佳知识产权代理有限
公司 11227

代理人 骆苏华 吴敏

(51) Int. Cl.

G11C 16/14 (2006. 01)

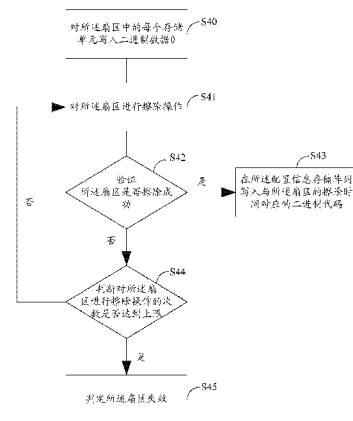
权利要求书1页 说明书6页 附图3页

(54) 发明名称

闪存的配置方法

(57) 摘要

一种闪存的配置方法,所述闪存包括数据存储阵列以及配置信息存储阵列,所述数据存储阵列包括至少一个扇区,所述闪存的配置方法包括:
a、对所述扇区进行擦除操作;b、验证所述扇区是否擦除成功;c、若所述扇区擦除成功,在所述配置信息存储阵列写入与所述扇区的擦除时间对应的二进制代码;d、若所述扇区擦除不成功,判断对所述扇区进行擦除操作的次数是否达到上限;e、若对所述扇区进行擦除操作的次数达到上限,判定所述扇区失效;f、若对所述扇区进行擦除操作的次数未达到上限,则重复执行步骤a。本发明提供的闪存的配置方法,能够避免对闪存造成过擦除,缩短扇区擦除时间,闪存单元承受高压应力的时间缩短,提高闪存单元的可靠性。



1. 一种闪存的配置方法,所述闪存包括数据存储阵列以及配置信息存储阵列,所述数据存储阵列包括至少一个扇区,其特征在于,所述闪存的配置方法包括:

a、对所述扇区进行擦除操作;

b、验证所述扇区是否擦除成功;

c、若所述扇区擦除成功,则在所述配置信息存储阵列写入与所述扇区的擦除时间对应的二进制代码;

d、若所述扇区擦除不成功,则判断对所述扇区进行擦除操作的次数是否达到上限;

e、若对所述扇区进行擦除操作的次数达到上限,则判定所述扇区失效;

f、若对所述扇区进行擦除操作的次数未达到上限,则重复执行步骤 a。

2. 如权利要求 1 所述的闪存的配置方法,其特征在于,还包括:

在首次执行步骤 a 前,对所述扇区中的每个存储单元写入二进制数据 0。

3. 如权利要求 1 所述的闪存的配置方法,其特征在于,所述扇区的擦除时间等于首次执行步骤 a 时的擦除时间与重复执行步骤 a 时的擦除时间相加之和。

4. 如权利要求 1 所述的闪存的配置方法,其特征在于,首次执行步骤 a 时的擦除时间与每次重复执行步骤 a 时的擦除时间相等。

5. 如权利要求 1 所述的闪存的配置方法,其特征在于,首次执行步骤 a 时的擦除时间与每次重复执行步骤 a 时的擦除时间不相等。

6. 如权利要求 5 所述的闪存的配置方法,其特征在于,每次重复执行步骤 a 时的擦除时间相等。

7. 如权利要求 6 所述的闪存的配置方法,其特征在于,首次执行步骤 a 时的擦除时间大于每次重复执行步骤 a 时的擦除时间。

8. 如权利要求 6 所述的闪存的配置方法,其特征在于,每次重复执行步骤 a 时的擦除时间根据 $T_{ave} = (T_{max} - T_{min}) / (L - 1)$ 确定,其中, T_{ave} 为每次重复执行步骤 a 时的擦除时间, T_{max} 为所述闪存的最大擦除时间, T_{min} 为首次执行步骤 a 时的擦除时间, L 为对所述扇区进行擦除操作的上限次数。

9. 如权利要求 6 所述的闪存的配置方法,其特征在于,每次重复执行步骤 a 时的擦除时间不相等。

10. 如权利要求 1 所述的闪存的配置方法,其特征在于,所述扇区包括 M 条字线、M 条第一控制栅线、M 条第二控制栅线、(N+1) 条位线以及 M 行、N 列呈阵列排布的存储单元,M、N 为正整数;

所述存储单元包括半导体衬底、漏极、源极、第一控制栅极、第二控制栅极、第一浮栅、第二浮栅以及中间电极,第 m 行存储单元的中间电极均连接第 m 条字线,第 m 行存储单元的第一控制栅极均连接第 m 条第一控制栅线,第 m 行存储单元的第二控制栅极均连接第 m 条第二控制栅线,第 n 列存储单元的漏极和第 (n-1) 列存储单元的漏极均连接第 n 条位线,第 n 列存储单元的源极和第 (n+1) 列存储单元的源极均连接第 (n+1) 条位线, $1 \leq m \leq M$, $0 \leq n \leq N$ 且 n 为偶数。

闪存的配置方法

技术领域

[0001] 本发明涉及存储器技术领域,特别涉及一种闪存的配置方法。

背景技术

[0002] 通常,用于存储数据的半导体存储器分为易失性存储器和非易失性存储器,易失性存储器在电源中断时易于丢失数据,而非易失性存储器在电源关闭后仍可及时保存存储器内部信息。并且,非易失性存储器具有成本低、密度大等特点,因而非易失性存储器被广泛应用于各个领域,包括嵌入式系统(例如 PC 及外设、电信交换机、蜂窝电话、网络互联设备、仪器仪表等)、语音存储类产品、图像存储类产品以及数据存储类产品等。闪存是一种长寿命的非易失性存储器,数据删除是以固定的扇区为单位进行。

[0003] 图 1 是常见的一种闪存 1 的结构示意图,所述闪存 1 包括数据存储阵列 10 和配置信息存储阵列 11。其中,所述数据存储阵列 10 包括扇区 101、扇区 102、…、扇区 10N,每个扇区适于存储从所述闪存 1 外部写入的数据,N 为正整数;所述配置信息存储阵列 11 适于存储所述闪存 1 的配置信息,所述配置信息通常包括同步等待时间对应的二进制代码、突发读取等待时间对应的二进制代码、突发写入等待时间对应的二进制代码以及擦除时间对应的二进制代码等。

[0004] 现有技术中,对所述闪存 1 进行擦除操作时,是以扇区为单位进行的,而且所有扇区的擦除时间相等。由于不同扇区的特性差异,特别是某些扇区包含有个别差异较大的闪存单元,其要求的擦除时间较长。为了可以实现对所有扇区的有效擦除,需提供较长的擦除时间以满足所有扇区对擦除时间的需求。然而,对于某些对擦除时间要求较短的扇区,较长的擦除时间会产生过擦除效应,影响闪存的可靠性。

发明内容

[0005] 本发明解决的是闪存中的过擦除效应问题。

[0006] 为解决上述问题,本发明提供一种闪存的配置方法,所述闪存包括数据存储阵列以及配置信息存储阵列,所述数据存储阵列包括至少一个扇区,所述闪存的配置方法包括:

[0007] a、对所述扇区进行擦除操作;

[0008] b、验证所述扇区是否擦除成功;

[0009] c、若所述扇区擦除成功,则在所述配置信息存储阵列写入与所述扇区的擦除时间对应的二进制代码;

[0010] d、若所述扇区擦除不成功,则判断对所述扇区进行擦除操作的次数是否达到上限;

[0011] e、若对所述扇区进行擦除操作的次数达到上限,则判定所述扇区失效;

[0012] f、若对所述扇区进行擦除操作的次数未达到上限,则重复执行步骤 a。

[0013] 可选的,所述闪存的配置方法还包括:在首次执行步骤 a 前,对所述扇区中的每个

存储单元写入二进制数据 0。

[0014] 可选的,所述扇区的擦除时间等于首次执行步骤 a 时的擦除时间与重复执行步骤 a 时的擦除时间相加之和。

[0015] 可选的,首次执行步骤 a 时的擦除时间与每次重复执行步骤 a 时的擦除时间相等。

[0016] 可选的,首次执行步骤 a 时的擦除时间与每次重复执行步骤 a 时的擦除时间不相等。

[0017] 可选的,每次重复执行步骤 a 时的擦除时间相等。

[0018] 可选的,首次执行步骤 a 时的擦除时间大于每次重复执行步骤 a 时的擦除时间。

[0019] 可选的,每次重复执行步骤 a 时的擦除时间根据 $T_{ave} = (T_{max} - T_{min}) / (L - 1)$ 确定,其中, T_{ave} 为每次重复执行步骤 a 时的擦除时间, T_{max} 为所述闪存的最大擦除时间, T_{min} 为首次执行步骤 a 时的擦除时间, L 为对所述扇区进行擦除操作的上限次数。

[0020] 可选的,每次重复执行步骤 a 时的擦除时间不相等。

[0021] 可选的,所述扇区包括 M 条字线、 M 条第一控制栅线、 M 条第二控制栅线、 $(N+1)$ 条位线以及 M 行、 N 列呈阵列排布的存储单元, M 、 N 为正整数;

[0022] 所述存储单元包括半导体衬底、漏极、源极、第一控制栅极、第二控制栅极、第一浮栅、第二浮栅以及中间电极,第 m 行存储单元的中间电极均连接第 m 条字线,第 m 行存储单元的第一控制栅极均连接第 m 条第一控制栅线,第 m 行存储单元的第二控制栅极均连接第 m 条第二控制栅线,第 n 列存储单元的漏极和第 $(n-1)$ 列存储单元的漏极均连接第 n 条位线,第 n 列存储单元的源极和第 $(n+1)$ 列存储单元的源极均连接第 $(n+1)$ 条位线, $1 \leq m \leq M$, $0 \leq n \leq N$ 且 n 为偶数。

[0023] 与现有技术相比,本发明的技术方案具有以下优点:

[0024] 本发明提供的闪存的配置方法,通过对扇区进行多次擦除操作,能够获得不同扇区的擦除时间,并将不同扇区的擦除时间对应的二进制代码写入配置信息存储阵列。在用户需要对所述闪存中的扇区进行擦除操作时,可根据配置信息存储阵列中存储的二进制代码为不同的扇区提供不同的擦除时间,避免了所有扇区均采用同一擦除时间产生的过擦除效应。进一步,每个扇区采用不同的时间擦除,缩短了扇区的擦除时间,从而闪存单元承受高压应力的时间缩短,提高了闪存单元的可靠性。

附图说明

[0025] 图 1 是常见的一种闪存的结构示意图;

[0026] 图 2 是本发明实施例的存储单元的剖面结构示意图;

[0027] 图 3 是本发明实施例的扇区的电路图;

[0028] 图 4 是本发明实施例的闪存的配置方法的流程示意图。

具体实施方式

[0029] 正如背景技术中所描述的,现有技术中对闪存进行擦除操作时是以扇区为单位进行,且每个扇区的擦除时间相等。为了可以实现对所有扇区的有效擦除,需提供较长的擦除时间以满足所有扇区对擦除时间的需求。通常,对闪存的擦除采用 F-N 隧穿技术,对于某些对擦除时间要求较短的扇区,较长的擦除时间容易造成存储单元中的隧穿氧化层退化,降

低扇区进行擦除操作后的读取电流,即产生过擦除效应。

[0030] 本发明实施方式提供一种闪存的配置方法,所述闪存包括数据存储阵列以及配置信息存储阵列,所述数据存储阵列包括至少一个扇区,所述闪存的配置方法包括:

[0031] a、对所述扇区进行擦除操作;

[0032] b、验证所述扇区是否擦除成功;

[0033] c、若所述扇区擦除成功,则在所述配置信息存储阵列写入与所述扇区的擦除时间对应的二进制代码;

[0034] d、若所述扇区擦除不成功,则判断对所述扇区进行擦除操作的次数是否达到上限;

[0035] e、若对所述扇区进行擦除操作的次数达到上限,则判定所述扇区失效;

[0036] f、若对所述扇区进行擦除操作的次数未达到上限,则重复执行步骤 a。

[0037] 本发明实施方式的闪存的配置方法,通过对每个扇区进行多次擦除操作,获得每个扇区的擦除时间,并将每个扇区的擦除时间对应的二进制代码写入配置信息存储阵列。在用户需要对所述闪存中的扇区进行擦除操作时,可根据配置信息存储阵列中存储的二进制代码为不同的扇区提供不同的擦除时间,避免了所有扇区均采用同一擦除时间产生的过擦除效应。并且,对每个扇区采用对应的擦除时间进行擦除操作,可以缩短扇区的擦除时间,即闪存单元承受高压应力的时间缩短,提高了闪存单元的可靠性。

[0038] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。需要说明的是,在本实施例中,以一种具体的闪存结构为例说明所述闪存的配置方法,但是,本发明技术方案提供的闪存的配置方法适用于所有按照扇区为单位进行擦除的闪存,因此,本发明对所述闪存的结构不作限定。

[0039] 图 2 是本发明实施例的存储单元的剖面结构示意图,所述存储单元包括:半导体衬底 200;位于所述半导体衬底 200 上方的中间电极 240;对称分布于所述中间电极 240 两侧的第一存储位和第二存储位。其中,所述第一存储位包括漏极 211、第一浮栅 221 以及第一控制栅极 231;第二存储位包括源极 212、第二浮栅 222 以及第二控制栅极 232。所述漏极 211 和所述源极 212 为 N 型扩散区,位于所述半导体衬底 200 内部;所述第一控制栅极 231、所述第一浮栅 221、所述第二控制栅极 232 以及所述第二浮栅 222 位于所述半导体衬底 200 上方。

[0040] 本发明实施例提供一种闪存的配置方法,所述闪存包括数据存储阵列以及配置信息存储阵列,所述数据存储阵列包括至少一个扇区。图 3 是本发明实施例的扇区的电路图,所述扇区包括 M 条字线、M 条第一控制栅线、M 条第二控制栅线、(N+1) 条位线以及 M 行、N 列呈阵列排布的存储单元,M、N 为正整数。所述存储单元的剖面结构如图 2 所示,在此不再赘述。

[0041] 所述 M 条字线包括:字线 WL1、字线 WL2、...、字线 WLM;所述 M 条第一控制栅线包括:第一控制栅线 CG11、第一控制栅线 CG12、...、第一控制栅线 CG1M;所述 M 条第二控制栅线包括:第二控制栅线 CG21、第二控制栅线 CG22、...、第二控制栅线 CG2M;所述 (N+1) 条位线包括:位线 BL0、位线 BL1、位线 BL2、位线 BL3、...、位线 BLN。

[0042] 进一步,第 m 行存储单元的中间电极均连接第 m 条字线,第 m 行存储单元的第一控制栅极均连接第 m 条第一控制栅线,第 m 行存储单元的第二控制栅极均连接第 m 条第二控

制栅线,第 n 列存储单元的漏极和第 $(n-1)$ 列存储单元的漏极均连接第 n 条位线,第 n 列存储单元的源极和第 $(n+1)$ 列存储单元的源极均连接第 $(n+1)$ 条位线, $1 \leq m \leq M, 0 \leq n \leq N$ 且 n 为偶数。

[0043] 具体地,第 1 行存储单元的中间电极均连接第 1 条字线 WL1,第 1 行存储单元的第一控制栅极均连接第 1 条第一控制栅线 CG11,第 1 行存储单元的第二控制栅极均连接第 1 条第二控制栅线 CG21;第 2 行存储单元的中间电极均连接第 2 条字线 WL2,第 2 行存储单元的第一控制栅极均连接第 2 条第一控制栅线 CG12,第 2 行存储单元的第二控制栅极均连接第 2 条第二控制栅线 CG22;...;第 M 行存储单元的中间电极均连接第 M 条字线 WLM,第 M 行存储单元的第一控制栅极均连接第 M 条第一控制栅线 CG1M,第 M 行存储单元的第二控制栅极均连接第 M 条第二控制栅线 CG2M。

[0044] 第 1 列存储单元的漏极和第 2 列存储单元的漏极均连接第 2 条位线 BL1,第 3 列存储单元的漏极和第 4 列存储单元的漏极均连接第 4 条位线 BL3,...,第 $(N-1)$ 列存储单元的漏极和第 N 列存储单元的漏极均连接第 N 条位线 BL $(N-1)$;第 1 列存储单元的源极连接第 1 条位线 BL0,第 2 列存储单元的源极和第 3 列存储单元的源极均连接第 3 条位线 BL2,...,第 N 列存储单元的源极连接第 $(N+1)$ 条位线 BLN。

[0045] 需要说明的是,所述配置信息存储阵列的电路结构与所述扇区的电路结构类似,仅存储容量小于所述扇区的存储容量,为避免赘述,不再对所述配置信息存储阵列的结构进行说明。

[0046] 图 4 是本发明实施例的闪存的配置方法的流程示意图。

[0047] 执行步骤 S41,对所述扇区进行擦除操作。所述闪存的配置方法通常应用在所述闪存的测试阶段。在首次执行步骤 S41 前,若经过其他测试后所述扇区中的每个存储单元均存储二进制数据 0,则直接对所述扇区进行擦除操作;在首次执行步骤 S41 前,若所述扇区中有存储单元存储二进制数据 1,则在首次对所述扇区进行擦除操作前还需执行步骤 S40,对所述扇区中的每个存储单元写入二进制数据 0。通过分别对所述扇区中的字线、第一控制栅线、第二控制栅线以及位线施加不同的电压,可实现对每个存储单元进行写操作和擦除操作。本领域技术人员知晓施加至所述字线、第一控制栅线、第二控制栅线以及位线上的操作电压,在此不再赘述。

[0048] 需要说明的是,首次执行步骤 S41 时的擦除时间不超过所述闪存的最小擦除时间,具体时间可根据所述存储单元的结构和实际需求进行设置。在本实施例中,首次执行步骤 S41 时的擦除时间为 2ms。

[0049] 执行步骤 S42,验证所述扇区是否擦除成功。具体地,通过分别对所述扇区中的字线、第一控制栅线、第二控制栅线以及位线施加不同的电压,读取每个存储单元存储的二进制数据。若从每个存储单元读取出的数据均为二进制数据 1,表明已将每个存储单元存储的二进制数据 0 擦除,则所述扇区擦除成功;若从每个存储单元读取出的数据包含二进制数据 0,表明某些存储单元仍存储二进制数据 0,则所述扇区擦除不成功。

[0050] 若所述扇区擦除成功,执行步骤 S43,在所述配置信息存储阵列写入与所述扇区的擦除时间对应的二进制代码。具体地,所述扇区的擦除时间等于首次执行步骤 S41 时的擦除时间与重复执行步骤 S41 时的擦除时间相加之和。例如,首次执行步骤 S41 时的擦除时间为 2ms,每次重复执行步骤 S41 时的擦除时间为 1ms,若所述扇区在 3 次重复执行步骤 S41

后擦除成功,则所述扇区的擦除时间为 5ms。在所述配置信息存储阵列写入与所述扇区的擦除时间对应的二进制代码,所述二进制代码至少为 i 位, i 根据 $2^i = L$ 确定,其中, L 为对所述扇区进行擦除操作的上限次数。

[0051] 若所述扇区擦除不成功,执行步骤 S44,判断对所述扇区进行擦除操作的次数是否达到上限。本领域技术人员知晓,若闪存中的某一扇区因为某些因素导致无法擦除,则无论对该扇区进行多少次擦除操作,该扇区始终不能被擦除。因此,设置了对所述扇区进行擦除操作的上限次数 L , L 的取值可根据实际需求进行设置。若对所述扇区进行擦除操作的次数等于 L ,则对所述扇区进行擦除操作的次数达到上限,否则对所述扇区进行擦除操作的次数未达到上限。

[0052] 若对所述扇区进行擦除操作的次数达到上限,执行步骤 S45,判定所述扇区失效。具体地,若对所述扇区已进行 L 次擦除操作,所述扇区仍有存储单元不能被擦除,可判定所述扇区为失效的扇区,无法进行使用。

[0053] 若对所述扇区进行擦除操作的次数未达到上限,重复执行步骤 S41。具体地,若对所述扇区进行擦除操作的次数小于 L ,所述扇区有存储单元不能被擦除,表明可能对所述扇区施加擦除电压的时间不够,可继续对所述扇区进行擦除操作。

[0054] 需要说明的是,首次执行步骤 S41 时的擦除时间可以设置为与每次重复执行步骤 S41 时的擦除时间相等,例如,首次执行步骤 S41 时的擦除时间和每次重复执行步骤 S41 时的擦除时间均可以设置为 2ms;首次执行步骤 S41 时的擦除时间也可以设置为与每次重复执行步骤 S41 时的擦除时间不相等。

[0055] 若首次执行步骤 S41 时的擦除时间设置为与每次重复执行步骤 S41 时的擦除时间不相等,每次重复执行步骤 S41 时的擦除时间可以设置为相等。每次重复执行步骤 S41 时的擦除时间根据 $T_{ave} = (T_{max} - T_{min}) / (L - 1)$ 确定,其中, T_{ave} 为每次重复执行步骤 S41 时的擦除时间, T_{max} 为所述闪存的最大擦除时间, T_{min} 为首次执行步骤 S41 时的擦除时间。进一步,首次执行步骤 S41 时的擦除时间可以大于每次重复执行步骤 S41 时的擦除时间,例如,首次执行步骤 S41 时的擦除时间可以设置为 2ms,每次重复执行步骤 S41 时的擦除时间可以设置为 1ms。

[0056] 当然,若首次执行步骤 S41 时的擦除时间设置为与每次重复执行步骤 S41 时的擦除时间不相等,每次重复执行步骤 S41 时的擦除时间也可以设置为不相等。例如,首次执行步骤 S41 时的擦除时间可以设置为 2ms,第一次重复执行步骤 S41 时的擦除时间可以设置为 1.2ms,第二次重复执行步骤 S41 时的擦除时间可以设置为 1.4ms。

[0057] 在本实施例中,首次执行步骤 S41 时的擦除时间为 2ms,每次重复执行步骤 S41 时的擦除时间为 1ms,对所述扇区进行擦除操作的上限次数 L 为 4,所述扇区的擦除时间对应的二进制代码可以为两位。若所述扇区在首次执行步骤 S41 后擦除成功,则所述扇区的擦除时间为 2ms,可在所述配置信息存储阵列写入与 2ms 对应的两位二进制代码 00;若所述扇区在重复一次执行步骤 S41 后擦除成功,则所述扇区的擦除时间为 3ms,可在所述配置信息存储阵列写入与 3ms 对应的两位二进制代码 01;若所述扇区在重复两次执行步骤 S41 后擦除成功,则所述扇区的擦除时间为 4ms,可在所述配置信息存储阵列写入与 4ms 对应的两位二进制代码 10;若所述扇区在重复三次执行步骤 S41 后擦除成功,则所述扇区的擦除时间为 5ms,可在所述配置信息存储阵列写入与 5ms 对应的两位二进制代码 11;若所述扇区在重

复三次执行步骤 S41 后擦除不成功,则判定所述扇区失效。

[0058] 通过本发明实施例提供的闪存的配置方法,可以获得闪存中每个扇区的擦除时间,并将每个扇区的擦除时间对应的二进制代码写入配置信息存储阵列。经过本发明实施例提供的闪存的配置方法配置的闪存,在执行擦除操作时,可根据需要擦除的扇区的地址调用相应的擦除时间,避免了所用扇区采用同一擦除时间导致的过擦除效应。

[0059] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

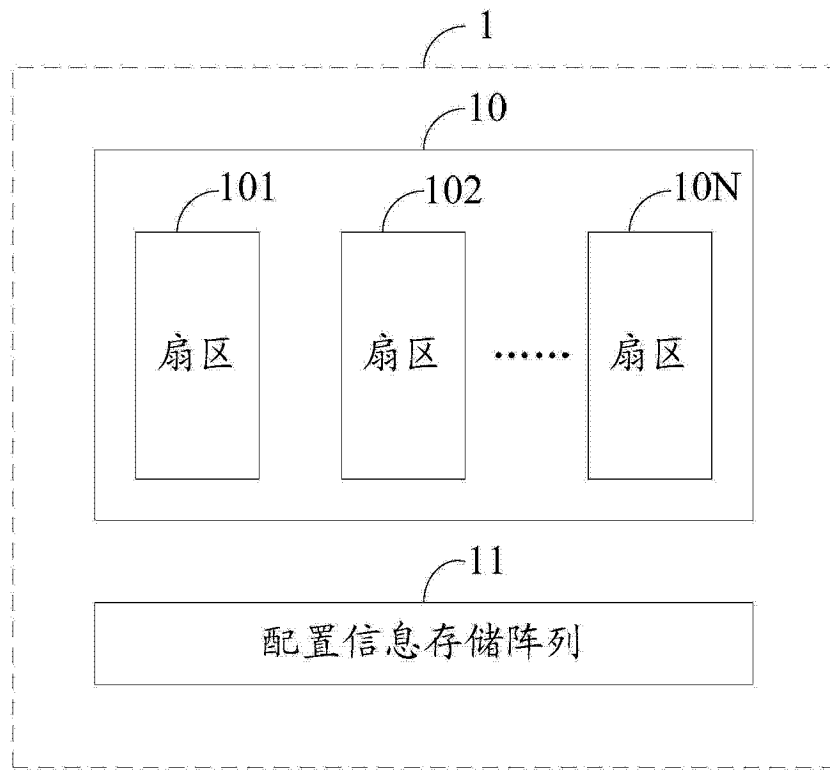


图 1

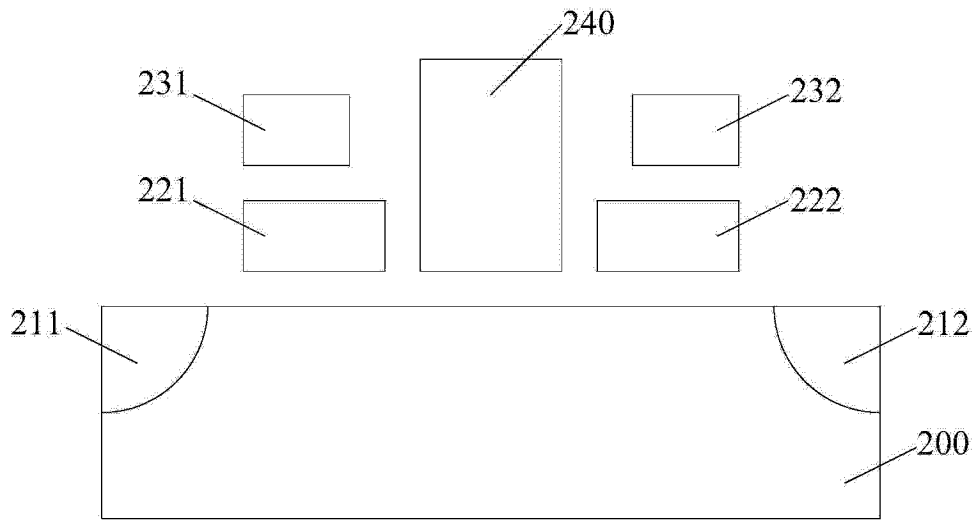


图 2

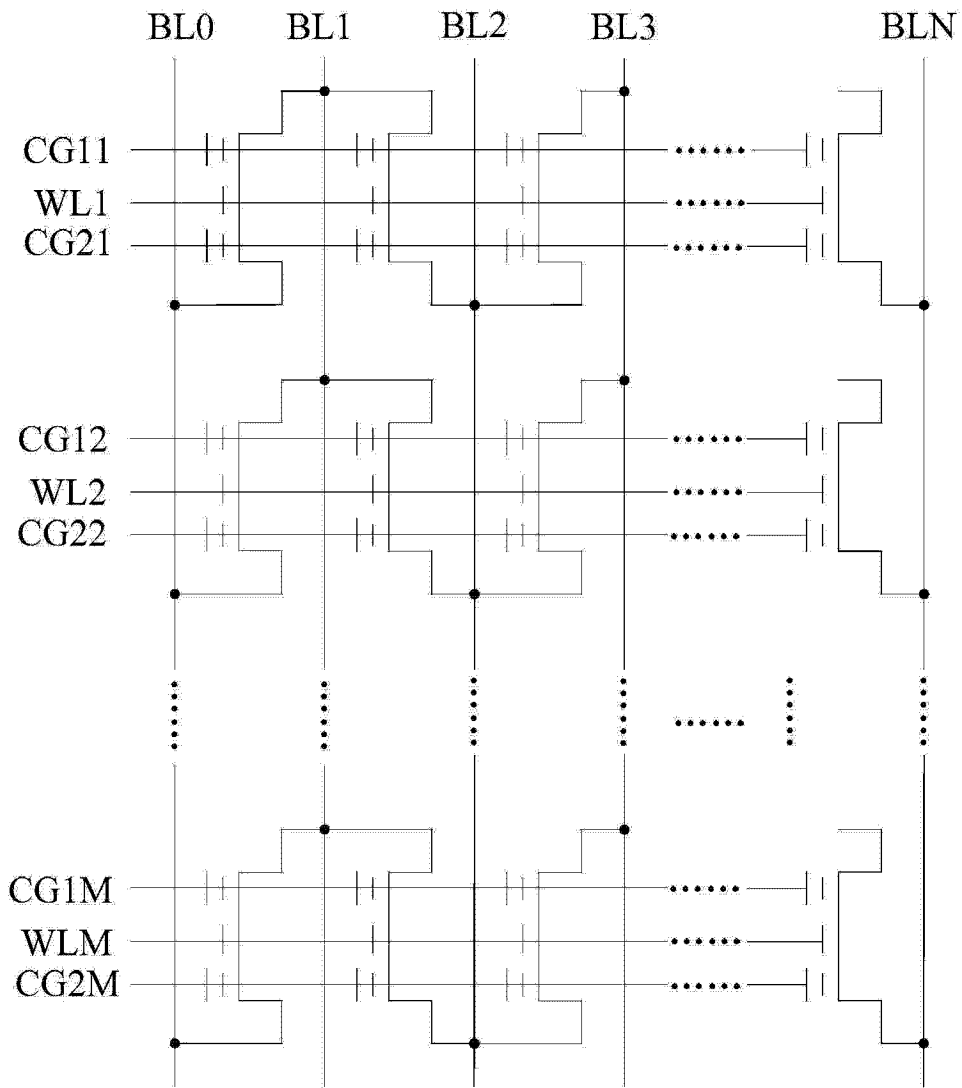


图 3

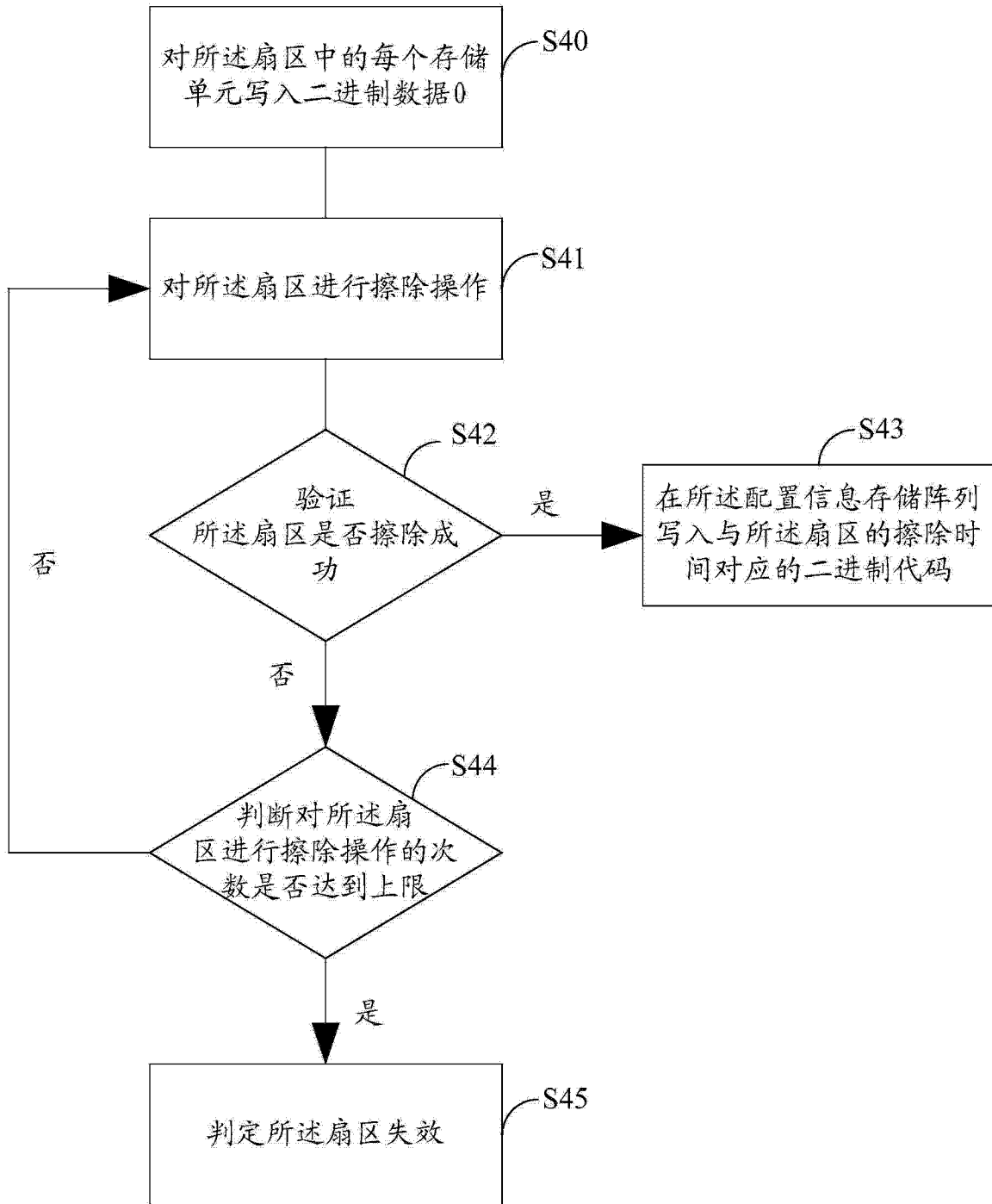


图 4