

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4619793号
(P4619793)

(45) 発行日 平成23年1月26日(2011.1.26)

(24) 登録日 平成22年11月5日(2010.11.5)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611H
HO1L 51/50 (2006.01)	G09G 3/20 624B
	G09G 3/20 642A
	G09G 3/20 670K
請求項の数 1 (全 13 頁) 最終頁に続く	

(21) 出願番号 特願2004-553200 (P2004-553200)
 (86) (22) 出願日 平成15年11月19日(2003.11.19)
 (86) 国際出願番号 PCT/JP2003/014705
 (87) 国際公開番号 W02004/047064
 (87) 国際公開日 平成16年6月3日(2004.6.3)
 審査請求日 平成18年11月14日(2006.11.14)
 (31) 優先権主張番号 特願2002-336920 (P2002-336920)
 (32) 優先日 平成14年11月20日(2002.11.20)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 302020207
 東芝モバイルディスプレイ株式会社
 埼玉県深谷市幡羅町一丁目9番地2
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100092196
 弁理士 橋本 良郎
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (72) 発明者 澁沢 誠
 日本国埼玉県深谷市上柴町東2-10-4
 コーポ静203

最終頁に続く

(54) 【発明の名称】 有機ELディスプレイ

(57) 【特許請求の範囲】

【請求項1】

第1電源端子に接続された第1端子と、制御端子と、前記制御端子と前記第1端子との間の電圧に対応した大きさの駆動電流を出力する第2端子とを備えた駆動制御素子と、前記第2端子と第2電源端子との間に接続された有機EL素子と、定電位端子と前記制御端子との間に接続されたキャパシタと、制御信号入力端子に接続された入力端子と制御信号入力端子から供給される制御信号を出力する出力端子とを備えた遅延素子と、映像信号入力端子と前記第2端子との間に接続された第1スイッチと、前記制御端子と前記第2端子との間に接続された第2スイッチとを具備し、前記第1スイッチのスイッチングを制御する制御端子は前記出力端子に接続され、前記第2スイッチのスイッチングを制御する制御端子は前記制御信号入力端子に接続され、前記遅延素子は、前記制御信号入力端子と前記第1スイッチの制御端子との間に並列に接続された第1及び第2ダイオードを備え、前記第1ダイオードの順方向と前記第2ダイオードの順方向とは逆向きであるアクティブマトリクス型有機ELディスプレイ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型ディスプレイに係り、特に、表示素子として有機EL(Electro-Luminescent)素子を含んだアクティブマトリクス型有機ELディスプレ

20

イに関する。

【背景技術】

【0002】

液晶ディスプレイに代表されるフラットパネルディスプレイには、CRTディスプレイと比較して、薄型、軽量、低消費電力であるという特徴がある。これらの特徴により、フラットパネルディスプレイの需要は急速に伸びている。

アクティブマトリクス型のフラットパネルディスプレイでは、各画素に、オン画素とオフ画素とを電氣的に分離可能とするスイッチが設けられている。通常、この画素には、映像信号を保持するキャパシタがさらに設けられている。そのため、このディスプレイは、隣接画素間でのクロストークのない良好な表示品位を実現することができる。このような理由から、アクティブマトリクス型のフラットパネルディスプレイは、携帯情報端末を始めとする各種電子機器のディスプレイとして利用されるようになってきた。

10

【0003】

近年、有機ELディスプレイの開発が盛んに行われている。有機ELディスプレイは、自己発光型のディスプレイであって、液晶ディスプレイと比較して、高速応答及び広視野外角を実現するうえで有利である。

K n a p p らは、米国特許第6,373,454B1号において、有機ELディスプレイで使用可能な画素回路を開示している。

【0004】

図1は、K n a p p らが開示する画素回路の等価回路図である。この回路の動作は2段階で行われる。なお、第1及び第2段階において、電源線31は電位V1に、電源線34は電位V1よりも高い電位V2に設定される。

20

第1段階では、まず、スイッチ33を開き(OFF)、スイッチ32及び37を閉じる(ON)。この状態で、信号電流を、入力信号として、映像信号配線35から有機EL素子20に供給する。トランジスタ30はスイッチ32によってダイオード接続されているため、キャパシタ38には、信号電流を流しているトランジスタ30のゲート-ソース間電圧と等しい電圧が蓄積される。その後、スイッチ32及び37を開く。

【0005】

第2段階では、スイッチ33を閉じて、有機EL素子20とトランジスタ30のドレインとを接続する。キャパシタ38には入力信号に対応した電圧が蓄積されているので、有機EL素子20には入力信号とほぼ等しい電流が供給される。

30

この画素回路では、スイッチ32及び37のスイッチング、すなわちON/OFF動作、は同時に行われる。そのため、スイッチ32及び37のスイッチングは同一制御線を用いて制御することができる。

【0006】

しかしながら、これらの制御を同一制御線を用いて行うにも拘らず、画素回路パターンの設計やプロセスに由来した特性の変動に起因して、スイッチ32及び37のスイッチングが同時に行われなことがある。

スイッチ32のOFF動作がスイッチ37のそれよりも後に行われる場合、スイッチ37のOFF動作からスイッチ32のOFF動作までの期間に、トランジスタ30のゲートからスイッチ32及びトランジスタ30を介して電源線31へと電流が流れる。その結果、トランジスタ30のゲート-ソース間電圧が低下する。そのため、この場合、階調つぶれが生じる可能性がある。特に、それらOFF動作の時間差が画素間でばらついていると、さらに、輝度の面内不均一が生じる可能性がある。

40

【0007】

この問題は、スイッチ32用の制御線とスイッチ37用の制御線とをそれぞれ設け、後者にOFF信号を供給するよりも前に、前者にOFF信号を供給することによって回避可能である。しかしながら、この場合、画素の各列毎に制御線が1本増えることになる。そのため、画素レイアウトへの制約が厳しくなり、個々の有機EL素子の配置可能な面積が減少する。小さな有機EL素子で明るい表示を行うと、輝度寿命が短くなる。

50

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的は、比較的少ない配線数で優れた表示品位を実現可能なアクティブマトリクス型有機ELディスプレイを提供することにある。

【課題を解決するための手段】

【0017】

本発明の一側面によると、第1電源端子に接続された第1端子と、制御端子と、前記制御端子と前記第1端子との間の電圧に対応した大きさの駆動電流を出力する第2端子とを備えた駆動制御素子と、前記第2端子と第2電源端子との間に接続された有機EL素子と、定電位端子と前記制御端子との間に接続されたキャパシタと、制御信号入力端子に接続された入力端子と制御信号入力端子から供給される制御信号を出力する出力端子とを備えた遅延素子と、映像信号入力端子と前記第2端子との間に接続された第1スイッチと、前記制御端子と前記第2端子との間に接続された第2スイッチとを具備し、前記第1スイッチのスイッチングを制御する制御端子は前記出力端子に接続され、前記第2スイッチのスイッチングを制御する制御端子は前記制御信号入力端子に接続され、前記遅延素子は、前記制御信号入力端子と前記第1スイッチの制御端子との間に並列に接続された第1及び第2ダイオードを備え、前記第1ダイオードの順方向と前記第2ダイオードの順方向とは逆向きであるアクティブマトリクス型有機ELディスプレイが提供される。

【発明を実施するための最良の形態】

【0018】

本発明の幾つかの態様について、図面を参照しながら説明する。以下の各態様では、一例として、本発明を有機ELディスプレイに適用する。

図2は、一参考例に係る有機ELディスプレイを概略的に示す平面図である。図3は、図2に示す有機ELディスプレイの画素に採用可能な構造の一例を概略的に示す平面図である。

【0019】

この有機ELディスプレイ1は、例えばガラス等の絶縁基板10を含んでいる。基板10上には、マトリクス状に配列した複数の画素と、これら画素を駆動する駆動回路とが配置されている。

駆動回路は、映像信号線ドライバ11と、走査信号線ドライバ12と、映像信号線ドライバ11に接続された映像信号線35と、走査信号線ドライバ12に接続された走査信号線である制御線36と、第1電源線31と、第2電源線34とを含んでいる。この駆動回路は、外部から供給される制御信号YST, YCLK, XST及びXCLK、電源電位Vdd及びVss、並びにデータ信号Iinに基づいて、各画素回路を駆動する。

【0020】

各画素は、表示素子20と、この表示素子20を駆動する画素回路とを含んでいる。画素回路と表示素子20とは、電位Vddに設定される第1電源端子と電位Vssに設定される第2電源端子との間で直列に接続されている。第1及び第2電源端子は、それぞれ、第1電源線31及び第2電源線34に接続されている。なお、ここでは、電位Vddは、電位Vssより高電位となるよう設定されている。

【0021】

表示素子20は、対向した一对の電極と、それらの間に介在した活性層(active layer)とを含んでいる。なお、ここでいう「活性層」は、電極間に印加する電圧に応じて輝度や透過率などの光学特性が変化する層である。この例では、表示素子20は、有機EL素子であり、活性層として、有機発光層を含んだ有機物層を有している。

【0022】

画素回路は、駆動制御素子30と、キャパシタ38と、第1スイッチ37と、第2スイッチ32と、第3スイッチ33とを含んでいる。駆動制御素子30及びスイッチ37, 32及び33としては、例えば、第1導電型の電界効果トランジスタを使用することができ

10

20

30

40

50

る。この例では、駆動制御素子 30 及びスイッチ 37, 32 及び 33 として、p チャンネル薄膜トランジスタを使用している。

【0023】

駆動制御素子 30 の第 1 端子, すなわちソース, は、電位 V_{dd} に設定される第 1 電源端子に接続されている。キャパシタ 38 は、一方の電極が駆動制御素子 30 の制御端子, すなわちゲート, と接続され、映像信号に対応した駆動制御素子 30 の第 1 端子及び制御端子間の電位差を保つ。ここでは、キャパシタ 38 は、第 1 電源端子と駆動制御素子 30 の制御端子の間に接続されている。第 1 スイッチ 37 は、映像信号入力端子と駆動制御素子 30 の第 2 端子, すなわちドレイン, との間に接続されている。なお、映像信号入力端子は、映像信号線 35 に接続されている。第 2 スイッチ 32 は、駆動制御素子 30 のゲートとドレインとの間に接続されている。第 1 スイッチ 37 及び第 2 スイッチ 32 の制御端子, すなわちゲート, は、走査信号線である制御線 36 に接続されている。第 3 スイッチ 33 は、駆動制御素子 30 のドレインと表示素子 20 の第 1 電極 21 との間に接続されている。

10

【0024】

この例では、第 1 電極 21 は陽極であり、表示素子 20 の第 2 電極は、電位 V_{ss} に設定される第 2 電源端子に接続された陰極である。また、この例では、キャパシタ 38 を接続すべき定電位端子として第 1 電源端子を使用しているが、キャパシタ 38 は他の定電位端子と駆動制御素子 30 の制御端子との間に接続してもよい。

【0025】

この有機 EL ディスプレイ 1 では、各画素列に含まれるスイッチ 37 の入力端子, すなわちソース, は、列毎に共通の 1 本の映像信号線 35 に接続されている。映像信号線 35 には、映像信号線ドライバ 11 から、入力信号或いは映像信号 I_{in} として信号電流が供給される。

20

【0026】

また、各画素行に含まれるスイッチ 37 及び 32 の制御端子, すなわちゲート, は、行毎に共通に 1 本の走査信号線 36 に接続されている。走査信号線 36 には、走査信号線ドライバ 12 から、走査信号 S_{can} として電圧信号が順次供給される。

なお、この有機 EL ディスプレイ 1 から少なくとも表示素子 20 の一方の電極及び活性層を除いたものがアクティブマトリクス基板に相当する。このアクティブマトリクス基板は、絶縁基板 10 と、映像信号線 35、走査信号線 36 及び電源線などの配線と、画素回路とを含む。また、このアクティブマトリクス基板は、任意に、映像信号線ドライバ 11、走査信号線ドライバ 12、及び表示素子 20 の第 1 電極 21 を含むことができる。

30

【0027】

この有機 EL ディスプレイ 1 では、第 1 スイッチ 37 及び第 2 スイッチ 32 は、同一の積層構造を有することができ、同時に形成することができる。例えば、これら第 1 スイッチ 37 及び第 2 スイッチ 32 は、半導体層にポリシリコンを用いたトップゲート構造を有し且つ同時に形成した薄膜トランジスタである。

【0028】

本参考例では、第 1 スイッチ 37 と第 2 スイッチ 32 とは、第 1 スイッチ 37 のチャンネル長 L_1 を第 2 スイッチ 32 のチャンネル長 L_2 よりも短く設定すること以外は、互いに等しい構造を有するように設計する。これにより、より浅い閾値 V_{th1} を有する第 1 スイッチ 37 と、より深い閾値 V_{th2} を有する第 2 スイッチ 32 とを得る。

40

【0029】

例えば、第 1 スイッチ 37 及び第 2 スイッチ 32 として、半導体層にポリシリコンを用いたトップゲート構造 (コプラナ型) の薄膜トランジスタを使用する。これら第 1 スイッチ 37 及び第 2 スイッチ 32 には同一の積層構造を採用し、それらは同時に形成する。また、例えば、第 1 スイッチ 37 及び第 2 スイッチ 32 のチャンネル幅を何れも $3\ \mu\text{m}$ とし、第 1 スイッチ 37 及び第 2 スイッチ 32 のチャンネル長は、例えば、それぞれ $3\ \mu\text{m}$ 及び $4.5\ \mu\text{m}$ とする。こうすると、より浅い閾値 V_{th1} を有する第 1 スイッチ 37 と、より

50

深い閾値 V_{th2} を有する第 2 スイッチ 3 2 とが得られる。

【 0 0 3 0 】

それぞれの画素回路において、第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 のゲートは、同一の走査信号線 3 6 に接続されている。そのため、第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 のゲートには、同一の制御信号が同時に供給される。

同一の OFF 信号を第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 のゲートに同時に供給した場合、より深い閾値 V_{th2} を有する第 2 スイッチ 3 2 は、より浅い閾値 V_{th1} を有する第 1 スイッチ 3 7 の OFF 動作に先立って、OFF 動作を開始する。すなわち、この有機 EL ディスプレイ 1 では、第 1 スイッチ 3 7 が非接続状態となる前に、第 2 スイッチ 3 2 を非接続状態とすることができる。

10

【 0 0 3 1 】

それゆえ、第 2 スイッチ 3 2 の OFF 動作が第 1 スイッチ 3 7 の OFF 動作に先行すること、及び、それに起因して駆動制御素子 3 0 のゲート - ソース間電圧が変動することを防止することができる。したがって、階調つぶれや輝度の面内不均一が生じるのを抑制することが可能となり、比較的少ない配線数で優れた表示品位を実現することができる。

【 0 0 3 2 】

第 1 スイッチ 3 2 及び第 2 スイッチ 3 7 のチャンネル長は、画素回路に含まれる他のトランジスタ、キャパシタ、配線などの配置に支障をきたさない範囲で適宜設定することができる。

第 3 スイッチ 3 3 及び駆動制御素子 3 0 には、第 1 スイッチ 3 2 及び第 2 スイッチ 3 7 とほぼ等しい構造を有するように設計することができる。例えば、駆動制御素子 3 0 並びに第 1 乃至第 3 スイッチ 3 2 , 3 7 及び 3 3 として、第 1 導電型の薄膜トランジスタを使用し、これらを同時に形成してもよい。この場合、比較的少ない工程で画素回路を形成することができる。

20

【 0 0 3 3 】

次に、この有機 EL ディスプレイ 1 の動作について、より詳細に説明する。

図 4 は、図 2 の有機 EL ディスプレイの駆動方法の一例を示すタイミングチャートである。

走査信号線ドライバ 1 2 は、第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 を導通状態とする走査信号 S_{can} を、走査信号線 3 6 に順次出力する。走査信号 S_{can} の立上り及び立下りは、配線抵抗や容量に起因して緩やかになっている。例えば、図 4 に示すように、走査信号 S_{can} の電位波形は、時定数分だけ鈍っている。

30

【 0 0 3 4 】

また、走査信号線ドライバ 1 2 は、第 3 スイッチ 3 3 を導通状態とする制御信号 G を、第 3 スイッチ 3 3 の行に順次出力する。発光期間は、第 3 スイッチ 3 3 が導通状態にある期間である。ここでは、行単位で映像信号の書き込みを行い、或る行の書き込みをしている期間を他の行の発光期間としている。通常、信号書き込み期間においては、第 3 スイッチ 3 3 は非導通状態とし、表示素子 3 0 と画素回路とを電氣的に絶縁しておく。

【 0 0 3 5 】

書き込み期間では、走査信号線 3 6 には、第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 を導通状態とする走査信号 S_{can} が供給される。これにより、まず、より浅い閾値 V_{th1} を有する第 1 スイッチ 3 7 が導通状態となり、次いで、より深い閾値 V_{th2} を有する第 2 スイッチ 3 2 が導通状態となる。この際、映像信号線ドライバ 1 1 から映像信号線 3 5 を介して画素回路に入力信号 I_{in} を供給する。すなわち、入力信号 I_{in} に対応した駆動電流を駆動制御素子に流す。これにより、駆動制御素子 3 0 のゲート電位は、入力信号 I_{in} に対応した値に設定される。

40

【 0 0 3 6 】

その後、走査信号線ドライバ 1 2 から走査信号線 3 6 に供給される走査信号 S_{can} は、第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 を導通状態とする ON 信号から、それらを非導通状態とする OFF 信号へと変化する。これに伴い、まず、より深い閾値 V_{th2} を有す

50

る第2スイッチ32が非導通状態となり、次いで、より浅い閾値 V_{th1} を有する第1スイッチ37が非導通状態となる。そのため、キャパシタ38からの電荷のリークが防止され、駆動制御素子30のゲート電位は入力信号 I_{in} に対応した値に維持される。

【0037】

発光期間では、第3スイッチ33は、これに供給される制御信号Gによって導通状態となる。駆動制御素子30のゲート電位は入力信号 I_{in} に対応した値に維持されているので、有機EL素子20には入力信号 I_{in} とほぼ等しい電流が流れる。すなわち、有機EL素子20は、入力信号 I_{in} に応じた輝度で発光する。

【0038】

このように、本参考例では、第2スイッチ32のチャンネル長 L_2 を第1スイッチ37のチャンネル長 L_1 よりも長く設定する。こうすると、第2スイッチ32の閾値 V_{th2} は、第1スイッチ37の閾値 V_{th1} よりも深くなる。その結果、第1スイッチ37及び第2スイッチ32のゲートに同一のOFF信号を供給した場合に、第1スイッチ37が非導通状態となるのに先立って、第2スイッチ32を非導通状態とすることができる。したがって、本参考例によると、階調つぶれや輝度の面内不均一が抑制された有機ELディスプレイを実現することができる。

【0039】

なお、上述の参考例において、第1スイッチ37及び第2スイッチ32のそれぞれは、ソース及びドレイン間に1つのチャンネルを有しているが、これらスイッチは他の構造を有していてもよい。例えば、第1スイッチ37及び第2スイッチ32には、ソース及びドレイン間に複数のチャンネルを有するマルチゲート構造を採用してもよい。この場合、第2スイッチ32の合計チャンネル長 $L_2 (= L_2' + L_2'' + \dots)$ が、第1スイッチ37の合計チャンネル長 $L_1 (= L_1' + L_1'' + \dots)$ よりも長ければ、先に説明したのと同様の効果を得ることができる。

【0040】

図5は、図3の画素構造の一変形例を概略的に示す平面図である。マルチゲート構造は、第1スイッチ37及び第2スイッチ32の一方または双方に採用することができる。但し、OFF電流が表示動作に与える影響を抑制する観点では、図5に示すように第2スイッチ32にマルチゲート構造を採用することが望ましい。

【0041】

第1スイッチ37と第2スイッチ32との閾値の差は、0.2V乃至1V程度であることが望ましい。この場合、より確実に、第1スイッチ37が非導通状態となるのに先立って、第2スイッチ32を非導通状態とすることができる。

上述の参考例においては、チャンネル長を利用して第1スイッチ37と第2スイッチ32とで閾値を異ならしめたが、それらの閾値は他の方法で異ならしめることもできる。例えば、チャンネル数を利用して第1スイッチ37と第2スイッチ32とで閾値を異ならしめてもよい。すなわち、チャンネル長の合計値が同一であっても、第2スイッチ32のチャンネル数が第1スイッチ37のチャンネル数よりも多い場合、第2スイッチ32の閾値は第1スイッチ37の閾値よりも深くなる。

【0042】

或いは、第1スイッチ37と第2スイッチ32とで不純物のドーズ量を異ならしめてもよい。例えば、第1スイッチ37及び第2スイッチ32としてpチャンネル薄膜トランジスタを使用した場合、第1スイッチ37のチャンネルへのpタイプドーパントのドーズ量が、第2スイッチ32のチャンネルへのpタイプドーパントのドーズ量よりも多ければ、第2スイッチ32の閾値は第1スイッチ37の閾値よりも深くなる。

【0043】

不純物のドーズ量が異なる第1スイッチ37及び第2スイッチ32は、例えば、以下の方法で作製することができる。すなわち、薄膜トランジスタを形成する通常のプロセスにおいて、第1スイッチ37のチャンネル領域に不純物をドーピングする回数を、第2スイッチ32のチャンネル領域に不純物をドーピングする回数よりも多くする。例えば、まず、第1スイ

10

20

30

40

50

チ 3 7 及び第 2 スイッチ 3 2 のチャンネル領域に不純物をドーピングする。次いで、フォトレジストを用いて、第 2 スイッチ 3 2 のチャンネル領域をマスクする。続いて、第 1 スイッチ 3 7 のチャンネル領域に不純物をさらにドーピングする。こうすると、第 1 スイッチ 3 7 のチャンネルへのドーパントのドーピング量は、第 2 スイッチ 3 2 のチャンネルへの p タイプドーパントのドーピング量よりも多くなる。

【 0 0 4 4 】

不純物のドーピング量を利用して第 1 スイッチ 3 7 と第 2 スイッチ 3 2 とで閾値を異ならしめる場合、それらスイッチ間でドーピング量は $1 \times 10^{11} \text{ cm}^{-2}$ 乃至 $5 \times 10^{11} \text{ cm}^{-2}$ 程度異なっていることが望ましい。この場合、より確実に、第 1 スイッチ 3 7 が非導通状態となるのに先立って、第 2 スイッチ 3 2 を非導通状態とすることができる。

10

【 0 0 4 5 】

第 1 スイッチ 3 7 の閾値と第 2 スイッチ 3 2 の閾値とは、さらに他の方法で異ならしめることができる。

図 6 は、第 1 スイッチに採用可能な構造の一例を概略的に示す断面図である。図 7 は、第 2 スイッチに採用可能な構造の一例を概略的に示す断面図である。

【 0 0 4 6 】

図 6 に示す第 1 スイッチ 3 7 は、トップゲート型の p チャンネル薄膜トランジスタである。この薄膜トランジスタは、ソース S 及びドレイン D とそれらの間に介在したチャンネル C h とが形成された半導体層を含んでいる。チャンネル C h の上方には、ゲート絶縁膜 G I を介してゲート T G が配置されている。ゲート T G は層間絶縁膜 I I で被覆されており、層間絶縁膜 I I 上にはソース電極 S E 及びドレイン電極 D E が形成されている。これらソース電極 S E 及びドレイン電極 D E は、ゲート絶縁膜 G I 及び層間絶縁膜 I I に形成されたスルーホールを介してソース S 及びドレイン D にそれぞれ接続されている。

20

【 0 0 4 7 】

図 7 に示す第 2 スイッチ 3 2 は、チャンネル C h の下方に絶縁膜 B I を介してバックゲート B G が配置されていること以外は、図 6 に示す第 1 スイッチ 3 7 と同様の構造を有している。このバックゲート B G には、第 2 スイッチ 3 2 の閾値を深くするバイアスを印加する。例えば、第 2 スイッチ 3 2 のバックゲート B G とソース S との間の電圧を、 $+0.2 \text{ V}$ 乃至 $+1.0 \text{ V}$ 程度に設定する。

【 0 0 4 8 】

第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 に図 6 及び図 7 の構造をそれぞれ採用すると、第 2 スイッチ 3 2 の閾値は第 1 スイッチ 3 7 の閾値よりも深くなる。したがって、この場合も、第 2 スイッチ 3 2 を第 1 スイッチ 3 7 よりも先に非導通状態とすることができる。

30

【 0 0 4 9 】

なお、図 6 及び図 7 にはトップゲート型の薄膜トランジスタを例示したが、第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 としては、ボトムゲート型の薄膜トランジスタを用いてもよい。この場合も、第 2 スイッチ 3 2 にバックゲート構造を採用すれば、第 2 スイッチ 3 2 の閾値は第 1 スイッチ 3 7 の閾値よりも深くなる。なお、ここでいうバックゲートとは、制御端子に対してゲート絶縁膜及び半導体層を介して対向配置されるゲートである。

【 0 0 5 0 】

上記参考例で説明した技術は、互いに組み合わせることができる。すなわち、第 1 スイッチ 3 7 と第 2 スイッチ 3 2 とで閾値を異ならしめるために、チャンネル長を利用する方法、チャンネル数を利用する方法、不純物のドーピング量を利用する方法、及びバックゲート構造を利用する方法の 2 つ以上を組み合わせてもよい。

40

【 0 0 5 1 】

上記参考例では、第 2 スイッチ 3 2 を第 1 スイッチ 3 7 よりも先に非導通状態とするために、第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 の閾値を異ならしめた。このようなスイッチングの時間差は、他の方法でも生じさせることができる。

図 8 は、本発明の 一態様 に係る有機 E L ディスプレイを概略的に示す平面図である。

【 0 0 5 2 】

50

この有機ELディスプレイ1は、以下の構造を除き、図1の有機ELディスプレイ1と同様の構造を有している。すなわち、図8の有機ELディスプレイ1では、第1スイッチ37と第2スイッチ32とが同一の構造を有している。加えて、このディスプレイ1では、第1スイッチ37の制御端子が遅延素子39を介して走査信号線36に接続され、第2スイッチ32の制御端子は走査信号線36に直接接続されている。なお、図8の有機ELディスプレイ1は、第1態様で図4を参照しながら説明したのと同様の方法により駆動することができる。

【0053】

図9は、遅延素子に入力される信号及び遅延素子が出力する信号の波形の一例を示す図である。

10

遅延素子39は、第1スイッチ37のスイッチングを遅らせる役割を果たす。例えば、図9に示すように、遅延素子39は、これに入力された走査信号Scanの立上がり及び立下りを緩やかにして第1スイッチ37の制御端子へと出力する。他方、第2スイッチ37の制御端子には、遅延素子39に入力されたのと同じの走査信号Scanが供給される。そのため、第1スイッチ37の閾値と第2スイッチ32の閾値とがほぼ等しければ、走査信号線ドライバ12から走査信号線36にOFF信号を供給した場合に、第2スイッチ32は第1スイッチ37よりも先に非導通状態となる。

【0054】

このように、図8の有機ELディスプレイ1でも、第2スイッチ32を第1スイッチ37よりも先に非導通状態とすることができる。したがって、本態様によると、階調つぶれや輝度の面内不均一が抑制された有機ELディスプレイ1を実現することができる。

20

【0055】

遅延素子39としては、様々な素子を利用することができる。

図10は、図8の有機ELディスプレイに採用可能な画素回路の一参考例を示す等価回路図である。

この画素回路では、遅延素子39として抵抗素子39Rを使用している。この場合、図9に示すように、第1スイッチ37の制御端子に供給される信号は、第2スイッチ32の制御端子に供給される信号に対して遅延する。

【0056】

抵抗素子39Rとしては、例えば、ポリシリコン層を使用してもよい。抵抗素子39Rとして使用するポリシリコン層は、駆動制御素子30や各種スイッチのポリシリコン層と同時に形成することができる。

30

抵抗素子39Rには、ポリシリコン層として、例えば、 n^+ 型ポリシリコン層や p^+ 型ポリシリコン層や i 型ポリシリコン層などを使用することができる。これらポリシリコン層の中でも、 i 型ポリシリコン層は最も比抵抗が大きい。そのため、 i 型ポリシリコン層を使用すると、抵抗素子39Rの寸法を小さくした場合でも、第1スイッチ37のスイッチングを第2スイッチ32のスイッチングに対して十分に遅延させることができる。例えば、抵抗素子39Rの面積を $400\mu\text{m}^2$ 乃至 $1000\mu\text{m}^2$ 程度とすることができる。

【0057】

図11は、図8の有機ELディスプレイに採用可能な画素回路の他の参考例を示す等価回路図である。

40

この画素回路では、遅延素子39として、第1スイッチ37の制御端子から走査信号線36へと順方向電流を流すように接続されたダイオード39Dを使用している。このような画素回路では、走査信号Scanが立下がると、ダイオード39Dに順方向電流が流れる。そのため、走査信号Scanの立下がりから遅延することなく或いは僅かに遅延して、第1スイッチ37の制御端子にON信号が供給される。また、走査信号Scanが立上がると、逆バイアスがダイオード39Dに加わり、ダイオード39Dにリーク電流が流れる。そのため、走査信号Scanの立上がりから遅延して、第1スイッチ37の制御端子にOFF信号が供給される。すなわち、図11の画素回路でも、第1スイッチ37の制御端子に供給されるOFF信号は、第2スイッチ32の制御端子に供給されるOFF信号に

50

対して遅延する。

【 0 0 5 8 】

ダイオード 3 9 D としては、例えば、ダイオード接続された薄膜トランジスタを使用することができる。ここでは、図 1 1 に示すように、ダイオード 3 9 D として、第 1 スイッチ 3 7 の制御端子と走査信号線 3 6 との間に接続されるとともに、ゲートがドレインに接続された p チャネル薄膜トランジスタを使用している。このように接続されたトランジスタ 3 9 D は、ダイオードとして機能する。ダイオード 3 9 D としてダイオード接続された薄膜トランジスタを使用した場合、ダイオード 3 9 D は駆動制御素子 3 0 や各種スイッチと同時に形成することができる。

図 1 2 は、図 8 の有機 E L ディスプレイに採用可能な画素回路の一例を示す等価回路図である。この画素回路では、遅延素子 3 9 として、第 1 ダイオード 3 9 D 1 及び第 2 ダイオード 3 9 D 2 を使用している。これらダイオード 3 9 D 1 及び 3 9 D 2 は、第 1 スイッチ 3 7 の制御端子と第 2 スイッチ 3 2 の制御端子との間で並列に接続されている。また、第 1 ダイオード 3 9 D 1 の順方向と第 2 ダイオード 3 9 D 2 の順方向とは逆向きである。

【 0 0 5 9 】

このような画素回路では、走査信号 S c a n が立下がると、第 1 ダイオード 3 9 D 1 に順方向電流が流れる。すなわち、走査信号 S c a n が立下がりに伴い、第 1 スイッチ 3 7 の制御端子に O N 信号が供給される。また、走査信号 S c a n が立上がると、第 2 ダイオード 3 9 D 2 に順方向電流が流れる。第 2 ダイオード 3 9 D 2 の順方向抵抗は、走査信号 S c a n の立上がりから遅延して、第 1 スイッチ 3 7 の制御端子に O F F 信号が供給されるように設定する。このようにダイオード 3 9 D 1 及び 3 9 D 2 の順方向抵抗を設定すると、第 1 スイッチ 3 7 の制御端子に供給される O F F 信号は、第 2 スイッチ 3 2 の制御端子に供給される O F F 信号に対して遅延する。

【 0 0 6 0 】

図 1 2 の画素回路では、第 1 スイッチ 3 7 の制御端子に供給すべき O N 信号の遅延時間は、第 1 ダイオード 3 9 D 1 の順方向抵抗に応じて調節することができる。また、この画素回路では、第 1 スイッチ 3 7 の制御端子に供給すべき O F F 信号の遅延時間は、第 2 ダイオード 3 9 D 2 の順方向抵抗に応じて調節することができる。すなわち、O F F 信号の遅延時間を、O N 信号の遅延時間とは独立して設定することができる。そのため、画素回路に図 1 2 の構造を採用した場合、より高い自由度での設計が可能である。

【 0 0 6 1 】

ダイオード 3 9 D 1 及び 3 9 D 2 としては、例えば、ダイオード接続された薄膜トランジスタを使用することができる。ここでは、図 1 2 に示すように、第 1 ダイオード 3 9 D 1 として、第 1 スイッチ 3 7 の制御端子と走査信号線 3 6 との間に接続されるとともに、ゲートがドレインに接続された p チャネル薄膜トランジスタを使用している。また、第 2 ダイオード 3 9 D 2 としては、第 1 スイッチ 3 7 の制御端子と走査信号線 3 6 との間に接続されるとともに、ゲートがソースに接続された p チャネル薄膜トランジスタを使用している。このように接続されたトランジスタ 3 9 D 1 及び 3 9 D 2 は、順方向が逆向きのダイオードとして機能する。ダイオード 3 9 D 1 及び 3 9 D 2 としてダイオード接続された薄膜トランジスタを使用した場合、ダイオード 3 9 D 1 及び 3 9 D 2 は駆動制御素子 3 0 や各種スイッチと同時に形成することができる。

【 0 0 6 2 】

本態様で説明した技術は、互いに組み合わせることができる。例えば、遅延素子 3 9 として、抵抗素子 3 9 R とダイオード 3 9 D とを直列に接続したものを使用してもよい。或いは、遅延素子 3 9 として、抵抗素子 3 9 R とこれに並列に接続されたダイオード 3 9 D 1 及び D 2 とを使用してもよい。

【 0 0 6 3 】

上述した参考例及び本発明の一態様の技術は、互いに組み合わせることができる。すなわち、参考例で説明したように第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 の閾値を異ならしめるとともに、画素回路に遅延素子 3 9 を設けてもよい。

10

20

30

40

50

さらなる利益及び変形は、当業者には容易である。それゆえ、本発明は、そのより広い側面において、ここに記載された特定の記載や代表的な態様に限定されるべきではない。したがって、添付の請求の範囲及びその等価物によって規定される本発明の包括的概念の真意または範囲から逸脱しない範囲内で、様々な変形が可能である。

【図面の簡単な説明】

【0064】

【図1】従来の画素回路の等価回路図。

【図2】参考例に係る有機ELディスプレイを概略的に示す平面図。

【図3】図2に示す有機ELディスプレイの画素に採用可能な構造の一例を概略的に示す平面図。

10

【図4】図1の有機ELディスプレイの駆動方法の一例を示すタイミングチャート。

【図5】図3の画素構造の一変形例を概略的に示す平面図。

【図6】第2スイッチに採用可能な構造の一例を概略的に示す断面図。

【図7】第1スイッチに採用可能な構造の一例を概略的に示す断面図。

【図8】本発明の一態様に係る有機ELディスプレイを概略的に示す平面図。

【図9】遅延素子に入力される信号及び遅延素子が出力する信号の波形の一例を示す図。

【図10】図8の有機ELディスプレイに採用可能な画素回路の一参考例を示す等価回路図。

【図11】図8の有機ELディスプレイに採用可能な画素回路の他の参考例を示す等価回路図。

20

【図12】図8の有機ELディスプレイに採用可能な画素回路の一例を示す等価回路図。

【符号の説明】

【0065】

1...有機ELディスプレイ、10...絶縁基板、11...映像信号線ドライバ、12...走査信号線ドライバ、20...有機EL素子、21...電極、30...トランジスタ、31...電源線、32...スイッチ、33...スイッチ、34...電源線、35...映像信号線、36...走査信号線、37...スイッチ、38...キャパシタ、39...遅延素子、39R...抵抗素子、39D...ダイオード、39D1...ダイオード、39D2...ダイオード。

【図1】

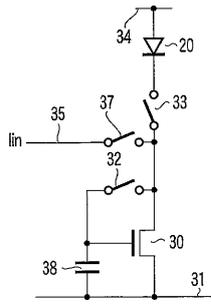


FIG. 1

【図3】

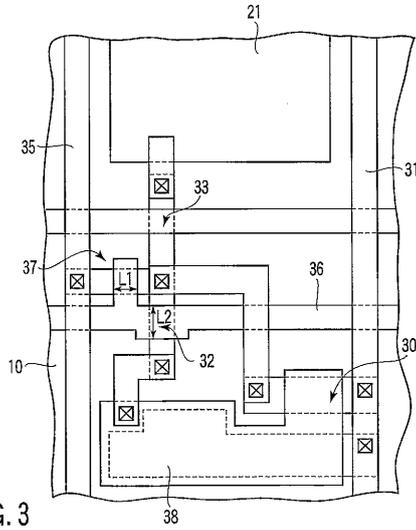


FIG. 3

【図2】

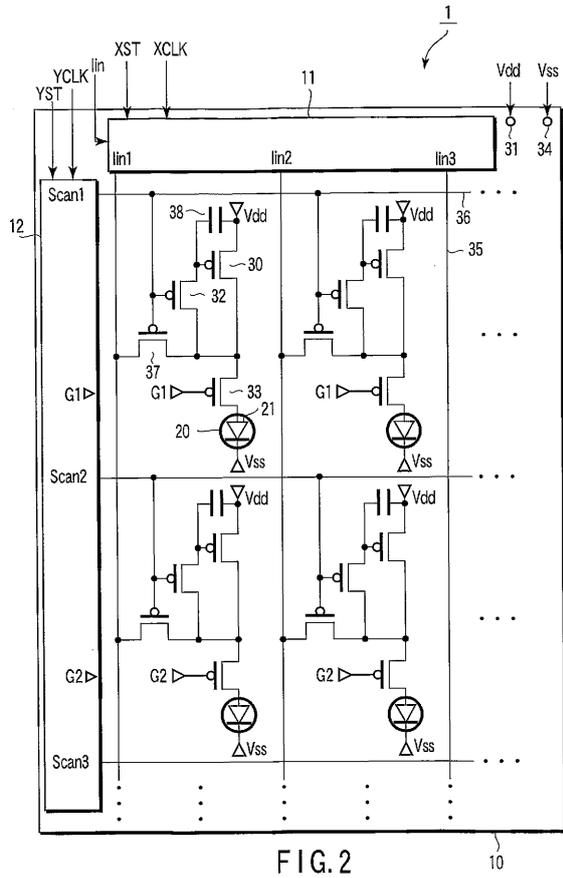


FIG. 2

【図4】

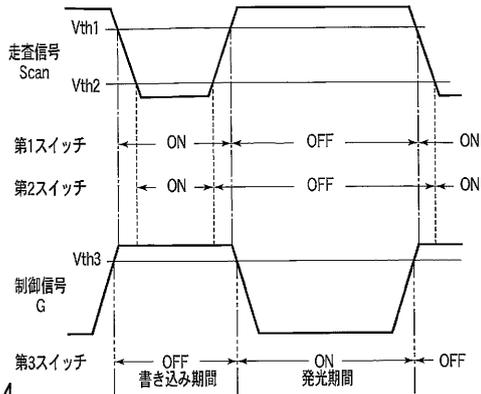


FIG. 4

【図5】

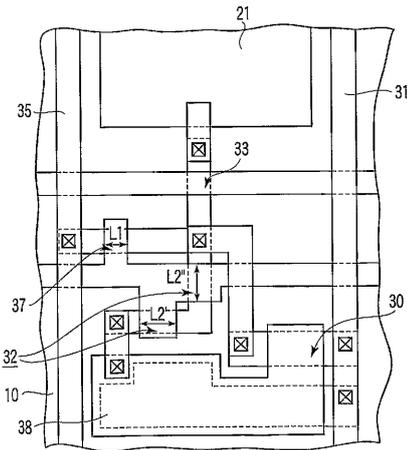


FIG. 5

【図6】

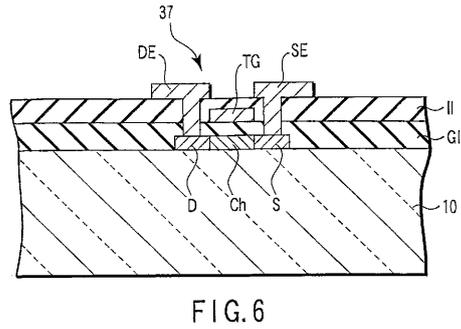


FIG. 6

【図7】

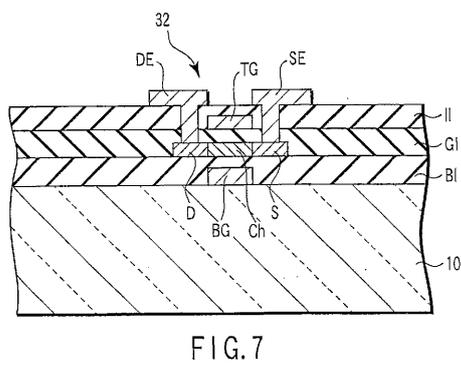
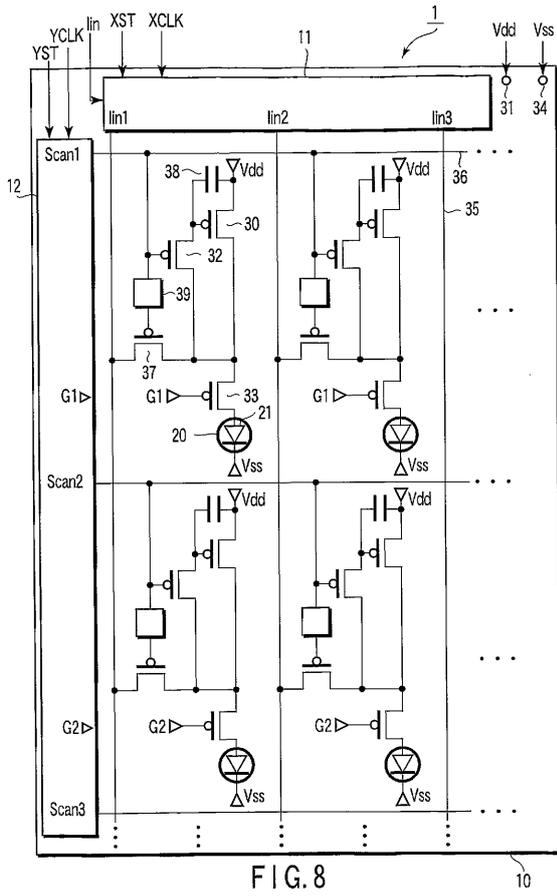


FIG. 7

【 図 8 】



【 図 9 】

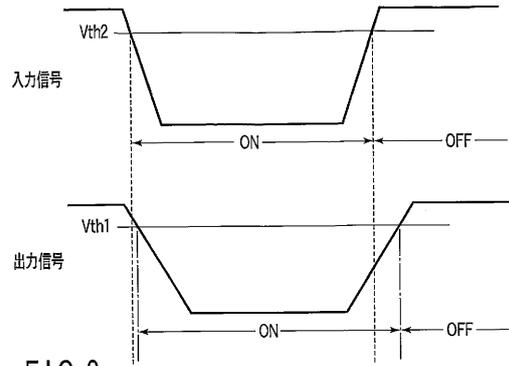
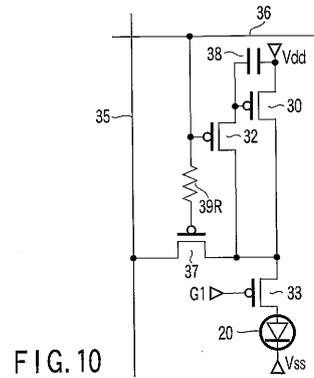
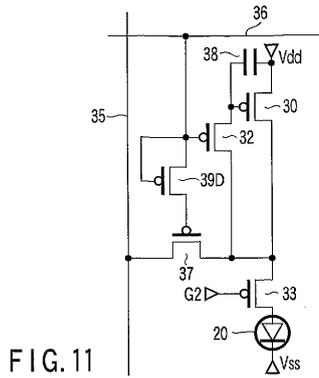


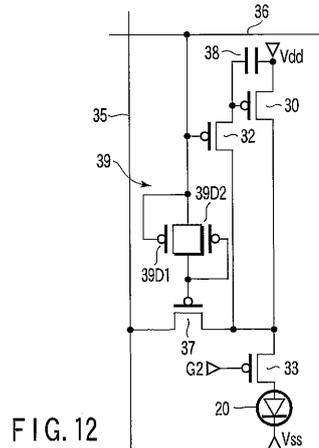
FIG. 9
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

(51)Int.Cl.

F I

H 0 5 B 33/14

A

審査官 小川 浩史

(56)参考文献 特開2003-66905(JP,A)
特開2003-195811(JP,A)
国際公開第01/06484(WO,A1)
国際公開第02/39420(WO,A1)
特表2002-514320(JP,A)
特開2001-147659(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/20-3/38

H01L 51/50