

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4791855号
(P4791855)

(45) 発行日 平成23年10月12日(2011.10.12)

(24) 登録日 平成23年7月29日(2011.7.29)

(51) Int.Cl. F I
 H O 1 L 27/11 (2006.01) H O 1 L 27/10 3 8 1
 H O 1 L 21/8244 (2006.01)

請求項の数 1 (全 17 頁)

<p>(21) 出願番号 特願2006-53608 (P2006-53608) (22) 出願日 平成18年2月28日 (2006.2.28) (65) 公開番号 特開2007-234804 (P2007-234804A) (43) 公開日 平成19年9月13日 (2007.9.13) 審査請求日 平成20年7月31日 (2008.7.31)</p>	<p>(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 (74) 代理人 100109900 弁理士 堀口 浩 (72) 発明者 川澄 篤 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝 マイクロエレクトロニクスセ ンター内 審査官 須原 宏光</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

高電位側電源側に形成される第1のPch MOSトランジスタ及び低電位側電源側に形成される第1のNch MOSトランジスタから構成される第1のインバータと、前記高電位側電源側に形成される第2のPch MOSトランジスタ及び前記低電位側電源側に形成される第2のNch MOSトランジスタから構成され、前記第1のインバータの出力側に入力側が接続され、前記第1のインバータの入力側に出力側が接続された第2のインバータと、ソースが前記第1のインバータの出力側に接続され、ドレインが第1のビット線に接続され、ゲートがワード線に接続される第3のNch MOSトランジスタと、ソースが前記第2のインバータの出力側に接続され、ドレインが前記第1のビット線と対となる第2のビット線に接続され、ゲートが前記ワード線に接続される第4のNch MOSトランジスタとを有するデータ保持部と、
 ドレインが前記第1のビット線に接続され、ゲートが前記ワード線に接続される第5のNch MOSトランジスタと、ドレインが前記第5のNch MOSトランジスタのソースに接続され、ソースが前記低電位側電源に接続され、ゲートが前記第2のインバータ出力側に接続される第6のNch MOSトランジスタとを有する第1の読み出し部と、
 ドレインが前記第2のビット線に接続され、ゲートが前記ワード線に接続される第7のNch MOSトランジスタと、ドレインが前記第7のNch MOSトランジスタのソースに接続され、ソースが前記低電位側電源に接続され、ゲートが前記第1のインバータ出力側に接続される第8のNch MOSトランジスタとを有する第2の読み出し部とを具

10

20

備し、

前記第1及び第2のPch MOSトランジスタはNウエル領域に配置され、前記第1のNch MOSトランジスタ、前記第3のNch MOSトランジスタ、前記第5のNch MOSトランジスタ、及び前記第6のNch MOSトランジスタは前記Nウエル領域に隣接配置される第1のPウエル領域に配置され、前記第2のNch MOSトランジスタ、前記第4のNch MOSトランジスタ、前記第7のNch MOSトランジスタ、及び前記第8のNch MOSトランジスタは前記第1のPウエル領域と相対向して前記Nウエル領域に隣接配置される第2のPウエル領域に配置され、前記第1及び第3のNch MOSトランジスタは前記第5及び前記第6のNch MOSトランジスタよりも前記Nウエル領域の中央部から離間配置され、前記第2及び第4のNch MOSトランジスタは前記第7及び前記第8のNch MOSトランジスタよりも前記Nウエル領域の中央部から離間配置され、

10

前記第3のNch MOSトランジスタ、前記第4のNch MOSトランジスタ、前記第5のNch MOSトランジスタ、及び前記第7のNch MOSトランジスタは、前記第1のNch MOSトランジスタ、前記第2のNch MOSトランジスタ、前記第6のNch MOSトランジスタ、及び前記第8のNch MOSトランジスタよりもゲート(Lg)寸法が太いことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、SRAM(Static Random Access Memory)に使用されるメモリセルのレイアウトに関する。

【背景技術】

【0002】

SRAMは、保有しているデータを維持するためのリフレッシュ動作は行わず、DRAM(Dynamic Random Access Memory)よりも動作速度が速いという点からキャッシュメモリなどに適用されている。SRAMを構成するメモリセルは、通常、2つのロードPch MOSトランジスタ、2つのドライバNch MOSトランジスタ、及び2つのトランスファNch MOSトランジスタの計6つのトランジスタから構成され、ロードPch MOSトランジスタとドライバNch MOSトランジスタによりインバータが2

30

【0003】

近年、SRAMでは大容量化及び低電圧化が進行し、データ記憶の安定性が低下する傾向がある。データ記憶の安定性を向上させる方法として、6つのトランジスタセルから構成されるSRAMセルから更にトランジスタを増やす提案がなされている(例えば、非特許文献1参照)。

【0004】

SRAMセルは、1つのトランジスタと1つのキャパシタから構成されるDRAMセルよりも素子数が多いのでセルの占有面積が大きくなる問題点がある。データ記憶の安定性対策としてトランジスタ数を増加させると、更に占有面積が大きくなりコストがアップする問題点がある。

40

【特許文献1】特開2004-273972号公報(頁11、図2)

【非特許文献1】ISSCC(International Solid-State Circuits Conference)2006、講演番号34.4

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、セルサイズの増加を抑制しながら、レイアウト設計を容易に行うことができるSRAMセルを備えた半導体記憶装置を提供することにある。

【課題を解決するための手段】

50

【 0 0 0 6 】

上記目的を達成するために、本発明の一態様の半導体装置は、高電位側電源側に形成される第1のPch MOSトランジスタ及び低電位側電源側に形成される第1のNch MOSトランジスタから構成される第1のインバータと、前記高電位側電源側に形成される第2のPch MOSトランジスタ及び前記低電位側電源側に形成される第2のNch MOSトランジスタから構成され、前記第1のインバータの出力側に入力側が接続され、前記第1のインバータの入力側に出力側が接続された第2のインバータと、ソースが前記第1のインバータの出力側に接続され、ドレインが第1のビット線に接続され、ゲートがワード線に接続される第3のNch MOSトランジスタと、ソースが前記第2のインバータの出力側に接続され、ドレインが前記第1のビット線と対となる第2のビット線に接続され、ゲートが前記ワード線に接続される第4のNch MOSトランジスタとを有するデータ保持部と、ドレインが前記第1のビット線に接続され、ゲートが前記ワード線に接続される第5のNch MOSトランジスタと、ドレインが前記第5のNch MOSトランジスタのソースに接続され、ソースが前記低電位側電源に接続され、ゲートが前記第2のインバータ出力側に接続される第6のNch MOSトランジスタとを有する第1の読み出し部と、ドレインが前記第2のビット線に接続され、ゲートが前記ワード線に接続される第7のNch MOSトランジスタと、ドレインが前記第7のNch MOSトランジスタのソースに接続され、ソースが前記低電位側電源に接続され、ゲートが前記第1のインバータ出力側に接続される第8のNch MOSトランジスタとを有する第2の読み出し部とを具備し、前記第1及び第2のPch MOSトランジスタはNウエル領域に配置され、前記第1のNch MOSトランジスタ、前記第3のNch MOSトランジスタ、前記第5のNch MOSトランジスタ、及び前記第6のNch MOSトランジスタは前記Nウエル領域に隣接配置される第1のPウエル領域に配置され、前記第2のNch MOSトランジスタ、前記第4のNch MOSトランジスタ、前記第7のNch MOSトランジスタ、及び前記第8のNch MOSトランジスタは前記第1のPウエル領域と相対向して前記Nウエル領域に隣接配置される第2のPウエル領域に配置され、前記第1及び第3のNch MOSトランジスタは前記第5及び前記第6のNch MOSトランジスタよりも前記Nウエル領域の中央部から離間配置され、前記第2及び第4のNch MOSトランジスタは前記第7及び前記第8のNch MOSトランジスタよりも前記Nウエル領域の中央部から離間配置され、前記第3のNch MOSトランジスタ、前記第4のNch MOSトランジスタ、前記第5のNch MOSトランジスタ、及び前記第7のNch MOSトランジスタは、前記第1のNch MOSトランジスタ、前記第2のNch MOSトランジスタ、前記第6のNch MOSトランジスタ、及び前記第8のNch MOSトランジスタよりもゲート(Lg)寸法が太いことを特徴とする。

【発明の効果】

【 0 0 0 8 】

本発明によれば、セルサイズの増加を抑制しながら、レイアウト設計を容易に行うことができるSRAMセルを備えた半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【 0 0 0 9 】

以下本発明の実施例について図面を参照しながら説明する。

【実施例1】

【 0 0 1 0 】

まず、本発明の実施例1に係る半導体記憶装置について、図面を参照して説明する。図1はSRAM(Static Random Access Memory)セル部を示す回路図である。本実施例では、SRAMセルを8つのトランジスタで構成している。

【 0 0 1 1 】

図1に示すように、SRAMセル部1には、6つのトランジスタから構成されるデータ

保持部 2 と 2 つのトランジスタから構成される読み出し部 3 が設けられている。ここで、S R A MにはS R A Mセル部 1 が上下左右に繰り返し複数配置される。データ保持部 2 は、低電圧化の進行していない世代での 6 つのトランジスタから構成される S R A Mセルと同等のセルと同じ動作をし、ワード線からトランスファトランジスタを介してデータを書き込み、ビット線からトランスファトランジスタを介してデータを読み出す。読み出し部 3 は、ビット線からのデータ読み出し能力（ドライブ能力）を向上させるために設けられ、S R A Mのデータ記憶の安定性を向上させる。

【 0 0 1 2 】

データ保持部 2 には、ドライバN c h M O SトランジスタD N T 1、ドライバN c h M O SトランジスタD N T 2、ロードP c h M O SトランジスタL P T 1、ロードP c h M O SトランジスタL P T 2、トランスファN c h M O SトランジスタT R N T 1、及びトランスファN c h M O SトランジスタT R N T 2が設けられている。M O Sトランジスタは、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor)とも呼称される。なお、M O Sトランジスタの代わりに、ゲート絶縁膜を用いたM I S F E T (Metal Insulator Semiconductor Field Effect Transistor)でS R A Mセル部 1 を構成してもよい。

10

【 0 0 1 3 】

ロードP c h M O SトランジスタL P T 1 (第 1 のP c h M O Sトランジスタ) は、ソースが高電位側電源V d dに接続され、ドレインがドライバN c h M O SトランジスタD N T 1 (第 1 のN c h M O Sトランジスタ)のドレインに接続され、ゲートがドライバN c h M O SトランジスタD N T 1のゲートに接続されている。ドライバN c h M O SトランジスタD N T 1は、ソースが接地電位としての低電位側電源V s sに接続されている。ロードP c h M O SトランジスタL P T 1とドライバN c h M O SトランジスタD N T 1は、インバータI N V 1 (第 1 のインバータ)を構成している。

20

【 0 0 1 4 】

ロードP c h M O SトランジスタL P T 2 (第 2 のP c h M O Sトランジスタ) は、ソースが高電位側電源V d dに接続され、ドレインがドライバN c h M O SトランジスタD N T 2 (第 2 のN c h M O Sトランジスタ)のドレインに接続され、ゲートがドライバN c h M O SトランジスタD N T 2のゲートに接続されている。ドライバN c h M O SトランジスタD N T 2は、ソースが接地電位としての低電位側電源V s sに接続されている。ロードP c h M O SトランジスタL P T 2とドライバN c h M O SトランジスタD N T 2は、インバータI N V 2 (第 2 のインバータ)を構成している。

30

【 0 0 1 5 】

トランスファN c h M O SトランジスタT R N T 1 (第 3 のN c h M O Sトランジスタ) は、ソース或いはドレイン (電流通路として) の一方がビット線B Lに接続され、ソース或いはドレイン (電流通路として) の他方がロードP c h M O SトランジスタL P T 1のドレインとドライバN c h M O SトランジスタD N T 1のドレインの間に接続され、ゲートがワード線W Lに接続されている。

【 0 0 1 6 】

トランスファN c h M O SトランジスタT R N T 2 (第 4 のN c h M O Sトランジスタ) は、ソース或いはドレイン (電流通路として) の一方がビット線B Lと対となるビット線 / B Lに接続され、ソース或いはドレイン (電流通路として) の他方がロードP c h M O SトランジスタL P T 2のドレインとドライバN c h M O SトランジスタD N T 2のドレインの間に接続され、ゲートがワード線W Lに接続されている。ここで、トランスファN c h M O SトランジスタT R N T 1及び2は、読み出し及び書き込み用として機能する。

40

【 0 0 1 7 】

ロードP c h M O SトランジスタL P T 1及びドライバN c h M O SトランジスタD N T 1のゲートは、ロードP c h M O SトランジスタL P T 2のドレイン、ドライバN c h M O SトランジスタD N T 2のドレイン及びトランスファN c h M O Sトラン

50

ジスタTRN2に接続され、ロードPch MOSトランジスタLPT2及びドライバNch MOSトランジスタDNT2のゲートは、ロードPch MOSトランジスタLPT1のドレイン、ドライバNch MOSトランジスタDNT1のドレイン及びトランスファNch MOSトランジスタTRNT1に接続されている。

【0018】

読み出し保持部3には、ドライバNch MOSトランジスタDNT3及びトランスファNch MOSトランジスタTRNT3が設けられている。読み出し保持部3は、ビット線からの情報読み出し能力を向上させ、SRAMのデータ記憶の安定性を向上させる。

【0019】

トランスファNch MOSトランジスタTRNT3（第5のNch MOSトランジスタ）は、ソース或いはドレイン（電流通路として）の一方がビット線BLに接続され、ソース或いはドレイン（電流通路として）の他方がドライバNch MOSトランジスタDNT3のドレインに接続され、ゲートがワード線WLに接続されている。ドライバNch MOSトランジスタDNT3（第6のNch MOSトランジスタ）は、ソースが低電位側電源Vssに接続され、ゲートがロードPch MOSトランジスタLPT1及びドライバNch MOSトランジスタDNT1のゲートに接続されている。

【0020】

ここで、読み出し部3のドライバNch MOSトランジスタDNT3及びトランスファNch MOSトランジスタTRNT3は、データ読み出し能力を向上させるために、例えば、データ保持部2のトランジスタよりも閾値電圧の絶対値が低く設定され、“ON”時でのドライブ能力を高めている。

【0021】

次に、SRAMセル部を構成するSRAMセルについて図2及び3を参照して説明する。図2はSRAMセルのレイアウトを示す図、図3はSRAMセルの配置を示す図である。

【0022】

図2に示すように、SRAMセルCELL1は、横方向寸法がXa、縦方向寸法がYaを有する長方形を有し、上下左右に繰り返し複数個配置形成され、1層目配線を用いてトランジスタ間の接続を行っている。ここでは、SRAMセルCELL1周辺に配置形成されるレイヤ表示をしている。そして、セル原点GMが左下にある。

【0023】

SRAMセルCELL1は、縦方向が長い長方形を有し、Nウエル領域Nwell1からなるNウエルレイヤと、第1のPウエル領域Pwell1及び第2のPウエル領域Pwell2からなるPウエルレイヤと、拡散層SDG(a)乃至(e)からなる拡散層レイヤと、ゲートGP(a)乃至(d)からなるゲートレイヤと、コンタクトCOT1(a)乃至(g)、コンタクトCOT2(a)乃至(e)、シェアードコンタクトSC1、及びシェアードコンタクトSC2からなるコンタクトレイヤと、1層目配線AL1(a)乃至(k)からなる1層目配線レイヤを有し、第1のビア及び2層目配線以降のレイヤ情報を有していない。拡散層SDGとは、フィールド分離されたトランジスタのソース、ドレイン、及びゲートを含めた領域をいう。ゲートGPとは、拡散層SDGと交差するゲートチャネル部とゲート配線部を含めた領域をいう。

【0024】

Nウエル領域Nwell1は、SRAMセルCELL1の中央部に形成され、ロードPch MOSトランジスタLPT1及びLPT2が配置形成される。第1のPウエル領域Pwell1は、Nウエル領域Nwell1に隣接し、SRAMセルCELL1の上部に形成され、ドライバNch MOSトランジスタDNT1及びDNT3、トランスファNch MOSトランジスタTRNT1及びTRNT3が配置形成される。第2のPウエル領域Pwell2は、Nウエル領域Nwell1に隣接し、SRAMセルCELL1の下部に形成され、ドライバNch MOSトランジスタDNT2、トランスファNch MOSトランジスタTRNT2が配置形成される。

【 0 0 2 5 】

拡散層SDG(a)乃至(e)は、それぞれX軸と平行な長方形(X方向寸法が大きい)を有し、縦方向に5列、離間並列配置形成されている。ここで、ロードPch MOSトランジスタLPT1が形成される拡散層SDG(c)及びロードPch MOSトランジスタLPT2が形成される拡散層SDG(d)の縦方向寸法が一番小さく形成され、読み出し部3のドライバNch MOSトランジスタDNT3及びトランスファNch MOSトランジスタTRNT3が形成される拡散層SDG(b)の縦方向寸法が一番大きく形成されている。その理由は、トランジスタのドライブ能力を向上するために比(ゲート幅寸法/ゲート長寸法)を大きくするためである。

【 0 0 2 6 】

ここで、Pch MOSトランジスタを有する拡散層SDG(c)及び(d)はSRAMセルCELL1の中央部に配置され、SRAMセルCELL1の上部及び下部にはNch MOSトランジスタを有する拡散層SDG(a)、(b)、及び(e)が配置されている。拡散層SDG(c)及び(d)はNウエル層上に設けられ(第1の拡散層)、拡散層SDG(a)、(b)、及び(e)はPウエル層上に設けられる(第2の拡散層)。

【 0 0 2 7 】

ゲートGP(a)とゲートGP(b)は、Y軸と平行に配置され、拡散層SDGと交差する部分の横方向幅が同一で、縦方向の中心線が同一線上に配置形成されている。ゲートGP(a)とゲートGP(b)の中心線とSRAMセルCELL1の左端との間隔は、 $Xax(1/4)$ である1/2ピッチで配置されている。

【 0 0 2 8 】

ゲートGP(c)とゲートGP(d)は、Y軸と平行に配置され、拡散層SDGと交差する部分の横方向幅が同一(且つ、ゲートGP(a)とゲートGP(b)の部分と同じ寸法幅)で、縦方向の中心線が同一線上に配置形成されている。ゲートGP(c)とゲートGP(d)の中心線とSRAMセルCELL1の右端との間隔は、 $Xax(1/4)$ である1/2ピッチで配置されている。ゲートGP(a)とゲートGP(b)の中心線とゲートGP(c)とゲートGP(d)の中心線の間隔は、 $Xax(1/2)$ である1ピッチで配置されている。

【 0 0 2 9 】

コンタクトCOT1(a)乃至(g)及びコンタクトCOT2(a)乃至(e)は、トランジスタのゲート、ソース、或いはドレインの1層目配線AL1との接続用に用いられる。コンタクトCOT1(a)乃至(g)は拡散層SDG或いはゲートGPに対して寸法余裕があり、コンタクトCOT2(a)乃至(e)は拡散層SDGに対して一辺が接するように配置形成されている。コンタクトCOT1(a)乃至(g)とコンタクトCOT2(b)乃至(d)は、その領域の半分をSRAMセルCELL1と隣接するセルに隣接配置している。その理由はセルの横方向及び縦方向寸法を縮小するためである。

【 0 0 3 0 】

シェアードコンタクトSC1は、ロードPch MOSトランジスタLPT2及びドライバNch MOSトランジスタDNT2のゲートとロードPch MOSトランジスタLPT1のドレイン、ドライバNch MOSトランジスタDNT1のドレイン及びトランスファNch MOSトランジスタTRNT1の接続用として配置形成され、交差するゲートGP(d)部周辺には1層目配線AL1が設けられていない。

【 0 0 3 1 】

シェアードコンタクトSC2は、ロードPch MOSトランジスタLPT1、ドライバNch MOSトランジスタDNT1及びドライバNch MOSトランジスタDNT3のゲートとロードPch MOSトランジスタLPT2のドレイン、ドライバNch MOSトランジスタDNT2のドレイン及びトランスファNch MOSトランジスタTRNT2の接続用として配置形成され、交差するゲートGP(a)部周辺には1層目配線AL1が設けられていない。

【 0 0 3 2 】

10

20

30

40

50

ここで、ソース或いはドレインのコンタクトである、コンタクトCOT1(b)、コンタクトCOT1(c)、コンタクトCOT1(d)、及びコンタクトCOT2(d)のY軸方向の中心線とゲートGP(a)及び(b)のY軸の中心線の間隔は、 $Xax(1/4)$ である1/2ピッチで配置されている。ゲートGP(a)及び(b)のY軸の中心線とコンタクトCOT2(d)及び(e)のY軸の中心線の間隔は、 $Xax(1/4)$ である1/2ピッチで配置されている。ソース或いはドレインのコンタクトである、コンタクトCOT2(d)及び(e)のY軸の中心線とゲートGP(c)及び(d)のY軸の中心線の間隔は、 $Xax(1/4)$ である1/2ピッチで配置されている。ソース或いはドレインのコンタクトである、コンタクトCOT2(b)、コンタクトCOT2(c)、コンタクトCOT1(e)及びコンタクトCOT1(f)のY軸の中心線とゲートGP(c)及び(d)のY軸の中心線との間隔は、 $Xax(1/4)$ である1/2ピッチで配置されている。

10

【0033】

1層目配線AL1(a)は、低電位側電源VssとドライバNch MOSトランジスタDNT1及び3のソースの間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分の低電位側電源Vss配線と接続される。

【0034】

1層目配線AL1(b)は、ワード線WLとトランスファNch MOSトランジスタTRN1及び3のゲートの間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分のワード線WL配線と接続される。

20

【0035】

1層目配線AL1(c)は、ビット線BLとトランスファNch MOSトランジスタTRNT1の間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分のビット線BL配線と接続される。

【0036】

1層目配線AL1(d)は、ロードPch MOSトランジスタLPT2及びドライバNch MOSトランジスタDNT2のゲートとロードPch MOSトランジスタLPT1のドレイン、ドライバNch MOSトランジスタDNT1のドレイン及びトランスファNch MOSトランジスタTRNT1の間の接続用に用いられる。

【0037】

1層目配線AL1(e)は、ビット線BLとトランスファNch MOSトランジスタDNT3の間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分のビット線BL配線と接続される。

30

【0038】

1層目配線AL1(f)は、高電位側電源VddとロードPch MOSトランジスタLPT1のソースの間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分の高電位側電源Vdd配線と接続される。

【0039】

1層目配線AL1(g)は、高電位側電源VddとロードPch MOSトランジスタLPT2のソースの間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分の高電位側電源Vdd配線と接続される。

40

【0040】

1層目配線AL1(h)は、ロードPch MOSトランジスタLPT1、ドライバNch MOSトランジスタDNT1及びドライバNch MOSトランジスタDNT3のゲートとロードPch MOSトランジスタLPT2のドレイン、ドライバNch MOSトランジスタDNT2のドレイン及びトランスファNch MOSトランジスタTRNT2の間の接続用に用いられる。

【0041】

1層目配線AL1(i)は、ビット線/BLとトランスファNch MOSトランジスタTRNT2の間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレ

50

イヤにより他の部分のビット線 / B L 配線と接続される。

【 0 0 4 2 】

1 層目配線 A L 1 (j) は、低電位側電源 V s s とドライバ N c h M O S トランジスタ D N T 2 のソースの間の接続用に用いられ、図示しない 1 番目のビア及び 2 層目配線以降のレイヤにより他の部分の低電位側電源 V s s 配線と接続される。

【 0 0 4 3 】

1 層目配線 A L 1 (k) は、ワード線 W L とトランスファ N c h M O S トランジスタ T R N 2 のゲートの間の接続用に用いられ、図示しない 1 番目のビア及び 2 層目配線以降のレイヤにより他の部分のワード線 W L 配線と接続される。

【 0 0 4 4 】

ここで、読み出し部 3 を 2 列目の拡散層 S D G (b) の部分に設けているが、1 列目の拡散層 S D G (a) の部分に設けてもよい。その場合、コンタクト C O T 2 (a) を 2 列目の拡散層 S D G (b) の部分に設ける。コンタクト C O T 2 (a) を 1 列目の拡散層 S D G (a) に設けた場合、2 列目の拡散層 S D G (b) に設けた場合よりも内部ノードの容量が増加する。

【 0 0 4 5 】

図 3 に示すように、S R A M を構成する S R A M セル C E L L 1 は、隣接配置され、セル原点 G M を共有化 (同じ場所) した 4 つセルを基本単位とし、上下左右に繰り返し複数個配置形成されている。具体的には、S R A M セル C E L L 1 a はセルの原点が左下に配置され、S R A M セル C E L L 1 b はセルの原点が右下に配置され、S R A M セル C E L L 1 c はセルの原点が左上に配置され、S R A M セル C E L L 1 d はセルの原点が右上に配置されている。なお、上下左右の端部には終端用セルが配置形成される。

【 0 0 4 6 】

高電位側電源 V s s 配線、低電位側電源 V s s 配線、ビット線 B L 配線、ビット線 / B L 配線、及びワード線 W L 配線は、S R A M セル C E L L 1 内の所定位置に設けられた第 1 のビアを介して、2 層目配線以降の配線により引き出される。

【 0 0 4 7 】

上述したように、本実施例の半導体記憶装置では、S R A M を構成する S R A M セル C E L L 1 に、データ保持部 2 を構成する 6 つのトランジスタと読み出し部 3 を構成する 2 つのトランジスタが設けられている。S R A M セル C E L L 1 は、縦方向が長い長方形で、1 層目配線を用いてトランジスタ間の接続を行っている。S R A M セル C E L L 1 を構成するレイヤは、横方向が長い長方形の拡散層 S D G が縦方向に 5 列、離間並列配置形成され、縦方向が長いゲート G P が横方向寸法の 1 / 2 ピッチごとに拡散層 S D G と交差して配置形成され、ソース或いはドレインのコンタクトがゲート G P に対して横方向寸法の 1 / 4 ピッチ離間形成されている。S R A M セル C E L L 1 は、隣接配置され、セル原点 G M を共有化 (同じ場所) した 4 つセルを基本単位とし、上下左右に繰り返し複数個配置形成されている。そして、高電位側電源 V s s 配線、低電位側電源 V s s 配線、ビット線 B L 配線、ビット線 / B L 配線、及びワード線 W L 配線は、S R A M セル C E L L 1 内の所定位置に設けられた第 1 のビアを介して、2 層目配線以降の配線により引き出される。

【 0 0 4 8 】

このため、S R A M セルを構成するトランジスタの数が増えてもセルサイズの増加を従来よりも抑制することができる。そして、ゲート及びコンタクトの位置を所定の間隔で配置し、4 つの S R A M セル単位で繰り返し配置し、1 番目のビアを介して 2 層目配線以降の配線を用いて自由に配線できるので従来よりもレイアウト設計を容易に行うことができる。

【 0 0 4 9 】

なお、本実施例では、S R A M セル C E L L 1 を 1 層目配線でトランジスタ間を接続しているが、1 層目配線乃至 m 層目 (m は 2 以上) 配線を用いて S R A M セルを形成してもよい。また、ゲートの配置を拡散層と交差する部分の横方向幅が同一で、縦方向の中心線が同一線上に配置形成しているが、一部のゲート領域だけ片側部分を延ばし、他の部分よ

10

20

30

40

50

りもゲート寸法（ゲート長 L_g ）を太く形成してもよい。更に、2つのNch MOSトランジスタから構成される読み出し部を有する8トラSRAMセルのレイアウトについて説明しているが、3つ以上或いは1つのNch MOSトランジスタから構成される読み出し部を有する8トラSRAMセルのレイアウトにも適用できる。

【実施例2】

【0050】

次に、本発明の実施例2に係る半導体記憶装置について図面を参照して説明する。図4は、SRAMセル部を示す回路図である。本実施例では、SRAMセルを10つのトランジスタで構成している。

【0051】

以下、本実施例において、実施例1と同一構成部分には、同一符号を付してその部分の説明は省略し、異なる部分のみ説明する。

【0052】

図4に示すように、SRAMセル部1aは、6つのトランジスタから構成されるデータ保持部2、2つのトランジスタから構成される読み出し部3、及び2つのトランジスタから構成される読み出し部4が設けられている。ここで、SRAMにはSRAMセル部1aが上下左右に繰り返し複数個配置形成される。

【0053】

読み出し保持部4には、ドライバNch MOSトランジスタDNT4及びトランスファNch MOSトランジスタTRNT4が設けられている。

【0054】

トランスファNch MOSトランジスタTRNT4（第7のNch MOSトランジスタ）は、ソース或いはドレイン（電流通路として）の一方がビット線/BLに接続され、ソース或いはドレイン（電流通路として）の他方がドライバNch MOSトランジスタDNT4のドレインに接続され、ゲートがワード線WLに接続されている。ドライバNch MOSトランジスタDNT4（第8のNch MOSトランジスタ）は、ソースが低電位側電源Vssに接続され、ゲートがロードPch MOSトランジスタLPT2及びドライバNch MOSトランジスタDNT2のゲートに接続されている。

【0055】

ここで、読み出し部4のドライバNch MOSトランジスタDNT4及びトランスファNch MOSトランジスタTRNT4は、読み出し部3と同様にデータ読み出し能力を向上させるために、例えば、データ保持部2のトランジスタよりも閾値電圧の絶対値が低く設定され、“ON”時でのドライブ能力を高めている。

【0056】

次に、SRAMセル部を構成するSRAMセルについて図5を参照して説明する。図5はSRAMセルのレイアウトを示す図である。

【0057】

図5に示すように、SRAMセルCELL2は、横方向寸法が X_b 、縦方向寸法が Y_b を有する長方形を有し、上下左右に繰り返し複数配置され、1層目配線を用いてトランジスタ間の接続を行っている。ここでは、SRAMセルCELL2周辺に配置形成されるレイヤ表示をしている。そして、セル原点GMが左下にある。

【0058】

SRAMセルCELL2は、Nウエル領域NwellからなるNウエルレイヤと、第1のPウエル領域Pwell1及び第2のPウエル領域Pwell2からなるPウエルレイヤと、拡散層SDG(a)乃至(f)からなる拡散層レイヤと、ゲートGP(a)乃至(d)からなるゲートレイヤと、コンタクトCOT1(a)乃至(f)、コンタクトCOT2(a)乃至(h)、シェアードコンタクトSC1、及びシェアードコンタクトSC2からなるコンタクトレイヤと、1層目配線AL1(a)乃至(k)からなる1層目配線レイヤを有し、第1のビア及び2層目配線以降のレイヤ情報を有していない。

【0059】

10

20

30

40

50

Nウエル領域NW e l lは、SRAMセルC E L L 2の中央部に形成され、ロードP c h MOSトランジスタL P T 1及びL P T 2が配置形成される。第1のPウエル領域P w e l l 1は、Nウエル領域NW e l lに隣接し、SRAMセルC E L L 2の上部に形成され、ドライバN c h MOSトランジスタD N T 1及びD N T 3、トランスファN c h MOSトランジスタT R N T 1及びT R N T 3が配置形成される。第2のPウエル領域P w e l l 2は、Nウエル領域NW e l lに隣接し、SRAMセルC E L L 2の下部に形成され、ドライバN c h MOSトランジスタD N T 2及びD N T 4、トランスファN c h MOSトランジスタT R N T 2及びT R N T 4が配置形成される。

【0060】

拡散層S D G (a)乃至(f)は、それぞれX軸と平行な長方形(X方向寸法が大きい)を有し、縦方向に6列、離間並列配置形成されている。ここで、ロードP c h MOSトランジスタL P T 1が形成される拡散層S D G (c)及びロードP c h MOSトランジスタL P T 2が形成される拡散層S D G (d)の縦方向寸法が、N c h MOSトランジスタが形成される拡散層S D G (a)、(b)、(e)、(f)の縦方向寸法よりも小さく形成されている。

10

【0061】

ここで、P c h MOSトランジスタを有する拡散層S D G (c)及び(d)はSRAMセルC E L L 2の中心部に配置され、SRAMセルC E L L 2の上部及び下部にはN c h MOSトランジスタを有する拡散層S D G (a)、(b)、(e)、及び(f)が配置されている。拡散層S D G (c)及び(d)はNウエル層上に設けられ(第1の拡散層)、拡散層S D G (a)、(b)、(e)、及び(f)はPウエル層上に設けられる(第2の拡散層)。

20

【0062】

ゲートG P (a)とゲートG P (b)は、Y軸と平行に配置され、縦方向の中心線が同一線上に配置形成されている。ゲートG P (a)とゲートG P (b)の中心線とSRAMセルC E L L 1の左端との間隔は、 $X_{ax}(1/4)$ である1/2ピッチで配置されている。そして、P c h MOSトランジスタを有する拡散層S D G (c)及び(d)はSRAMセルC E L L 2の略中心に配置され、SRAMセルC E L L 2の上部及び下部にはN c h MOSトランジスタが配置されている。

【0063】

ゲートG P (c)とゲートG P (d)は、Y軸と平行に配置され、縦方向の中心線が同一線上に配置形成されている。ゲートG P (c)とゲートG P (d)の中心線とSRAMセルC E L L 1の右端との間隔は、 $X_{ax}(1/4)$ である1/2ピッチで配置されている。ゲートG P (a)とゲートG P (b)の中心線とゲートG P (c)とゲートG P (d)の中心線の間隔は、 $X_{ax}(1/2)$ である1ピッチで配置されている。

30

【0064】

ゲートG P (b)とゲートG P (c)の拡散層S D Gと交差する部分の幅は、ゲートG P (a)とゲートG P (d)の拡散層S D Gと交差する部分の幅よりも広く形成されている。その理由は、閾値電圧の絶対値が他のトランジスタよりも小さいのでショートチャネル効果により、スタンバイ状態でのリーク電流が増加するのでゲート寸法(ゲート長寸法である L_g)を太くしている。なお、縦方向の中心線が同一線上に配置形成しているが、右側或いは左側にシフトさせて配置形成してもよい。

40

【0065】

コンタクトC O T 1 (a)乃至(f)及びコンタクトC O T 2 (a)乃至(h)は、トランジスタのゲート、ソース、或いはドレインの1層目配線A L 1との接続用に用いられる。コンタクトC O T 1 (a)乃至(f)は拡散層S D G或いはゲートG Pに対して寸法余裕があり、コンタクトC O T 2 (a)乃至(h)は拡散層S D Gに対して一辺が接するように配置形成されている。

【0066】

シェアードコンタクトS C 1は、ロードP c h MOSトランジスタL P T 2、ドライ

50

バNch MOSトランジスタDNT2及びドライバNch MOSトランジスタDNT4のゲートとロードPch MOSトランジスタLPT1のドレイン、ドライバNch MOSトランジスタDNT1のドレイン及びトランスファNch MOSトランジスタTRNT1の接続用として配置形成され、交差するゲートGP(d)部周辺には1層目配線AL1が設けられていない。

【0067】

シェアードコンタクトSC2は、ロードPch MOSトランジスタLPT1、ドライバNch MOSトランジスタDNT1及びドライバNch MOSトランジスタDNT3のゲートとロードPch MOSトランジスタLPT2のドレイン、ドライバNch MOSトランジスタDNT2のドレイン及びトランスファNch MOSトランジスタTRNT2の接続用として配置形成され、交差するゲートGP(a)部周辺には1層目配線AL1が設けられていない。

10

【0068】

ここで、ソース或いはドレインのコンタクトである、コンタクトCOT2(a)、コンタクトCOT2(c)、コンタクトCOT1(c)、コンタクトCOT2(e)及びコンタクトCOT2(g)のY軸方向の中心線とゲートGP(a)及び(b)のY軸の中心線の間隔は、 $Xax(1/4)$ である1/2ピッチで配置されている。ソース或いはドレインのコンタクトである、コンタクトCOT2(b)、コンタクトCOT2(d)、コンタクトCOT1(d)、コンタクト2(f)及びコンタクトCOT2(h)のY軸の中心線とゲートGP(c)及び(d)のY軸の中心線の間隔は、 $Xax(1/4)$ である1/2ピッチで配置されている。

20

【0069】

1層目配線AL1(a)は、低電位側電源VssとドライバNch MOSトランジスタDNT1及び3のソースの間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分の低電位側電源Vss配線と接続される。

【0070】

1層目配線AL1(b)は、ワード線WLとトランスファNch MOSトランジスタTRN1及び3のゲートの間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分のワード線WL配線と接続される。

【0071】

1層目配線AL1(c)は、ビット線BLとトランスファNch MOSトランジスタTRNT1及び3の間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分のビット線BL配線と接続される。

30

【0072】

1層目配線AL1(d)は、ロードPch MOSトランジスタLPT2、ドライバNch MOSトランジスタDNT2及びドライバNch MOSトランジスタDNT4のゲートとロードPch MOSトランジスタLPT1のドレイン、ドライバNch MOSトランジスタDNT1のドレイン及びトランスファNch MOSトランジスタTRNT1の間の接続用に用いられる。

【0073】

1層目配線AL1(e)は、高電位側電源VddとロードPch MOSトランジスタLPT1のソースの間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分の高電位側電源Vdd配線と接続される。

40

【0074】

1層目配線AL1(f)は、高電位側電源VddとロードPch MOSトランジスタLPT2のソースの間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分の高電位側電源Vdd配線と接続される。

【0075】

1層目配線AL1(g)は、ロードPch MOSトランジスタLPT1、ドライバNch MOSトランジスタDNT1及びドライバNch MOSトランジスタDNT3の

50

ゲートとロードPch MOSトランジスタLPT2のドレイン、ドライバNch MOSトランジスタDNT2のドレイン及びトランスファNch MOSトランジスタTRNT2の間の接続用に用いられる。

【0076】

1層目配線AL1(h)は、ビット線/BLとトランスファNch MOSトランジスタDNT2及び4の間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分のビット線/BL配線と接続される。

【0077】

1層目配線AL1(i)は、低電位側電源VssとドライバNch MOSトランジスタDNT2及び4のソースの間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分の低電位側電源Vss配線と接続される。

10

【0078】

1層目配線AL1(j)は、ワード線WLとトランスファNch MOSトランジスタTRNT2及び4のゲートの間の接続用に用いられ、図示しない1番目のビア及び2層目配線以降のレイヤにより他の部分のワード線WL配線と接続される。

【0079】

ここで、読み出し部3を2列目の拡散層SDG(b)の部分に設け、読み出し部4を5列目の拡散層SDG(e)の部分に設けているが、読み出し部3を1列目の拡散層SDG(a)の部分に設け、読み出し部4を6列目の拡散層SDG(f)の部分に設けてもよい。その場合、コンタクトCOT1(b)を2列目の拡散層SDG(b)の部分に設け、コンタクトCOT1(e)を5列目の拡散層SDG(e)の部分に設け、1層目配線AL1の配線を修正する。その場合、1層目配線AL1(d)及び(g)の配線長が短くなり、本実施例よりも内部ノードの容量が減少する。

20

【0080】

上述したように、本実施例の半導体記憶装置では、SRAMを構成するSRAMセルCELL2に、データ保持部2を構成する6つのトランジスタ、読み出し部3を構成する2つのトランジスタ、及び読み出し部4を構成する2つのトランジスタが設けられている。SRAMセルCELL2は、縦方向が長い長方形で上下左右に繰り返し複数個配置形成され、1層目配線を用いてトランジスタ間の接続を行っている。SRAMセルCELL2を構成するレイヤは、横方向が長い長方形の拡散層SDGが縦方向に6列、離間並列配置形成され、縦方向が長いゲートGPが横方向寸法の1/2ピッチごとに拡散層SDGと交差して配置形成され、ソース或いはドレインのコンタクトがゲートGPに対して横方向寸法の1/4ピッチ離間形成されている。SRAMセルCELL2は、隣接配置され、セル原点GMを共有化(同じ場所)した4つセルを基本単位とし、上下左右に繰り返し複数個配置形成されている。そして、高電位側電源Vss配線、低電位側電源Vss配線、ビット線BL配線、ビット線/BL配線、及びワード線WL配線は、SRAMセルCELL1内の所定位置に設けられた第1のビアを介して、2層目配線以降の配線により引き出される。

30

【0081】

このため、SRAMセルを構成するトランジスタの数がデータ保持部の6つのトランジスタから10つのトランジスタになっても、セルサイズの増加を従来よりも抑制することができる。そして、ゲート及びコンタクトの位置を所定の間隔で配置し、4つのSRAMセル単位で繰り返し配置し、1番目のビアを介して2層目配線以降の配線を用いて自由に配線できるので従来よりもレイアウト設計を容易に行うことができる。

40

【0082】

本発明は、上記実施例に限定されるものではなく、発明の趣旨を逸脱しない範囲で、種々、変更してもよい。

【0083】

例えば、実施例では、読み出し部を設けたSRAMセルに適用しているが読み出し部を設けない6つのトランジスタから構成されるSRAMセルにも適用できる。

50

【 0 0 8 4 】

本発明は、以下の付記に記載されているような構成が考えられる。

(付記1) 2つのPch MOSトランジスタ及び4つのNch MOSトランジスタから構成されるデータ保持部と複数のNch MOSトランジスタから構成される読み出し部を有するSRAMセルを含む半導体装置であって、セルの中央部に2列並列配置され、各列にはそれぞれ前記2つのPch MOSトランジスタの1つが選択配置され、セルと平行に配置される第1の拡散層レイヤと、前記第1の拡散層レイヤと平行にセルの上部及び下部に少なくとも1つ以上並列配置され、各列にはそれぞれ前記複数のNch MOSトランジスタの少なくとも1つ以上が選択配置され、セルと平行に配置される第2の拡散層レイヤと、前記拡散層レイヤと交差し、セルのX方向或いはY方向の寸法の1/2ピッチで配置される複数のゲートレイヤと、前記トランジスタのソース或いはドレインのコンタクトと前記ゲートの間隔がセルのX方向或いはY方向の寸法の1/4ピッチで配置されるコンタクトレイヤと、前記トランジスタ間を電氣的に接続するm(ただし、mは1以上の整数)層目配線とを有するSRAMセルと、前記SRAMセルに設けられたm層目配線の、高電位側電源配線、低電位側電源配線、ビット線配線、及びワード線配線をビアを介して電氣的に接続するm+1層目配線とを具備する半導体記憶装置。

10

【 0 0 8 5 】

(付記2) 2つのPch MOSトランジスタ及び4つのNch MOSトランジスタから構成される第1のデータ保持部と複数のNch MOSトランジスタから構成される第1の読み出し部を備え、ゲートがセルのX方向或いはY方向の寸法の1/2ピッチで配置され、前記トランジスタ間をm(ただし、mは1以上の整数)層目配線で電氣的に接続され、セル原点が左下の第1のSRAMセルと、前記第1のSRAMセルに隣接し、2つのPch MOSトランジスタ及び4つのNch MOSトランジスタから構成される第2のデータ保持部と複数のNch MOSトランジスタから構成される第2の読み出し部を備え、ゲートがセルのX方向或いはY方向の寸法の1/2ピッチで配置され、前記トランジスタ間をm(ただし、mは1以上の整数)層目配線で電氣的に接続され、セル原点が右下で前記第1のSRAMセルの原点とを共有化する第2のSRAMセルと、前記第1のSRAMセルに隣接し、2つのPch MOSトランジスタ及び4つのNch MOSトランジスタから構成される第3のデータ保持部と複数のNch MOSトランジスタから構成される第3の読み出し部を備え、ゲートがセルのX方向或いはY方向の寸法の1/2ピッチで配置され、前記トランジスタ間をm(ただし、mは1以上の整数)層目配線で電氣的に接続され、セル原点が左上で前記第1のSRAMセルの原点とを共有化する第3のSRAMセルと、前記第1のSRAMセルに隣接し、2つのPch MOSトランジスタ及び4つのNch MOSトランジスタから構成される第4のデータ保持部と複数のNch MOSトランジスタから構成される第4の読み出し部を備え、ゲートがセルのX方向或いはY方向の寸法の1/2ピッチで配置され、前記トランジスタ間をm(ただし、mは1以上の整数)層目配線で電氣的に接続され、セル原点が右上で前記第1のSRAMセルの原点とを共有化する第4のSRAMセルと、前記第1乃至4SRAMセルに設けられた高電位側電源配線、低電位側電源配線、ビット線配線、及びワード線配線をビアを介して電氣的に接続するm+1層目配線とを具備する半導体記憶装置。

20

30

40

【 0 0 8 6 】

(付記3) 前記読み出し部は、2つのNch MOSトランジスタを備え、第1のビット線或いは前記第1のビット線と対となる第2のビット線の情報を読み出す付記1又は2に記載の半導体記憶装置。

【 0 0 8 7 】

(付記4) 前記読み出し部は、2つのNch MOSトランジスタを備え、第1のビット線の情報を読み出す第1の読み出し部と2つのNch MOSトランジスタを備え、前記第1のビット線と対となる第2のビット線の情報を読み出す第2の読み出し部から構成されている付記1又は2に記載の半導体記憶装置。

【 図面の簡単な説明 】

50

【 0 0 8 8 】

【図 1】本発明の実施例 1 に係る S R A Mセル部を示す回路図。

【図 2】本発明の実施例 1 に係る S R A Mセルのレイアウトを示す図。

【図 3】本発明の実施例 1 に係る S R A Mセルの配置を示す図。

【図 4】本発明の実施例 2 に係る S R A Mセル部を示す回路図。

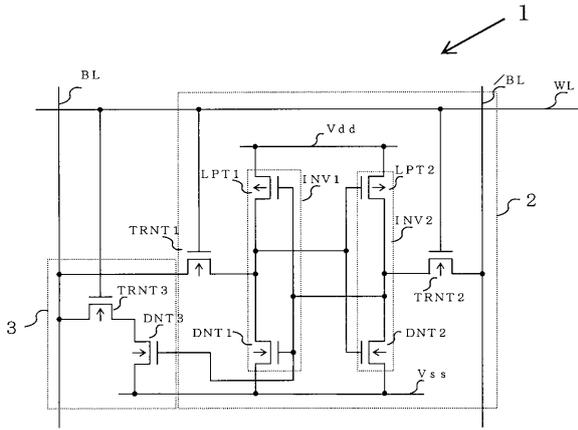
【図 5】本発明の実施例 2 に係る S R A Mセルのレイアウトを示す図。

【符号の説明】

【 0 0 8 9 】

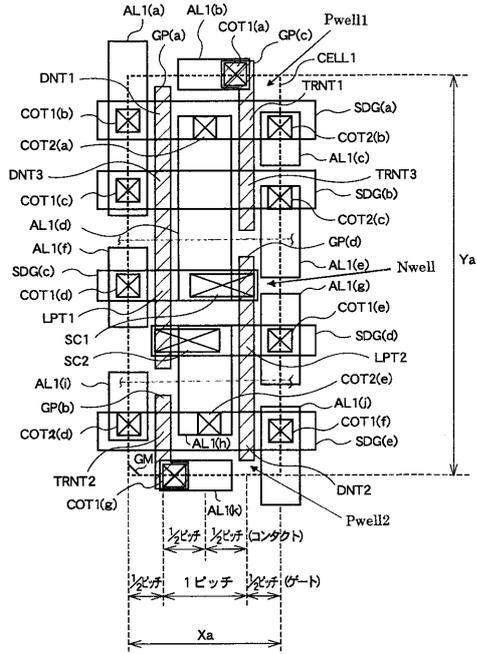
1、1 a	S R A Mセル部	
2	データ保持部	10
3、4	読み出し部	
A L 1	1層目配線	
B L、/ B L	ビット線	
C E L L 1、C E L L 1 a、C E L L 1 b、C E L L 1 c、C E L L 1 d、C E L L 2	S R A Mセル	
C O T 1、C O T 2	コンタクト	
D N T 1 ~ 4	ドライバ N c h M O S トランジスタ	
G M	セル原点	
G P	ゲート	
I N V 1、I N V 2	インバータ	20
L P T 1、L P T 2	ロード P c h M O S トランジスタ	
N w e l l 1	Nウエル領域	
P w e l l 1	第 1 の P ウエル領域	
P w e l l 2	第 2 の P ウエル領域	
S C 1、S C 2	シェアードコンタクト	
S D G	拡散層 (拡散領域)	
T R N 1 ~ 4	トランスファ N c h M O S トランジスタ	
V d d	高電位側電源	
V s s	低電位側電源	
W L	ワード線	30
X a、X b	横方向寸法	
Y a、Y b	縦方向寸法	

【図1】



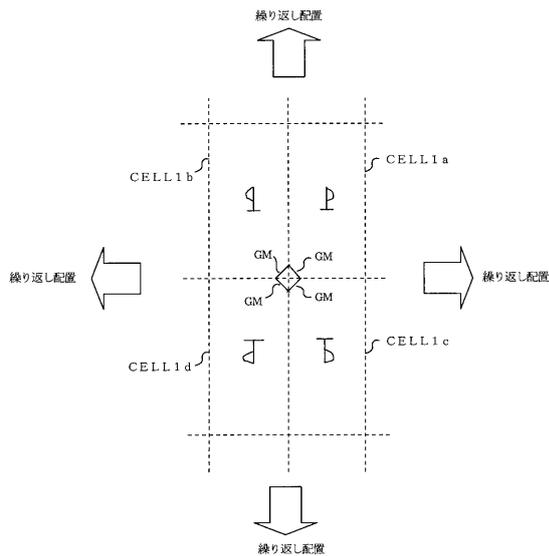
1...SRAMセル部
 2...データ保持部 (6Tr.)
 3...読み出し部 (2Tr.)
 BL、/BL...ビット線
 DNT1~3...ドライバNch MOSトランジスタ
 INV1、INV2...インバータ
 LPT1、LPT2...ロードPch MOSトランジスタ
 TRN1~3...トランスファNch MOSトランジスタ
 Vdd...高電位電源
 Vss...低電位電源
 WL...ワード線

【図2】



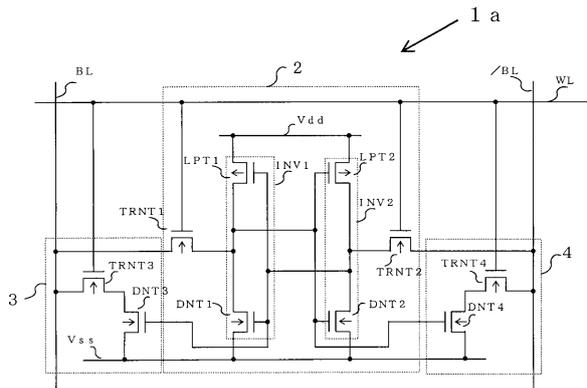
AL1 1層目配線
 COT1, COT2 コンタクト
 GP ゲート
 SDG 拡散層
 Ya 縦方向寸法
 Nwell.....Nウエル領域
 CELL1 SRAMセル
 GM セル原点
 SC1, SC2 シェアードコンタクト
 Xa 横方向寸法
 Pwell1.....第1のPウエル領域
 Pwell2.....第2のPウエル領域

【図3】



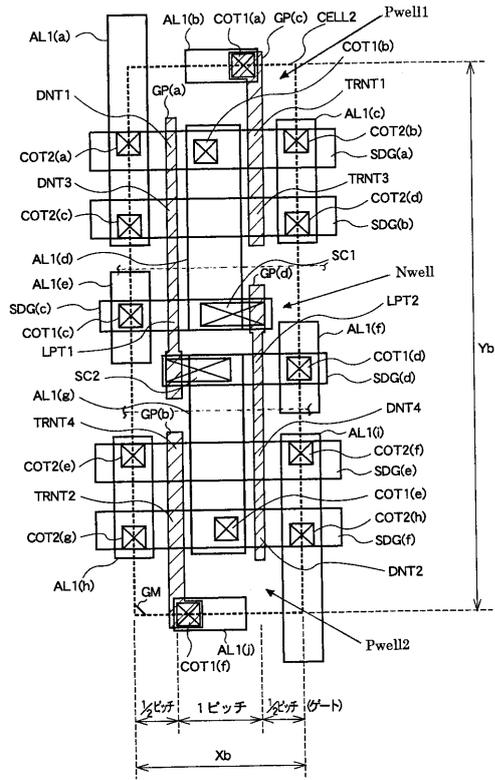
CELL1a~d...SRAMセル

【図4】



1a...SRAMセル部
 4...読み出し部 (2Tr.)
 DNT4...ドライバNch MOSトランジスタ
 TRN4...トランスファNch MOSトランジスタ

【 図 5 】



CELL2 …… SRAMセル
Xb …… 横方向寸法
Yb …… 縦方向寸法

フロントページの続き

(56)参考文献 米国特許出願公開第2006/0039180 (US, A1)
特開2005-340269 (JP, A)
国際公開第97/038444 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 27/11

H01L 21/8244