



(12) 发明专利申请

(10) 申请公布号 CN 115470750 A

(43) 申请公布日 2022.12.13

(21) 申请号 202211160337.X

(22) 申请日 2022.09.22

(71) 申请人 沐曦科技(北京)有限公司
地址 100094 北京市海淀区丰豪东路9号院
2号楼9层3单元901

(72) 发明人 不公告发明人

(74) 专利代理机构 北京锤维联合知识产权代理
有限公司 11579
专利代理师 丁慧玲

(51) Int.Cl.
G06F 30/398 (2020.01)

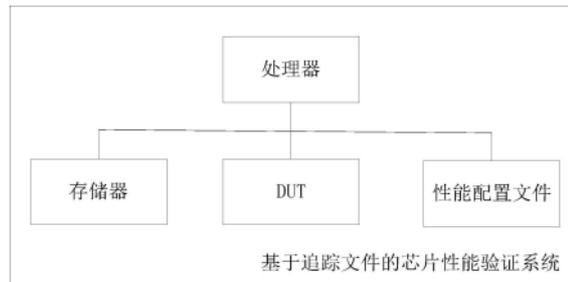
权利要求书2页 说明书6页 附图2页

(54) 发明名称

基于追踪文件的芯片性能验证系统

(57) 摘要

本发明涉及一种基于追踪文件的芯片性能验证系统,实现步骤S1、基于DUT获取IT_k对应的描述信息;步骤S2、运行DUT,从DUT中转存IT_k对应的总线接口有效总线接口数据记录,总线接口所述有效总线接口数据记录总线接口包括IT_k中每一信号对应的信号值、绝对时间和/或时钟周期序号基于IT_k对应的描述信息和总线接口有效总线接口数据记录生成追踪文件;步骤S3、基于IT_k对应的追踪文件确定IT_k对应的吞吐量和延时,将所述IT_k对应的吞吐量和延时与所述配置文件中对应的吞吐量目标值和延时目标值进行比对,以实现芯片性能验证。本发明能够快速准确地获取所有目标节点的数据进行性能验证,提高了芯片性能验证的效率和准确性。



1. 一种基于追踪文件的芯片性能验证系统,其特征在于,

包括待测芯片设计DUT = $\{U_1, U_2, \dots, U_M\}$ 、性能配置文件、存储有计算机程序的存储器和处理器,其中, U_m 为DUT的第m个组成模块,m的取值范围为1到M, U_1, U_2, \dots, U_M 层级设置, U_i 和 U_j 之间通过至少一个总线接口互联, U_i 和 U_j 为具有互联关系的两个组成模块,i、j的取值范围均为1到M, U_i 和 U_j 总线接口为具有互联关系兄弟模块或者为父子模块,具有互联关系兄弟模块或者为父子模块之间通过至少一个总线接口互联;DUT中存在至少一个目标总线接口 IT_k ,k的取值范围为1到K,K为目标总线接口总数,所述性能配置文件用于配置 IT_k 对应的吞吐量目标值和延时目标值;

所述处理器执行所述计算机程序时,实现以下步骤:

步骤S1、基于DUT获取 IT_k 对应的描述信息,所述描述信息包括 IT_k 对应的组成模块标识、总线接口标识、总线接口信号与 IT_k 的信号映射信息、信号描述信息、数据有效标识约束信息,所述总线接口标识基于总线接口对应的层级信息和总线接口实例名称生成,所述信号描述信息包括信号宽度和信号方向;

步骤S2、运行DUT,从DUT中转存 IT_k 对应的总线接口有效总线接口数据记录,总线接口所述有效总线接口数据记录总线接口包括 IT_k 中每一信号对应的信号值、绝对时间和/或时钟周期序号基于 IT_k 对应的描述信息和总线接口有效总线接口数据记录生成追踪文件;

步骤S3、基于 IT_k 对应的追踪文件确定 IT_k 对应的吞吐量和延时,将所述 IT_k 对应的吞吐量和延时与所述配置文件中对应的吞吐量目标值和延时目标值进行比对,以实现芯片性能验证。

2. 根据权利要求1所述的系统,其特征在于,

IT_k 对应的信号包括至少一个有效标识信号、追踪id信号和数据信号,所述数据有效标识约束信息包括基于所有有效标识信号生成的约束条件;

所述步骤S2中,当DUT中 IT_k 对应的有效标识信号满足对应的数据有效标识约束信息时,从DUT中转存 IT_k 对应的总线接口有效总线接口数据记录总线接口。

3. 根据权利要求1所述的系统,其特征在于,

所述系统还包括数据库,所述步骤S2之后还包括:

步骤S10、将每一总线接口有效总线接口数据记录总线接口中对应的追踪id信号对应的值,根据 IT_k 对应的编码规则进行解码,然后将追踪id解码的追踪文件存储至所述数据库中。

4. 根据权利要求1所述的系统,其特征在于,

IT_k 对应的信号列表为 $\{Si_1, Si_2, \dots, Si_{f(k)}\}$, Si_{ik} 为 IT_k 对应的第ik个信号,ik的取值范围为1到f(k),f(k)为k的函数, Si_{ik} 对应的信号宽度为 We_{ik} ,所述步骤S3包括:

步骤S31、基于 IT_k 对应的总线接口标识获取对应的追踪文件;

步骤S32、从 IT_k 对应的追踪文件中选取F行有效总线接口数据记录,基于F行有效总线接口数据记录对应的绝对时间和/或时钟周期序号确定采集F行有效总线接口数据记录所需时间TF,基于TF、 We_{ik} 、F确定 IT_k 对应的吞吐量 TH_k :

$$TH_k = [F \times \sum_{ik=1}^{f(k)} We_{ik}] \div TF;$$

从 IT_k 对应的追踪文件中选取目标请求信息对应的目标追踪id和绝对时间和/或时钟周

期序号,基于目标追踪id从 IT_k 对应的追踪文件中目标请求信息对应的目标响应信息对应的绝对时间和/或时钟周期序号,基于目标请求信息、目标响应信息对应的绝对时间和/或时钟周期序号确定 IT_k 对应延时;

步骤S33、将所述 IT_k 对应的吞吐量和延时与所述配置文件中对应的吞吐量目标值和延时目标值进行比对,若均匹配,则芯片性能验证通过,否则,生成预警信息。

5. 根据权利要求1所述的系统,其特征在于,

所述系统还包括显示界面,所述显示界面上用于呈现DUT对应的数据流拓扑结构,所述数据流拓扑结构包括DUT的组成模块和组成模块之间的总线接口,所述步骤S3中,若生成预警信息,则所述步骤S3之后还包括:

步骤S4、若 TH_k 高于吞吐量目标值,则在所述数据流拓扑结构对应的 IT_k 上显示第一提示标识;若 TH_k 低于吞吐量目标值,则在所述数据流拓扑结构对应的 IT_k 上显示第二提示标识;若 IT_k 对应延时高于延时目标值,则在所述数据流拓扑结构对应的 IT_k 上显示第三提示标识;若 TH_k 低于吞吐量目标值,则在所述数据流拓扑结构对应的 IT_k 上显示第四提示标识。

6. 根据权利要求5所述的系统,其特征在于,

所述步骤S4之后还包括:

步骤S5、若接收到针对第一提示标识生成的第一显示指令或接收到针对第二提示标识生成的第二显示指令,则从所述第一显示指令或第二显示指令中解析 IT_k 对应的总线接口标识;

步骤S6、基于 IT_k 对应的总线接口标识检索所述数据库,并将生成对应预警信息对应的F行有效总线接口数据记录呈现在所述显示界面上。

7. 根据权利要求5所述的系统,其特征在于,

所述步骤S4之后还包括:

步骤S5'、若接收到针对第三提示标识生成的第三显示指令或接收到针对第四提示标识生成的第四显示指令,则从所述第三显示指令或第四显示指令中解析 IT_k 对应的总线接口标识;

步骤S6'、基于 IT_k 对应的总线接口标识检索所述数据库,并将生成对应预警信息对应的目标请求信息以及目标响应信息对应的有效总线接口数据记录呈现在所述显示界面上。

8. 根据权利要求1所述的系统,其特征在于,

IT_k 对应的吞吐量目标值和延时目标值所述性能配置文件包括 IT_k 标识以及 IT_k 标识对应的所述处理器执行所述计算机程序时,实现以下步骤:

步骤S100、若接收到性能配置文件更新指令,则更新所述性能配置文件,具体包括新增 IT_k 以及 IT_k 对应的吞吐量目标值和延时目标值,删除 IT_k 以及 IT_k 对应的吞吐量目标值和延时目标值,更新已有 T_k 对应的吞吐量目标值和/或延时目标值。

基于追踪文件的芯片性能验证系统

技术领域

[0001] 本发明涉及芯片验证技术领域,尤其涉及一种基于追踪文件的芯片性能验证系统。

背景技术

[0002] 现有的大多芯片是由多个组成模块高度堆叠而成,例如GPU芯片。现有技术在对芯片进行性能验证的过程中,通常是通过编写对应的RTL(Register Transistor Level)代码进行性能验证,由于芯片规模大,因此需要编写大量的RTL代码。且在芯片性能验证过程中,性能参数是可能不断发生变化的,因此需要不断改动大量的RTL代码。此外,在性能验证过程中,芯片设计通常是深流水线(Pipeline)的形式,pipeline的头部节点和尾部节点的数据能够直接获取进行性能验证,但很多pipeline中间节点的数据并不能直接获取进行性能验证,导致了芯片性能验证效率低,且易出错。由此可知,如何提高芯片性能验证效率和准确性成为亟待解决的技术问题。

发明内容

[0003] 本发明目的在于,提供一种基于追踪文件的芯片性能验证系统,能够快速准确地获取所有目标节点的数据进行性能验证,提高了芯片性能验证的效率和准确性。

[0004] 本发明提供了一种基于追踪文件的芯片性能验证系统,包括待测芯片设计DUT= $\{U_1, U_2, \dots, U_M\}$ 、性能配置文件、存储有计算机程序的存储器和处理器,其中, U_m 为DUT的第m个组成模块,m的取值范围为1到M, U_1, U_2, \dots, U_M 层级设置, U_i 和 U_j 之间通过至少一个总线接口互联, U_i 和 U_j 为具有互联关系的两个组成模块,i、j的取值范围均为1到M, U_i 和 U_j 总线接口为具有互联关系兄弟模块或者为父子模块,具有互联关系兄弟模块或者为父子模块之间通过至少一个总线接口互联;DUT中存在至少一个目标总线接口 IT_k ,k的取值范围为1到K,K为目标总线接口总数,所述性能配置文件用于配置 IT_k 对应的吞吐量目标值和延时目标值;

[0005] 所述处理器执行所述计算机程序时,实现以下步骤:

[0006] 步骤S1、基于DUT获取 IT_k 对应的描述信息,所述描述信息包括 IT_k 对应的组成模块标识、总线接口标识、总线接口信号与 IT_k 的信号映射信息、信号描述信息、数据有效标识约束信息,所述总线接口标识基于总线接口对应的层级信息和总线接口实例名称生成,所述信号描述信息包括信号宽度和信号方向;

[0007] 步骤S2、运行DUT,从DUT中转存 IT_k 对应的总线接口有效总线接口数据记录,总线接口所述有效总线接口数据记录总线接口包括 IT_k 中每一信号对应的信号值、绝对时间和/或时钟周期序号基于 IT_k 对应的描述信息和总线接口有效总线接口数据记录生成追踪文件;

[0008] 步骤S3、基于 IT_k 对应的追踪文件确定 IT_k 对应的吞吐量和延时,将所述 IT_k 对应的吞吐量和延时与所述配置文件中对应的吞吐量目标值和延时目标值进行比对,以实现芯片性能验证。

[0009] 本发明与现有技术相比具有明显的优点和有益效果。借由上述技术方案,本发明提供的一种基于追踪文件的芯片性能验证系统可达到相当的技术进步性及实用性,并具有产业上的广泛利用价值,其至少具有下列优点:

[0010] 本发明所述系统通过设置目标总线接口和性能配置文件,并转存每一目标总线接口对应的数据,从而实现快速准确地获取所有目标节点的数据进行性能验证,提高了芯片性能验证的效率和准确性。

[0011] 上述说明仅是本发明技术方案的概述,为了能够更清楚了解本发明的技术手段,而可依照说明书的内容予以实施,并且为了让本发明的上述和其他目的、特征和优点能够更明显易懂,以下特举较佳实施例,并配合附图,详细说明如下。

附图说明

[0012] 图1为本发明实施例提供的基于追踪文件的芯片性能验证系统示意图;

[0013] 图2为本发明一种实施例提供的追踪文件格式示意图;

[0014] 图3为本发明另一种实施例提供的追踪文件格式意图。

具体实施方式

[0015] 为更进一步阐述本发明为达成预定发明目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本发明提出的一种基于追踪文件的芯片性能验证系统的具体实施方式及其功效,详细说明如后。

[0016] 本发明实施例提供了一种基于追踪文件的芯片性能验证系统,如图1所示,包括待测芯片设计(Design Under Test,简称DUT), $DUT = \{U_1, U_2, \dots, U_M\}$ 、性能配置文件、存储有计算机程序的存储器和处理器。其中, U_m 为DUT的第m个组成模块,m的取值范围为1到M, U_1, U_2, \dots, U_M 层级设置, U_i 和 U_j 之间通过至少一个总线接口(Bus Interface)互联, U_i 和 U_j 为具有互联关系的两个组成模块,i、j的取值范围均为1到M, U_i 和 U_j 为具有互联关系兄弟模块或者为父子模块,具有互联关系兄弟模块或者为父子模块之间通过至少一个总线接口互联;DUT中存在至少一个目标总线接口 IT_k ,k的取值范围为1到K,K为目标总线接口总数,可以理解的是,目标总线接口可以为DUT的外部总线接口,也可以为DUT内部的组成模块之间,或组成模块与子模块之间的中间节点对应的总线接口。所述性能配置文件用于配置 IT_k 对应的吞吐量目标值和延时目标值。

[0017] 所述处理器执行所述计算机程序时,实现以下步骤:

[0018] 步骤S1、基于DUT获取 IT_k 对应的描述信息,所述描述信息包括 IT_k 对应的组成模块标识、总线接口标识、总线接口信号与 IT_k 的信号映射信息、信号描述信息、数据有效标识约束信息,所述信号描述信息包括信号宽度和信号方向。

[0019] 其中, IT_k 对应的组成模块可以为 IT_k 的发起端组成模块或者接收端组成模块, IT_k 对应的总线接口信息存储在对应的组成模块中,可以理解的是,每一总线接口信息均将存储在对应的发起端组成模块,或者存储在对应的接收端组成模块。所述描述信息还包括 IT_k 对应的总线接口类型标识。

[0020] 步骤S2、运行DUT,从DUT中转存(Dump) IT_k 对应的有效总线接口数据记录,所述有效总线接口数据记录包括 IT_k 中每一信号对应的信号值、绝对时间和/或时钟周期序号基于

IT_k对应的描述信息和有效总线接口数据记录生成追踪文件。

[0021] 其中,通过DUT对应的验证平台(Testbench)驱动DUT。时钟周期(Cycle)序号表示对应第几个时钟周期,绝对时间表示从初始时刻开始计时,绝对时间表示从初始时刻开始计时,采集一条有效总线接口数据记录对应的一组信号对应的时间。

[0022] 步骤S3、基于IT_k对应的追踪文件确定IT_k对应的吞吐量和延时,将所述IT_k对应的吞吐量和延时与所述配置文件中对应的吞吐量目标值和延时目标值进行比对,以实现芯片性能验证。

[0023] 作为一种实施例,所述步骤S2中,基于IT_k对应的描述信息和有效总线接口数据记录按照预设的追踪文件结构生成追踪文件,所述预设的追踪文件结构包括第一文件区域和第二文件区域,所述第一文件区域用于存储IT_k对应的描述信息,所述第二文件区域用于存储有效总线接口数据记录。所述有效总线接口数据记录逐行存储,即每一有效总线接口数据记录占据一行,如图2所示示例。所述有效总线接口数据记录也可以逐列存储,即每一有效总线接口数据记录占据一列,如图3所示示例。通过追踪文件能够快速准确获取任意一个目标总线接口总线对应的目标数据,实现芯片性能验证,图2和图3中均为Z表示有效总线接口数据记录总条数,标号1表示第一文件区域,标号2表示第二文件区域。

[0024] 作为一种实施例,U_m具体可以为原子单元或者是由原子单元组成的模块,原子单元预先设置有对应的RTL代码,RTL代码具体可以采用Verilog、System Verilog、VHDL等硬件编程语言编写。设置m=i1,U_{i1}包括模块唯一标识MID_{i1}、与Mod_{i1}的子模块互联的Z1(i1)个模块内部总线接口(Interior Interface)列表(InI₁,InI₂,...,InI_{Z1(i1)})、以及与Mod_{i1}的兄弟模块互联的Z2(i1)个模块外部总线接口(External Interface)列表(MExI₁,MExI₂,...,MExI_{Z2(i1)})。所述Mod_{i1}的子模块为位于Mod_{i1}内部的且比Mod_{i1}低一个层级的组成模块。DUT中还包括基于所有组成模块对应的内部总线接口列表和外部总线接口列表可以生成K4个设计互联组装DIY(Design Interconnect assembly)=(X₁-Y₁-CMD₁,X₂-Y₂-CMD₂,...,X_{K4}-Y_{K4}-CMD_{K4}),其中,X_{i5}和Y_{i5}属于{U₁,U₂,...,U_M} ,i5的取值范围为1到K4;X_{i5}和Y_{i5}互为兄弟模块,或者X_{i5}为Y_{i5}的父模块,或者Y_{i5}为X_{i5}的父模块。

[0025] 作为一种实施例,X_{i5}和X_{i6}可以相同,也可以不同;Y_{i5}和Y_{i6}可以相同,也可以不同;i6的取值范围为1到K4。CMD_{i5}为IDF-ID,用于从总线接口描述重构库获取对应的总线接口细节信息,总线接口描述重构库包括K3个预先定义的总线接口重构结构IDF(Interface Description reFactor)=(IDF₁,IDF₂,...,IDF_{K3}),K3>=0。其中,IDF_{i3}包括总线接口唯一标识IDF-ID_{i3}、Z4(i3)个信号(Sig_{i3}¹,Sig_{i3}²,...,Sig_{i3}^{Z4(i3)}),Sig_{i3}ⁱ⁴包括信号方向、信号宽度Wid(i3,i4)、复位(ReSeT)值(RST_{i3i4}¹,RST_{i3i4}²,...,RST_{i3i4}^{Wid(i3,i4)})、默认(Default)值(Def_{i3i4}¹,Def_{i3i4}²,...,Def_{i3i4}^{Wid(i3,i4)})以及数据有效标识约束信息。i3的取值为1到K3,i4的取值为1到Z4(i3),Z4(i3)是i3的函数。

[0026] 优选的,IDF-ID_{i3}与总线接口类型相关。总线接口类型例如是AMBA总线、PCIE总线、SATA总线、USB总线、HBM总线或自定义总线接口类型等。所述信号方向可被设置为输入方向(Input)、输出方向(Output)和双向方向(Inout)。所述信号宽度Wid(i3,i4)为信号Sig_{i3}ⁱ⁴所使用的信号线(Wire)的数量。

[0027] 作为一种实施例,IT_k对应的信号包括至少一个有效标识信号、追踪id信号和数据信号,所述数据有效标识约束信息包括基于所有有效标识信号生成的约束条件。以IT_k对应

的信号包括 $\{Si_1, Si_2, \dots, Si_R\}$ 为例,则可以仅设置 Si_1 为有效标识信号,当 Si_1 的信号值等于预设的信号值时,说明对应的 Si_2, \dots, Si_R 为有效数据。也可以为多个信号,例如 Si_1, Si_2, Si_3 的信号值之间满足预设的约束条件,例如相加等于一个预设的信号值时,对应的 Si_1, Si_2, \dots, Si_R 为有效数据。其中一个信号,例如 Si_R 为追踪id信号,具体可以设置为结构体或联合体,需要说明的是,追踪id在同一条数据链中,传递的同一数据是相同的,但是由于不同的总线接口总线对应的信号格式可能不同,因此,追踪id在不同的总线接口总线对应的形态可能不同。追踪id信号和有效标识信号对应不同的信号, IT_k 对应的信号中除了有效标识信号、追踪id信号之外的所有信号均为数据信号。

[0028] 基于上述 U_{i1} 、DIY、IDF 信息可以自动生成 IT_k 对应的描述信息。

[0029] 所述步骤S2中,当DUT中 IT_k 对应的有效标识信号满足对应的数据有效标识约束信息时,从DUT中转存 IT_k 对应的有效总线接口数据记录。

[0030] 在转存得到各个 IT_k 对应的追踪文件之后,还可以通过后处理的方式提取对应的文件信息,存储在数据库中,进一步基于数据库实现芯片性能验证。作为一种实施例,所述系统还包括数据库,所述步骤S2之后还包括:

[0031] 步骤S10、将每一有效总线接口数据记录中对应的追踪id信号对应的值,根据 IT_k 对应的编码规则进行解码,然后将追踪id解码的追踪文件存储至所述数据库中。

[0032] 作为一种实施例, IT_k 对应的信号列表为 $\{Si_1, Si_2, \dots, Si_{f(k)}\}$, Si_{ik} 为 IT_k 对应的第 ik 个信号, ik 的取值范围为1到 $f(k)$, $f(k)$ 为 k 的函数, Si_{ik} 对应的信号宽度为 We_{ik} , 所述步骤S3包括:

[0033] 步骤S31、基于 IT_k 对应的总线接口标识获取对应的追踪文件;

[0034] 步骤S32、从 IT_k 对应的追踪文件中选取 F 行有效总线接口数据记录,基于 F 行有效总线接口数据记录对应的绝对时间和/或时钟周期序号确定采集 F 行有效总线接口数据记录所需时间 TF , 基于 TF 、 We_{ik} 、 F 确定 IT_k 对应的吞吐量 TH_k :

[0035] $TH_k = [F \times \sum_{ik=1}^{f(k)} We_{ik}] \div TF$;

[0036] 从 IT_k 对应的追踪文件中选取目标请求信息对应的目标追踪id和绝对时间和/或时钟周期序号,基于目标追踪id从 IT_k 对应的追踪文件中目标请求信息对应的目标响应信息对应的绝对时间和/或时钟周期序号,基于目标请求信息、目标响应信息对应的绝对时间和/或时钟周期序号确定 IT_k 对应延时;

[0037] 步骤S33、将所述 IT_k 对应的吞吐量和延时与所述配置文件中对应的吞吐量目标值和延时目标值进行比对,若均匹配,则芯片性能验证通过,否则,生成预警信息。

[0038] 需要说明的是,吞吐量目标值和延时目标值可以为具体的数值,也可以为数值范围,具体根据性能测试需求来确定。若吞吐量目标值和延时目标值为具体数值,则 IT_k 对应的吞吐量与所述配置文件中对应的吞吐量目标值相等时确定为吞吐量匹配。 IT_k 对应的延时与所述配置文件中对应的延时目标值相等时确定为延时匹配。若吞吐量目标值和延时目标值为数值范围,则 IT_k 对应的吞吐量在吞吐量目标值的数值范围内时,确定为吞吐量匹配;若 IT_k 对应的延时在延时目标值的数值范围内时,确定为延时匹配。

[0039] 在基于追踪文件生成数据库之后,可以进一步通过显示界面对性能验证结果进行直观显示,进一步提高芯片性能验证效率。作为一种实施例。所述系统还包括显示界面,显示界面具体可以为GUI界面。所述显示界面上用于呈现DUT对应的数据流拓扑结构,所述数

据流拓扑结构包括DUT的组成模块和组成模块之间的总线接口,所述步骤S3中,若生成预警信息,则所述步骤S3之后还包括:

[0040] 步骤S4、若 TH_k 高于吞吐量目标值,则在所述数据流拓扑结构对应的 IT_k 上显示第一提示标识;若 TH_k 低于吞吐量目标值,则在所述数据流拓扑结构对应的 IT_k 上显示第二提示标识;若 IT_k 对应延时高于延时目标值,则在所述数据流拓扑结构对应的 IT_k 上显示第三提示标识;若 TH_k 低于吞吐量目标值,则在所述数据流拓扑结构对应的 IT_k 上显示第四提示标识。

[0041] 需要说明的是,第一提示标识、第二提示标识、第三提示标识、第四提示标识可以采用不同的颜色、形状等方式显示。还可基于 TH_k 与吞吐量目标值的相差程度大小, IT_k 的吞吐量和吞吐量目标值进一步采用不同级别的提示标识进行显示。

[0042] 作为一种实施例,所述步骤S4之后还可进一步包括:

[0043] 步骤S5、若接收到针对第一提示标识生成的第一显示指令或接收到针对第二提示标识生成的第二显示指令,则从所述第一显示指令或第二显示指令中解析 IT_k 对应的总线接口标识;

[0044] 其中,可以直接通过点击等方式选中提示标识生成对应的显示指令。

[0045] 步骤S6、基于 IT_k 对应的总线接口标识检索所述数据库,并将生成对应预警信息对应的F行有效总线接口数据记录呈现在所述显示界面上。

[0046] 作为一种实施例,所述步骤S4之后还可进一步包括:

[0047] 步骤S5'、若接收到针对第三提示标识生成的第三显示指令或接收到针对第四提示标识生成的第四显示指令,则从所述第三显示指令或第四显示指令中解析 IT_k 对应的总线接口标识;

[0048] 步骤S6'、基于 IT_k 对应的总线接口标识检索所述数据库,并将生成对应预警信息对应的目标请求信息以及目标响应信息对应的有效总线接口数据记录呈现在所述显示界面上。

[0049] 通过在显示界面上显示对应的提示标识以及呈现对应的有效总线接口数据记录,可以直观追踪芯片性能测试相关数据,提高芯片性能测试效率。

[0050] 由于DUT的性能测试参数是可能随时变化的,通过更改性能配置文件,即可更改对应的性能测试参数,避免更改大量RTL代码,且不易出错,作为一种实施例, IT_k 对应的吞吐量目标值和延时目标值所述性能配置文件包括 IT_k 标识以及 IT_k 标识对应的所述处理器执行所述计算机程序时,实现以下步骤:

[0051] 步骤S100、若接收到性能配置文件更新指令,则更新所述性能配置文件,具体包括新增 IT_k 以及 IT_k 对应的吞吐量目标值和延时目标值,删除 IT_k 以及 IT_k 对应的吞吐量目标值和延时目标值,更新已有 IT_k 对应的吞吐量目标值和/或延时目标值。

[0052] 本发明所述系统通过设置目标总线接口和性能配置文件,并转存每一目标总线接口对应的数据,从而实现快速准确地获取所有目标节点的数据进行性能验证,提高了芯片性能验证的效率和准确性。

[0053] 需要说明的是,一些示例性实施例被描述成作为流程图描绘的处理或方法。虽然流程图将各步骤描述成顺序的处理,但是其中的许多步骤可以被并行地、并发地或者同时实施。此外,各步骤的顺序可以被重新安排。当其操作完成时处理可以被终止,但是还可以具有未包括在附图中的附加步骤。处理可以对应于方法、函数、规程、子例程、子程序等等。

[0054] 以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制,虽然本发明已以较佳实施例揭露如上,然而并非用以限定本发明,任何熟悉本专业的技术人员,在不脱离本发明技术方案范围内,当可利用上述揭示的技术内容作出些许更动或修饰为等同变化的等效实施例,但凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本发明技术方案的范围。

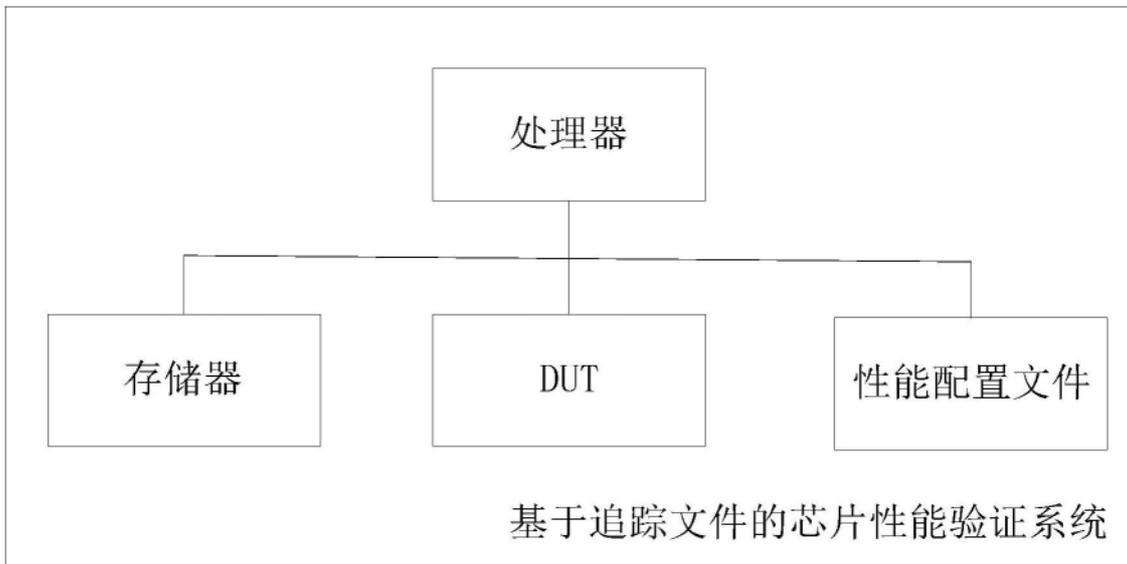


图1

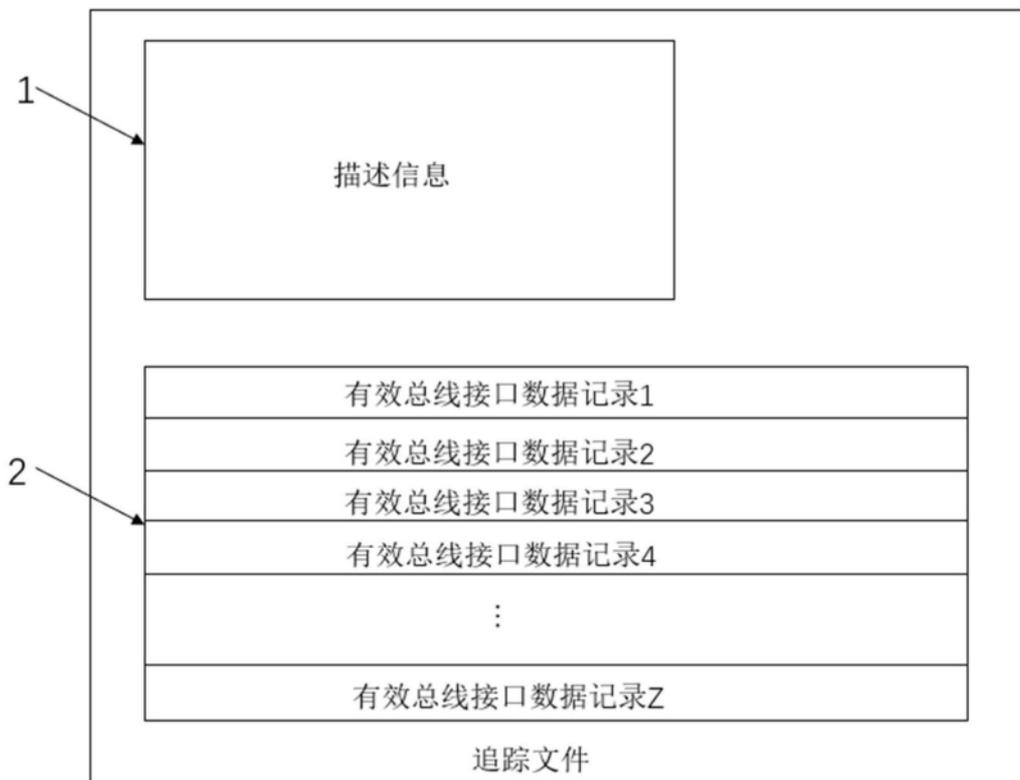


图2

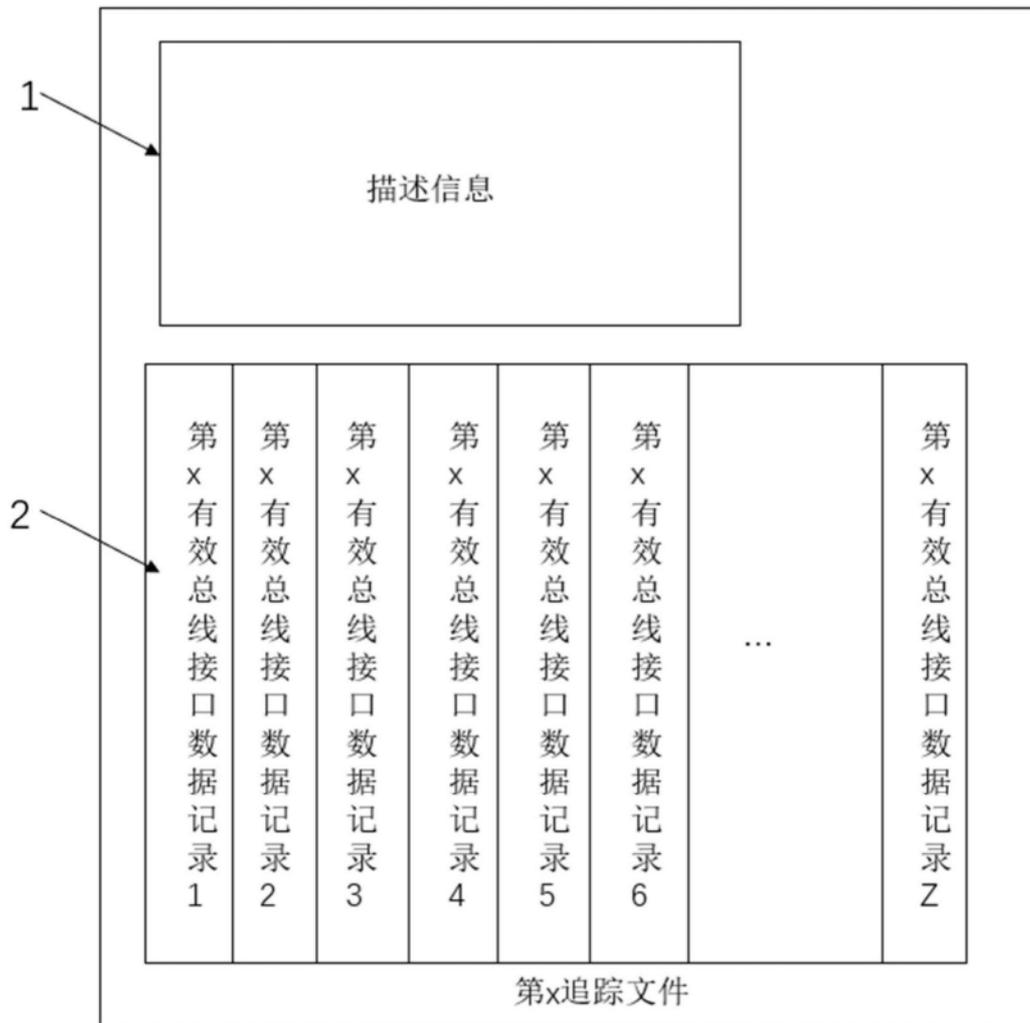


图3