

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02003/028112

発行日 平成17年1月13日(2005.1.13)

(43) 国際公開日 平成15年4月3日(2003.4.3)

(51) Int. Cl.<sup>7</sup>

F I

HO 1 L 21/8247  
G 1 1 C 16/04  
HO 1 L 27/10  
HO 1 L 27/115  
HO 1 L 29/788

HO 1 L 29/78 3 7 1  
HO 1 L 27/10 4 8 1  
HO 1 L 27/10 4 3 4  
G 1 1 C 17/00 6 2 1 B  
G 1 1 C 17/00 6 2 1 C

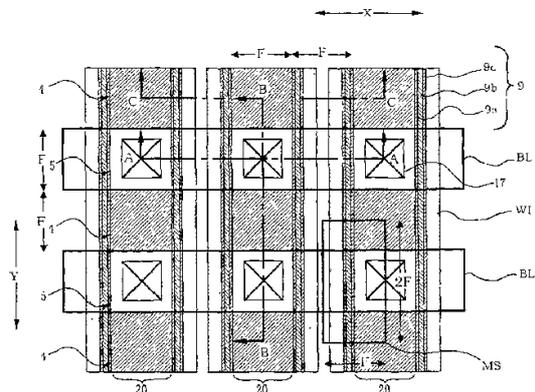
審査請求 未請求 予備審査請求 有 (全 44 頁) 最終頁に続く

出願番号	特願2003-531536 (P2003-531536)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(21) 国際出願番号	PCT/JP2002/004080	(74) 代理人	100083552 弁理士 秋田 収喜
(22) 国際出願日	平成14年4月24日(2002.4.24)	(72) 発明者	宿利 章二 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
(31) 優先権主張番号	特願2001-287917 (P2001-287917)		
(32) 優先日	平成13年9月20日(2001.9.20)		
(33) 優先権主張国	日本国(JP)		
(81) 指定国	EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR, SG, US		

(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

半導体集積回路装置は、半導体柱と絶縁体柱が一方方向に交互に敷き詰めた状態で複数配置された柱列と、前記複数の半導体柱に夫々設けられた複数の不揮発性記憶素子であって、前記半導体柱の前記一方方向に沿う側面にゲート絶縁膜を介在して制御ゲート電極が設けられ、前記半導体柱の上表面部にドレイン領域が設けられ、かつ前記半導体柱の底表面部にソース領域が設けられた複数の不揮発性記憶素子と、前記複数の不揮発性記憶素子の夫々の制御ゲート電極を含み、かつ前記柱列の前記一方方向に沿う側面に前記一方方向に沿って設けられた配線とを有する。



## 【特許請求の範囲】

## 【請求項 1】

半導体柱と絶縁体柱が一方向に交互に敷き詰めた状態で複数配置された柱列と、前記複数の半導体柱に夫々設けられた複数の不揮発性記憶素子であって、前記半導体柱の前記一方向に沿う側面にゲート絶縁膜を介在して制御ゲート電極が設けられ、前記半導体柱の上面部にドレイン領域が設けられ、かつ前記半導体柱の底面部にソース領域が設けられた複数の不揮発性記憶素子と、前記複数の不揮発性記憶素子の夫々の制御ゲート電極を含み、かつ前記柱列の前記一方向に沿う側面に前記一方向に沿って設けられた配線とを有することを特徴とする半導体集積回路装置。

10

## 【請求項 2】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記ゲート絶縁膜は、電荷を離散的に蓄積する膜であることを特徴とする半導体集積回路装置。

## 【請求項 3】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記ゲート絶縁膜は、前記半導体柱の側面から順次積層されたシリコン酸化膜、シリコン窒化膜及びシリコン酸化膜を含む積層膜であることを特徴とする半導体集積回路装置。

## 【請求項 4】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記ゲート絶縁膜は、前記半導体柱の側面から順次積層されたシリコン酸化膜、不純物が導入されていない多結晶シリコン膜、シリコン窒化膜及びシリコン酸化膜を含む積層膜であることを特徴とする半導体集積回路装置。

20

## 【請求項 5】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記ゲート絶縁膜は、不純物が導入されていない多数の多結晶シリコン粒を含む膜であることを特徴とする半導体集積回路装置。

## 【請求項 6】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記ゲート絶縁膜は、前記半導体柱の側面から順次積層されたシリコン酸化膜、金属酸化膜及びシリコン酸化膜を含む積層膜であることを特徴とする半導体集積回路装置。

30

## 【請求項 7】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記複数の半導体柱の夫々の上面部に設けられた複数のドレイン領域は、前記絶縁体柱によって互いに分離されていることを特徴とする半導体集積回路装置。

## 【請求項 8】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記絶縁体柱は、前記ソース領域に到達していることを特徴とする半導体集積回路装置。

## 【請求項 9】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記複数の半導体柱は、前記絶縁体柱によって互いに絶縁分離されていることを特徴とする半導体集積回路装置。

40

## 【請求項 10】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記制御ゲート電極は、不純物が導入された多結晶シリコン膜からなることを特徴とする半導体集積回路装置。

## 【請求項 11】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記複数の半導体柱の夫々の底面部に設けられた複数のソース領域は、前記半導体柱の配列方向に沿って延在する半導体領域の一部で構成されていることを特徴とする半導体集積

50

回路装置。

【請求項 1 2】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記柱列は、前記一方向と直交する他の方向に所定の間隔をおいて複数配置されていることを特徴とする半導体集積回路装置。

【請求項 1 3】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記複数の半導体柱の夫々には、前記不揮発性記憶素子が 2 つ設けられ、前記 2 つの不揮発性記憶素子のうち、一方の不揮発性記憶素子は、そのチャンネル形成領域が前記半導体柱の互いに向かい合う 2 つの側面のうちの一方の側面に設けられ、他方の不揮発性記憶素子は、そのチャンネル形成領域が前記 2 つの側面のうちの他方の側面に設けられていることを特徴とする半導体集積回路装置。 10

【請求項 1 4】

半導体領域内にソース領域、ドレイン領域、前記ソース領域と前記ドレイン領域に挟まれたチャンネル形成領域、及び制御ゲート電極を持つ電氣的に書き込み可能な不揮発性記憶素子において、四角柱状の半導体柱の向かい合う側面に独立した 2 つの前記チャンネル形成領域が配置され、前記 2 つのチャンネル形成領域に接続された前記ドレイン領域は前記四角柱状の半導体柱の上部に形成され、前記チャンネル形成領域と隣り合う側面部には素子分離領域が配置され、前記チャンネル形成領域と前記制御ゲート電極との間に第 1 絶縁膜、前記第 1 絶縁膜上に非導電性の電荷トラップ膜、前記非導電性の電荷トラップ膜上に第 2 絶縁膜を有することを特徴とする半導体集積回路装置。 20

【請求項 1 5】

請求の範囲第 1 4 項に記載の半導体集積回路装置において、前記ソース領域を接地電位とし、前記ドレイン領域および前記制御ゲート電極へ適当な正電位を与えて、前記チャンネル形成領域をオンさせ、前記ドレイン領域の近傍で発生するホットエレクトロンを注入して、前記非導電性の電荷トラップ膜へトラップさせることにより書き込みを行い、前記制御ゲート電極へ適当な負電位を与え、前記ドレイン領域へ適当な正電位を与えて、前記非導電性の電荷トラップ膜へトラップされた電子を、前記第 1 絶縁膜中を流れるトンネル電流によって前記半導体領域へ引抜くことにより消去を行うことを特徴とする半導体集積回路装置。 30

【請求項 1 6】

請求の範囲第 1 4 項に記載の半導体集積回路装置において、前記第 1 絶縁膜はシリコン酸化膜、前記非導電性の電荷トラップ膜はシリコン窒化膜、前記第 2 絶縁膜はシリコン酸化膜であることを特徴とする半導体集積回路装置。

【請求項 1 7】

請求の範囲第 1 4 項に記載の半導体集積回路装置において、前記第 1 絶縁膜はシリコン酸化膜、前記非導電性の電荷トラップ膜は金属酸化膜、前記第 2 絶縁膜はシリコン酸化膜であることを特徴とする半導体集積回路装置。

【請求項 1 8】

半導体領域内にソース領域、ドレイン領域、前記ソース領域と前記ドレイン領域に挟まれたチャンネル形成領域、及び制御ゲート電極を持つ電氣的に書き込み可能な不揮発性記憶素子において、四角柱状の半導体柱の向かい合う側面に独立した 2 つの前記チャンネル形成領域が配置され、前記 2 つのチャンネル形成領域に接続された前記ドレイン領域は前記四角柱状の半導体柱の上部に形成され、前記チャンネル形成領域と隣り合う側面部には素子分離領域が配置され、前記チャンネル領域と前記制御ゲート電極との間に第 1 絶縁膜、前記第 1 絶縁膜上に半導体膜、前記半導体膜上に非導電性の電荷トラップ膜、前記非導電性の電荷トラップ膜上に第 2 絶縁膜を有し、前記半導体膜と非導電性の電荷トラップ膜との界面電荷トラップ準位に主として電子トラップを行うことを特徴とする半導体集積回路装置。 40

【請求項 1 9】

請求の範囲第18項に記載の半導体集積回路装置において、  
前記ソース領域を接地電位とし、前記ドレイン領域および前記制御ゲート電極へ適当な正電位を与えて、前記チャンネル形成領域をオンさせ、前記ドレイン領域の近傍で発生するホットエレクトロンを注入して、前記半導体膜と前記非導電性の電荷トラップ膜との電荷トラップ準位に主として電子トラップを行うことにより書き込みを行い、  
前記制御ゲート電極へ適当な負電位を与え、前記ドレイン領域へ適当な正電位を与えて、トラップされた電子を、前記半導体膜及び第1絶縁膜中を流れるトンネル電流によって前記半導体領域へ引抜くことにより消去を行うことを特徴とする半導体集積回路装置。

【請求項20】

請求の範囲第18項に記載の半導体集積回路装置において、  
前記第1絶縁膜はシリコン酸化膜、前記半導体膜がポリシリコン膜、前記非導電性の電荷トラップ膜はシリコン窒化膜、前記第2絶縁膜はシリコン酸化膜であることを特徴とする半導体集積回路装置。

10

【請求項21】

請求の範囲第18項に記載の半導体集積回路装置において、  
前記第1絶縁膜はシリコン酸化膜、前記半導体膜がポリシリコン膜、前記非導電性の電荷トラップ膜は金属酸化膜、前記第2絶縁膜はシリコン酸化膜であることを特徴とする半導体集積回路装置。

【請求項22】

半導体基板上にストライプ状に溝型素子分離領域と半導体活性領域を交互に形成し、前記ストライプ状の溝型素子分離領域と半導体活性領域とは直行する方向にストライプ状に形成したレジスト膜パターンをマスクとして、前記半導体活性領域のエッチングに引き続いて前記溝型素子分離領域をエッチングして四角柱状の半導体柱、及び四角柱状の素子分離領域を形成する工程と、

20

前記四角柱状の半導体柱の側面部にチャンネル形成領域を形成し、前記チャンネル形成領域の上部に第1酸化膜、窒化膜、及び第2酸化膜の積層膜を堆積した後、導電膜のサイドスペーサからなるワード線を形成する工程と、

前記四角柱状の半導体柱の上部にドレイン領域を形成する工程とを、少なくとも含むことを特徴とする半導体集積回路装置の製造方法。

【請求項23】

半導体基板上にストライプ状に溝型素子分離領域と半導体活性領域を交互に形成し、前記ストライプ状の溝型素子分離領域と半導体活性領域とは直行する方向にストライプ状に形成したレジスト膜パターンをマスクとして、前記半導体活性領域のエッチングに引き続いて前記溝型素子分離領域をエッチングして四角柱状の半導体柱、及び四角柱状の素子分離領域を形成する工程と、

30

前記四角柱状の半導体柱の側面部にチャンネル形成領域を形成し、前記チャンネル形成領域の上部に第1酸化膜、ポリシリコン膜、窒化膜、及び第2酸化膜の積層膜を堆積した後、導電膜のサイドスペーサからなるワード線を形成する工程と、

前記四角柱状の半導体柱の上部にドレイン領域を形成する工程とを、少なくとも含むことを特徴とする半導体集積回路装置の製造方法。

40

【請求項24】

ストライプ状の突起状島領域を覆うようにして導電膜を形成する工程と、  
前記導電膜に異方性エッチングを施して前記突起状島領域の側面に配線を形成すると共に、前記配線と一体化されたコンタクト領域を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項25】

請求の範囲第24項に記載の半導体集積回路装置の製造方法において、  
前記異方性エッチングは、前記導電膜の一部をマスクした状態で行うことを特徴とする半導体集積回路装置の製造方法。

【請求項26】

50

請求の範囲第24項に記載の半導体集積回路装置の製造方法において、前記配線形成工程は、前記突起状島領域の側面に整合して不揮発性記憶素子の制御ゲート電極を形成する工程であることを特徴とする半導体集積回路装置の製造方法。

【請求項27】

半導体基板の主面の第1の領域に形成された不揮発性記憶素子と、前記半導体基板の主面の第1の領域と異なる第2の領域に形成された周辺回路用トランジスタとを有する半導体集積回路装置の製造方法であって、

前記半導体基板の主面の第1の領域に突起状島領域を形成する工程と、

前記突起状島領域、及び前記半導体基板の主面の領域を覆うようにして導電膜を形成する工程と、

10

前記半導体基板の主面の第2の領域上の前記導電膜をマスクした状態で前記導電膜に異方性エッチングを施して、前記突起状島領域の側面に前記不揮発性記憶素子の制御ゲート電極を含む配線、並びに前記半導体基板の主面の第2の領域に前記周辺回路用トランジスタのゲート電極を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項28】

ストライプ状の突起状島領域を覆うようにして導電膜を形成する工程と、

前記導電膜に異方性エッチングを施して前記突起状島領域の側面に配線を形成する工程と、

前記配線の一部を除去する工程とを有することを特徴とする半導体集積回路装置の製造方法。

20

【請求項29】

請求の範囲第28項に記載の半導体集積回路装置の製造方法において、

前記配線形成工程は、前記突起状島領域の側面に整合して不揮発性記憶素子の制御ゲート電極を形成する工程であることを特徴とする半導体集積回路装置の製造方法。

【請求項30】

互いに反対側に位置する第1の側面及び第2の側面を持つ突起状島領域と、

前記突起状島領域の第1の側面に絶縁膜を介在して制御ゲート電極が設けられた第1の不揮発性記憶素子と、

前記突起状島領域の第2の側面に絶縁膜を介在して制御ゲート電極が設けられた第2の不揮発性記憶素子とを有する半導体集積回路装置の製造方法であって、

30

前記突起状島領域を覆うようにして形成された導電膜に異方性エッチングを施して、前記突起状島領域の周囲に前記第1及び第2の不揮発性記憶素子の制御ゲート電極を含む配線を形成する工程と、

前記配線の一部を除去して、前記第1の不揮発性記憶素子の制御ゲート電極と前記第2の不揮発性記憶素子の制御ゲート電極とを電氣的に分離する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項31】

第1の導電体の上層に前記第1の導電体を覆うようにして第1の絶縁膜を形成する工程と、

40

前記第1の絶縁膜にエッチングを施して前記第1の導電体上に開口を形成する工程と、

前記開口の内部を含む前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜に異方性エッチングを施して前記開口の内壁にサイドウォールスペーサを形成するとともに、前記サイドウォールスペーサで規定された接続孔を形成する工程と、

前記接続孔を通して前記第1の導電体と電氣的に接続される第2の導電体を前記第2の絶縁膜上に形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項32】

請求の範囲第31項に記載の半導体集積回路装置の製造方法において、

前記第1の導電体は、突起状島領域の上面に設けられた半導体領域であり、

50

前記第2の導電体は、前記第2の絶縁膜上を延在する配線であることを特徴とする半導体集積回路装置の製造方法。

#### 【発明の詳細な説明】

##### 技術分野

本発明は、半導体集積回路装置及びその製造技術に関し、特に、電氣的にデータの消去及び書き込みが可能な不揮発性記憶素子を有する半導体集積回路装置に適用して有効な技術に関するものである。

##### 背景技術

近年、データやプログラム構成するデータを記憶させるメモリ装置として、記憶するデータを所定の単位で一括して電氣的に消去可能であり、かつ、データを電氣的に書き込み可能なフラッシュEEPROM (Electrically Erasable Programmable Read Only Memory) と呼ばれる不揮発性記憶装置が注目を集めている。フラッシュEEPROM (以下、フラッシュメモリと呼ぶ) は、電氣的に消去及び書き込み可能な不揮発性記憶素子によってメモリセルが構成されており、一旦メモリセルに書き込まれたデータやプログラム構成するデータを消去し、新たなデータやプログラム構成するデータをメモリセルへ再度書き込み(プログラミング)する事が可能である。

従来、フラッシュメモリの電荷蓄積は、ポリシリコン膜からなり、電氣的に周囲とは絶縁されたフローティングゲート電極(浮遊ゲート電極)内に電子を蓄積することにより行われていた。この電子蓄積動作、いわゆる書き込み動作は、ホットエレクトロン注入が一般的であり、蓄積された電子をフローティングゲート電極外へ放出する消去動作は、ゲート酸化膜を通過するトンネル電流により行われている。書き込みと消去を繰り返すと、ゲート酸化膜の内部に電荷トラップが形成され、基板とゲート酸化膜の界面には表面準位密度が増加する。特に、前者は電荷の保持特性、すなわち書換え後のリテンション特性を劣化させるといふ本質的な問題点があった。

この問題点を解消する方法として、近年、EEPROMの電荷蓄積に非導電性の電荷トラップ膜を使用する方式が提案されている。例えば、米国特許公報第5,768,192号、米国特許公報第5,966,603号、米国特許公報第6,011,725号、米国特許公報第6,180,538号、及び、B. Eitanらによる"Can NOROM, a 2-bit, Trapping Storage NVM Cell, Give a Real Challenge to Floating Gate Cell", International Conference on Solid State Devices and Materials, Tokyo, 1999、に開示されている。

例えば、米国特許公報第5,768,192号には、第39図(セルの模式的断面図)に示すように、シリコン酸化膜等の絶縁膜112、114で挟まれたシリコン窒化膜113、いわゆるONO(Oxide/Nitride/Oxide)構造の積層膜をゲート絶縁膜とし、ソース117に0V、ドレイン116とコントロールゲート115に適当な正電圧を印加してトランジスタをオンさせ、ドレイン116の近傍で発生するホットエレクトロンを注入し、前記シリコン窒化膜113中へ電子をトラップさせることにより書き込みを行う方式である。この電荷蓄積方式は、連続した導電膜であるポリシリコン膜に電荷蓄積を行う方式と比較して、シリコン窒化膜113中の電子トラップが非連続で離散的であるため、酸化膜112の一部にピンホール等の電荷漏洩パスが発生した場合においても、蓄積された電荷のすべてが消失されることがなく、リテンション特性が本質的に強固であるという特徴をもっている。

また、米国特許公報第6,011,725号には、第40図(セルの模式的断面図)に示すように、ホットエレクトロン注入の局在性を利用して、ドレイン116近傍とソース117の近傍との2個所の電荷蓄積を独立して制御することにより、2ビットの情報を1セル内で実現する、いわゆる多値セル技術を開示している。

さらに、米国特許公報第5,966,603号には、ONO膜の形成方法、例えば、基板上にON積層膜を形成した後、シリコン窒化膜上部を酸化することによりONO構造を形

10

20

30

40

50

成すること、また、基板上にONO積層膜を形成した後に酸化工程を追加することによりシリコン窒化膜中に酸素を導入して、メモリセルのリテンション特性を向上すること、が開示されている。

また、米国特許公報第6,180,538号には、短時間気相成長法(Rapid Thermal Chemical Vapor Deposition)により、ONO膜を形成する方法、酸化膜の堆積温度が700~800であること、酸化膜の膜厚が5~15nmであること、がクレームされている。

#### 発明の開示

前記公知例では、例えば米国特許公報第5,966,603号、あるいは、B. Eitanらによる"Can NROM, a 2-bit, Trapping Storage NVM Cell, Give a Real Challenge to Floating Gate Cell", International Conference on Solid State Devices and Materials, Tokyo, 1999、にはバーチャルランド型のセル方式開示がされている。このセル配置は、第41図(メモリセルアレイ部の模式的平面図)、第42図(セルのゲート長方向に沿う模式的断面図)、及び第43図(セルのゲート幅方向に沿う模式的断面図)に示すように、ドレイン116とソース117を構成する拡散層領域がストライプ状に配置され、その上部にはコントロールゲート電極115と絶縁を維持するための酸化膜118が設けられ、前記ソース・ドレイン方向と直行するようにコントロールゲート電極115が配置されている。半導体基板111のドレイン116とソース117に挟まれたチャンネル領域とコントロールゲート電極115との間には、酸化膜112、窒化膜113、酸化膜114が配置されている。第41図に示したように、書き込み、及び読み出し動作での電流経路は、隣り合う拡散層をソース117、ドレイン116として動作させ、セルのチャンネル電流はコントロールゲート電極115に平行な方向に流れる。このセルの面積は、ソース・ドレインのピッチを最小寸法Fの2倍、コントロールゲートのピッチも最小寸法Fの2倍、すなわち、 $2F \times 2F = 4F^2$ に設計されている。例えば、 $0.2 \mu\text{m}$ 技術では、 $4F^2 = 0.16 \mu\text{m}^2$ と非常に小さなセル面積を実現できる。

しかしながら、前述のメモリセルにおいては、いくつかの問題点がある。

第1の問題点は、従来のセルでは、読み出し電流が大きく設計できない点である。第41図に示したように、セルのチャンネル幅Wはコントロールゲート電極115の幅で定義され、チャンネル長Lはソース117とドレイン116の間隔で定義されるため、チャンネル電流を決める構造定数 $W/L$ は、 $W/L = F/F = 1$ となり、セルを微細化しても読み出し電流は増加しない。したがって、他の構造定数、酸化膜112、窒化膜113、及び酸化膜114の積層膜の実効膜厚を薄くしなければ、読み出し電流は増加できず、アクセス速度の劣化やセンスアンプの誤動作マージンが低下する問題を引き起こす。

第2の問題点は、前記第1の問題点を解消するために読み出し動作時のコントロールゲート電圧を増加して、読み出し電流を増大させようとする場合に発生する、いわゆる、読み出しディスタートの問題である。この現象は、第42図及び第43図中に示したように、窒化膜中に電子がトラップされた書き込み状態のセルを読み出す際に、コントロールゲート電圧によってトラップ電子がコントロールゲート側へ引抜かれることによって発生する。その結果、データ反転不良を引き起こす。トラップ電子の引抜きディスタートの時間は、最大10年連続読み出しを想定せねばならない。窒化膜113上部の酸化膜114の膜厚を厚くすることにより、前記ディスタートの耐性は向上することができるが、第1の問題点である読み出し電流は、さらに低下してしまう結果となる。

第3の問題点は、エッチングマスクを用いた導電膜のパターンニングによってコントロールゲート電極を形成しているため、セル面積を $4F^2$ 以下にすることが困難な点である。この問題に関して公知例調査を行った結果、セル面積の微細化に関する技術が記載された特開平6-13628号公報が見つかった。この公報に記載された技術は、同公報の段落番号[0020]に記載されているように、「従来は平面的に配置されていたソースとドレイン間のチャンネル形成領域を垂直に立てることによって、その部分の面積を削減する。

本発明の基本は、半導体基板上に凸状の部分形成し、その側面をチャネル形成領域とし、その頂上部を不純物領域（ソースもしくはドレイン）の一方とし、底部に他の不純物領域を設け、このチャネル形成領域の側面にゲート電極を形成することにある。」というものである。更に、同公報の段落番号[0067]には、「この後、ゲート配線（コントロールゲート）を形成するための被膜309を形成する。...中略...その後、再び、異方性エッチングによって凸部の側面以外の被膜309を除去して、ゲート配線310を形成する。このゲート配線は、凸部の側面に沿って走っていることに注目すべきである。また、このゲート配線の形成はマスクプロセスによらないことが本発明の特徴とすることである。」という内容が記載されている。従って、この公報に記載された技術を用いることによって、セル面積を $4F^2$ 以下にすることが可能となる。

10

しかしながら、この公報に記載された技術では、凸部における素子分離領域の形成が熱酸化法による酸化膜によって行われているため、凸部の素子分離領域に半導体が存在し、しかもゲート配線が凸部の側面に沿って走っている。即ち、凸部の素子分離領域は、凸部の素子分離領域における半導体をチャネル形成領域とし、凸部の素子分離領域に形成された酸化膜をゲート絶縁膜とし、凸部の側面に沿って走っているゲート配線をゲート電極とするMOS構造になっている。このため、ゲート配線に電圧が印加されると、凸部の素子分離領域における半導体の側面に寄生チャネルが形成され、この寄生チャネルによって隣り合う不揮発性記憶素子のチャネル形成領域が電氣的に繋がってしまうといった不具合が発生する。このような不具合は、データの消去不良、書き込み不良及び読み出し不良の要因となるため、フラッシュメモリの電氣的信頼性が低下する。

20

本発明の目的は、非導電性の電荷トラップ膜を電荷蓄積領域として用いる不揮発性メモリの読み出し電流を大幅に向上させることができ、また、読み出しディスタープによるデータ反転の読み出し不良を撲滅できる半導体集積回路装置を提供することにある。

本発明の他の目的は、非導電性の電荷トラップ膜を電荷蓄積領域として用いる不揮発性メモリのセル面積の縮小化が容易なデバイス構造を提供することにある。

本発明の他の目的は、電氣的にデータの書き込み及び消去が可能な不揮発性記憶素子を有する半導体集積回路装置の電氣的信頼性の向上を図ることが可能な技術を提供することにある。

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

30

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

(1) 半導体柱と絶縁体柱が一方向に交互に敷き詰めた状態で複数配置された柱列と、前記複数の半導体柱に夫々設けられた複数の不揮発性記憶素子であって、前記半導体柱の前記一方向に沿う側面にゲート絶縁膜を介在して制御ゲート電極が設けられ、前記半導体柱の上面部にドレイン領域が設けられ、かつ前記半導体柱の底面部にソース領域が設けられた複数の不揮発性記憶素子と、

前記複数の不揮発性記憶素子の夫々の制御ゲート電極を含み、かつ前記柱列の前記一方向に沿う側面に前記一方向に沿って設けられた配線とを有することを特徴とする半導体集積回路装置である。

40

(2) 半導体領域内にソース領域、ドレイン領域、前記ソース領域と前記ドレイン領域に挟まれたチャネル形成領域、及び制御ゲート電極を持つ電氣的に書き込み可能な不揮発性記憶素子において、四角柱状の半導体柱の向かい合う側面に独立した2つの前記チャネル領域が配置され、前記2つのチャネル領域に接続された前記ドレイン領域は前記四角柱状の半導体柱の上部に形成され、前記チャネル領域と隣り合う側面部には素子分離領域が配置され、前記チャネル領域と前記制御ゲート電極との間に第1絶縁膜、前記第1絶縁膜上に非導電性の電荷トラップ膜、前記非導電性の電荷トラップ膜上に第2絶縁膜を有することを特徴とする半導体集積回路装置である。

(3) 前記手段(2)に記載の半導体集積回路装置において、

前記ソース領域を接地電位とし、前記ドレイン領域および前記制御ゲート電極へ適当な正

50

電位を与えて、前記チャンネル領域をオンさせ、前記ドレイン領域の近傍で発生するホットエレクトロンを注入して、前記非導電膜性の電荷トラップ膜へトラップさせることにより書き込みを行い、

前記制御ゲート電極へ適当な負電位を与え、前記ドレイン領域へ適当な正電位を与えて、前記非導電性の電荷トラップ膜へトラップされた電子を、前記第1絶縁膜中を流れるトンネル電流によって前記半導体領域へ引抜くことにより消去を行うことを特徴とする半導体集積回路装置である。

(4) 前記手段(2)に記載の半導体集積回路装置において、

前記第1絶縁膜はシリコン酸化膜、前記非導電性の電荷トラップ膜はシリコン窒化膜、前記第2絶縁膜はシリコン酸化膜である。

10

(5) 前記手段(2)に記載の半導体集積回路装置において、

前記第1絶縁膜はシリコン酸化膜、前記非導電性の電荷トラップ膜は金属酸化膜、前記第2絶縁膜はシリコン酸化膜である。

(6) 半導体領域内にソース領域、ドレイン領域、前記ソース領域と前記ドレイン領域に挟まれたチャンネル形成領域、及び制御ゲート電極を持つ電氣的に書き込み可能な不揮発性記憶素子において、四角柱状の半導体柱の向かい合う側面に独立した2つの前記チャンネル形成領域が配置され、前記2つのチャンネル形成領域に接続された前記ドレイン領域は前記四角柱状の半導体柱の上部に形成され、前記チャンネル形成領域と隣り合う側面部には素子分離領域が配置され、前記チャンネル領域と前記制御ゲート電極との間に第1絶縁膜、前記第1絶縁膜上に半導体膜、前記半導体膜上に非導電性の電荷トラップ膜、前記非導電性の電荷トラップ膜上に第2絶縁膜を有し、前記半導体膜と非導電性の電荷トラップ膜との界面電荷トラップ準位に主として電子トラップを行うことを特徴とする半導体集積回路装置である。

20

(7) 前記手段(6)に記載の半導体集積回路装置において、

前記ソース領域を接地電位とし、前記ドレイン領域および前記制御ゲート電極へ適当な正電位を与えて、前記チャンネル形成領域をオンさせ、前記ドレイン領域の近傍で発生するホットエレクトロンを注入して、前記半導体膜と前記非導電性の電荷トラップ膜との電荷トラップ準位に主として電子トラップを行うことにより書き込みを行い、

前記制御ゲート電極へ適当な負電位を与え、前記ドレイン領域へ適当な正電位を与えて、トラップされた電子を、前記半導体膜及び第1絶縁膜中を流れるトンネル電流によって前記半導体領域へ引抜くことにより消去を行うことを特徴とする半導体集積回路装置である。

30

(8) 前記手段(6)に記載の半導体集積回路装置において、

前記第1絶縁膜はシリコン酸化膜、前記半導体膜がポリシリコン膜、前記非導電性の電荷トラップ膜はシリコン窒化膜、前記第2絶縁膜はシリコン酸化膜である。

(9) 前記手段(6)に記載の半導体集積回路装置において、

前記第1絶縁膜はシリコン酸化膜、前記半導体膜がポリシリコン膜、前記非導電性の電荷トラップ膜は金属酸化膜、前記第2絶縁膜はシリコン酸化膜である。

(10) 半導体基板上にストライプ状に溝型素子分離領域と半導体活性領域を交互に形成し、前記ストライプ状の溝型素子分離領域と半導体活性領域とは直行する方向にストライプ状に形成したレジスト膜パターンをマスクとして、前記半導体活性領域のエッチングに引き続いて前記溝型素子分離領域をエッチングして四角柱状の半導体柱、及び四角柱状の素子分離領域を形成する工程と、

40

前記四角柱状の半導体柱の側面部にチャンネル形成領域を形成し、前記チャンネル形成領域の上部に第1酸化膜、窒化膜、及び第2酸化膜の積層膜を堆積した後、導電膜のサイドスペーサからなるワード線を形成する工程と、

前記四角柱状の半導体柱の上部にドレイン領域を形成する工程とを、少なくとも含むことを特徴とする半導体集積回路装置の製造方法である。

(11) 半導体基板上にストライプ状に溝型素子分離領域と半導体活性領域を交互に形成し、前記ストライプ状の溝型素子分離領域と半導体活性領域とは直行する方向にストライ

50

ブ状に形成したレジスト膜パターンをマスクとして、前記半導体活性領域のエッチングに引き続いて前記溝型素子分離領域をエッチングして四角柱状の半導体柱、及び四角柱状の素子分離領域を形成する工程と、

前記四角柱状の半導体柱の側面部にチャネル形成領域を形成し、前記チャネル形成領域の上部に第1酸化膜、ポリシリコン膜、窒化膜、及び第2酸化膜の積層膜を堆積した後、導電膜のサイドスペーサからなるワード線を形成する工程と、

前記四角柱状の半導体柱の上部にドレイン領域を形成する工程とを、少なくとも含むことを特徴とする半導体集積回路装置の製造方法である。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

(実施形態1)

第1図は本発明の実施形態1であるフラッシュメモリのメモリセルアレイ部の概略構成を示す模式的平面図であり、

第2図は第1図のメモリセルアレイ部の等価回路図であり、

第3図は第2図のA-A線に沿う模式的断面図であり、

第4図は第3図の一部を拡大した模式的断面図であり、

第5図は第2図のB-B線に沿う模式的断面図であり、

第6図は第2図のC-C線に沿う模式的断面図である。

本実施形態のフラッシュメモリのメモリセルアレイ部MSAには、第1図及び第2図に示すように、複数本のワード線WL及び複数本のデータ線BLが延在している。複数本のワード線WLは、Y方向に向かって延在し、Y方向と直行するX方向に所定の間隔をおいて配置されている。複数本のデータ線BLは、X方向に向かって延在し、Y方向に所定の間隔をおいて配置されている。また、メモリセルアレイ部には、第1図及び第2図に示すメモリセルMSが行列状(X方向及びY方向)に複数個配置されている。また、メモリセルアレイ部MSAには、Y方向に向かって延在する柱列20がX方向に所定の間隔をおいて複数本配置されている。

柱列20は、第1図乃至第6図に示すように、半導体柱5と絶縁体柱4をY方向に向かって交互に敷き詰めて複数個配置した構成となっている。半導体柱5及び絶縁体柱4は、例えば単結晶シリコンからなるp型半導体基板1の一主面に設けられている。この半導体柱5及び絶縁体柱4は、後で詳細に説明するが、主として半導体基板1に溝加工を施すことによって形成される。本実施形態において、半導体柱5及び絶縁体柱4は、例えば四角柱状で形成されている。絶縁体柱4は例えば酸化シリコン膜(絶縁膜)3で形成されている。

メモリセルMSは、半導体柱5に形成された不揮発性記憶素子Qによって構成されている。不揮発性記憶素子Qは、第3図及び第4図に示すように、主に、チャネル形成領域CN、ゲート絶縁膜GI、コントロールゲート電極11、ソース領域及びドレイン領域を有する構成となっている。チャネル形成領域CNは半導体柱5のY方向に沿う側面に設けられ、ゲート絶縁膜GIはチャネル形成領域CN上(半導体柱5の側面上)に設けられ、コントロールゲート電極11はゲート絶縁膜GI上に設けられ、ドレイン領域は半導体柱5の上面部に設けられ、ソース領域は半導体柱5の底面部に設けられている。

ゲート絶縁膜GIは、これに限定されないが、例えば第1図及び第4図に示すように、半導体柱5の側面から、酸化シリコン膜9a、窒化シリコン膜9b及び酸化シリコン膜9cを順次積層した積層膜9で形成されている。窒化シリコン膜9bは電荷を離散的に蓄積する膜である。すなわち、窒化シリコン膜9b中には、電子トラップが非連続で離散的に形成されている。このように、ゲート絶縁膜GIは、電荷を離散的に蓄積する膜を含む積層膜で形成されている。

コントロールゲート電極11は、柱列20のY方向に沿う側面に沿って延在するワード線WLの一部分で構成されている。ワード線WLは、柱列20に対して自己整合で形成され

、サイドスペーサ状に加工されている。このワード線WLは、例えば抵抗値を低減する不純物（例えばAs）が導入された多結晶シリコン膜で形成されている。

ドレイン領域は半導体柱5の上面部に設けられたn型半導体領域12で構成され、ソース領域は半導体柱5の底面部に設けられたn型半導体領域8で構成されている。n型半導体領域8は主として柱列20のX方向の幅を規定する溝の底面部に設けられ、Y方向に沿って連続的に延在するソース配線を構成している。すなわち、ソース領域は柱列20に沿って連続的に延在するソース配線の一部で構成されている。

一つの半導体柱5には、第3図及び第4図に示すように、2つの不揮発性記憶素子Qが設けられている。2つの不揮発性記憶素子Qのうち、一方の不揮発性記憶素子Qは、そのチャンネル形成領域CNが半導体柱5の互いに向かい合う2つの側面のうちの一方の側面に設けられ、他方の不揮発性記憶素子Qは、そのチャンネル形成領域CNが2つの側面のうちの他方の側面に設けられている。不揮発性記憶素子Qのチャンネル長Lは半導体柱5の高さ（突出量）で規定され、チャンネル幅Wは半導体柱5のY方向に沿う幅で規定されている。

第5図及び第6図に示すように、半導体柱5及び絶縁体柱4はほぼ同一の加工寸法で形成されている。柱列20において、複数の半導体柱5の夫々は絶縁体柱4によって互いに絶縁分離されている。絶縁体柱4はn型半導体領域8に到達し、複数の半導体柱5の夫々の上面部に設けられた複数のn型半導体領域12は、半導体柱5の間に設けられた絶縁体柱4によって互いに絶縁分離されている。

第1図乃至第6図に示すように、各柱列20の半導体柱5及び絶縁体柱4は、半導体基板1の主面上に設けられた絶縁膜13によって覆われている。絶縁膜13には半導体柱5の上面部と向かい合う部分に開口14が設けられ、この開口14の内部には開口14の内壁面に沿って窒化シリコン膜から成るサイドスペーサ状の絶縁膜16が設けられ、この絶縁膜16で規定された開口17の内部にはドレイン領域であるn型半導体領域12と電氣的に接続されたコンタクトプラグ18が埋め込まれている。このコンタクトプラグ18には、ビット線BLが接続されている。即ち、半導体柱5の上面部に設けられたドレイン領域であるn型半導体領域12は、コンタクトプラグ18を介してビット線BLと電氣的に接続されている。

本実施形態において、メモリセルMS（不揮発性記憶素子Q）は、第1図乃至第6図に示すように、四角柱状の絶縁体柱4で絶縁分離された四角柱状の半導体柱5の上部表面領域にドレイン領域を配置し、半導体柱5の側面部にチャンネル形成領域CN、酸化シリコン膜（第1酸化膜）9a、シリコン窒化膜（非導電膜性の電荷トラップ膜）9b、及び酸化シリコン膜（第2酸化膜）9cの積層膜9が配置され、酸化シリコン膜（第2酸化膜）9cの外側にポリシリコン膜からなるサイドスペーサ状に配置された制御ゲート電極（コントロールゲート電極）11を配置し、四角柱状の半導体柱5の上部表面領域にドレイン領域への開口（コンタクト穴）17とビット線BLを配置しており、ドレイン領域及びコントロールゲート電極11へ適当な正電位を与えて、チャンネル形成領域CNをオンさせ、ドレイン領域の近傍で発生するホットエレクトロンを注入して、前記非導電膜性の窒化シリコン膜（電荷トラップ膜）9bへトラップさせることにより書き込みを行い、また、前記コントロールゲート電極11へ適当な負電位を与え、前記ドレイン領域へ適当な正電位を与えて、前記非導電性の窒化シリコン膜（電荷トラップ膜）9bへトラップされた電子を、酸化シリコン膜（第1酸化膜）9a中を流れるトンネル電流によって前記ドレイン領域へ引抜くことにより消去を行う不揮発性メモリ素子として構成されている。

A-A線方向（X方向）においては、四角柱状の半導体柱5の側面部に、酸化シリコン膜（第1酸化膜）9a、非導電性の電荷トラップ膜9b、酸化シリコン膜（第2酸化膜）9c、サイドスペーサ状のコントロールゲート電極11が順次外周を覆うように配置され、四角柱状の半導体柱5の下部にn型半導体領域8からなるソース領域が配置され、上部にn型半導体領域12からなるドレイン領域が配置されている。B-B線方向（Y方向）方向では、四角柱状の半導体柱5は絶縁膜3で分離されており、ドレイン領域へはコンタクトプラグ18を介してビット線BLへ接続されている。

本願のメモリセルMSは、第1図に示したように、四角柱状の半導体柱5は最小寸法F×

10

20

30

40

50

Fで配置されており、隣り合う四角柱状の半導体柱5の分離幅も最小寸法Fで配置されている。したがって、ひとつの四角柱状の半導体柱5の平面面積は $2F \times 2F = 4F^2$ であり、ひとつの半導体柱5の内部には2セルが配置できることから、本願のメモリセルMSの単位セル面積は $2F^2$ と小さく設計できる。本願のメモリセルMSのチャンネル幅Wは、四角柱状の半導体柱5の幅Fに等しく、チャンネル長Lは四角柱状の半導体柱5の高さで決まる。四角柱状の半導体柱5の高さをFとした場合、チャンネル電流を決める構造定数 $W/L$ は $F/F = 1$ となる。これは、本願のメモリセルMSのセル面積は従来セルのセル面積 $4F^2$ の半分であるにも拘わらず、読出し電流は同一に維持できることを示しており、本願の有効性を意味している。

本実施形態において、柱列20の複数の半導体柱5は、これらの間に設けられた絶縁体柱4によって互いに絶縁分離されている。従って柱列20の素子分離領域には半導体が存在しないため、柱列20のY方向における側面にこの側面に沿って連続的に延在するワード線WLを形成しても素子分離領域に寄生チャンネルが形成されることはない。従って、寄生チャンネルの形成に起因する、データの消去不良、書き込み不良及び読み出し不良を抑制できるため、フラッシュメモリの電氣的信頼性の向上を図ることができる。すなわち、微細化してメモリセルサイズを縮小化しても、寄生チャンネル形成に起因する不良は生じることがなく、信頼性を向上することができる。

次に、フラッシュメモリの製造について、第7図乃至第22図を用いて説明する。

第7図は本発明の実施形態1であるフラッシュメモリの製造工程中における模式的平面図であり、

第8図は第7図のB-B線に沿う模式的断面図あり、

第9図は第7図に続くフラッシュメモリの製造工程中における模式的平面図であり、

第10図において、(a)は第9図のA-A線に沿う模式的断面図、(b)は第9図のC-C線に沿う模式的断面図であり、

第11図は第9図に続くフラッシュメモリの製造工程中における模式的平面図であり、

第12図において、(a)は第11図のA-A線に沿う模式的断面図、(b)は第11図のC-C線に沿う模式的断面図であり、

第13図は第11図に続くフラッシュメモリの製造工程中における模式的平面図であり、

第14図において、(a)は第13図のA-A線に沿う模式的断面図、(b)は第13図のC-C線に沿う模式的断面図であり、

第15図は第13図に続くフラッシュメモリの製造工程中における模式的断面図であり、

第16図は第15図に続くフラッシュメモリの製造工程中における模式的断面図であり、

第17図は第16図に続くフラッシュメモリの製造工程中における模式的平面図である。

第18図において、(a)は第17図のA-A線に沿う模式的断面図、(b)は第17図のC-C線に沿う模式的断面図であり、

第19図は第17図に続くフラッシュメモリの製造工程中における模式的断面図であり、

第20図は第19図に続くフラッシュメモリの製造工程中における模式的断面図であり、

第21図は第20図に続くフラッシュメモリの製造工程中における模式的断面図であり、

第22図は第21図に続くフラッシュメモリの製造工程中における模式的断面図である。

まず、第7図及び第8図に示すように、半導体基板1上に活性領域5aと溝型素子分離領域4aをストライプ状に形成する。この時、活性領域5aは溝型素子分離領域4aで分離されており、活性領域5aの上部には表面酸化膜6が成長されている。溝型素子分離領域4aは半導体基板1に溝2を形成し、その後、この溝2の内部を埋め込むようにして絶縁膜3を形成し、その後、この絶縁膜3の表面をCMP法によって平坦化することによって形成する。

すなわち、半導体基板1に、例えばY方向に最小寸法Fの幅及び最小寸法Fの間隔を有し、X方向に延在するストライプ状の溝パターン4aを形成する。次に、溝パターン4aの内部を含む半導体基板1の主面上に、例えば酸化シリコン膜からなる絶縁膜をCVD法で堆積する。次に、絶縁膜を例えばCMP法などの研磨により平坦化することにより、溝パターン4aに絶縁膜を埋め込んでストライプ状の溝型素子分離領域4aを形成する。これ

により、Y方向の活性領域5aの幅及び間隔を例えば最小加工寸法Fで構成される。

次に、第9図及び第10図に示すように、活性領域5aの配置方向とは直交する方向に、ストライプ状のレジストパターンRMを形成し、このレジストパターンRMをマスクとして、活性領域5aを選択的にエッチングして四角柱状の半導体柱5を形成し、その後、第11図及び第12図に示すように、レジストパターンRMをマスクとして、溝型素子分離領域4aをエッチングして四角柱状の絶縁体柱4を形成する。レジストパターンRMは、例えばX方向に最小寸法Fの幅及び間隔を有する。すなわち、半導体柱5及び絶縁体柱4のそれぞれは、X方向及びY方向に最小寸法Fの幅及び間隔を有する。

次に、レジストパターンRMをマスクとしたヒ素As又はリンP等の不純物のイオン打ち込みにより、第13図及び第14図に示すように、n型半導体領域8から成るソース領域を形成する。

10

次に、第15図に示すように、半導体柱5の側面部に酸化シリコン膜(第1酸化膜)9a、窒化膜9b、及び酸化シリコン膜(第2酸化膜)9cからなる積層膜9を堆積し、その後、第16図に示すように、多結晶シリコン膜10を形成し、その後、多結晶シリコン膜10にRIE等の異方性エッチングを施して、第17図及び第18図に示すように、サイドスペーサ状のポリシリコン膜からなるコントロールゲート電極11(ワード線WL)を形成する。

次に、半導体柱5の上部に不純物をイオン打ち込み法で導入して、第18図に示すように、n型半導体領域12からなるドレイン領域を形成する。

次に、第19図に示すように、絶縁膜13を形成し、その後、第20図に示すように、絶縁膜13に半導体柱5の上部を露出する開口14を形成する。

20

次に、第21図に示すように、開口14の内部を含む基板の上に絶縁膜15を形成し、その後、絶縁膜15にRIE等の異方性エッチングを施して、第22図に示すように、開口14の内壁にサイドスペーサ状の絶縁膜(サイドウォールスペーサ)16を形成する。

次に、サイドウォールスペーサ16で規定された開口(接続孔)17の内部、即ち、半導体柱5の上面上にドレイン領域と接続されるコンタクトプラグ18を形成し、その後、コントロールゲート電極11の方向に直交する方向にビット線BL形成する。これにより、第1図乃至第6図に示す状態となる。

本願メモリセルの概略的な製造工程においては、従来から使用可能な製造技術を適用しており、本願メモリセルが従来技術で製造できることを示している。

30

(実施形態2)

本実施形態は、本願メモリセルにおけるサイドスペーサ状のコントロールゲート電極への電極接続に関するものである。第23図及び第24図には本発明に係る不揮発性メモリセルの平面図が概略的に示されている。同図においては、メモリアレー端部でのコントロールゲートへの電極接続構造を示しており、四角柱状の半導体柱41が配置され、溝型素子分離領域(絶縁体柱)42はメモリアレー端部では2本毎に長さが異なるように形成されており、サイドスペーサ状にコントロールゲート電極45を加工する際に、周辺回路のゲート電極を定義するマスクパターン44を用いて、コントロールゲート電極45の取り出し領域を形成し、コンタクト穴47を介して第1金属配線48へ接続されている。サイドスペーサ状のコントロールゲート電極45の配置ピッチは最小寸法Fであり、第1金属配線48のみでは接続不可能であるため、第1接続穴49を介して第2金属配線50をも用いている。溝型素子分離領域42の周辺部に形成されるサイドスペーサ状のコントロールゲート電極45は、マスクパターン46により切断されている。

40

本実施形態により、配置ピッチが最小寸法Fのサイドスペーサ状のコントロールゲート電極45へ、配置ピッチが最小寸法2Fの金属配線を接続することが可能であることが示された。

更に、本実施形態2について、第44図乃至第50図を用いて詳細に説明する。第44図乃至第50図は、第23図及び第24図に示すフラッシュメモリのメモリセルアレイ部の周辺領域における製造工程中の模式的平面図である。

第44図は、柱列20上を含む半導体基板の上に、不揮発性記憶素子のゲート絶縁膜として

50

使用する絶縁膜 43 (積層膜 9) を形成した後の状態を示している。絶縁膜 43 は、柱列 20 の側面を覆うようにして半導体基板上に形成されており、第 44 図では図を見やすくするため、柱列 20 の側面に形成された部分及びメモリセルアレイ部の周囲を囲む溝型素子分離領域 42 の側面に形成された部分を図示している。また、第 23 図、第 24 図、第 44 図乃至第 50 図では、柱列 20 の延在方向を第 1 図に対して 90 度ずらした状態で図示している。

第 44 図に示すように、各柱列 20 は、メモリセルアレイ端部において、柱列 20 の延在方向に沿う長さが中間部分の絶縁体柱 4 よりも長い溝型素子分離領域 42 を有する構成になっており、この各柱列 20 における溝型素子分離領域 42 は、2 本の柱列 20 毎に長さが異なるように形成されている。

第 44 図に示す絶縁膜 43 を形成した後、第 45 図に示すように、柱列 20 上を含む半導体基板上の全面に導電膜として多結晶シリコン膜 10 を形成し、その後、第 45 図に示すように、多結晶シリコン膜 10 上にマスクパターン 44 を形成する。このマスクパターン 44 は、周辺回路用トランジスタのゲート電極を形成するためのゲートパターンと、不揮発性記憶素子のコントロールゲート電極 45 を含むワード線 WL の引き出し領域 (コンタクト領域) を形成するための引き出しパターン (コンタクトパターン) を有する。即ち、不揮発性記憶素子のコントロールゲート電極 45 を含むワード線 WL 及び引き出し領域 45 a は、周辺回路を構成する MISFET のゲート電極と同一工程で形成される。

次に、マスクパターン 44 をエッチングマスクとして使用し、多結晶シリコン膜 10 に RIE 等の異方性エッチングを施して、第 46 図及び第 47 図 (マスクパターンを除去した状態の図) に示すように、柱列 20 の側面にコントロールゲート電極 45 を含むサイドスペーサ状のワード線 WL を形成すると共に、ワード線 WL (コントロールゲート電極 45) と一体化された引き出し領域 45 a を形成する。この工程において、周辺回路を構成する MISFET のゲート電極も形成される。なお、不揮発性記憶素子のコントロールゲート電極 45 を含むワード線 WL、引き出し領域 45 a、周辺回路を構成する MISFET のゲート電極の形成については、後述する実施形態 3 の第 29 図及び第 30 図に示す工程で説明している。

次に、第 47 図に示すように、マスクパターン 44 を除去した後、第 48 図に示すように、開口部 46 a を有するマスクパターン 46 を用いて、柱列 20 の周囲を囲むようにして柱列 20 の側面に連続して形成されたワード線 WL の一部を除去する。このワード線 WL の一部の除去は、ワード線 WL を選択的に除去するエッチング条件で行う。

次に、マスクパターン 44 を除去した後、図示していないが、柱列 20 上を含む半導体基板上の全面に層間絶縁膜を形成し、その後、第 49 図に示すように、前記層間絶縁膜上にビット線 BL 及び配線 (48 a, 48 b) 等を含む第 1 金属配線 48 を形成する。ビット線 BL は、層間絶縁膜に形成されたコンタクト穴 (接続孔) 47 を通して、半導体柱 5 の表面に設けられた半導体領域 (ドレイン領域) と電氣的に接続され、配線 (48 a, 48 b) は、層間絶縁膜に形成されたコンタクト穴 (接続孔) 47 を通して、ワード線 WL と一体化された引き出し領域 45 a と電氣的に接続される。

次に、図示していないが、第 1 金属配線 48 上を含む半導体基板上の全面に層間絶縁膜を形成し、その後、第 50 図に示すように、前記層間絶縁膜上に第 2 金属配線 50 を形成する。第 2 金属配線 50 は、層間絶縁膜に形成された第 1 接続穴 (接続孔) 49 を通して、配線 48 b と電氣的に接続される。

本実施形態では、多結晶シリコン膜 10 の一部をマスクした状態で多結晶シリコン膜 10 に異方性エッチングを施して、柱列 20 の側面に不揮発性記憶素子のコントロールゲート電極 45 を含むワード線 WL を形成すると共に、このワード線 WL と一体化された引き出し領域 45 a を形成している。このようにしてワード線 WL 及び引き出し領域 45 a を形成することにより、製造工程数を増加することなく、微細なワード線 WL 及びこの微細なワード線 WL と一体化された引き出し領域 45 a を形成することができる。また、微細なワード線 WL と一体化された引き出し領域 45 a を形成することにより、微細なワード線 WL と上層の配線との電氣的な接続を容易に行うことができる。

10

20

30

40

50

本実施形態では、多結晶シリコン膜10に異方性エッチングを施して、ストライプ状の突起状島領域である柱列20の側面に、不揮発性記憶素子のコントロールゲート電極を含むサイドスペーサ状のワード線WLを形成している。このようにして形成されたワード線WLは、柱列20の周囲を囲むようにして連続的に形成される。即ち、柱列20の互いに反対側に位置する2つの側面（半導体柱5の配列方向に沿う側面、柱列の長手方向に沿う側面）のうちの一方の側面側に形成されたワード線WLと他方の側面側に形成されたワード線WLとが電氣的に接続された状態となる。柱列20の一方の側面側に形成されたワード線WLは、この柱列20一方の側面側をチャンネル形成領域とする不揮発性記憶素子のコントロールゲート電極45を含み、柱列20の他方の側面側に形成されたワード線WLは、この柱列20の他方の側面側をチャンネル形成領域とする不揮発性記憶素子のコントロールゲート電極を含んでいる。

10

したがって、導電膜である多結晶シリコン膜10に異方性エッチングを施して、四方が側面で囲まれたストライプ状の突起状島領域からなる柱列20の側面に、不揮発性記憶素子のコントロールゲート電極45を含むサイドスペーサ状のワード線WLを形成する場合は、本実施形態のように、ワード線WLを形成した後、ワード線WLの一部を除去して、柱列20の一方の側面側をチャンネル形成領域とする不揮発性記憶素子のコントロールゲート電極と柱列20他方の側面側をチャンネル形成領域とする不揮発性記憶素子のコントロールゲート電極とを電氣的に分離する必要がある。本実施形態では、第48図に示すように、柱列20の端部における溝型素子分離領域42においてワード線WLの一部を除去している。

20

（実施形態3）

本実施形態では、本願のメモリセルと周辺回路用トランジスタを同一製造工程で製造する方法に関するものであり、第25図から第33図に示した各製造工程毎の断面図を用いて説明する。夫々の断面図には周辺回路部とメモリセル部の断面図を示している。

まず、第25図は、抵抗率10 cmのp型半導体シリコン基板（以下、単にシリコン基板と言う）51の表面領域に、深さ250 nmの溝内に酸化膜を埋め込み、CMP（Chemical Mechanical Polishing）法により平坦化した溝型素子分離領域52を形成した後、膜厚10 nmの表面酸化膜53を形成した状態を示している。図示されていないが、前記表面酸化膜53を通して加速エネルギー1 MeVのリンイオンを注入量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー500 keVのリンイオンを注入量 $3 \times 10^{12} / \text{cm}^2$ 、及び加速エネルギー150 keVのリンイオンを注入量 $1 \times 10^{12} / \text{cm}^2$ 注入してn型ウエル領域を形成し、加速エネルギー500 keVのボロンイオンを注入量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー150 keVのボロンイオンを注入量 $5 \times 10^{12} / \text{cm}^2$ 、及び加速エネルギー50 keVのボロンイオンを注入量 $1 \times 10^{12} / \text{cm}^2$ 注入してp型ウエル領域が形成されている。

30

次に、第26図及び第27図に示すように、レジストパターン54をマスクとして、メモリセル領域のシリコン基板51を深さ250 nmまでエッチングして四角状のシリコン柱（半導体柱）55を形成し、引き続いて溝型素子分離領域52の酸化膜をエッチングする。なお、例えば、酸化膜のエッチングはシリコンがエッチングされにくい条件で行う。

このように、シリコンのエッチングでシリコン柱55を形成した後に、溝型素子分離領域52の酸化膜をエッチングしているため、溝型素子分離領域52下のシリコン基板51の削れを防止することができる。また、レジストパターン54をマスクとして、加速エネルギー50 keVのリンイオンを注入量 $2 \times 10^{15} / \text{cm}^2$ 注入してソース領域56を形成する。

40

さらに、第28図は、上記レジストパターン54を除去した後、CVD法により膜厚5 nmの酸化膜57、膜厚10 nmの窒化膜58を堆積した後、メモリセル領域を覆ったレジストパターン59をマスクとして、周辺回路領域の窒化膜58と酸化膜57をエッチングした状態である。

続いて、第29図に示すように、上記レジストパターン59を除去し、表面酸化膜53をウェットエッチングで除去した後、周辺回路用トランジスタのゲート酸化を行い膜厚14

50

n mのゲート酸化膜60を成長する。この後、CVD法により膜厚4 n mの酸化膜61を堆積し、引き続いて濃度 $1 \times 10^{20} / \text{cm}^3$ のリンがドーブされた膜厚80 n mのポリシリコン膜62を堆積する。

次に、第30図は、周辺回路用トランジスタのゲート電極を定義するためのレジストパターン63をマスクとして、前記ポリシリコン膜62をエッチングして、サイドスペーサ状のコントロールゲート65、コントロールゲート接続用領域66、及び周辺ゲート64を加工した状態を示している。

さらに、第31図に示すように、加速エネルギー30 keVの砒素イオンを注入量 $2 \times 10^{15} / \text{cm}^2$ 注入して、周辺トランジスタのソース領域67、ドレイン領域68、及びメモリセルのドレイン領域69を形成した後、CVD法により膜厚40 n mの酸化膜70と膜厚60 n mの窒化膜71を堆積し、さらにCVD法により堆積し、CMP法で平坦化した膜厚700 n mの酸化膜72を形成し、コンタクト穴を開口するためのレジストパターン73をマスクとし、窒化膜に対して選択比のあるエッチング条件で前記酸化膜72をエッチングして、周辺回路のコンタクト穴74、メモリセル領域のコンタクト穴75を開口する。

続いて、第32図は、コンタクト穴74、及び75の底部の窒化膜71と酸化膜70をエッチングした後、前記レジストパターン73を除去し、スパッタ法とCVD法により埋め込み、CMP法により平坦化したタングステンプラグ76を形成し、膜厚300 n mのタングステン膜からなる第1金属配線77を形成した状態を示している。

最後に、第33図に示したように、CVD法により膜厚500 n mの第1層間酸化膜78を堆積した後、第1接続プラグ79を形成し、膜厚500 n mのアルミニウム膜からなる第2金属配線80を形成する。さらに、図示されていないが、第2層間絶縁膜の堆積、第2接続プラグの形成、第3金属配線の形成、及びパッシベーション膜の堆積とボンディングパッド部の開口を行って、本実施例のフラッシュメモリの製造工程が完了する。

本実施例の不揮発性メモリセルは最小寸法 $F0.25 \mu\text{m}$ で設計されており、セル面積は $2F^2 = 0.125 \mu\text{m}^2$ であった。

また、本実施例の不揮発性メモリセルへの書き込み動作は、ビット線へ5 Vを、コントロールゲートへ8 Vのパルス電圧をパルス幅1  $\mu\text{s}$ 印加して行い、しきい電圧は2 Vから4 Vへ上昇した。また、消去動作は、ソース領域の電位をオープンとした状態で、ビット線へ6 Vを、コントロールゲートへ-8 Vのパルス電圧をパルス幅50 ms印加して行い、しきい電圧は4 Vから2 Vへ低下することができた。上述の書き込み・消去の電圧条件で10万回の書換え動作を行った結果、書き込み及び消去後のしきい電圧の変動は0.4 V以内であった。書換えによるメモリセルの特性変動は、書き込み時間は1.2倍の増加、消去時間は3倍の増加、読出し電流は0.8倍の低下に抑制することができた。また、ビット線へ1 Vを、コントロールゲートへ3 Vを印加する読出し動作にて、読出し電流は25  $\mu\text{A}$ と十分に大きな電流値を得ることができ、本発明の有効性が確認された。

#### (実施形態4)

本実施形態では、前記実施形態3でのメモリセルのゲート絶縁膜構成であった膜厚5 n mの酸化膜57、膜厚10 n mの窒化膜58、及び膜厚5 n mの酸化膜61の積層膜を、第34図の断面図に示したように、膜厚4 n mの酸化膜57、膜厚3 n mのノンドープポリシリコン膜81、膜厚5 n mの窒化膜58、及び膜厚5 n mの酸化膜61へ変更した。第1実施例での電子トラップ領域が、前記膜厚10 n mの窒化膜58中であつたのに対して、本実施例では膜厚3 n mのノンドープポリシリコン膜81と膜厚5 n mの窒化膜58との界面トラップを主に電荷蓄積領域として用いる。

本実施形態でのメモリセルの平面図を第35図に示しており、四角柱状の溝型素子分離領域(絶縁体柱)82で絶縁分離された四角柱状の半導体柱55の側面部にチャンネル領域、膜厚4 n mの酸化膜83(57)、膜厚3 n mのノンドープポリシリコン膜81、膜厚5 n mの窒化膜84(58)、及び膜厚5 n mの酸化膜85(61)が積層され、膜厚70 n mのポリシリコン膜からなるサイドスペーサ状に配置されたコントロールゲート86配置し、前記四角柱状の半導体柱55の上部表面領域にドレイン領域へのコンタクト穴8

10

20

30

40

50

7とビット線88を配置している。

第35図中に示したC-C'、D-D'方向断面を第36図に示している。C-C'方向断面においては、抵抗率 $10^{-4} \text{ cm}$ のp型半導体基板91(51)の表面領域に、 $0.25 \mu\text{m}$ 四角柱状の半導体柱101(55)の側面部に、膜厚 $4 \text{ nm}$ の酸化膜94(83)、膜厚 $3 \text{ nm}$ のノンドープポリシリコン膜102(81)、膜厚 $5 \text{ nm}$ の窒化膜95(84)、及び膜厚 $5 \text{ nm}$ の酸化膜96(85)が積層され、膜厚 $70 \text{ nm}$ のポリシリコン膜からなるサイドスペーサ状のコントロールゲート97(86)が順次外周を覆うように配置され、該四角柱状の半導体柱101(55)の下部にソース領域92(56)が、上部にドレイン領域93(69)が配置されている。D-D'方向断面では、四角柱状の半導体柱101は絶縁膜98で分離されており、該ドレイン領域93へはコンタクトプラグ99を介して線幅と線間隔が $0.25 \mu\text{m}$ のビット線100へ接続されている。

本実施例の不揮発性メモリセルは最小寸法 $F = 0.25 \mu\text{m}$ で設計されており、セル面積は $2F^2 = 0.125 \mu\text{m}^2$ であった。

本実施形態の不揮発性メモリセルへの書き込み動作は、前記ビット線へ $5 \text{ V}$ を、コントロールゲートへ $8 \text{ V}$ のパルス電圧をパルス幅 $1 \mu\text{s}$ 印加してホットエレクトロンを注入し、前記ノンドープポリシリコン膜102と窒化膜95との界面へ電子をトラップさせることにより、しきい電圧は $2 \text{ V}$ から $4 \text{ V}$ へ上昇した。また、消去動作は、ソース領域の電位をオープンとした状態で、半導体基板91へ $5 \text{ V}$ を、コントロールゲートへ $-8 \text{ V}$ のパルス電圧をパルス幅 $10 \text{ ms}$ 印加して、トラップ電子を、前記ノンドープポリシリコン膜102中へデトラップさせた後、酸化膜94中を流れるトンネル電流によって前記半導体基板91へ引抜くことにより行った。

また、本実施形態の不揮発性メモリセルは、上述の書き込み・消去の電圧条件で10万回の書換え動作を行った結果、書き込み及び消去後のしきい電圧の変動は $0.2 \text{ V}$ 以下と良好であった。書換えによるメモリセルの特性変動は、書き込み時間は1.2倍の増加、消去時間は3倍の増加、読出し電流は0.9倍の低下に抑制することができた。また、ビット線へ $1 \text{ V}$ を、コントロールゲートへ $3 \text{ V}$ を印加する読出し動作にて、読出し電流は $25 \mu\text{A}$ と十分に大きな電流値を得ることができ、本発明の有効性が確認された。

(実施形態5)

本実施形態では、上記実施形態3でのメモリセルのゲート絶縁膜構成であった膜厚 $4 \text{ nm}$ の酸化膜57、膜厚 $3 \text{ nm}$ のノンドープポリシリコン膜81、膜厚 $5 \text{ nm}$ の窒化膜58、及び膜厚 $5 \text{ nm}$ の酸化膜61の内、第37図に示すように、膜厚 $3 \text{ nm}$ のノンドープポリシリコン膜102を粒径 $4 \text{ nm}$ のノンドープポリシリコン球103へ変更した。ノンドープポリシリコン球103の平均粒径は $4 \text{ nm}$ 、平均間隔は $5 \text{ nm}$ であり、実効面密度は $1.2 \times 10^{12} \text{ cm}^{-2}$ であった。

本実施形態の不揮発性メモリセルへの書き込み動作は、実施例3の場合と同様に、ドレイン領域69へ $5 \text{ V}$ を、コントロールゲート65へ $8 \text{ V}$ のパルス電圧をパルス幅 $1 \mu\text{s}$ 印加してホットエレクトロンを注入し、前記ノンドープポリシリコン球103と窒化膜58との界面へ電子をトラップさせることにより、しきい電圧は $2 \text{ V}$ から $5 \text{ V}$ へ上昇した。また、消去動作は、ソース領域56の電位をオープンとした状態で、半導体シリコン基板(半導体基板)51へ $5 \text{ V}$ を、コントロールゲート65へ $8 \text{ V}$ のパルス電圧をパルス幅 $50 \text{ ms}$ 印加して、トラップ電子を、前記ノンドープポリシリコン球103中へデトラップさせた後、酸化膜57中を流れるトンネル電流によって前記半導体基板51へ引抜くことにより行った。

(実施形態6)

第38図に示すように、本実施形態では、実施形態5でのメモリセルのゲート絶縁膜構成であった窒化膜58を設けない構成としたものである。

(実施形態7)

本実施形態では、前記実施形態3でのメモリセルのゲート絶縁膜構成であった膜厚 $5 \text{ nm}$ の酸化膜57、膜厚 $10 \text{ nm}$ の窒化膜58、及び膜厚 $5 \text{ nm}$ の酸化膜61の積層膜内、窒化膜58を金属酸化物膜へ置き換えた。金属酸化物膜としては、 $5$ 酸化タンタル( $\text{Ta}_2\text{O}_5$ )

5)、アルミナ ( $Al_2O_3$ )、酸化チタン ( $Ti_2$ )、酸化ジルコニウム ( $ZrO_2$ )、酸化ハフニウム ( $HfO_2$ ) 等が、夫々の誘電率にしたがって膜厚を適正化するならば適用可能である。

以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明によれば、非導電性の電荷トラップ膜を電荷蓄積領域として用いる不揮発性メモリの読み出し電流を大幅に向上させることができ、また、読み出しディスタープによるデータ反転の読み出し不良を撲滅できる半導体集積回路装置を提供することができる。

本発明によれば、非導電性の電荷トラップ膜を電荷蓄積領域として用いる不揮発性メモリのセル面積の縮小化が容易なデバイス構造を提供することができる。

本発明によれば、電氣的にデータの書き込み及び消去が可能な不揮発性記憶素子を有する半導体集積回路装置の電氣的信頼性の向上を図ることができる。

産業上の利用可能性

以上のように、本発明に係わる半導体集積回路装置は、電子機器に組み込まれる半導体製品として有用であり、特に、メモリカード、携帯電話等の携帯型電子機器に組み込まれる半導体メモリとして有用である。

【図面の簡単な説明】

第1図は、本発明の実施形態1であるフラッシュメモリのメモリセルアレイ部の概略構成を示す模式的平面図である。

第2図は、第1図のメモリセルアレイ部の等価回路図である。

第3図は、第1図のA-A線に沿う模式的断面図である。

第4図は、第1図の一部を拡大した模式的断面図である。

第5図は、第1図のB-B線に沿う模式的断面図である。

第6図は、第1図のC-C線に沿う模式的断面図である。

第7図は、本発明の実施形態1であるフラッシュメモリの製造工程中における模式的平面図である。

第8図は、第7図のB-B線に沿う模式的断面図である。

第9図は、第7図に続くフラッシュメモリの製造工程中における模式的平面図である。

第10図は、(a)は第9図のA-A線に沿う模式的断面図であり、(b)は第9図のC-C線に沿う模式的断面図である。

第11図は、第9図に続くフラッシュメモリの製造工程中における模式的平面図である。

第12図は、(a)は第11図のA-A線に沿う模式的断面図であり、(b)は第11図のC-C線に沿う模式的断面図である。

第13図は、第11図に続くフラッシュメモリの製造工程中における模式的平面図である。

。

第14図は、(a)は第13図のA-A線に沿う模式的断面図であり、(b)は第13図のC-C線に沿う模式的断面図である。

第15図は、第13図に続くフラッシュメモリの製造工程中における模式的断面図である。

。

第16図は、第15図に続くフラッシュメモリの製造工程中における模式的断面図である。

。

第17図は、第16図に続くフラッシュメモリの製造工程中における模式的平面図である。

。

第18図は、(a)は第17図のA-A線に沿う模式的断面図であり、(b)は第17図のC-C線に沿う模式的断面図である。

第19図は、第17図に続くフラッシュメモリの製造工程中における模式的断面図である。

。

10

20

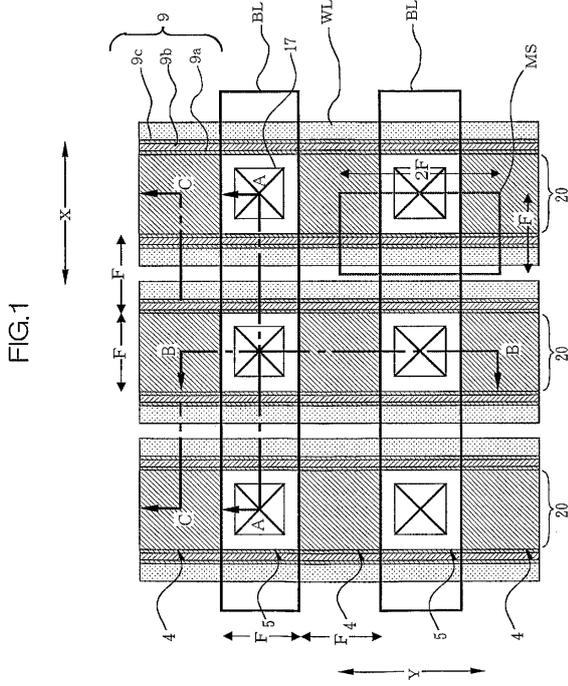
30

40

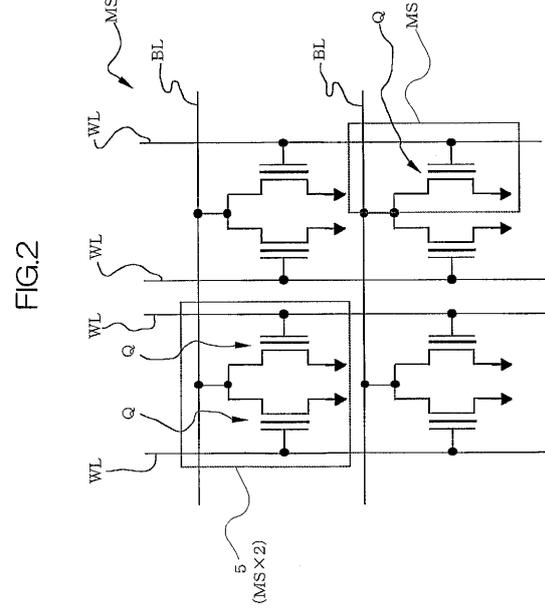
50

- 第 20 図は、第 19 図に続くフラッシュメモリの製造工程中における模式的断面図である。
- 第 21 図は、第 20 図に続くフラッシュメモリの製造工程中における模式的断面図である。
- 第 22 図は、第 21 図に続くフラッシュメモリの製造工程中における模式的断面図である。
- 第 23 図は、本発明の実施形態 2 であるフラッシュメモリにおいて、メモリセルアレイ部の周辺領域の概略構成を示す模式的平面図である。
- 第 24 図は、第 23 図の一部を除去した状態を示す模式的平面図である。
- 第 25 図は、本発明の実施形態 3 であるフラッシュメモリの製造工程中における模式的断面図である。 10
- 第 26 図は、第 25 図に続くフラッシュメモリの製造工程中における模式的断面図である。
- 第 27 図は、第 26 図に続くフラッシュメモリの製造工程中における模式的断面図である。
- 第 28 図は、第 27 図に続くフラッシュメモリの製造工程中における模式的断面図である。
- 第 29 図は、第 28 図に続くフラッシュメモリの製造工程中における模式的断面図である。
- 第 30 図は、第 29 図に続くフラッシュメモリの製造工程中における模式的断面図である。 20
- 第 31 図は、第 30 図に続くフラッシュメモリの製造工程中における模式的断面図である。
- 第 32 図は、第 31 図に続くフラッシュメモリの製造工程中における模式的断面図である。
- 第 33 図は、第 32 図に続くフラッシュメモリの製造工程中における模式的断面図である。
- 第 34 図は、第 33 図に続くフラッシュメモリの製造工程中における模式的断面図である。
- 第 35 図は、本発明の実施形態 4 であるフラッシュメモリのメモリセルアレイ部の概略構成を示す模式的平面図である。 30
- 第 36 図は、( a ) は第 35 図の C - C ' 線方向に沿う模式的断面図であり、( b ) は第 35 図の D - D 線方向に沿う模式的断面図である。
- 第 37 図は、本発明の実施形態 5 であるフラッシュメモリの概略構成を示す模式的平面図である。
- 第 38 図は、本発明の実施形態 6 であるフラッシュメモリの概略構成を示す模式的平面図である。
- 第 39 図は、従来技術において、第 1 のセルの概略構成を示す模式的断面図である。
- 第 40 図は、従来技術において、第 2 のセルの概略構成を示す模式的断面図である。
- 第 41 図は、従来技術において、第 3 のセルの概略構成を示す模式的平面図である。 40
- 第 42 図は、第 41 図に示す第 3 のセルのゲート長方向に沿う模式的断面図である。
- 第 43 図は、第 41 図に示す第 3 のセルのゲート幅方向に沿う模式的断面図である。
- 第 44 図は、第 23 図及び第 24 図に示すフラッシュメモリのメモリセルアレイ部の周辺領域における製造工程中の模式的平面図である。
- 第 45 図は、第 44 図に続く製造工程中の模式的平面図である。
- 第 46 図は、第 45 図に続く製造工程中の模式的平面図である。
- 第 47 図は、第 46 図に続く製造工程中の模式的平面図である。
- 第 48 図は、第 47 図に続く製造工程中の模式的平面図である。
- 第 49 図は、第 48 図に続く製造工程中の模式的平面図である。
- 第 50 図は、第 49 図に続く製造工程中の模式的平面図である。 50

【 図 1 】

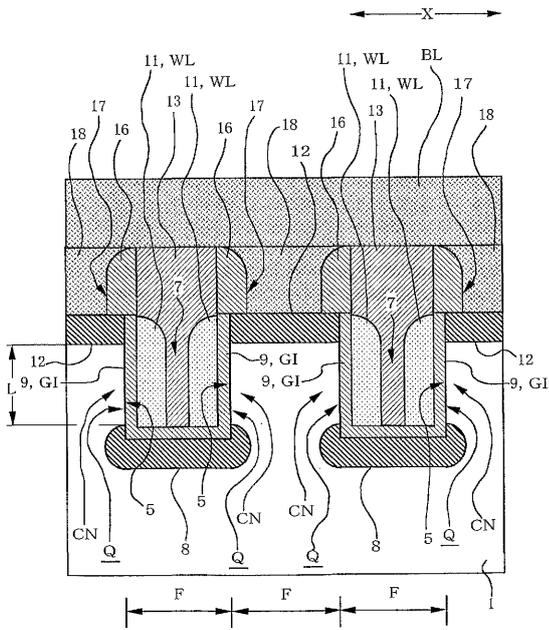


【 図 2 】



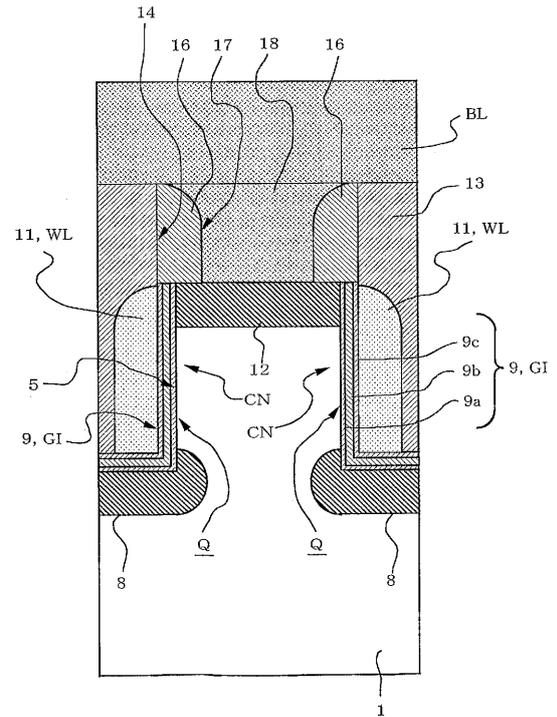
【 図 3 】

FIG.3



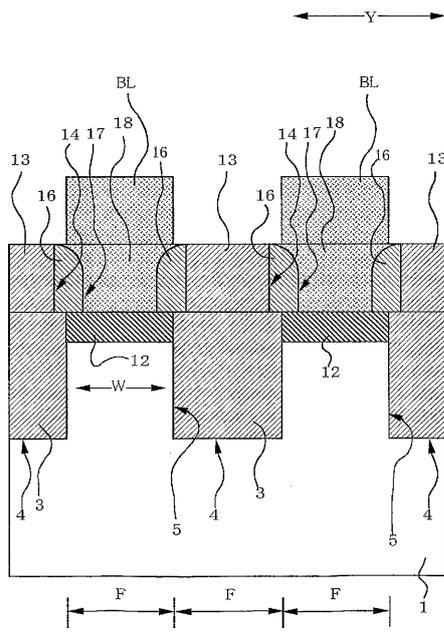
【 図 4 】

FIG.4



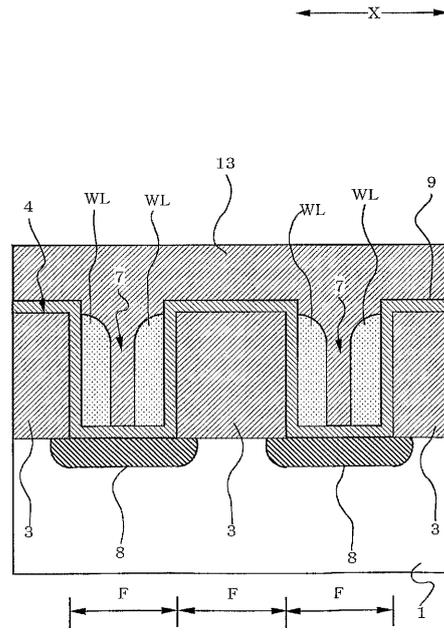
【 図 5 】

FIG.5



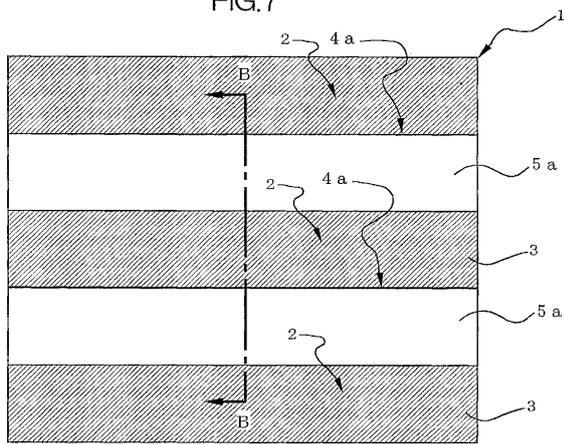
【 図 6 】

FIG.6



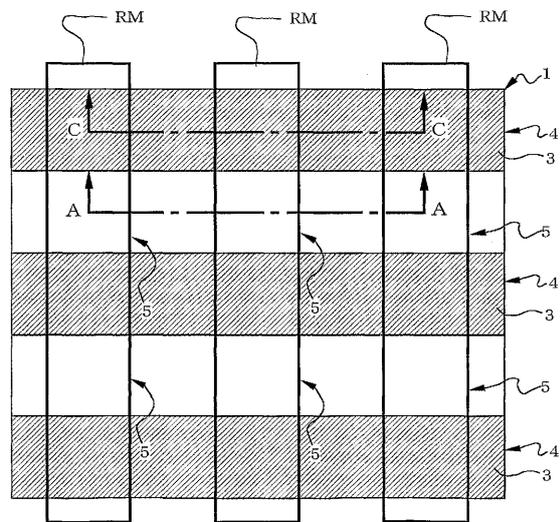
【 図 7 】

FIG.7



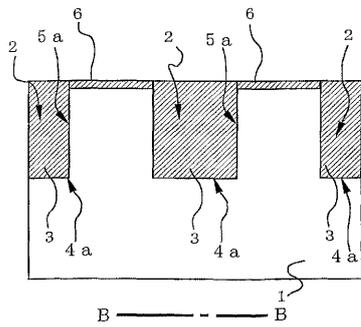
【 図 9 】

FIG.9



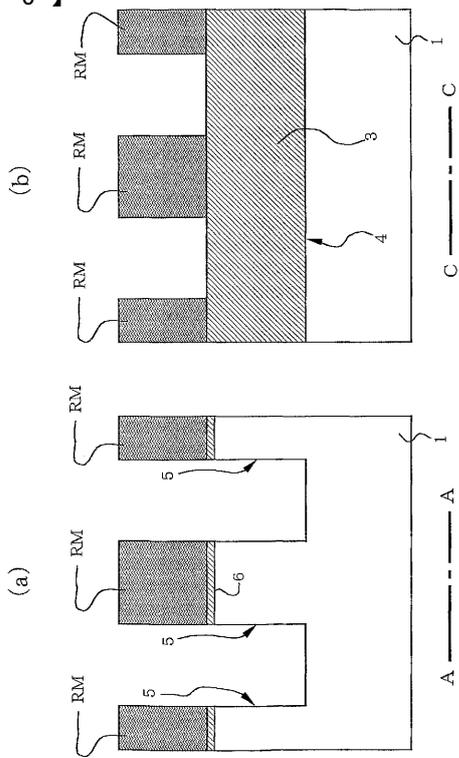
【 図 8 】

FIG.8



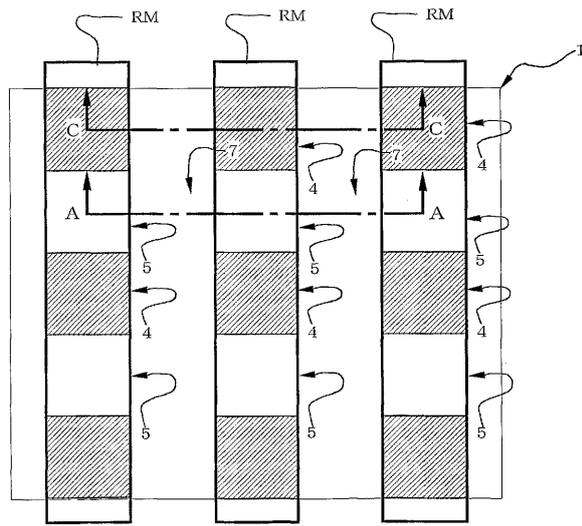
【 10 】

FIG.10



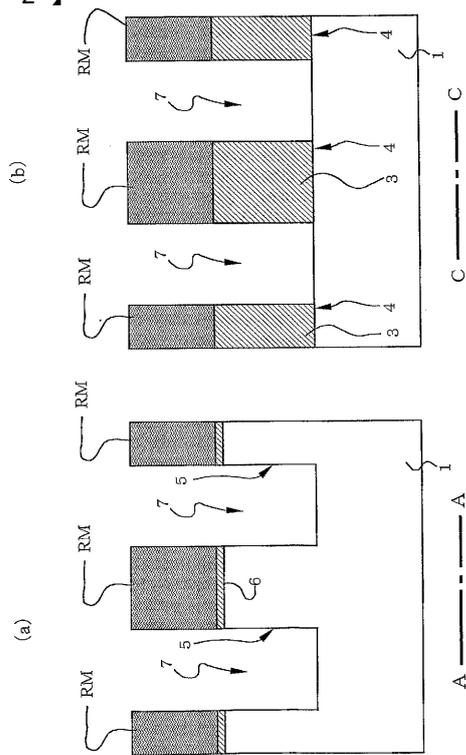
【 11 】

FIG.11



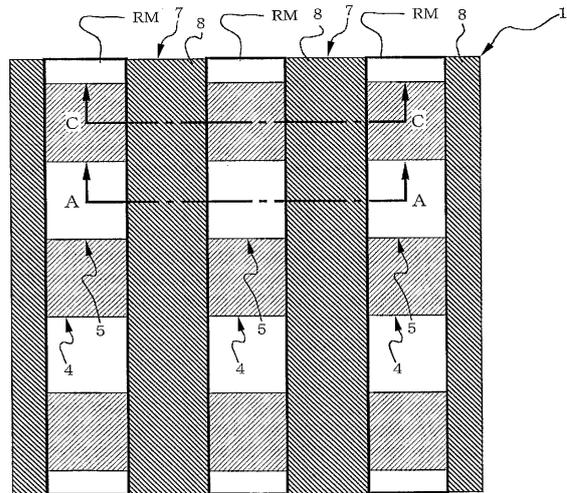
【 12 】

FIG.12



【 13 】

FIG.13



【 図 1 4 】

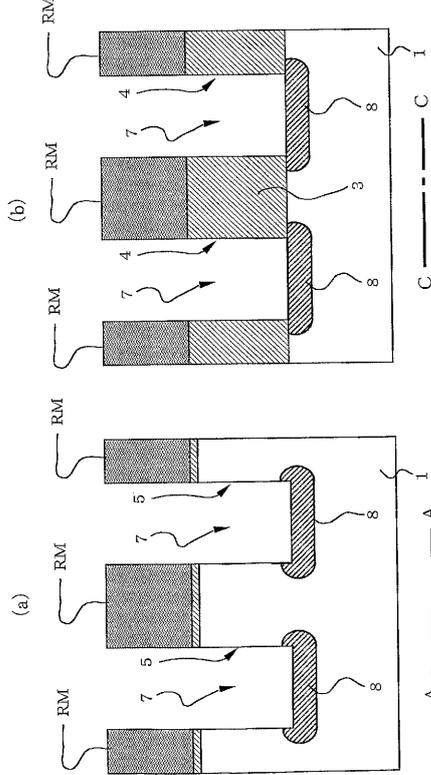


FIG.14

【 図 1 5 】

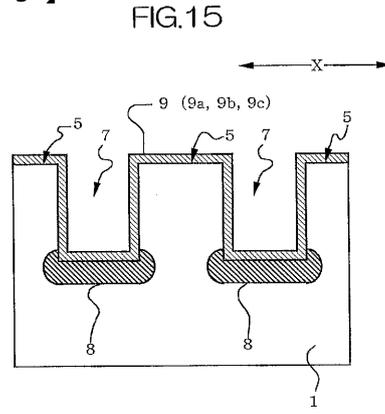


FIG.15

【 図 1 6 】

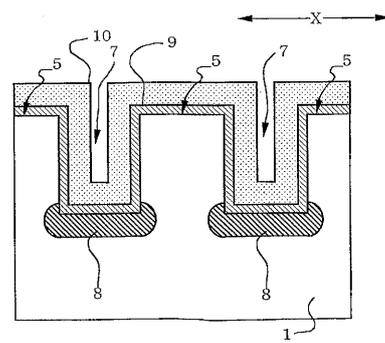


FIG.16

【 図 1 7 】

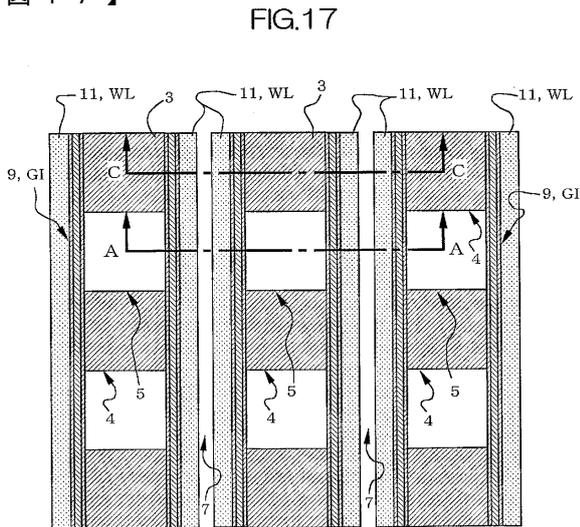


FIG.17

【 図 1 8 】

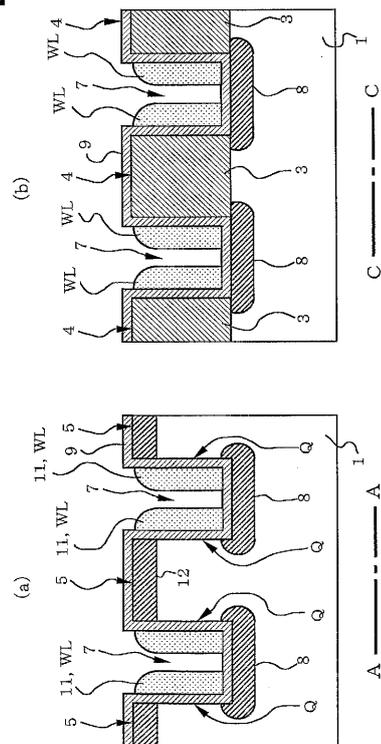
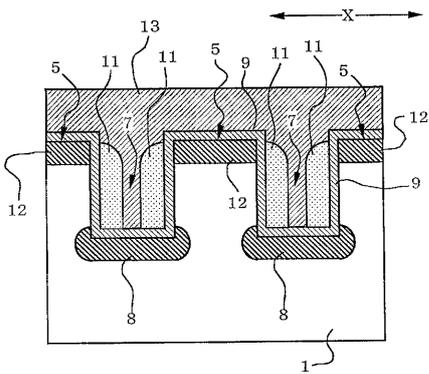


FIG.18

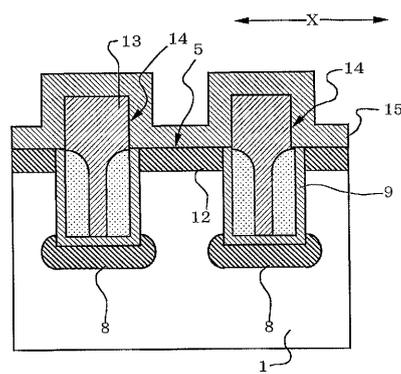
【 図 1 9 】

FIG.19



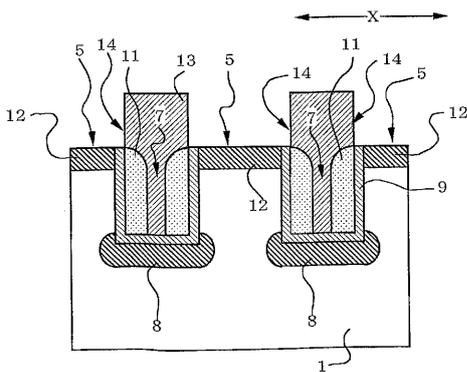
【 図 2 1 】

FIG.21



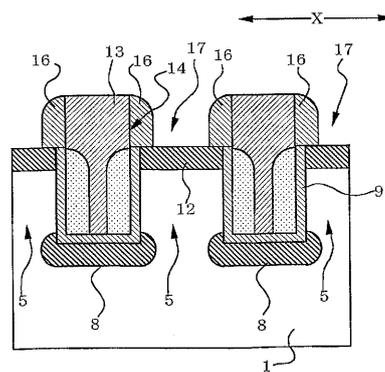
【 図 2 0 】

FIG.20



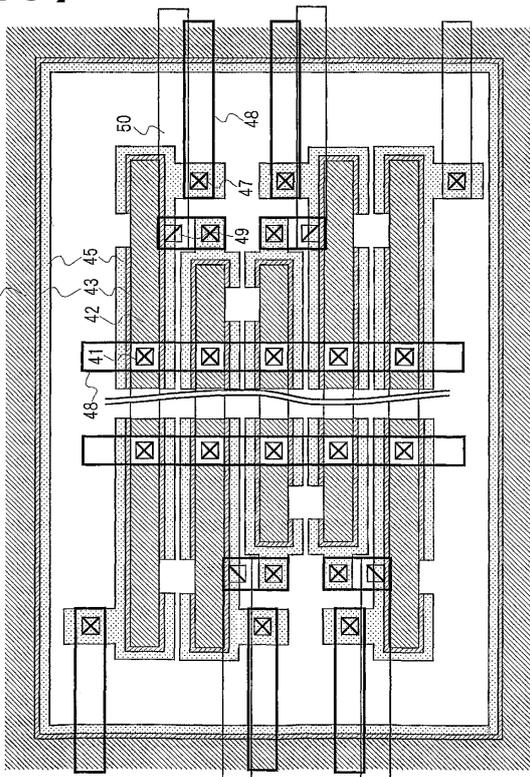
【 図 2 2 】

FIG.22



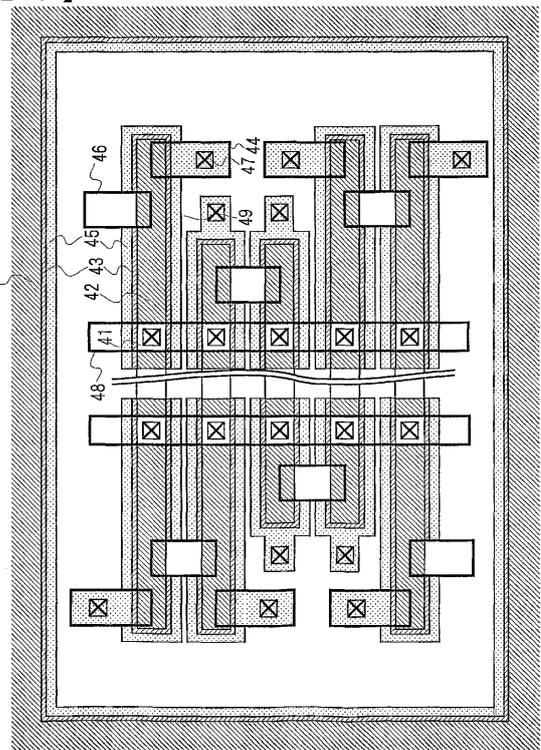
【 図 2 3 】

FIG.23



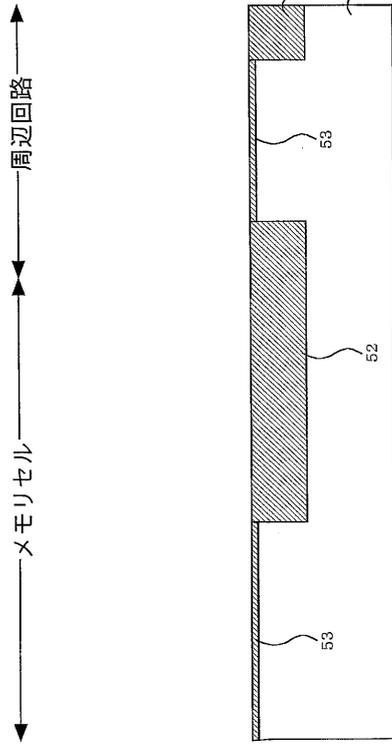
【 図 2 4 】

FIG.24



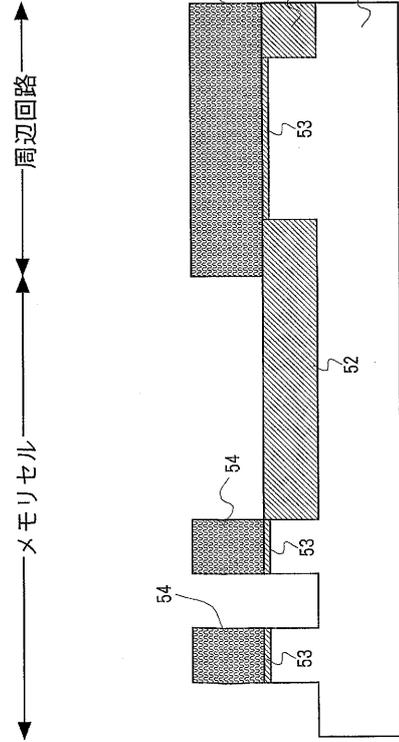
【 図 2 5 】

FIG.25



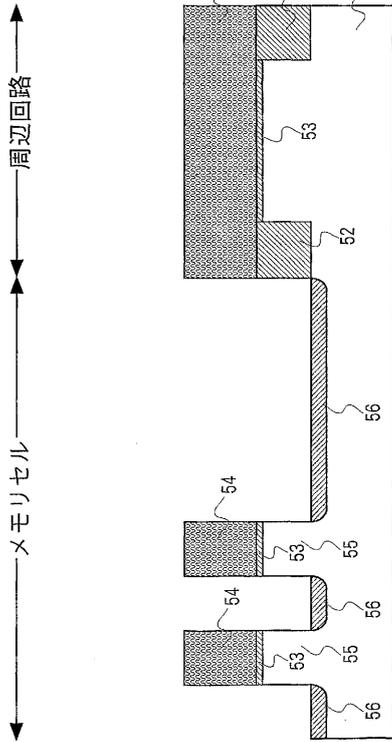
【 図 2 6 】

FIG.26



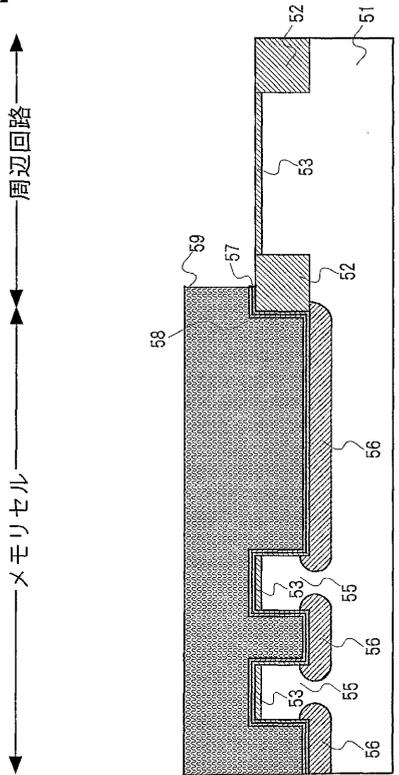
【 図 2 7 】

FIG.27



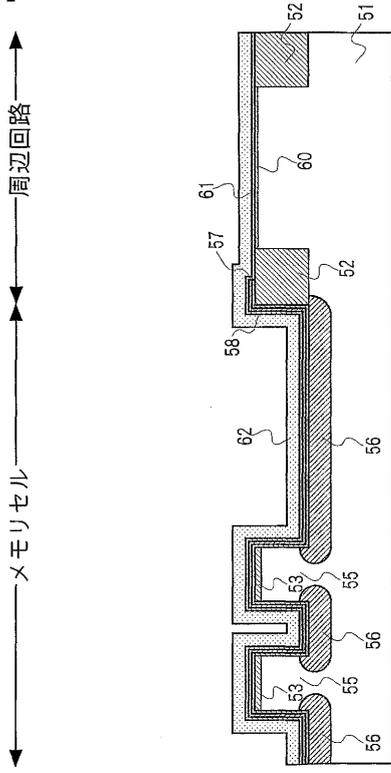
【 図 2 8 】

FIG.28



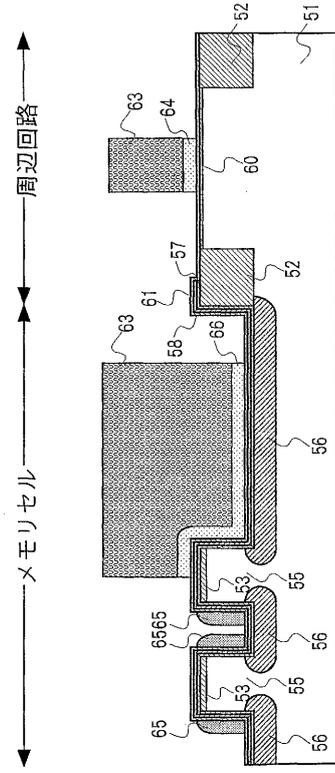
【 図 2 9 】

FIG.29



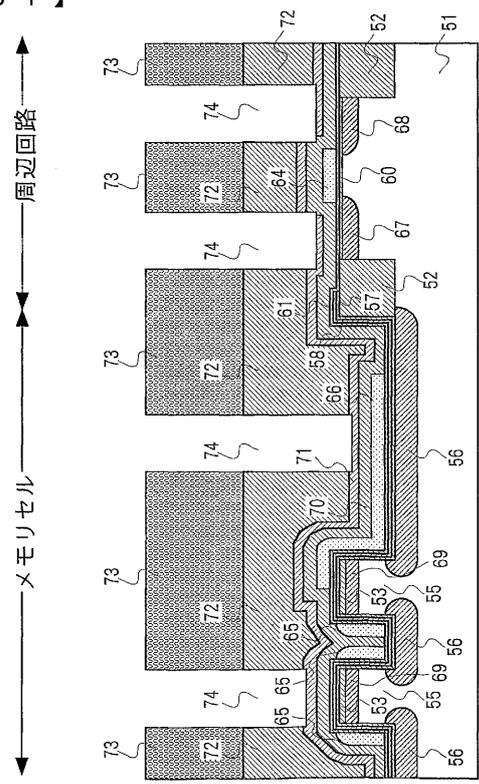
【 図 3 0 】

FIG.30



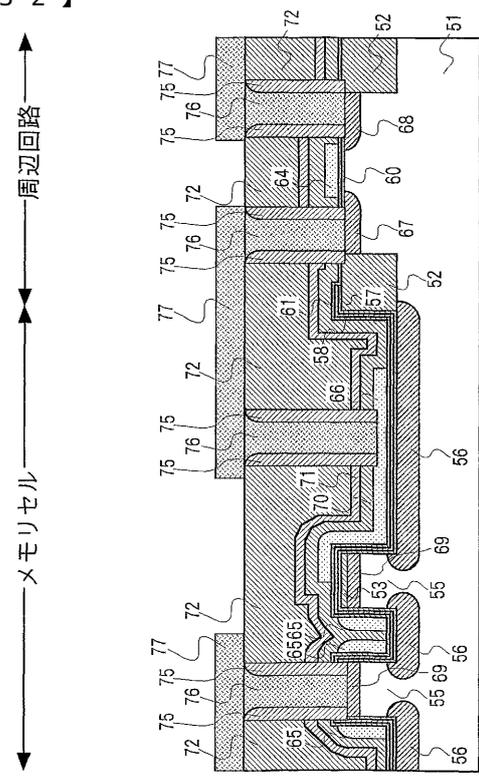
【 図 3 1 】

FIG.31



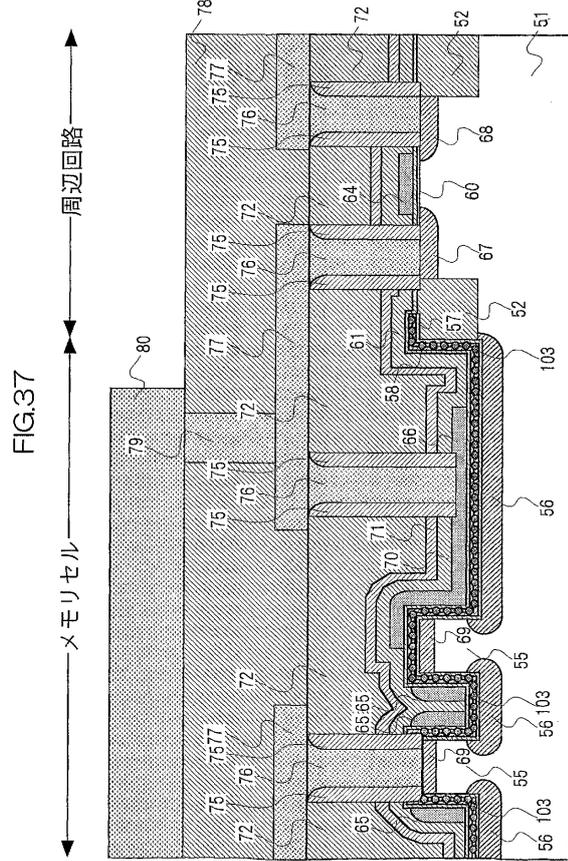
【 図 3 2 】

FIG.32

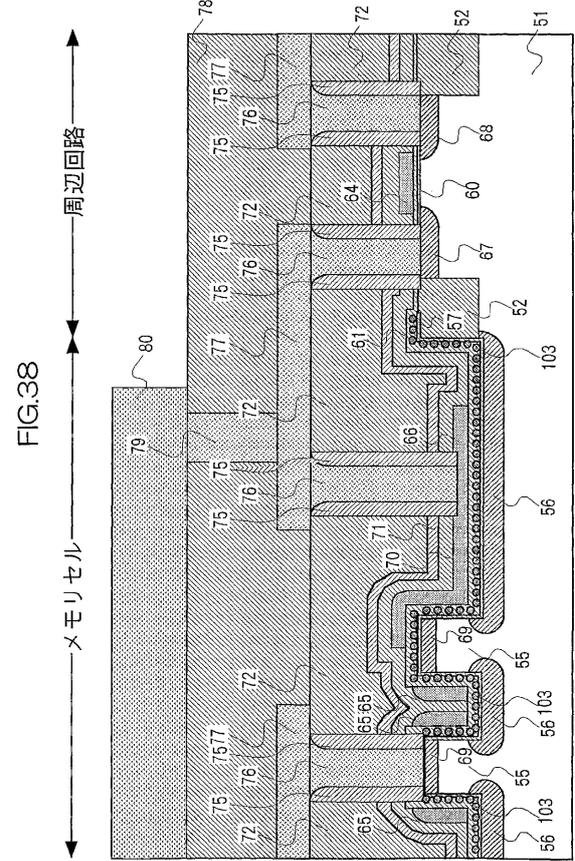




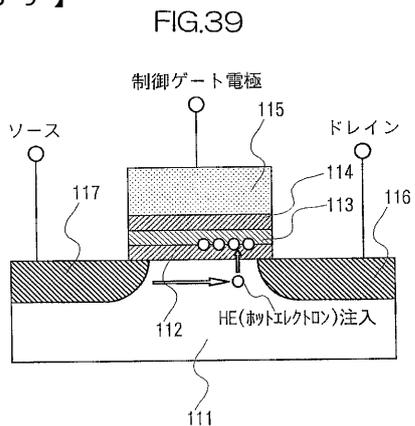
【 図 3 7 】



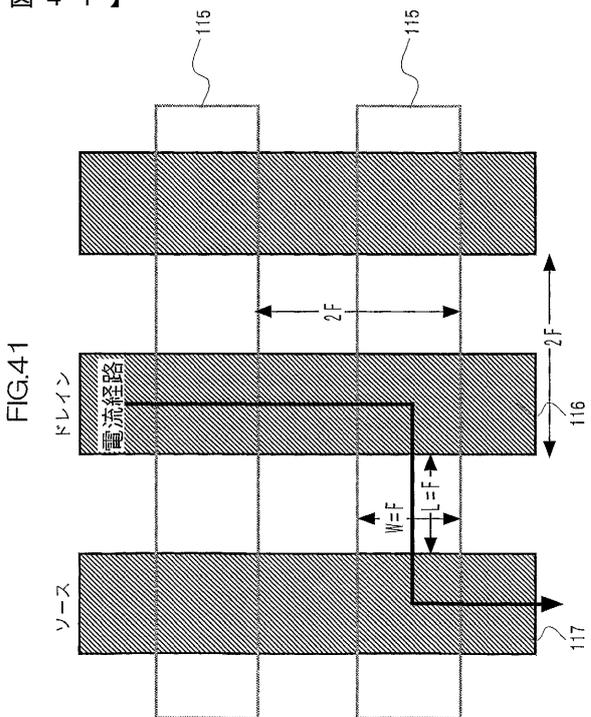
【 図 3 8 】



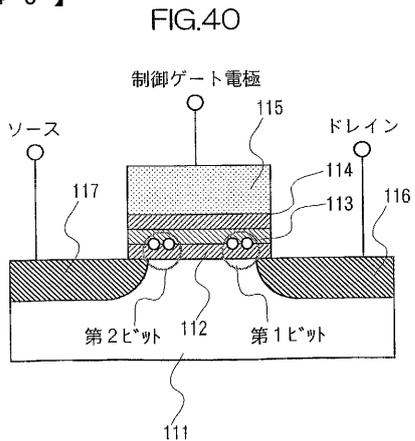
【 図 3 9 】



【 図 4 1 】

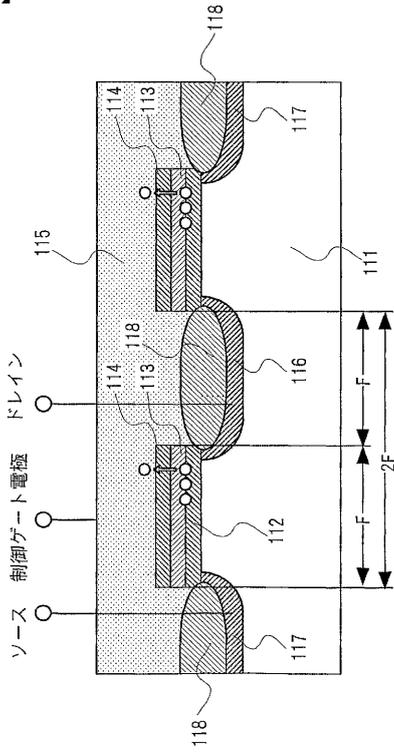


【 図 4 0 】



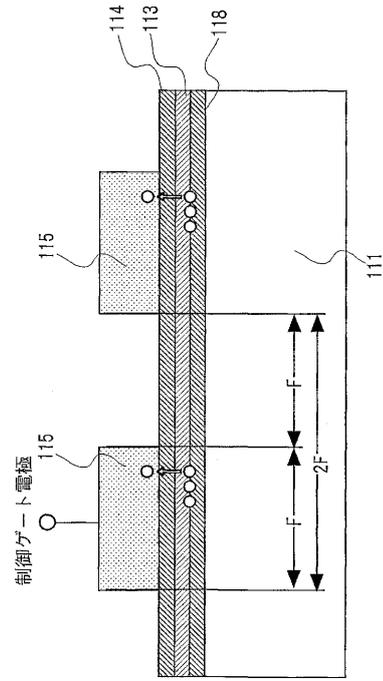
【 図 4 2 】

FIG.42



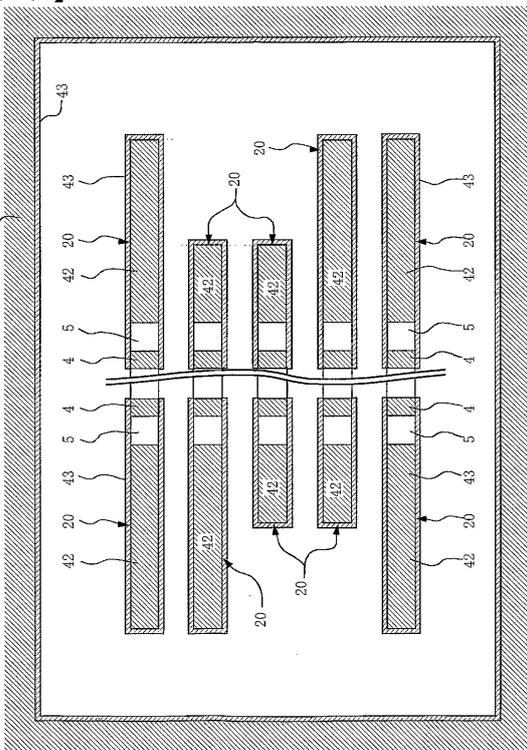
【 図 4 3 】

FIG.43



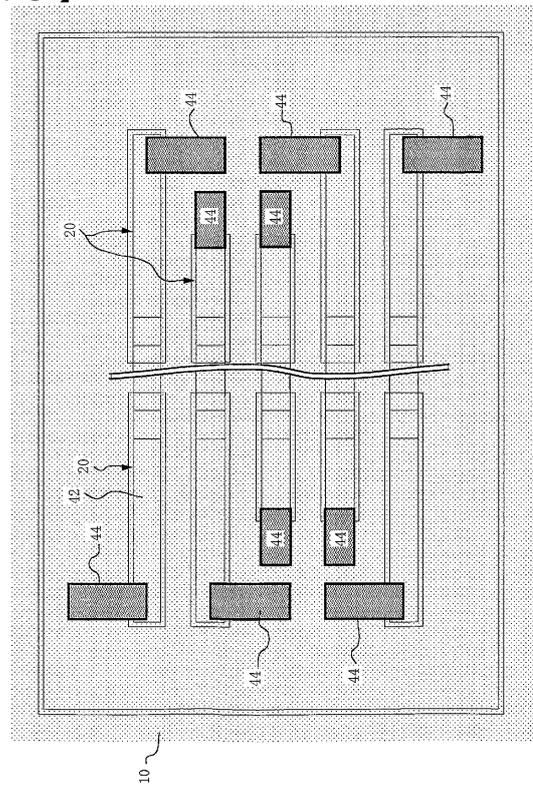
【 図 4 4 】

FIG.44



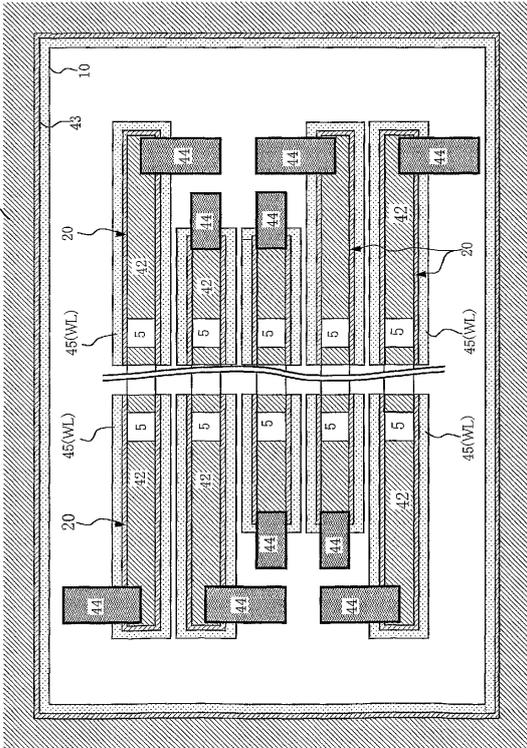
【 図 4 5 】

FIG.45



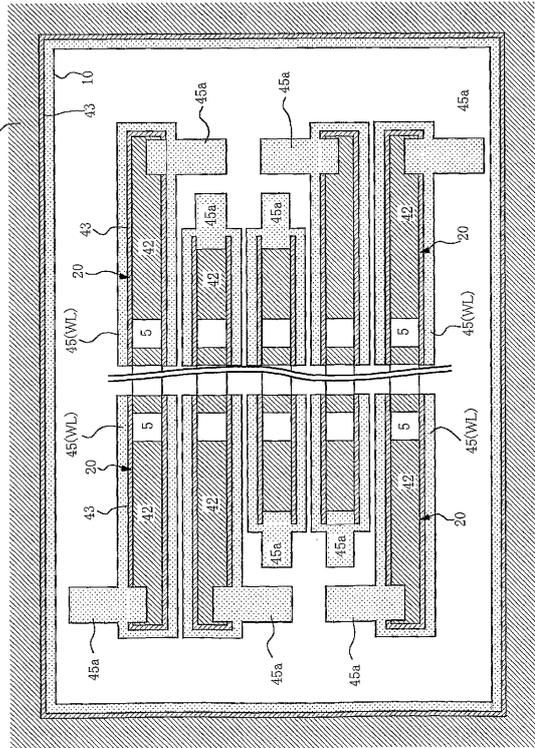
【 図 4 6 】

FIG.46



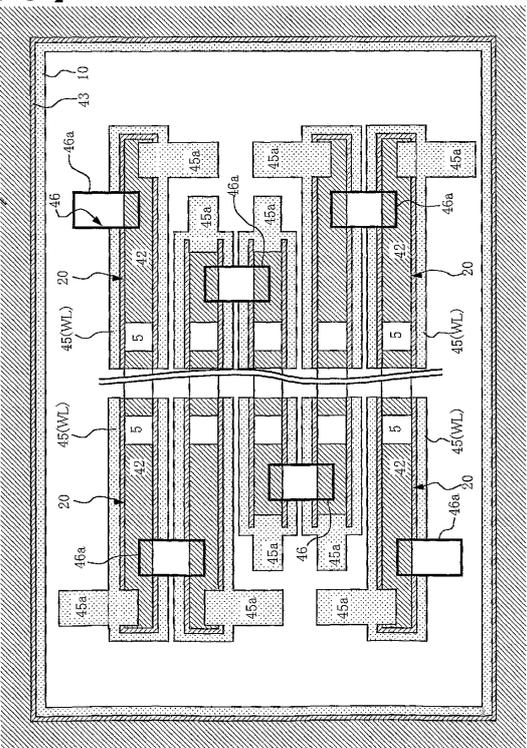
【 図 4 7 】

FIG.47



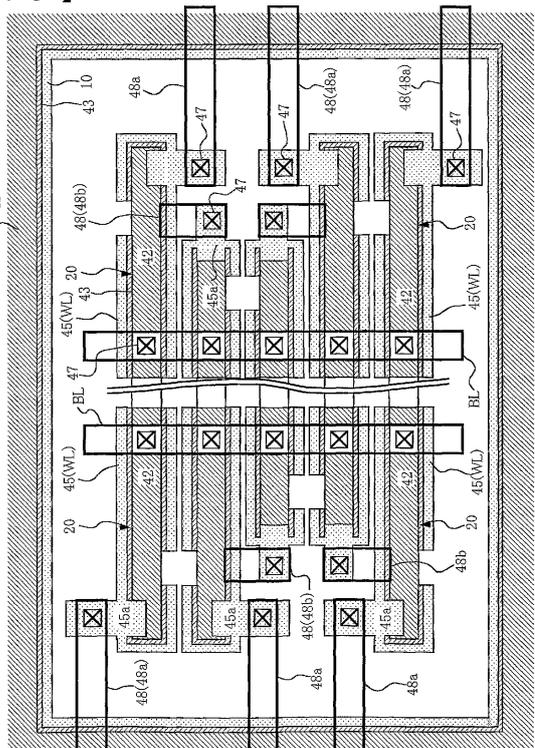
【 図 4 8 】

FIG.48

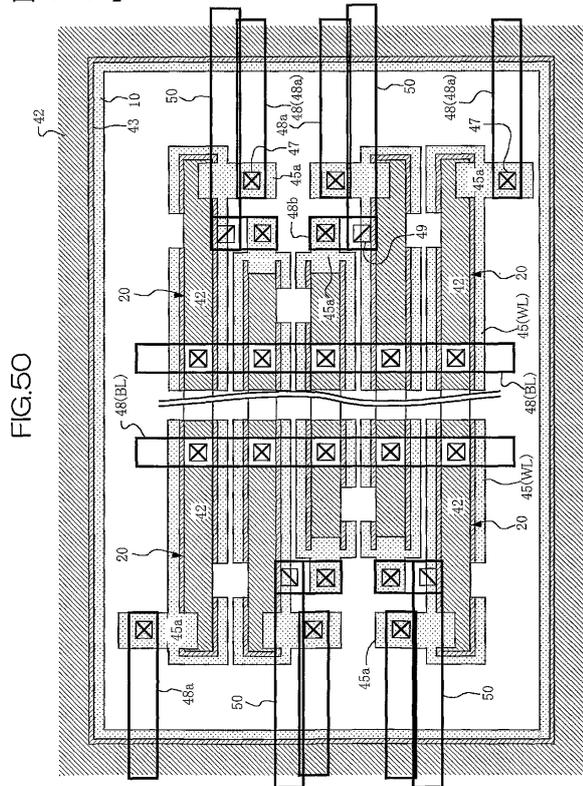


【 図 4 9 】

FIG.49



【 図 5 0 】



## 【 手続補正書 】

【 提出日 】平成14年10月15日(2002.10.15)

## 【 手続補正 1 】

【 補正対象書類名 】明細書

【 補正対象項目名 】特許請求の範囲

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

## 【 請求項 1 】

半導体柱と絶縁体柱が一方方向に交互に敷き詰めた状態で複数配置された柱列と、前記複数の半導体柱に夫々設けられた複数の不揮発性記憶素子であって、前記半導体柱の前記一方方向に沿う側面にゲート絶縁膜を介在して制御ゲート電極が設けられ、前記半導体柱の上面部にドレイン領域が設けられ、かつ前記半導体柱の底面部にソース領域が設けられた複数の不揮発性記憶素子と、前記複数の不揮発性記憶素子の夫々の制御ゲート電極を含み、かつ前記柱列の前記一方方向に沿う側面に前記一方方向に沿って設けられた配線とを有することを特徴とする半導体集積回路装置。

## 【 請求項 2 】

請求の範囲第1項に記載の半導体集積回路装置において、前記ゲート絶縁膜は、電荷を離散的に蓄積する膜であることを特徴とする半導体集積回路装置。

## 【 請求項 3 】

請求の範囲第1項に記載の半導体集積回路装置において、前記ゲート絶縁膜は、前記半導体柱の側面から順次積層されたシリコン酸化膜、シリコン窒化膜及びシリコン酸化膜を含む積層膜であることを特徴とする半導体集積回路装置。

## 【請求項 4】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記ゲート絶縁膜は、前記半導体柱の側面から順次積層されたシリコン酸化膜、不純物が導入されていない多結晶シリコン膜、シリコン窒化膜及びシリコン酸化膜を含む積層膜であることを特徴とする半導体集積回路装置。

## 【請求項 5】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記ゲート絶縁膜は、不純物が導入されていない多数の多結晶シリコン粒を含む膜であることを特徴とする半導体集積回路装置。

## 【請求項 6】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記ゲート絶縁膜は、前記半導体柱の側面から順次積層されたシリコン酸化膜、金属酸化膜及びシリコン酸化膜を含む積層膜であることを特徴とする半導体集積回路装置。

## 【請求項 7】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記複数の半導体柱の夫々の上面部に設けられた複数のドレイン領域は、前記絶縁体柱によって互いに分離されていることを特徴とする半導体集積回路装置。

## 【請求項 8】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記絶縁体柱は、前記ソース領域に到達していることを特徴とする半導体集積回路装置。

## 【請求項 9】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記複数の半導体柱は、前記絶縁体柱によって互いに絶縁分離されていることを特徴とする半導体集積回路装置。

## 【請求項 10】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記制御ゲート電極は、不純物が導入された多結晶シリコン膜からなることを特徴とする半導体集積回路装置。

## 【請求項 11】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記複数の半導体柱の夫々の底面部に設けられた複数のソース領域は、前記半導体柱の配列方向に沿って延在する半導体領域の一部で構成されていることを特徴とする半導体集積回路装置。

## 【請求項 12】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記柱列は、前記一方向と直交する他の方向に所定の間隔をおいて複数配置されていることを特徴とする半導体集積回路装置。

## 【請求項 13】

請求の範囲第 1 項に記載の半導体集積回路装置において、前記複数の半導体柱の夫々には、前記不揮発性記憶素子が 2 つ設けられ、前記 2 つの不揮発性記憶素子のうち、一方の不揮発性記憶素子は、そのチャネル形成領域が前記半導体柱の互いに向かい合う 2 つの側面のうちの一方の側面に設けられ、他方の不揮発性記憶素子は、そのチャネル形成領域が前記 2 つの側面のうちの他方の側面に設けられていることを特徴とする半導体集積回路装置。

## 【請求項 14】

半導体領域内にソース領域、ドレイン領域、前記ソース領域と前記ドレイン領域に挟まれたチャネル形成領域、及び制御ゲート電極を持つ電氣的に書き込み可能な不揮発性記憶素子において、四角柱状の半導体柱の向かい合う側面に独立した 2 つの前記チャネル形成領域が配置され、前記 2 つのチャネル形成領域に接続された前記ドレイン領域は前記四角柱状の半導体柱の上部に形成され、前記チャネル形成領域と隣り合う側面部には素子分離領

域が配置され、前記チャンネル形成領域と前記制御ゲート電極との間に第1絶縁膜、前記第1絶縁膜上に非導電性の電荷トラップ膜、前記非導電性の電荷トラップ膜上に第2絶縁膜を有することを特徴とする半導体集積回路装置。

【請求項15】

請求の範囲第14項に記載の半導体集積回路装置において、前記ソース領域を接地電位とし、前記ドレイン領域および前記制御ゲート電極へ適当な正電位を与えて、前記チャンネル形成領域をオンさせ、前記ドレイン領域の近傍で発生するホットエレクトロンを注入して、前記非導電性の電荷トラップ膜へトラップさせることにより書き込みを行い、

前記制御ゲート電極へ適当な負電位を与え、前記ドレイン領域へ適当な正電位を与えて、前記非導電性の電荷トラップ膜へトラップされた電子を、前記第1絶縁膜中を流れるトンネル電流によって前記半導体領域へ引抜くことにより消去を行うことを特徴とする半導体集積回路装置。

【請求項16】

請求の範囲第14項に記載の半導体集積回路装置において、前記第1絶縁膜はシリコン酸化膜、前記非導電性の電荷トラップ膜はシリコン窒化膜、前記第2絶縁膜はシリコン酸化膜であることを特徴とする半導体集積回路装置。

【請求項17】

請求の範囲第14項に記載の半導体集積回路装置において、前記第1絶縁膜はシリコン酸化膜、前記非導電性の電荷トラップ膜は金属酸化膜、前記第2絶縁膜はシリコン酸化膜であることを特徴とする半導体集積回路装置。

【請求項18】

半導体領域内にソース領域、ドレイン領域、前記ソース領域と前記ドレイン領域に挟まれたチャンネル形成領域、及び制御ゲート電極を持つ電氣的に書き込み可能な不揮発性記憶素子において、四角柱状の半導体柱の向かい合う側面に独立した2つの前記チャンネル形成領域が配置され、前記2つのチャンネル形成領域に接続された前記ドレイン領域は前記四角柱状の半導体柱の上部に形成され、前記チャンネル形成領域と隣り合う側面部には素子分離領域が配置され、前記チャンネル領域と前記制御ゲート電極との間に第1絶縁膜、前記第1絶縁膜上に半導体膜、前記半導体膜上に非導電性の電荷トラップ膜、前記非導電性の電荷トラップ膜上に第2絶縁膜を有し、前記半導体膜と非導電性の電荷トラップ膜との界面電荷トラップ準位に主として電子トラップを行うことを特徴とする半導体集積回路装置。

【請求項19】

請求の範囲第18項に記載の半導体集積回路装置において、前記ソース領域を接地電位とし、前記ドレイン領域および前記制御ゲート電極へ適当な正電位を与えて、前記チャンネル形成領域をオンさせ、前記ドレイン領域の近傍で発生するホットエレクトロンを注入して、前記半導体膜と前記非導電性の電荷トラップ膜との電荷トラップ準位に主として電子トラップを行うことにより書き込みを行い、

前記制御ゲート電極へ適当な負電位を与え、前記ドレイン領域へ適当な正電位を与えて、トラップされた電子を、前記半導体膜及び第1絶縁膜中を流れるトンネル電流によって前記半導体領域へ引抜くことにより消去を行うことを特徴とする半導体集積回路装置。

【請求項20】

請求の範囲第18項に記載の半導体集積回路装置において、前記第1絶縁膜はシリコン酸化膜、前記半導体膜がポリシリコン膜、前記非導電性の電荷トラップ膜はシリコン窒化膜、前記第2絶縁膜はシリコン酸化膜であることを特徴とする半導体集積回路装置。

【請求項21】

請求の範囲第18項に記載の半導体集積回路装置において、前記第1絶縁膜はシリコン酸化膜、前記半導体膜がポリシリコン膜、前記非導電性の電荷トラップ膜は金属酸化膜、前記第2絶縁膜はシリコン酸化膜であることを特徴とする半導体集積回路装置。

## 【請求項 2 2】

半導体基板上にストライプ状に溝型素子分離領域と半導体活性領域を交互に形成し、前記ストライプ状の溝型素子分離領域と半導体活性領域とは直行する方向にストライプ状に形成したレジスト膜パターンをマスクとして、前記半導体活性領域のエッチングに引き続いて前記溝型素子分離領域をエッチングして四角柱状の半導体柱、及び四角柱状の素子分離領域を形成する工程と、  
前記四角柱状の半導体柱の側面部にチャネル形成領域を形成し、前記チャネル形成領域の上部に第 1 酸化膜、窒化膜、及び第 2 酸化膜の積層膜を堆積した後、導電膜のサイドスペースからなるワード線を形成する工程と、  
前記四角柱状の半導体柱の上部にドレイン領域を形成する工程とを、少なくとも含むことを特徴とする半導体集積回路装置の製造方法。

## 【請求項 2 3】

半導体基板上にストライプ状に溝型素子分離領域と半導体活性領域を交互に形成し、前記ストライプ状の溝型素子分離領域と半導体活性領域とは直行する方向にストライプ状に形成したレジスト膜パターンをマスクとして、前記半導体活性領域のエッチングに引き続いて前記溝型素子分離領域をエッチングして四角柱状の半導体柱、及び四角柱状の素子分離領域を形成する工程と、  
前記四角柱状の半導体柱の側面部にチャネル形成領域を形成し、前記チャネル形成領域の上部に第 1 酸化膜、ポリシリコン膜、窒化膜、及び第 2 酸化膜の積層膜を堆積した後、導電膜のサイドスペースからなるワード線を形成する工程と、  
前記四角柱状の半導体柱の上部にドレイン領域を形成する工程とを、少なくとも含むことを特徴とする半導体集積回路装置の製造方法。

## 【請求項 2 4】

ストライプ状の突起状島領域を覆うようにして導電膜を形成する工程と、  
前記突起状島領域、その側壁及びコンタクト領域を覆うマスクを用いて前記導電膜に異方性エッチングを施すことによって、前記突起状島領域の側面に配線を形成すると共に、前記配線と一体化された前記コンタクト領域を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

## 【請求項 2 5】

削除

## 【請求項 2 6】

請求の範囲第 2 4 項に記載の半導体集積回路装置の製造方法において、  
前記配線形成工程は、前記突起状島領域の側面に整合して不揮発性記憶素子の制御ゲート電極を形成する工程であることを特徴とする半導体集積回路装置の製造方法。

## 【請求項 2 7】

半導体基板の主面の第 1 の領域に形成された不揮発性記憶素子と、前記半導体基板の主面の第 1 の領域と異なる第 2 の領域に形成された周辺回路用トランジスタとを有する半導体集積回路装置の製造方法であって、  
前記半導体基板の主面の第 1 の領域にストライプ状の突起状島領域を形成する工程と、  
前記突起状島領域を覆うようにして前記半導体基板の主面の第 1 の領域及び第 2 の領域に導電膜を形成する工程と、  
前記突起状島領域、その側面及びコンタクト領域を覆い、かつ前記半導体基板の第 2 の領域を覆うマスクを用いて、前記導電膜に異方性エッチングを施すことによって、前記突起状島領域の側面に前記不揮発性記憶素子の制御ゲート電極を含む配線、前記配線と一体化された前記コンタクト領域、並びに前記半導体基板の主面の第 2 の領域に前記周辺回路用トランジスタのゲート電極を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

## 【請求項 2 8】

ストライプ状の突起状島領域を覆うようにして導電膜を形成する工程と、  
前記導電膜に異方性エッチングを施して前記突起状島領域の側面に配線を形成する工程と

、  
前記配線の一部を除去する工程とを有し、

前記突起状島領域は、前記突起状島領域の延在方向に沿う第1の方向と直行する第2の方向に沿って複数配置され、

前記配線の一部を除去する工程は、開口部が前記隣り合う突起状島領域に跨るマスクを用いて前記開口部の中の前記配線をエッチングによって除去する工程であることを特徴とする半導体集積回路装置の製造方法。

【請求項29】

請求の範囲第28項に記載の半導体集積回路装置の製造方法において、

前記配線形成工程は、前記突起状島領域の側面に整合して不揮発性記憶素子の制御ゲート電極を形成する工程であることを特徴とする半導体集積回路装置の製造方法。

【請求項30】

互いに反対側に位置する第1の側面及び第2の側面を持つ突起状島領域と、

前記突起状島領域の第1の側面に絶縁膜を介在して制御ゲート電極が設けられた第1の不揮発性記憶素子と、

前記突起状島領域の第2の側面に絶縁膜を介在して制御ゲート電極が設けられた第2の不揮発性記憶素子とを有する半導体集積回路装置の製造方法であって、

前記突起状島領域を覆うようにして形成された導電膜に異方性エッチングを施して、前記突起状島領域の周囲に前記第1及び第2の不揮発性記憶素子の制御ゲート電極を含む配線を形成する工程と、

前記配線の一部を除去して、前記第1の不揮発性記憶素子の制御ゲート電極と前記第2の不揮発性記憶素子の制御ゲート電極とを電氣的に分離する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項31】

請求の範囲第22項に記載の半導体集積回路装置の製造方法において、

四角柱状の半導体柱の上層に前記四角柱状の半導体柱を覆うようにして第1の絶縁膜を形成する工程と、

前記第1の絶縁膜にエッチングを施して前記四角柱状の半導体柱上に開口を形成する工程と、

前記開口の内部を含む前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜に異方性エッチングを施して前記開口の内壁にサイドウォールスペーサを形成するとともに、前記サイドウォールスペーサで規定された接続孔を形成する工程と

、  
前記接続孔を通して前記四角柱状の半導体柱と電氣的に接続される他の導電膜を前記第2の絶縁膜上に形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項32】

請求の範囲第31項に記載の半導体集積回路装置の製造方法において、

前記他の導電膜は、前記第2の絶縁膜上を延在する配線であることを特徴とする半導体集積回路装置の製造方法。

【請求項33】

請求の範囲第2項に記載の半導体集積回路装置において、

前記電荷を離散的に蓄積する膜は、前記柱列の前記一方向の側面に沿って連続的に形成されていることを特徴とする半導体集積回路装置。

【請求項34】

ストライプ状の突起状島領域を覆うようにして導電膜を形成する工程と、

前記導電膜に異方性エッチングを施して前記突起状島領域の側面に配線を形成する工程と

、  
前記配線の一部を除去する工程とを有し、

前記配線の一部を除去する工程は、前記突起状島領域の端部において行うことを特徴とする半導体集積回路装置の製造方法。

**【請求項 35】**

ストライプ状の突起状島領域を覆うようにして導電膜を形成する工程と、前記導電膜に異方性エッチングを施して前記突起状島領域の側面に配線を形成する工程と、前記隣り合う突起状島領域間の配線の一部を除去する工程とを有し、前記隣り合う突起状島領域の向かい合う2つの配線のうちの一方の配線に接続される第1の配線と、他方の配線に接続される第2の配線とを異なる配線層で形成することを特徴とする半導体集積回路装置の製造方法。

**【請求項 36】**

請求の範囲第30項に記載の半導体集積回路装置の製造方法において、前記突起状島領域は、前記突起状島領域の延在方向に沿う第1の方向と直行する第2の方向に沿って複数配置され、前記配線の一部を除去する工程は、開口部が前記隣り合う突起状島領域に跨るマスクを用いて前記開口部の中の前記配線をエッチングによって除去する工程であることを特徴とする半導体集積回路装置の製造方法。

**【請求項 37】**

請求の範囲第30項に記載の半導体集積回路装置の製造方法において、前記配線の一部を除去する工程は、前記突起状島領域の端部において行うことを特徴とする半導体集積回路装置の製造方法。

**【請求項 38】**

請求の範囲第30項に記載の半導体集積回路装置の製造方法において、前記隣り合う突起状島領域の向かい合う2つの配線のうちの一方の配線に接続される第1の配線と、他方の配線に接続される第2の配線とを異なる配線層で形成することを特徴とする半導体集積回路装置の製造方法。

**【請求項 39】**

ストライプ状の突起状島領域の側面に導電膜からなる配線が形成され、前記隣り合う突起状島領域間の配線は電氣的に分離して構成され、前記隣り合う突起状島領域の向かい合う2つの配線のうちの一方の配線に接続される第1の配線と、他方の配線に接続される第2の配線とを異なる配線層で形成することを特徴とする半導体集積回路装置。

**【請求項 40】**

ストライプ状の突起状島領域の側面に導電膜からなる配線が形成され、前記隣り合う突起状島領域間の配線は、前記突起状島領域の端部において電氣的に分離して構成されることを特徴とする半導体集積回路装置の製造方法。

**【請求項 41】**

半導体基板に溝を形成してX方向に延在する突起状島領域を形成し、その後、前記溝を絶縁膜で埋め込む工程と、前記X方向と直行するY方向に延在するマスクを用いて前記突起状島領域及び前記絶縁膜をエッチングして、半導体柱及び絶縁体柱からなる柱列を形成する工程と、前記半導体柱の底面部に不純物を導入してソース領域を形成する工程と、前記柱列のY方向における側面を覆うようにして絶縁膜及び導電膜を形成し、その後、前記導電膜に異方性エッチングを施して、前記柱列のY方向における側面に、制御ゲート電極を含む配線を形成する工程と、前記半導体柱の上面部に不純物を導入してドレイン領域を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP02/04080
A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. <sup>7</sup> H01L29/792, 27/115, 21/8247		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. <sup>7</sup> H01L29/792, 27/115, 21/8247		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2002 Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) JOIS, The IEEE/IEE Electronic Library Online		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 6-13628 A (Semiconductor Energy Laboratory Co., Ltd.), 21 January, 1994 (21.01.94), Full text	1-3, 7-14, 16
Y	Full text	4-6, 15, 17, 22, 23, 27-30
A	Full text (Family: none)	18-21, 31, 32
Y	US 5882994 A (Kabushiki Kaisha Toshiba), 16 March, 1999 (16.03.99), Columns 3, 4 & EP 767489 A & JP 9-97850 A Par. Nos. [0022], [0032]	4
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 29 July, 2002 (29.07.02)	Date of mailing of the international search report 13 August, 2002 (13.08.02)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP02/04080
C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-24075 A (Sony Corp.), 26 January, 2001 (26.01.01), Par. Nos. [0068] to [0074]; Fig. 17 (Family: none)	5
Y	JP 2-117175 A (Matsushita Electronics Corp.), 01 May, 1990 (01.05.90), Page 3, upper right column, line 15 to lower left column, line 3 (Family: none)	6,17
Y	JP 10-229177 A (Samsung Electronics Co., Ltd.), 25 August, 1998 (25.08.98), Par. Nos. [0007] to [0008] (Family: none)	15
Y	JP 63-285966 A (Fujitsu Ltd.), 22 November, 1988 (22.11.88), Page 5, upper left column to lower left column; Fig. 1 (Family: none)	22,23
Y	US 5888868 A (Semiconductor Energy Laboratory Co., Ltd.), 30 March, 1999 (30.03.99), Column 15; Figs. 14A to 14H & JP 9-205187 A Example 2; Fig. 3	27
X	US 5959322 A (Samsung Electronics Co., Ltd.), 28 September, 1999 (28.09.99), Full text & KR 123751 B & JP 7-122653 A Full text	31,32
A	IEEE Electron Device Letters, Vol.14, No.8, pages 415 to 417, August 1993	1-32

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP02/04080

<b>Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)</b>	
This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:	
1. <input type="checkbox"/> Claims Nos.:	because they relate to subject matter not required to be searched by this Authority, namely:
2. <input checked="" type="checkbox"/> Claims Nos.: 24-26	because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically: The inventions of claims 24-26 relate to a method comprising "the step of forming a wiring on the side face of a protruding island region by anisotropically etching the conductive film and of forming a contact region integrated with the wiring". (continued to extra sheet)
3. <input type="checkbox"/> Claims Nos.:	because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).
<b>Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)</b>	
This International Searching Authority found multiple inventions in this international application, as follows:	
1. <input type="checkbox"/> As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.	
2. <input type="checkbox"/> As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.	
3. <input type="checkbox"/> As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:	
4. <input type="checkbox"/> No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:	
<b>Remark on Protest</b>	<input type="checkbox"/> The additional search fees were accompanied by the applicant's protest.
	<input type="checkbox"/> No protest accompanied the payment of additional search fees.

Form PCT/ISA/210 (continuation of first sheet (1)) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP02/04080

Continuation of Box No. I-2 of continuation of first sheet (1)

However, how the wiring and the contact region are formed simultaneously by anisotropic etching is not described. Therefore, it is unclear what the above-mentioned step defines specifically.

国際調査報告		国際出願番号 PCT/JPO2/04080								
A. 発明の属する分野の分類 (国際特許分類 (IPC))										
Int.Cl <sup>1</sup> H01L29/792, 27/115, 21/8247										
B. 調査を行った分野										
調査を行った最小限資料 (国際特許分類 (IPC))										
Int.Cl <sup>1</sup> H01L29/792, 27/115, 21/8247										
最小限資料以外の資料で調査を行った分野に含まれるもの										
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1926-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2002年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2002年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2002年</td> </tr> </table>			日本国実用新案公報	1926-1996年	日本国公開実用新案公報	1971-2002年	日本国実用新案登録公報	1996-2002年	日本国登録実用新案公報	1994-2002年
日本国実用新案公報	1926-1996年									
日本国公開実用新案公報	1971-2002年									
日本国実用新案登録公報	1996-2002年									
日本国登録実用新案公報	1994-2002年									
国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)										
JOIS, The IEEE/IEE Electronic Library Online										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号								
X	JP 6-13628 A (株式会社半導体エネルギー研究所) 1994.01.21 全文	1-3, 7-14, 16								
Y	全文	4-6, 15, 17, 22, 23, 27-30								
A	全文 (ファミリー無し)	18-21, 31, 32								
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願										
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献										
国際調査を完了した日	29.07.02	国際調査報告の発送日 13.08.02								
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JPO) 郵便番号100-8915 東京都千代田区霞が関三丁目4番8号	特許庁審査官 (権限のある職員) 井原 純	4M 9354 電話番号 03-3581-1101 内線 3462								

様式PCT/ISA/210 (第2ページ) (1998年7月)

国際調査報告		国際出願番号 PCT/JPO2/04080
C (続き)	関連すると認められる文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 5882994 A (Kabushiki kaisha Toshiba) 1999.03.16 第3欄及び第4欄 &EP 767489 A &JP 9-97850 A 【0022】欄及び【0032】欄	4
Y	JP 2001-24075 A (ソニー株式会社) 2001.01.26 【0068】欄～【0074】欄及び図17 (ファミリー無し)	5
Y	JP 2-117175 A (松下電子工業株式会社) 1990.05.01 第3頁右上欄第15行～同頁左下欄第3行 (ファミリー無し)	6,17
Y	JP 10-229177 A (三星電子株式会社) 1998.08.25 【0007】欄～【0008】欄 (ファミリー無し)	15
Y	JP 63-285966 A (富士通株式会社) 1988.11.22 第5頁左上欄～同頁左下欄及び第1図 (ファミリー無し)	22,23
Y	US 5888868 A (Semiconductor Energy Laboratory C o.,Ltd.) 1999.03.30 第15欄及びFIG.14A～14H &JP 9-205187 A 実施例2及び図3	27
X	US 5959322 A (Samsung Electronics Co.,Ltd) 1999.09.28 全文 &KR 123751 B &JP 7-122653 A 全文	31,32
A	IEEE ELECTRON DEVICE LETTERS, VOL. 14, NO. 8, p. 415-417, AUGUST 1993	1-32

様式PCT/ISA/210 (第2ページの続き) (1998年7月)

国際調査報告	国際出願番号 PCT/JP02/04080
<p>第I編 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)</p> <p>法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。</p>	
<p>1. <input type="checkbox"/> 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、</p>	
<p>2. <input checked="" type="checkbox"/> 請求の範囲 24-26 は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、</p> <p>請求の範囲24-26に記載の発明の「前記導電膜に異方性エッチングを施して前記突起状島領域の側面に配線を形成すると共に、前記配線と一体化されたコンタクト領域を形成する工程」は、配線を形成することとコンタクト領域を形成することが異方性エッチングを用いてどのように同時に形成されるかが記載されておらず、当該工程がどのような工程を示しているのか不明である。</p>	
<p>3. <input type="checkbox"/> 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。</p>	
<p>第II編 発明の単一性が欠如しているときの意見 (第1ページの3の続き)</p> <p>次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。</p>	
<p>1. <input type="checkbox"/> 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。</p>	
<p>2. <input type="checkbox"/> 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。</p>	
<p>3. <input type="checkbox"/> 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。</p>	
<p>4. <input type="checkbox"/> 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。</p>	
<p>追加調査手数料の異議の申立てに関する注意</p> <p><input type="checkbox"/> 追加調査手数料の納付と共に出願人から異議申立てがあった。</p> <p><input type="checkbox"/> 追加調査手数料の納付と共に出願人から異議申立てがなかった。</p>	

---

フロントページの続き

(51)Int.Cl.<sup>7</sup>

H 0 1 L 29/792

F I

G 1 1 C 17/00 6 2 2 Z

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。