

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-277375

(P2005-277375A)

(43) 公開日 平成17年10月6日(2005.10.6)

(51) Int. Cl.⁷

H01L 21/3065

H01L 21/768

F I

H01L 21/302 105A

H01L 21/90 A

H01L 21/302 104H

テーマコード(参考)

5F004

5F033

審査請求 未請求 請求項の数 12 O L (全 18 頁)

(21) 出願番号 特願2004-301494 (P2004-301494)
 (22) 出願日 平成16年10月15日(2004.10.15)
 (31) 優先権主張番号 特願2004-53614 (P2004-53614)
 (32) 優先日 平成16年2月27日(2004.2.27)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100110928
 弁理士 速水 進治
 (72) 発明者 曾田 栄一
 茨城県つくば市小野川16番地1 株式会
 社半導体先端テクノロジーズ内
 Fターム(参考) 5F004 AA06 CA02 DA00 DA01 DA02
 DA22 DA23 DA24 DA25 DB03
 DB24 EA28 EB03

最終頁に続く

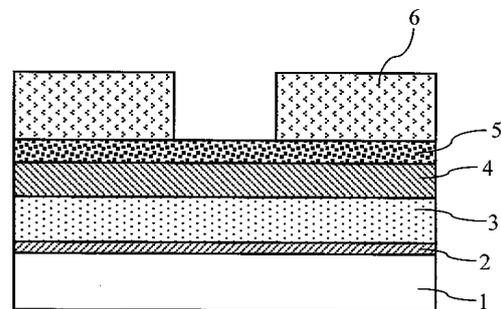
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 フッ素含有ガスを用いてドライエッチングを行うとともに、配線溝側壁部でのダメージ層の形成およびLow-k膜中でのボイドの形成を抑制することのできる半導体装置の製造方法を提供する。

【解決手段】 下層配線1の上に第1の絶縁膜2、第2の絶縁膜3、第3の絶縁膜4、反射防止膜5およびレジスト膜6を順に形成する。レジスト膜6をマスクとして、第3の絶縁膜4および第2の絶縁膜3に第1のドライエッチングを行った後、レジスト膜6および反射防止膜5をアッシングにより除去する。その後、第3の絶縁膜4をマスクとして第1の絶縁膜2に第2のドライエッチングを行い、下層配線1に至る配線溝を形成する。第1のドライエッチングは、0.1Pa~4Paの圧力でフッ素を含むガスを用いて行う。また、アッシングは、水素ガスおよび不活性ガスの少なくとも一方を用いて行うことが好ましい。

【選択図】 図1



- 1 下層配線
- 2 第1の絶縁膜
- 3 第2の絶縁膜
- 4 第3の絶縁膜
- 5 反射防止膜
- 6 レジスト膜

【特許請求の範囲】

【請求項 1】

多層配線構造を有する半導体装置の製造方法において、
 半導体基板上に形成された下層配線の上に第 1 の絶縁膜を形成する工程と、
 前記第 1 の絶縁膜の上に、前記第 1 の絶縁膜とのエッチング選択比が大きく且つ比誘電率が 3.0 以下である第 2 の絶縁膜を形成する工程と、
 前記第 2 の絶縁膜の上にキャップ膜としての第 3 の絶縁膜を形成する工程と、
 前記第 3 の絶縁膜の上に、所定のパターンを有する第 1 のレジスト膜を形成する工程と、
 前記第 1 のレジスト膜をマスクとして、前記第 3 の絶縁膜および前記第 2 の絶縁膜に第 1 のドライエッチングを行い、前記第 1 の絶縁膜に至る開口部を形成する工程と、
 前記第 1 のレジスト膜を第 1 のアッシングにより除去する工程と、
 前記第 3 の絶縁膜をマスクとして前記第 1 の絶縁膜に第 2 のドライエッチングを行い、前記下層配線に至る配線溝を形成する工程と、
 前記配線溝を埋設するように銅層を形成する工程と、
 前記配線溝内にのみ前記銅層を残すように C M P 法を用いて表面を平坦化し、前記下層配線に電氣的に接続する溝配線を形成する工程とを有し、
 前記第 1 のドライエッチングは、0.1 Pa ~ 4 Pa の圧力でフッ素を含むガスを用いて行うことを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 1 のアッシングは、水素ガスおよび不活性ガスの少なくとも一方を用いて行う請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記溝配線の上に第 4 の絶縁膜を形成する工程と、
 前記第 4 の絶縁膜の上に、前記第 4 の絶縁膜とのエッチング選択比が大きく且つ比誘電率が 3.0 以下である第 5 の絶縁膜を形成する工程と、
 前記第 5 の絶縁膜の上にキャップ膜としての第 6 の絶縁膜を形成する工程と、
 前記第 6 の絶縁膜の上に、所定のパターンを有する第 2 のレジスト膜を形成する工程と、
 前記第 2 のレジスト膜をマスクとして、前記第 6 の絶縁膜および前記第 5 の絶縁膜に第 3 のドライエッチングを行い、前記第 4 の絶縁膜に至る開口部を形成する工程と、
 前記第 2 のレジスト膜を第 2 のアッシングにより除去する工程と、
 前記第 6 の絶縁膜をマスクとして前記第 4 の絶縁膜に第 4 のドライエッチングを行い、前記溝配線に至るビアホールを形成する工程と、
 前記ビアホールを埋設するように銅層を形成する工程と、
 前記ビアホール内にのみ前記銅層を残すように C M P 法を用いて表面を平坦化し、前記溝配線に電氣的に接続するビアプラグを形成する工程とをさらに有し、
 前記第 3 のドライエッチングは、0.1 Pa ~ 4 Pa の圧力でフッ素を含むガスを用いて行う請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 2 のアッシングは、水素ガスおよび不活性ガスの少なくとも一方を用いて行う請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

多層配線構造を有する半導体装置の製造方法において、
 半導体基板上に形成された下層配線の上に第 1 の絶縁膜を形成する工程と、
 前記第 1 の絶縁膜の上に、前記第 1 の絶縁膜とのエッチング選択比が大きく且つ比誘電率が 3.0 以下である第 2 の絶縁膜を形成する工程と、
 前記第 2 の絶縁膜の上にキャップ膜としての第 3 の絶縁膜を形成する工程と、
 前記第 3 の絶縁膜の上に第 1 の反射防止膜を形成する工程と、
 前記第 1 の反射防止膜の上に、所定のパターンを有する第 1 のレジスト膜を形成する工

程と、

前記第 1 のレジスト膜をマスクとして、前記反射防止膜、前記第 3 の絶縁膜および前記第 2 の絶縁膜に第 1 のドライエッチングを行い、前記第 1 の絶縁膜に至る開口部を形成する工程と、

前記第 1 のレジスト膜および前記第 1 の反射防止膜を第 1 のアッシングにより除去する工程と、

前記第 3 の絶縁膜をマスクとして前記第 1 の絶縁膜に第 2 のドライエッチングを行い、前記下層配線に至る配線溝を形成する工程と、

前記配線溝を埋設するように銅層を形成する工程と、

前記配線溝内にのみ前記銅層を残すように C M P 法を用いて表面を平坦化し、前記下層配線に電氣的に接続する溝配線を形成する工程とを有し、

前記第 1 のドライエッチングは、 $0.1 \text{ Pa} \sim 4 \text{ Pa}$ の圧力でフッ素を含むガスを用いて行うことを特徴とする半導体装置の製造方法。

【請求項 6】

前記第 1 のアッシングは、水素ガスおよび不活性ガスの少なくとも一方を用いて行う請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記溝配線の上に第 4 の絶縁膜を形成する工程と、

前記第 4 の絶縁膜の上に、前記第 4 の絶縁膜とのエッチング選択比が大きく且つ比誘電率が 3.0 以下である第 5 の絶縁膜を形成する工程と、

前記第 5 の絶縁膜の上にキャップ膜としての第 6 の絶縁膜を形成する工程と、

前記第 6 の絶縁膜の上に第 2 の反射防止膜を形成する工程と、

前記第 2 の反射防止膜の上に、所定のパターンを有する第 2 のレジスト膜を形成する工程と、

前記第 2 のレジスト膜をマスクとして、前記第 6 の絶縁膜および前記第 5 の絶縁膜に第 3 のドライエッチングを行い、前記第 4 の絶縁膜に至る開口部を形成する工程と、

前記第 2 のレジスト膜および前記第 2 の反射防止膜を第 2 のアッシングにより除去する工程と、

前記第 6 の絶縁膜をマスクとして前記第 4 の絶縁膜に第 4 のドライエッチングを行い、前記溝配線に至るビアホールを形成する工程と、

前記ビアホールを埋設するように銅層を形成する工程と、

前記ビアホール内にのみ前記銅層を残すように C M P 法を用いて表面を平坦化し、前記溝配線に電氣的に接続するビアプラグを形成する工程とをさらに有し、

前記第 3 のドライエッチングは、 $0.1 \text{ Pa} \sim 4 \text{ Pa}$ の圧力でフッ素を含むガスを用いて行う請求項 5 または 6 に記載の半導体装置の製造方法。

【請求項 8】

前記第 3 のアッシングは、水素ガスおよび不活性ガスの少なくとも一方を用いて行う請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

前記第 2 の絶縁膜は、メチル基を有するシロキサン結合を主骨格とする材料から構成されている請求項 1 ~ 8 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 10】

前記第 2 の絶縁膜は、M S Q 膜およびポーラス M S Q 膜のいずれか一方である請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記第 5 の絶縁膜は、メチル基を有するシロキサン結合を主骨格とする材料から構成されている請求項 1 ~ 10 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 12】

前記第 5 の絶縁膜は、M S Q 膜およびポーラス M S Q 膜のいずれか一方である請求項 11 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の製造方法に関し、より詳しくは、層間絶縁膜として低誘電率の絶縁膜を用いた半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、半導体デバイスの高速化は著しく、多層配線部における配線抵抗と配線間の寄生容量に起因する信号伝搬速度の低下による伝送遅延が問題となってきている。こうした問題は、半導体デバイスの高集積化に伴う配線幅および配線間隔の微細化につれて配線抵抗が上昇し且つ寄生容量が増大するので、益々顕著となる傾向にある。

10

【0003】

配線抵抗および寄生容量の増大に基づく信号遅延を防止するために、従来より、アルミニウム配線に代わる銅配線の導入が行われるとともに、層間絶縁膜として低誘電率の絶縁膜（以下、Low-k膜という。）を用いることが試みられてきた。

【0004】

Low-k膜を用いた銅配線の形成方法としては、ダマシン法によるものがある（例えば、特許文献1参照）。これは、銅がアルミニウムに比較してエッチングレートの制御が困難であることに鑑み、銅をエッチングせずに配線を形成する技術として知られている。

20

【0005】

ダマシン法は、具体的には、下層配線の上にエッチングストッパー膜、Low-k膜およびキャップ膜を順に形成した後、レジスト膜をマスクとしたドライエッチングによって配線溝を形成し、アッシングによりレジスト膜を除去してから配線溝内に銅層を埋込むことによって銅配線層を形成する方法である。銅層の埋込みは、メッキ法により配線溝を埋設するようにして銅層を形成した後、配線溝の内部にのみ銅層を残すようにCMP（Chemical Mechanical Polishing, 化学的機械研磨）法を用いて表面を平坦化することによって実現することができる。

【0006】

上記の配線溝形成工程では、エッチングガスとしてフッ素を含むガスが用いられる。ここで、配線溝の断面形状を理想的な矩形状とするためには、エッチングの際の圧力を30mTorr~300mTorr（約4Pa~約40Pa）程度の高圧にして等方性を高めることが好ましい。しかしながら、等方性のエッチングでは、プラズマにより発生した活性種の衝突によってLow-k膜に与えられる衝撃は大きなものとなる。このため、例えば、Low-k膜としてポラスMSQ（メチルシルセスキオキサン）膜を用いた場合には、衝突により側壁部近傍のメチル基（-CH₃）が脱落してダメージ層が形成され、膜の比誘電率が上昇するという問題があった。

30

【0007】

また、高圧領域でのエッチングの場合、エッチングガス由来のフッ素がLow-k膜中に取り込まれ易い。そして、メッキ工程でLow-k膜中に取り込まれた水分が、加熱処理によってフッ素と反応すると、Low-k膜中にフッ化水素酸（HF）が生成する。このフッ化水素酸はLow-k膜を侵すので、Low-k膜中にボイド（空洞）が形成されて、半導体装置の電気的特性および信頼性の低下を招くという問題があった。具体的には、ボイドの発生によってLow-k膜の機械的強度の低下や、上層および下層の膜との間の接着面積の低下が起こるために、CMP法による研磨の際に膜剥がれが発生し易くなる。

40

【0008】

図16は、従来法により形成された半導体装置の断面図である。図において、下層配線25上のエッチングストッパー膜26、Low-k膜27およびキャップ膜28には銅配線層29が設けられている。尚、30はバリアメタル膜、31はシード銅膜、32は銅層

50

である。Low - k 膜 27 の側壁部には、ドライエッチング工程によってダメージ層 33 が形成されている。また、Low - k 膜 27 中に取り込まれたフッ素に起因して Low - k 膜 27 が腐食し、多数のポイド 34 が形成されている。

【0009】

一方、フルオロカーボン系のガスを用いて Low - k 膜をエッチングする際に、開口部の断面がポーリング形状となる問題に対しては、従来より、低圧下で N_2 (窒素) および H_2 (水素) を含有する混合ガスを用いてエッチングを行う方法が提案されている (例えば、特許文献 1 参照。)。

【0010】

【特許文献 1】特開 2000 - 36484 号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、上記従来法では、エッチングガスとしてフッ素を含むガスを用いていない。また、ドライエッチングによって Low - k 膜に加わるダメージや、Low - k 膜中に形成されるポイドの問題についても触れられていない。

【0012】

本発明はこのような問題点に鑑みてなされたものである。即ち、本発明の目的は、フッ素含有ガスを用いてドライエッチングを行うとともに、配線溝側壁部でのダメージ層の形成および Low - k 膜中でのポイドの形成を抑制することのできる半導体装置の製造方法を提供することにある。

20

【0013】

本発明の他の目的および利点は、以下の記載から明らかとなるであろう。

【課題を解決するための手段】

【0014】

本発明は、多層配線構造を有する半導体装置の製造方法において、半導体基板上に形成された下層配線の上に第 1 の絶縁膜を形成する工程と、この第 1 の絶縁膜の上に、第 1 の絶縁膜とのエッチング選択比が大きく且つ比誘電率が 3 . 0 以下である第 2 の絶縁膜を形成する工程と、この第 2 の絶縁膜の上にキャップ膜としての第 3 の絶縁膜を形成する工程と、この第 3 の絶縁膜の上に、所定のパターンを有する第 1 のレジスト膜を形成する工程と、この第 1 のレジスト膜をマスクとして、第 3 の絶縁膜および第 2 の絶縁膜に第 1 のドライエッチングを行い、第 1 の絶縁膜に至る開口部を形成する工程と、第 1 のレジスト膜を第 1 のアッシングにより除去する工程と、第 3 の絶縁膜をマスクとして第 1 の絶縁膜に第 2 のドライエッチングを行い、下層配線に至る配線溝を形成する工程と、この配線溝を埋設するように銅層を形成する工程と、配線溝内にのみ銅層を残すように CMP 法を用いて表面を平坦化し、下層配線に電氣的に接続する溝配線を形成する工程とを有し、第 1 のドライエッチングを 0 . 1 Pa ~ 4 Pa の圧力でフッ素を含むガスを用いて行うことを特徴とするものである。第 1 のアッシングは、水素ガスおよび不活性ガスの少なくとも一方を用いて行うことが好ましい。

30

【0015】

また、本発明は、溝配線の上に第 4 の絶縁膜を形成する工程と、この第 4 の絶縁膜の上に、第 4 の絶縁膜とのエッチング選択比が大きく且つ比誘電率が 3 . 0 以下である第 5 の絶縁膜を形成する工程と、この第 5 の絶縁膜の上にキャップ膜としての第 6 の絶縁膜を形成する工程と、この第 6 の絶縁膜の上に、所定のパターンを有する第 2 のレジスト膜を形成する工程と、この第 2 のレジスト膜をマスクとして、第 6 の絶縁膜および第 5 の絶縁膜に第 3 のドライエッチングを行い、第 4 の絶縁膜に至る開口部を形成する工程と、第 2 のレジスト膜を第 2 のアッシングにより除去する工程と、第 6 の絶縁膜をマスクとして第 4 の絶縁膜に第 4 のドライエッチングを行い、溝配線に至るビアホールを形成する工程と、このビアホールを埋設するように銅層を形成する工程と、ビアホール内にのみ銅層を残すように CMP 法を用いて表面を平坦化し、溝配線に電氣的に接続するビアプラグを形成す

40

50

る工程とをさらに有することができる。ここで、第3のドライエッチングは、 $0.1\text{ Pa} \sim 4\text{ Pa}$ の圧力でフッ素を含むガスを用いて行う。また、第2のアッシングは、水素ガスおよび不活性ガスの少なくとも一方を用いて行うことが好ましい。

【0016】

また、本発明は、多層配線構造を有する半導体装置の製造方法において、半導体基板上に形成された下層配線の上に第1の絶縁膜を形成する工程と、この第1の絶縁膜の上に、第1の絶縁膜とのエッチング選択比が大きく且つ比誘電率が3.0以下である第2の絶縁膜を形成する工程と、この第2の絶縁膜の上にキャップ膜としての第3の絶縁膜を形成する工程と、この第3の絶縁膜の上に第1の反射防止膜を形成する工程と、この第1の反射防止膜の上に、所定のパターンを有する第1のレジスト膜を形成する工程と、この第1のレジスト膜をマスクとして、反射防止膜、第3の絶縁膜および第2の絶縁膜に第1のドライエッチングを行い、第1の絶縁膜に至る開口部を形成する工程と、第1のレジスト膜および第1の反射防止膜を第1のアッシングにより除去する工程と、第3の絶縁膜をマスクとして第1の絶縁膜に第2のドライエッチングを行い、下層配線に至る配線溝を形成する工程と、この配線溝を埋設するように銅層を形成する工程と、配線溝内にのみ銅層を残すようにCMP法を用いて表面を平坦化し、下層配線に電気的に接続する溝配線を形成する工程とを有し、第1のドライエッチングを $0.1\text{ Pa} \sim 4\text{ Pa}$ の圧力でフッ素を含むガスを用いて行うことを特徴とするものである。第1のアッシングは、水素ガスおよび不活性ガスの少なくとも一方を用いて行うことが好ましい。

10

【0017】

また、本発明は、溝配線の上に第4の絶縁膜を形成する工程と、この第4の絶縁膜の上に、第4の絶縁膜とのエッチング選択比が大きく且つ比誘電率が3.0以下である第5の絶縁膜を形成する工程と、この第5の絶縁膜の上にキャップ膜としての第6の絶縁膜を形成する工程と、この第6の絶縁膜の上に第2の反射防止膜を形成する工程と、この第2の反射防止膜の上に、所定のパターンを有する第2のレジスト膜を形成する工程と、この第2のレジスト膜をマスクとして、第6の絶縁膜および第5の絶縁膜に第3のドライエッチングを行い、第4の絶縁膜に至る開口部を形成する工程と、第2のレジスト膜および第2の反射防止膜を第2のアッシングにより除去する工程と、第6の絶縁膜をマスクとして第4の絶縁膜に第4のドライエッチングを行い、溝配線に至るビアホールを形成する工程と、このビアホールを埋設するように銅層を形成する工程と、ビアホール内にのみ銅層を残すようにCMP法を用いて表面を平坦化し、溝配線に電気的に接続するビアプラグを形成する工程とをさらに有することができる。ここで、第3のドライエッチングは、 $0.1\text{ Pa} \sim 4\text{ Pa}$ の圧力でフッ素を含むガスを用いて行う。また、第3のアッシングは、水素ガスおよび不活性ガスの少なくとも一方を用いて行うことが好ましい。

20

30

【0018】

上記のいずれの発明においても第2の絶縁膜は、メチル基を有するシロキサン結合を主骨格とする材料から構成されているものとすることができる。この場合、第2の絶縁膜は、MSQ膜およびポラスMSQ膜のいずれか一方とすることができる。また、第5の絶縁膜は、メチル基を有するシロキサン結合を主骨格とする材料から構成されているものとする。この場合、第5の絶縁膜は、MSQ膜およびポラスMSQ膜のいずれか一方とすることができる。

40

【発明の効果】**【0019】**

本発明によれば、Low-k膜である第2の絶縁膜のドライエッチングを $0.1\text{ Pa} \sim 4\text{ Pa}$ の圧力下で行うので、第2の絶縁膜へのダメージを低減して、配線溝側壁部でのダメージ層の形成を抑制することができる。また、第2の絶縁膜中にフッ素が取り込まれるのを抑制することもできるので、第2の絶縁膜中にポイドが形成されるのを防ぐことが可能となる。

【発明を実施するための最良の形態】**【0020】**

50

以下、本発明の実施の形態を図面を参照しながら詳細に説明する。

【0021】

図1～図12は、本実施の形態における半導体装置の製造方法を示す断面図である。尚、これらの図において、同じ符号を付した部分は同じものであることを示している。

【0022】

まず、下層配線1が形成された半導体基板を準備する(図1)。半導体基板としては、例えばシリコン基板を用いることができる。尚、簡便のために、図では下層配線1の構造を省略している。

【0023】

次に、下層配線1の上に、第1の絶縁膜2および第2の絶縁膜3をこの順に形成する(図1)。ここで、第1の絶縁膜2および第2の絶縁膜3は、プラズマCVD法またはスパインコート法などによって形成することができる。

【0024】

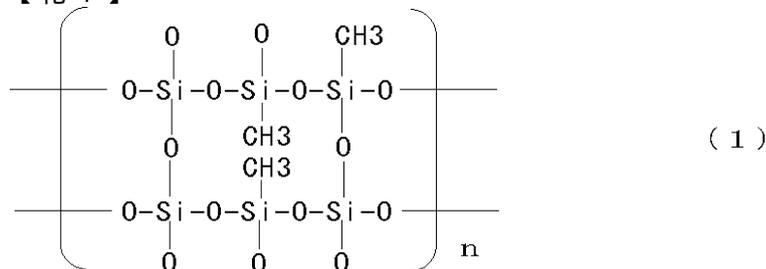
第1の絶縁膜2はエッチングストッパー膜であり、第2の絶縁膜3とのエッチング選択比の大きい材料を用いる。例えば、窒化シリコン(SiN)膜、炭化シリコン(SiC)膜または炭窒化シリコン(SiCN)膜などを用いることができる。尚、これらの材料は銅拡散性が低いので、これらを第1の絶縁膜2として用いることにより、第1の絶縁膜2を拡散防止膜としても作用させることができる。

【0025】

第2の絶縁膜3は層間絶縁膜であり、二酸化シリコン(SiO₂)膜よりも低い比誘電率の膜を用いる。具体的には、比誘電率が3.0以下、好ましくは比誘電率が2.5以下の低誘電率絶縁膜(Low-k膜)を用いる。例えば、有機官能基を有するポリシロキサンであるオルガノポリシロキサンまたは芳香族含有有機樹脂をポーラス化した材料などを用いることができる。特に、誘電特性および加工性に優れることから、アルキルシルセスキオキサンおよびヒドリアルキルシロキサンなどのオルガノポリシロキサンを用いることが好ましい。例えば、メチルシルセスキオキサン(MSQ)およびメチル化ヒドロジェンシルセスキオキサン(MHSQ)などのメチル基を有するシロキサン結合を主骨格とする材料を挙げることができる。このうち、誘電特性および加工性に優れた、式(1)のMSQを用いることが好ましく、より低誘電率であるポーラスMSQを用いることが特に好ましい。

【0026】

【化1】



【0027】

例えば、アルキルシランガスおよび酸化性ガスを混合したガスを原料ガスとして用い、プラズマCVD法によって第2の絶縁膜3を形成することができる。ここで、アルキルシランガスとしては、例えば、モノメチルシラン、ジメチルシラン、トリメチルシランまたはテトラメチルシランなどを挙げることができ、このうち、特にトリメチルシランを用いることが好ましい。尚、1種類のアルキルシランを用いてもよいし、2種類以上のアルキルシランを混合して用いてもよい。一方、酸化性ガスとしては、アルキルシランに対して酸化作用を持つガスであって、分子中に酸素原子を含むものが用いられる。例えば、一酸化窒素(NO)ガス、二酸化窒素(NO₂)ガス、一酸化炭素(CO)ガス、二酸化炭素(CO₂)ガスおよび酸素(O₂)ガスよりなる群から選ばれる1または2以上のガスを

用いることができる。このうち、適度な酸化力を有することから、NOガスまたはNO₂ガスが好ましく用いられる。

【0028】

また、第2の絶縁膜3は、スピンコート法によって形成することもできる。例えば、所定の回転数で回転するウェハ上に第2の絶縁膜の組成物を滴下塗布した後、多段階の加熱処理を行うことによって乾燥・固化させて形成することができる。この場合、加熱処理の条件を変え、形成される膜のポラス度を大きくすることによって、比誘電率の低い絶縁膜を得ることが可能である。

【0029】

第2の絶縁膜3を形成した後は、この上にさらに第3の絶縁膜4を形成する(図1)。第3の絶縁膜4はキャップ膜であり、フォトリソグラフィ法によるレジスト膜のパターニング工程をリワークする際に、レジスト膜のアッシングで第2の絶縁膜3がプラズマダメージを受けるのを防ぐ他、吸湿により第2の絶縁膜3の比誘電率が上昇するのも防ぐ役割を有している。さらに、第3の絶縁膜4として第2の絶縁膜3との研磨選択比が大きいものを用いた場合には、第3の絶縁膜4は、銅配線層形成工程でのCMPストッパーとして働く。

10

【0030】

第3の絶縁膜4としては、二酸化シリコン(SiO₂)膜、炭化シリコン(SiC)膜、炭窒化シリコン(SiCN)膜または窒化シリコン(SiN)膜などを用いることができる。また、これらのうち、2以上の膜を積層させた積層膜を第3の絶縁膜4として用いてもよい。

20

【0031】

次に、第3の絶縁膜4の上に、第1の反射防止膜としての反射防止膜5を形成する。その後、反射防止膜5の上に、所定のパターンを有する第1のレジスト膜としてのレジスト膜6を形成する(図1)。具体的には、反射防止膜5の全面にフォトレジスト(図示せず)を塗布し、所定のパターンを有するマスクを介して露光した後に現像する。これにより、フォトレジストをパターニングしてレジスト膜6を形成することができる。

【0032】

反射防止膜5は、フォトレジストをパターニングする際に、フォトレジストを透過した露光光を吸収することによって、フォトレジストと反射防止膜5との界面における露光光の反射をなくす役割を果たす。反射防止膜5としては有機物を主成分とする膜を用いることができ、例えば、スピンコート法などによって形成することができる。尚、本発明においては、反射防止膜5はなくてもよい。

30

【0033】

レジスト膜6の種類は、形成するパターン寸法に応じて適宜選択される。例えば、パターン寸法が250nm~180nmでは、フッ化クリプトン(KrF)エキシマレーザ(波長:248nm)を光源とする露光機に対応するレジスト(KrFレジスト)を用いることができる。また、パターン寸法が130nm~100nmでは、フッ化アルゴン(ArF)エキシマレーザ(波長:193nm)を光源とする露光機に対応するレジスト(ArFレジスト)を用いることができる。さらに、パターン寸法が70nm~50nmでは、フッ素(F₂)レーザ(波長:157nm)を光源とする露光機に対応するレジスト(F₂レジスト)を用いることができる。

40

【0034】

次に、レジスト膜6をマスクとし、フッ素を含むガスを用いて、反射防止膜5、第3の絶縁膜4および第2の絶縁膜3をドライエッチングする(第1のドライエッチング)。このエッチングは、第1の絶縁膜2に達した時点で自動的に終了し、第1の絶縁膜2に至る開口部22が形成される(図2)。

【0035】

第1のドライエッチングは、フルオロカーボン系のガスに水素(H₂)ガスを添加して行うことができる。また、フルオロカーボン系のガスに、窒素(N₂)、ヘリウム(He

50

)、ネオン(Ne)およびアルゴン(Ar)などの不活性ガスを1種または2種以上添加して第1のドライエッチングを行ってもよい。さらに、フルオロカーボン系のガスに、 H_2 ガスおよび1種または2種以上の不活性ガスを添加して第1のドライエッチングを行ってもよい。フルオロカーボン系のガスとしては、例えば、テトラフルオロメタン(CF_4)、オクタフルオロシクロブタン(C_4F_8)、オクタフルオロシクロペンテン(C_5F_8)、ヘキサフルオロエタン(C_2F_6)、ヘキサフルオロブタジエン(C_4F_6)またはヘキサフルオロベンゼン(C_6F_6)などを用いることができる。

【0036】

本発明においては、第1のドライエッチングにおける圧力を従来より低圧とすることを特徴としている。ここで、圧力は低い方が好ましいが、あまり低すぎるとプラズマを安定して発生させることが困難となる。そこで、本発明においては、エッチングガスの圧力を0.1Pa~4Paとすることが好ましく、0.8Pa~3.3Paとすることがより好ましい。このように圧力を低くすることによって、第2の絶縁膜3中にフッ素が取り込まれるのを抑制することができる。また、第2の絶縁膜3の側壁部へのダメージを低減して、第2の絶縁膜3の比誘電率が上昇するのを抑制することもできる。さらに、開口部22の断面形状がポーリング状になるのを抑えて良好な矩形状にすることが可能となる。

10

【0037】

図13は、第1のドライエッチングを行った後にフッ酸(HF)溶液で処理した半導体装置のSEM(走査型電子顕微鏡)写真である。この例では、シリコン基板41の上に、第1の絶縁膜としてのSiC膜42、第2の絶縁膜としてのポーラスMSQ膜(比誘電率2.3)43および第3の絶縁膜としてのSiO₂膜44がこの順に積層されている。また、第1のドライエッチングは、 CF_4 ガスの流量を140sccm、Arガスの流量を1,000sccm、 N_2 ガスの流量を50sccmとし、圧力を3.3Pa(25mT)、ソース・パワー(source power)を1,200W、バイアス・パワー(bias power)を700Wとして行っている。

20

【0038】

尚、図13では、パターンの線幅およびパターン間の距離が異なる3つの例((a)~(c))を示している。図13(a)と図13(b)は、パターン間の距離は略同じであるが、パターンの線幅が(b)>(a)である。また、図13(a)と図13(c)は、パターン間の距離およびパターンの線幅がともに(c)>(a)である。

30

【0039】

また、図14は図13の比較例であり、図13の例より高圧で第1のドライエッチングを行った後にHF溶液で処理した半導体装置のSEM写真である。図13と同様に、シリコン基板51の上に、第1の絶縁膜としてのSiC膜52、第2の絶縁膜としてのポーラスMSQ膜(比誘電率2.3)53および第3の絶縁膜としてのSiO₂膜54がこの順に積層されている。また、第1のドライエッチングは、 C_4F_8 ガスの流量を10sccm、Arガスの流量を1,000sccm、 N_2 ガスの流量を140sccmとし、圧力を10Pa(75mT)、ソース・パワーを2,400W、バイアス・パワーを3,300Wとして行っている。

【0040】

尚、図13と同様に、図14でも、パターンの線幅およびパターン間の距離が異なる3つの例((a)~(c))を示している。図14(a)と図14(b)は、パターン間の距離は略同じであるが、パターンの線幅が(b)>(a)である。また、図14(a)と図14(c)は、パターン間の距離およびパターンの線幅がともに(c)>(a)である。

40

【0041】

図14(a)~(c)から分かるように、第1のドライエッチングを高圧下で行った場合には、ポーラスMSQ膜53およびSiO₂膜54の側壁部に形成されたダメージ層がHF溶液によって溶解した結果、空洞部55が形成されている。一方、図13(a)~(c)の例では、空洞部45が形成される領域は、図14(a)~(c)に比較して大幅に

50

小さくなっている。すなわち、第1のドライエッチングを低圧下で行うことによって、ポーラスMSQ膜へのダメージを低減して、側壁部でのダメージ層の形成を抑制することが可能となる。

【0042】

次に、不要となったレジスト膜6および反射防止膜5をアッシング(第1のアッシング)により除去する(図3)。アッシングは、第2の絶縁膜3へのダメージを低減するために、 O_2 (酸素)を含まないガスを用いて行うことが好ましい。具体的には、 H_2 ガスを用いたアッシングや、 N_2 、He、NeおよびArなどの不活性ガスを1種または2種以上用いたアッシング、さらには、 H_2 ガスと、1種または2種以上の不活性ガスとを混合したガスを用いたアッシングなどが挙げられる。

10

【0043】

次に、第3の絶縁膜4をマスクとして第1の絶縁膜2をドライエッチングする(第2のドライエッチング)(図4)。この際、第1の絶縁膜2が残存することのないようにオーバーエッチングを行い、下層配線1が完全に表面に露出するようにする。

【0044】

第2のドライエッチングも第1のドライエッチングと同様のガスを用いて行うことができる。また、第1のドライエッチング工程と同様に、第2の絶縁膜3へのダメージを低減するとともに、第2の絶縁膜3へフッ素が取り込まれるのを抑制する条件で行うことが好ましい。具体的には、第2のドライエッチング工程も、圧力を従来より低圧とすることが好ましい。

20

【0045】

尚、第2のドライエッチングに使用するガス(第2のエッチングガス)は、第1のドライエッチングに使用するガス(第1のエッチングガス)と同じ組成であってもよいし、異なる組成であってもよい。但し、同じ組成のガスとした場合には、第2の絶縁膜3へのダメージおよびフッ素の拡散を小さくできる範囲内で、温度、圧力およびガス流量などのエッチング条件を第1のドライエッチング工程とは変えることが必要となる。

【0046】

例えば、第1の絶縁膜2としてSiC膜を用い、第2の絶縁膜3としてポーラスMSQ膜を用い、第3の絶縁膜4として SiO_2 膜を用いた場合には、 C_4F_8 (オクタフルオロシクロブタン)、 N_2 (窒素)およびAr(アルゴン)からなる混合ガスや、 CF_4 (テトラフルオロメタン)、 N_2 およびArからなる混合ガスなどを用いて第1のドライエッチングを行うことができる。また、 CHF_3 (トリフルオロメタン)、 N_2 (窒素)およびAr(アルゴン)からなる混合ガスや、 CF_4 (テトラフルオロメタン)、 N_2 およびArからなる混合ガスなどを用いて、SiC膜に対して第2のドライエッチングを行うことができる。一方、このとき、レジスト膜6としてArFレジストを用いた場合には、 H_2 (水素)およびHe(ヘリウム)の混合ガスを用いた高温プラズマによるアッシングや、 H_2 および N_2 (窒素)を用いた低温プラズマによるアッシングなどを行うことができる。

30

【0047】

第2のドライエッチングを終えた後は、半導体基板の表面に洗浄処理を施してレジスト残渣などを除去する。以上の工程によって、図4に示すように、下層配線1に至る配線溝7が形成される。

40

【0048】

次に、配線溝7を含む全面にバリアメタル膜8を形成した後、シード銅(Cu)膜9を形成する(図5)。これらの膜は、スパッタリング法によって形成することができる。

【0049】

バリアメタル膜8としては、例えば、タンタル(Ta)膜、窒化タンタル(TaN)膜、タングステン(W)膜、窒化タングステン(WN)膜、チタン(Ti)膜または窒化チタン(TiN)膜などを用いることができる。

【0050】

50

シード銅膜 9 を形成した後は、メッキ法によって銅層 10 を形成する (図 6) 。ここで、銅層 10 は銅のみからなる層であってもよいが、銅と他の金属との合金からなる層であってもよい。具体的には、銅を 80 重量%以上、好ましくは 90 重量%以上含み、他の金属としてマグネシウム (Mg) 、アルミニウム (Al) 、スカンジウム (Sc) 、ジルコニウム (Zr) 、ハフニウム (Hf) 、ニオブ (Nb) 、タンタル (Ta) 、クロム (Cr) またはモリブデン (Mo) などを含むものを用いることができる。このように銅の合金を配線層に用いることによって、半導体装置の電氣的な信頼性を向上させることが可能になる。

【 0051 】

銅層 10 を形成した後は、350 程度の温度で加熱処理を行うことによって、銅を粒成長させるとともに配線溝 7 の内部に銅を均一に充填させる。ここで、上記の洗浄工程やメッキ工程を経ることによって、第 2 の絶縁膜 3 中には水分が侵入している。しかしながら、本発明によれば、ドライエッチング工程で第 2 の絶縁膜 3 中に取り込まれるフッ素の量を低減することができるので、加熱処理を行っても第 2 の絶縁膜 3 中にフッ化水素酸 (HF) が生成することは殆どない。

【 0052 】

加熱処理を終えた後は、CMP 法によって表面を平坦化し、配線溝 7 の内部を除いて銅層 10、シード銅膜 9 およびバリアメタル膜 8 を除去する。この際、第 3 の絶縁膜 4 が CMP ストッパーとして働く場合には、第 3 の絶縁膜 4 が露出した時点で研磨が自動的に停止する。本発明によれば、第 2 の絶縁膜 3 中でのボイドの形成を抑制することができるので、CMP 法による研磨工程で、第 2 の絶縁膜 3 と第 1 の絶縁膜 2 との界面および / または第 2 の絶縁膜 3 と第 3 の絶縁膜 4 との界面に剥離などが発生することはない。

【 0053 】

以上の工程によって、下層配線 1 に電氣的に接続する溝配線 11 を形成することができる (図 7) 。

【 0054 】

図 15 は、銅層を形成してから 350 で熱処理を行った後の半導体装置の SEM (走査型電子顕微鏡) 写真である。この例では、CF₄ ガスの流量を 140 sccm、Ar ガスの流量を 1,000 sccm、N₂ ガスの流量を 50 sccm とし、圧力を 3.3 Pa (25 mT)、ソース・パワーを 1,200 W、バイアス・パワーを 700 W として第 1 のドライエッチングを行った後に、H₂ ガスと He ガスとの混合ガスを用いてアッシングを行っている。尚、第 1 の絶縁膜、第 2 の絶縁膜および第 3 の絶縁膜は図 13 と同様である。また、図 15 において、符号 46 は銅層である。

【 0055 】

図 15 から分かるように、本実施の形態によれば、ポーラス MSQ 膜 43 にボイドは形成されていない。これは、ドライエッチング工程でポーラス MSQ 膜 43 中に取り込まれるフッ素の量が低減されているので、加熱処理を行ってもポーラス MSQ 膜 43 中でフッ化水素酸 (HF) が生成することが殆どないためである。すなわち、フッ化水素酸によってポーラス MSQ 膜 43 が侵されることがないので、ポーラス MSQ 膜 43 中にボイドが形成されるのを防ぐことができる。

【 0056 】

続いて、本発明により、溝配線 11 に電氣的に接続するビアプラグを形成する工程について説明する。

【 0057 】

まず、溝配線 11 の上に第 4 の絶縁膜 12 を形成する (図 8) 。第 4 の絶縁膜 12 は、第 1 の絶縁膜 2 と同様にエッチングストッパー膜であるとともに拡散防止膜でもあり、銅が次工程で形成する第 5 の絶縁膜 13 中に拡散して行くのを防ぐ役割を有している。第 4 の絶縁膜 12 としては、例えば、炭化シリコン (SiC) 膜、炭窒化シリコン (SiCN) 膜または窒化シリコン (SiN) 膜などを用いることができ、これらはプラズマ CVD 法などによって形成することができる。

10

20

30

40

50

【0058】

次に、第4の絶縁膜12の上に、第5の絶縁膜13および第6の絶縁膜14を形成する。そして、第6の絶縁膜14の上に、第2の反射防止膜としての反射防止膜15を形成した後、反射防止膜15の上に、第2のレジスト膜としてのレジスト膜16を形成する(図8)。ここで、反射防止膜15およびレジスト膜16は、配線溝11を形成する際に使用した反射防止膜5およびレジスト膜6と同様のものを用いることができる。

【0059】

第5の絶縁膜13は層間絶縁膜であり、第2の絶縁膜3と同様のものを用いることができる。すなわち、第5の絶縁膜13として、第4の絶縁膜12とのエッチング選択比が大きくて、比誘電率が3.0以下、好ましくは比誘電率が2.5以下である低誘電率絶縁膜(Low-k膜)を用いる。具体的には、有機官能基を有するポリシロキサンであるオルガノポリシロキサンまたは芳香族含有有機樹脂をポラス化した材料などを用いることができる。特に、誘電特性および加工性に優れることから、アルキルシルセスキオキサンおよびヒドリドアルキルシロキサンなどのオルガノポリシロキサンを用いることが好ましい。例えば、メチルシルセスキオキサン(MSQ)およびメチル化ヒドロジェンシルセスキオキサン(MHSQ)などのメチル基を有するシロキサン結合を主骨格とする材料を挙げることができる。このうち、誘電特性および加工性に優れた、式(1)のMSQを用いることが好ましく、より低誘電率であるポラスMSQを用いることが特に好ましい。

【0060】

第6の絶縁膜14はキャップ膜であり、第3の絶縁膜4と同様のものを用いることができる。

【0061】

次に、レジスト膜16をマスクとして、反射防止膜15、第6の絶縁膜14および第5の絶縁膜13をドライエッチングする(第3のドライエッチング)。これにより、第4の絶縁膜12に至る開口部23が形成される(図9)。その後、不要となったレジスト膜16および反射防止膜15をアッシングにより除去してから(第2のアッシング)、第6の絶縁膜14をマスクとして第4の絶縁膜12をドライエッチングする(第4のドライエッチング)。これにより、溝配線11に至るビアホール17を形成することができる(図10)。

【0062】

本発明においては、配線溝11の形成時と同様に、第3のドライエッチングにおける圧力を従来より低圧とすることを特徴としている。ここで、圧力は低い方が好ましいが、あまり低すぎるとプラズマを安定して発生させることが困難となる。そこで、本発明においては、エッチングガスの圧力を0.1Pa~4Paとすることが好ましく、0.8Pa~3.3Paとすることがより好ましい。このように圧力を低くすることによって、第5の絶縁膜13中にフッ素が取り込まれるのを抑制することができる。また、第5の絶縁膜13の側壁部へのダメージを低減して、第5の絶縁膜13の比誘電率が上昇するのを抑制することもできる。さらに、開口部17の断面形状がポーリング状になるのを抑えて良好な矩形状にすることが可能となる。

【0063】

また、第4のドライエッチング工程も第3のドライエッチング工程と同様に、第5の絶縁膜13へのダメージを低減するとともに、第5の絶縁膜13へフッ素が取り込まれるのを抑制する条件で行うことが好ましい。

【0064】

第3のドライエッチングは、フルオロカーボン系のガスに水素(H₂)ガス、または、窒素(N₂)、ヘリウム(He)、ネオン(Ne)およびアルゴン(Ar)などの不活性ガスを1種若しくは2種以上添加して行う。また、第3のドライエッチングは、フルオロカーボン系のガスに、H₂ガスおよび1種または2種以上の不活性ガスを添加して行ってもよい。尚、フルオロカーボン系のガスとしては、例えば、テトラフルオロメタン(CF₄)、オクタフルオロシクロブタン(C₄F₈)、オクタフルオロシクロペンテン(C₅

10

20

30

40

50

F_8)、ヘキサフルオロエタン (C_2F_6)、ヘキサフルオロブタジエン (C_4F_6) またはヘキサフルオロベンゼン (C_6F_6) などを用いることができる。

【0065】

また、第4のドライエッチングに使用するガス(第4のエッチングガス)は、第3のドライエッチングに使用するガス(第3のエッチングガス)と同じ組成であってもよいし、異なる組成であってもよい。但し、同じ組成のガスとした場合には、第5の絶縁膜13へのダメージおよびフッ素の拡散を小さくできる範囲内で、温度、圧力およびガス流量などのエッチング条件を第3のドライエッチング工程とは変えることが必要となる。

【0066】

第2のアッシングは、第5の絶縁膜13へのダメージを低減するために、 O_2 (酸素) を含まないガスを用いて行うことが好ましい。例えば、 H_2 (水素) ガスを用いて行ってもよいし、 N_2 (窒素)、 He (ヘリウム)、 Ne (ネオン) および Ar (アルゴン) などの不活性ガスを1種または2種以上用いて行ってもよい。さらに、第2のアッシングは、 H_2 ガスと、1種または2種以上の不活性ガスとを混合したガスを用いて行ってもよい。

【0067】

例えば、第4の絶縁膜12として SiC 膜を用い、第5の絶縁膜13としてポーラス MSQ 膜を用い、第6の絶縁膜14として SiO_2 膜を用いた場合には、 C_4F_8 (オクタフルオロシクロブタン)、 N_2 (窒素) および Ar (アルゴン) からなる混合ガスや、 CF_4 (テトラフルオロメタン)、 N_2 および Ar からなる混合ガスなどを用いて第3のドライエッチングを行うことができる。また、 CHF_3 (トリフルオロメタン)、 N_2 (窒素) および Ar (アルゴン) からなる混合ガスや、 CF_4 (テトラフルオロメタン)、 N_2 および Ar からなる混合ガスなどを用いて、 SiC 膜に対して第4のドライエッチングを行うことができる。一方、このとき、レジスト膜16として ArF レジストを用いた場合には、 H_2 (水素) および He (ヘリウム) の混合ガスを用いた高温プラズマによるアッシングや、 H_2 および N_2 (窒素) を用いた低温プラズマによるアッシングなどを行うことができる。

【0068】

ビアホール17の形成を終えた後は、半導体基板の表面に洗浄処理を施してレジスト残渣などを除去する。

【0069】

次に、溝配線11形成の場合と同様にして、ビアホール17を含む全面にバリアメタル膜18およびシード銅 (Cu) 膜19を形成した後、メッキ法によって銅層20を形成する(図11)。その後、加熱処理を行うことによって、銅を粒成長させるとともにビアホール17の内部に銅を均一に充填させる。ここで、上記の洗浄工程やメッキ工程を経ることによって、第5の絶縁膜13中には水分が侵入している。しかしながら、本発明によれば、ドライエッチング工程で第5の絶縁膜13中に取り込まれるフッ素の量を低減することができるので、加熱処理を行っても第5の絶縁膜13中にフッ化水素酸 (HF) が生成することは殆どない。

【0070】

加熱処理を終えた後は、CMP法によって表面を平坦化し、ビアホール17の内部を除いて銅層20、シード銅膜19およびバリアメタル膜18を除去する。この際、第6の絶縁膜14がCMPストッパーとして働く場合には、第6の絶縁膜14が露出した時点で研磨が自動的に停止する。本発明によれば、第5の絶縁膜13中でのボイドの形成を抑制することができるので、CMP法による研磨工程で、第5の絶縁膜13と第4の絶縁膜12との界面および/または第5の絶縁膜13と第6の絶縁膜14との界面に剥離などが発生することはない。

【0071】

以上の工程によって、溝配線11と電氣的に接続するビアプラグ21を形成することができる(図12)。

10

20

30

40

50

【0072】

上記の溝配線およびビアプラグの形成工程を繰り返して行うことによって、銅層の剥離のない多層の銅配線構造を得ることができる。したがって、本発明によれば、信頼性の高い半導体装置を製造することができる。

【0073】

本実施の形態において使用されるエッチング装置は、2周波RIE(Reactive Ion Etching)型およびICP(Inductively Coupled Plasma)型のいずれの装置であってもよい。また、アッシング装置は、ダウンフロー型表面波プラズマアッシャーおよびICP型プラズマアッシャーのいずれの装置であってもよい。さらに、上記のエッチング装置をアッシング装置として用いてもよい。

10

【0074】

尚、本実施の形態においては、シングルダマシンプロセスの例について説明したが、本発明はこれに限られるものではない。本発明は、デュアルダマシンプロセスにおけるドライエッチング工程およびアッシング工程においても同様に適用することが可能である。

【図面の簡単な説明】

【0075】

【図1】本実施の形態における半導体装置の製造工程を示す断面図である。

【図2】本実施の形態における半導体装置の製造工程を示す断面図である。

【図3】本実施の形態における半導体装置の製造工程を示す断面図である。

【図4】本実施の形態における半導体装置の製造工程を示す断面図である。

20

【図5】本実施の形態における半導体装置の製造工程を示す断面図である。

【図6】本実施の形態における半導体装置の製造工程を示す断面図である。

【図7】本実施の形態における半導体装置の製造工程を示す断面図である。

【図8】本実施の形態における半導体装置の製造工程を示す断面図である。

【図9】本実施の形態における半導体装置の製造工程を示す断面図である。

【図10】本実施の形態における半導体装置の製造工程を示す断面図である。

【図11】本実施の形態における半導体装置の製造工程を示す断面図である。

【図12】本実施の形態における半導体装置の製造工程を示す断面図である。

【図13】本実施の形態において、第1のドライエッチング後の半導体装置のSEM写真である。

30

【図14】比較例による半導体装置のSEM写真である。

【図15】本実施の形態において、銅熱処理後の半導体装置のSEM写真である。

【図16】従来の半導体装置の断面図である。

【符号の説明】

【0076】

1 下層配線

2 第1の絶縁膜

3 第2の絶縁膜

4 第3の絶縁膜

5, 15 反射防止膜

40

6, 16 レジスト膜

7 配線溝

8, 18 バリアメタル膜

9, 19 シード銅膜

10, 20, 46 銅層

11 溝配線

12 第4の絶縁膜

13 第5の絶縁膜

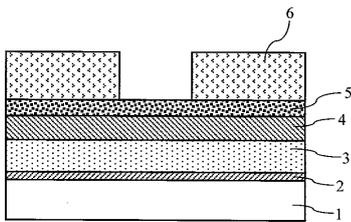
14 第6の絶縁膜

17 ビアホール

50

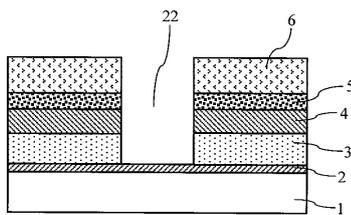
- 2 1 ピアプラグ
- 2 2 , 2 3 開口部
- 4 1 , 5 1 シリコン基板
- 4 2 , 5 2 S i C 膜
- 4 3 , 5 3 ポーラスM S Q 膜
- 4 4 , 5 4 S i O 2 膜
- 4 5 , 5 5 空洞部

【 図 1 】



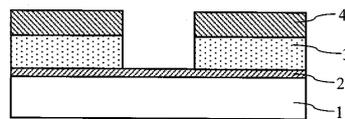
- 1 下層配線
- 2 第1の絶縁膜
- 3 第2の絶縁膜
- 4 第3の絶縁膜
- 5 反射防止膜
- 6 レジスト膜

【 図 2 】

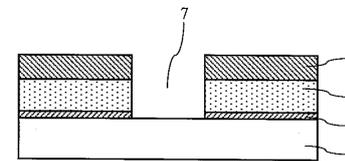


22 開口部

【 図 3 】

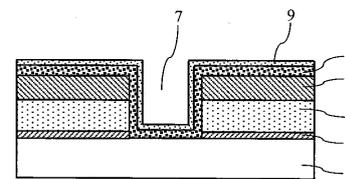


【 図 4 】



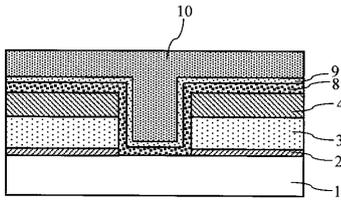
7 配線溝

【 図 5 】



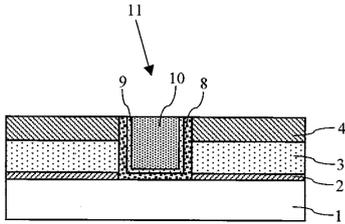
- 8 バリアメタル膜
- 9 シード銅膜

【図6】



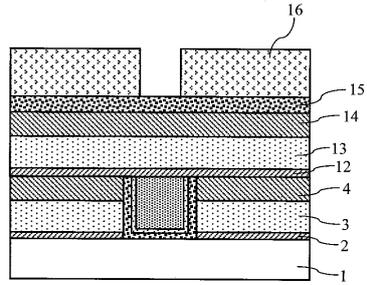
10 銅層

【図7】



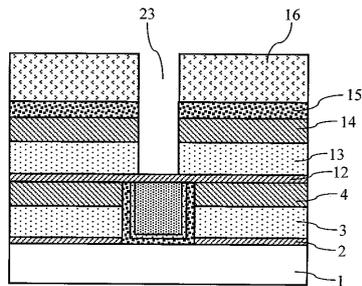
11 溝配線

【図8】



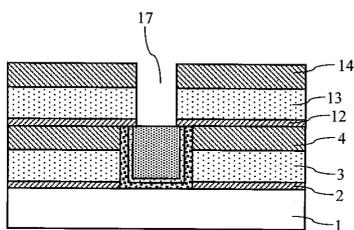
- 12 第4の絶縁膜
- 13 第5の絶縁膜
- 14 第6の絶縁膜
- 15 反射防止膜
- 16 レジスト膜

【図9】



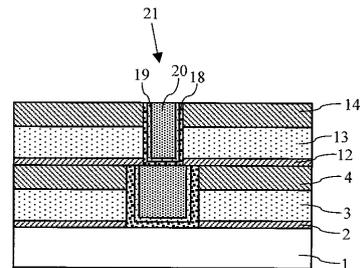
23 開口部

【図10】



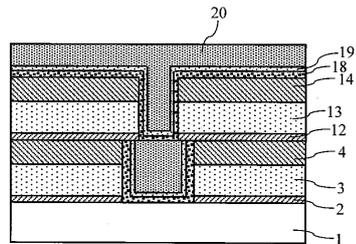
17 ビアホール

【図12】



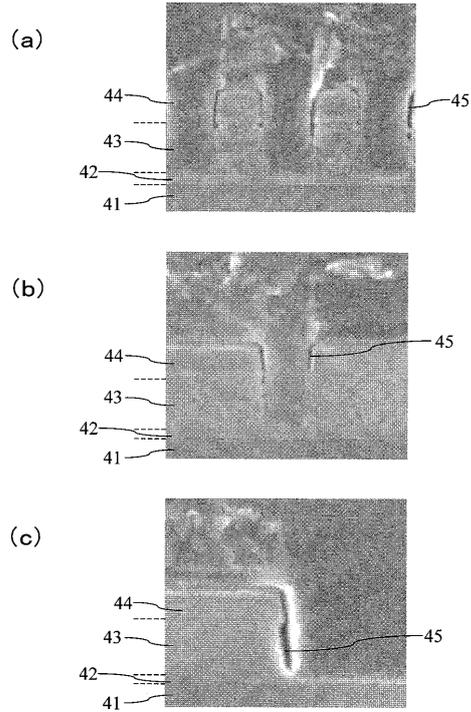
21 ビアプラグ

【図11】



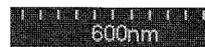
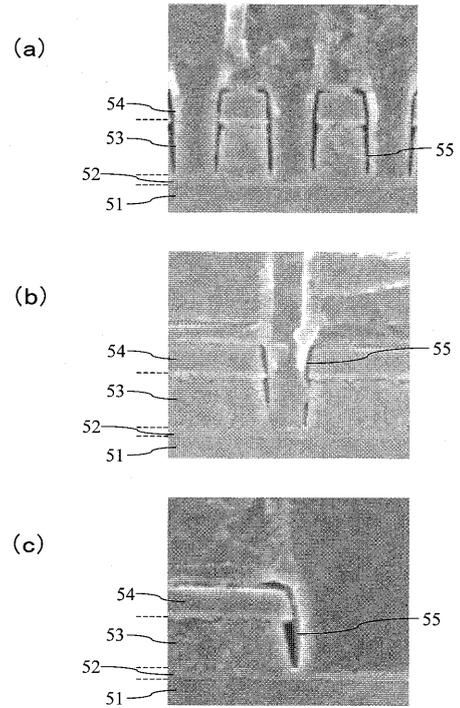
- 18 バリアメタル膜
- 19 シード銅膜
- 20 銅層

【 図 1 3 】



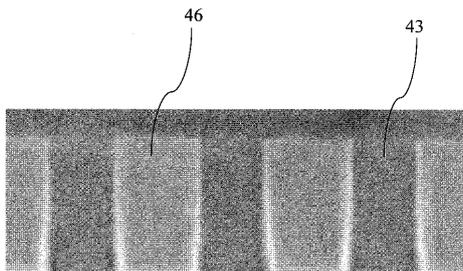
- 41 シリコン基板
- 42 SiC膜
- 43 ポーラスMSQ膜
- 44 SiO₂膜
- 45 空洞部

【 図 1 4 】



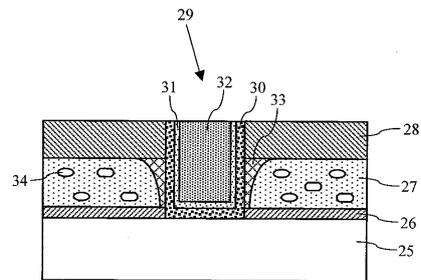
- 51 シリコン基板
- 52 SiC膜
- 53 ポーラスMSQ膜
- 54 SiO₂膜
- 55 空洞部

【 図 1 5 】



- 46 銅層

【 図 1 6 】



- 25 下層配線
- 26 エッチングストッパー膜
- 27 Low-k膜
- 28 キャップ膜
- 29 銅配線層
- 30 バリアメタル膜
- 31 シード銅膜
- 32 銅層
- 33 ダメージ層
- 34 ポイド

フロントページの続き

Fターム(参考) 5F033 JJ11 JJ12 JJ18 JJ19 JJ21 JJ32 JJ33 JJ34 KK11 KK12
KK18 KK19 KK21 KK32 KK33 KK34 MM01 MM12 MM13 NN06
NN07 PP15 PP26 QQ02 QQ09 QQ10 QQ11 QQ13 QQ15 QQ21
QQ28 QQ37 QQ48 QQ73 RR01 RR06 RR21 RR29 SS15 SS21
WW05 WW09 XX02