



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2016-0106615  
(43) 공개일자 2016년09월12일

- (51) 국제특허분류(Int. Cl.)  
G11C 11/16 (2006.01)
- (52) CPC특허분류  
G11C 11/1675 (2013.01)  
G11C 11/1655 (2013.01)
- (21) 출원번호 10-2016-7019998
- (22) 출원일자(국제) 2015년02월02일  
심사청구일자 2016년08월09일
- (85) 번역문제출일자 2016년07월21일
- (86) 국제출원번호 PCT/US2015/014123
- (87) 국제공개번호 WO 2015/130430  
국제공개일자 2015년09월03일
- (30) 우선권주장  
14/191,191 2014년02월26일 미국(US)

- (71) 출원인  
인텔 코퍼레이션  
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200
- (72) 발명자  
나에미, 헬리아  
미국 95051 캘리포니아주 산타 클라라 에이피티 440 그라나다 애비뉴 3500  
루, 슈-리엔  
미국 97229 오리건주 포틀랜드 노스웨스트 레이크뷰 드라이브 14069  
오거스틴, 찰스  
미국 97124 오리건주 힐스보로 에이피티 50 노스 이스트 칼라비 웨이 1481
- (74) 대리인  
양영준, 김연송, 백만기

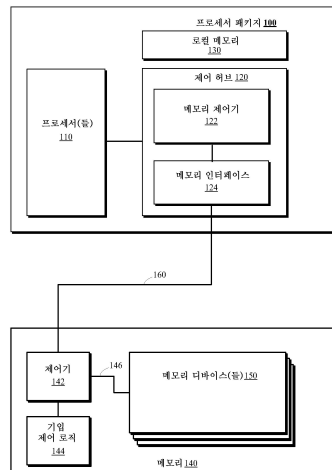
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 스핀 전달 토크 메모리에서의 기입 동작들

**(57) 요약**

스핀 전달 토크(STT) 메모리에서의 기입 동작들을 위한 장치, 시스템들, 및 방법들이 기술된다. 일 실시예에서, 제어기는, 스핀 전달 토크(STT) 메모리의 행에서 평행 상태로 설정될 제1 복수의 셀 및 STT 메모리의 행에서 역평행 상태로 설정될 제2 복수의 셀을 식별하고, 행 내의 제2 복수의 셀에 기입 동작들을 마스킹하고, 제1 복수의 셀을 평행 상태로 설정하고, 행 내의 제1 복수의 셀에 기입 동작들을 마스킹하고, 제2 복수의 셀을 역평행 상태로 설정하기 위한 로직을 포함한다. 다른 실시예들이 또한 개시되고 청구된다.

**대표도** - 도1



(52) CPC특허분류  
*G11C 11/1657* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

로직을 포함하는 제어기로서,

상기 로직은

스핀 전달 토크(STT) 메모리의 행에서 평행 상태로 설정될 제1 복수의 셀 및 상기 STT 메모리의 상기 행에서 역 평행(anti-parallel) 상태로 설정될 제2 복수의 셀을 식별하고;

상기 행 내의 상기 제2 복수의 셀에 기입 동작들을 마스킹하고;

상기 제1 복수의 셀을 평행 상태로 설정하고;

상기 행 내의 상기 제1 복수의 셀에 기입 동작들을 마스킹하고;

상기 제2 복수의 셀을 역평행 상태로 설정하는, 제어기.

#### 청구항 2

제1항에 있어서,

상기 제1 복수의 셀 내의 워드 라인을 평행 상태 기입 전압  $V_{WR1}$ 로 설정하고;

상기 제1 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고;

상기 제1 복수의 셀 내의 비트 라인을 포지티브 전압  $V_{DD}$ 로 설정하는 로직을 더 포함하는, 제어기.

#### 청구항 3

제2항에 있어서,

상기 포지티브 전압  $V_{DD}$ 는 2.7 볼트 내지 5.0 볼트로 측정되고;

상기 평행 상태 기입 전압  $V_{WR1}$ 은 GND 볼트 내지  $-V_{DD}/2$  볼트로 측정되는, 제어기.

#### 청구항 4

제2항에 있어서,

상기 제2 복수의 셀 내의 선택 라인을 0 미만인 전압으로 설정하고;

상기 제2 복수의 셀 내의 비트 라인을 0 미만인 전압으로 설정하는 로직을 더 포함하는, 제어기.

#### 청구항 5

제1항에 있어서,

상기 제2 복수의 셀 내의 워드 라인을 역평행 상태 기입 전압  $V_{WR0}$ 으로 설정하고;

상기 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고;

상기 제2 복수의 셀 내의 비트 라인을 네거티브 전압  $-V_{DD}$ 로 설정하는 로직을 더 포함하는, 제어기.

#### 청구항 6

제5항에 있어서,

상기 네거티브 전압  $-V_{DD}$ 는 -2.7 볼트 내지 -5 볼트로 측정되고;

상기 역평행 상태 기입 전압  $V_{WRO}$ 은 GND 볼트 내지  $V_{DD}$  볼트로 측정되는, 제어기.

**청구항 7**

제5항에 있어서,

상기 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고;

상기 제2 복수의 셀 내의 비트 라인을 GND 전압으로 설정하는 로직을 더 포함하는, 제어기.

**청구항 8**

메모리로서,

적어도 하나의 스핀 전달 토크(STT) 메모리 디바이스; 및

로직을 포함하는 제어기

를 포함하고,

상기 로직은,

스핀 전달 토크(STT) 메모리의 행에서 평행 상태로 설정될 제1 복수의 셀 및 상기 STT 메모리의 상기 행에서 역평행 상태로 설정될 제2 복수의 셀을 식별하고;

상기 행 내의 상기 제2 복수의 셀에 기입 동작들을 마스킹하고;

상기 제1 복수의 셀을 평행 상태로 설정하고;

상기 행 내의 상기 제1 복수의 셀에 기입 동작들을 마스킹하고;

상기 제2 복수의 셀을 역평행 상태로 설정하는, 메모리.

**청구항 9**

제8항에 있어서,

상기 제어기는,

상기 제1 복수의 셀 내의 워드 라인을 평행 상태 기입 전압  $V_{WR1}$ 로 설정하고;

상기 제1 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고;

상기 제1 복수의 셀 내의 비트 라인을 포지티브 전압  $V_{DD}$ 로 설정하는 로직을 더 포함하는, 메모리.

**청구항 10**

제9항에 있어서,

상기 포지티브 전압  $V_{DD}$ 는 2.7 볼트 내지 5.0 볼트로 측정되고;

상기 평행 상태 기입 전압  $V_{WR1}$ 은 GND 볼트 내지  $-V_{DD}/2$  볼트로 측정되는, 메모리.

**청구항 11**

제9항에 있어서,

상기 제어기는,

상기 제2 복수의 셀 내의 선택 라인을 0 미만인 전압으로 설정하고;

상기 제2 복수의 셀 내의 비트 라인을 0 미만인 전압으로 설정하는 로직을 더 포함하는, 메모리.

**청구항 12**

제8항에 있어서,

상기 제어기는,

상기 제2 복수의 셀 내의 워드 라인을 역평행 상태 기입 전압  $V_{WR0}$ 으로 설정하고;

상기 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고;

상기 제2 복수의 셀 내의 비트 라인을 네거티브 전압  $-V_{DD}$ 로 설정하는 로직을 더 포함하는, 메모리.

### 청구항 13

제12항에 있어서,

상기 네거티브 전압  $-V_{DD}$ 는 -2.7 볼트 내지 -5 볼트로 측정되고;

상기 역평행 상태 기입 전압  $V_{WR0}$ 은 GND 볼트 내지  $V_{DD}$  볼트로 측정되는, 메모리.

### 청구항 14

제12항에 있어서,

상기 제어기는,

상기 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고;

상기 제2 복수의 셀 내의 비트 라인을 GND 전압으로 설정하는 로직을 더 포함하는, 메모리.

### 청구항 15

전자 디바이스로서,

프로세서;

적어도 하나의 스핀 전달 토크(STT) 메모리 디바이스; 및

로직을 포함하는 제어기

를 포함하고,

상기 로직은,

스핀 전달 토크(STT) 메모리의 행에서 평행 상태로 설정될 제1 복수의 셀 및 상기 STT 메모리의 상기 행에서 역평행 상태로 설정될 제2 복수의 셀을 식별하고;

상기 행 내의 상기 제2 복수의 셀에 기입 동작들을 마스킹하고;

상기 제1 복수의 셀을 평행 상태로 설정하고;

상기 행 내의 상기 제1 복수의 셀에 기입 동작들을 마스킹하고;

상기 제2 복수의 셀을 역평행 상태로 설정하는, 전자 디바이스.

### 청구항 16

제15항에 있어서,

상기 제어기는,

상기 제1 복수의 셀 내의 워드 라인을 평행 상태 기입 전압  $V_{WR1}$ 로 설정하고;

상기 제1 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고;

상기 제1 복수의 셀 내의 비트 라인을 포지티브 전압  $V_{DD}$ 로 설정하는 로직을 더 포함하는, 전자 디바이스.

### 청구항 17

제16항에 있어서,

상기 포지티브 전압  $V_{DD}$ 는 2.7 볼트 내지 5.0 볼트로 측정되고;

상기 평행 상태 기입 전압  $V_{WR1}$ 은 GND 볼트 내지  $-V_{DD}/2$  볼트로 측정되는, 전자 디바이스.

**청구항 18**

제16항에 있어서,

상기 제어기는,

상기 제2 복수의 셀 내의 선택 라인을 0 미만인 전압으로 설정하고;

상기 제2 복수의 셀 내의 비트 라인을 0 미만인 전압으로 설정하는 로직을 더 포함하는, 전자 디바이스.

**청구항 19**

제15항에 있어서,

상기 제어기는,

상기 제2 복수의 셀 내의 워드 라인을 역평행 상태 기입 전압  $V_{WRO}$ 으로 설정하고;

상기 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고;

상기 제2 복수의 셀 내의 비트 라인을 네거티브 전압  $-V_{DD}$ 로 설정하는 로직을 더 포함하는, 전자 디바이스.

**청구항 20**

제19항에 있어서,

상기 네거티브 전압  $-V_{DD}$ 는 -2.7 볼트 내지 -5 볼트로 측정되고;

상기 역평행 상태 기입 전압  $V_{WRO}$ 은 GND 볼트 내지  $V_{DD}$  볼트로 측정되는, 전자 디바이스.

**청구항 21**

제19항에 있어서,

상기 제어기는,

상기 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고;

상기 제2 복수의 셀 내의 비트 라인을 GND 전압으로 설정하는 로직을 더 포함하는, 전자 디바이스.

**청구항 22**

제어기에 의해 실행될 때,

스핀 전달 토크(STT) 메모리의 행에서 평행 상태로 설정될 제1 복수의 셀 및 상기 STT 메모리의 상기 행에서 역평행 상태로 설정될 제2 복수의 셀을 식별하고;

상기 행 내의 상기 제2 복수의 셀에 기입 동작들을 마스킹하고;

상기 제1 복수의 셀을 평행 상태로 설정하고;

상기 행 내의 상기 제1 복수의 셀에 기입 동작들을 마스킹하고;

상기 제2 복수의 셀을 역평행 상태로 설정하도록 상기 제어기를 구성하는 비일시적 컴퓨터 판독가능 매체에 저장되는 로직 명령어들을 포함하는, 컴퓨터 프로그램 제품.

**청구항 23**

제22항에 있어서,

제어기에 의해 실행될 때,

상기 제1 복수의 셀 내의 워드 라인을 평행 상태 기입 전압  $V_{WR1}$ 로 설정하고;

상기 제1 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고;

상기 제1 복수의 셀 내의 비트 라인을 포지티브 전압  $V_{DD}$ 로 설정하도록 상기 제어기를 구성하는 비일시적 컴퓨터 판독가능 매체에 저장되는 로직 명령어들을 더 포함하는, 컴퓨터 프로그램 제품.

**청구항 24**

제23항에 있어서,

상기 포지티브 전압  $V_{DD}$ 는 2.7 볼트 내지 5.0 볼트로 측정되고;

상기 평행 상태 기입 전압  $V_{WR1}$ 은 GND 볼트 내지  $-V_{DD}/2$  볼트로 측정되는, 컴퓨터 프로그램 제품.

**청구항 25**

제23항에 있어서,

제어기에 의해 실행될 때,

상기 제2 복수의 셀 내의 선택 라인을 0 미만인 전압으로 설정하고;

상기 제2 복수의 셀 내의 비트 라인을 0 미만인 전압으로 설정하도록 상기 제어기를 구성하는 비일시적 컴퓨터 판독가능 매체에 저장되는 로직 명령어들을 더 포함하는, 컴퓨터 프로그램 제품.

**발명의 설명**

**기술 분야**

[0001] 본 개시 내용은 일반적으로 전자 공학 분야에 관한 것이다. 보다 상세하게는, 본 발명의 일부 실시예들은 일반적으로 스핀 전달 토크 메모리에서의 기입 동작들에 관한 것이다.

**배경 기술**

[0002] 많은 전자 디바이스는 자주 비휘발성 메모리로서 실시되는 로컬 고속 액세스 메모리를 사용하여 구현될 수 있는 메모리 시스템들을 포함한다. 스핀 전달 토크(STT) 메모리는 비휘발성 메모리 시스템들을 위한 기술로서 개발 중이다. 이에 따라, STT 메모리 시스템들에서의 기입 동작들을 관리하기 위한 기술들은, 예를 들어 전자 디바이스들용 메모리 시스템들에서의 유용성을 찾을 수 있다.

**발명의 내용**

**도면의 간단한 설명**

[0003] 상세한 설명이 첨부 도면을 참조하여 제공된다. 상이한 도면들에서 동일한 참조 번호들을 사용하는 것은 유사하거나 동일한 항목을 나타낸다.

도 1은 본 명세서에서 논의되는 다양한 예들에 따른, 스핀 전달 토크(STT) 메모리에서의 기입 동작들을 구현하기 위한 장치의 컴포넌트들의 개략적인 블록도 예시이다.

도 2는 본 명세서에서 논의되는 다양한 예들에 따른, 스핀 전달 토크(STT) 메모리의 아키텍처의 개략 블록도이다.

도 3, 도 4 및 도 5는 본 명세서에서 논의되는 다양한 실시예들에 따른, 스핀 전달 토크(STT) 메모리에서의 기입 동작들을 구현하기 위한 방법에서의 동작들을 예시하는 흐름도들이다.

도 6 내지 도 10은 본 명세서에서 논의되는 다양한 실시예에 따른, 스핀 전달 토크(STT) 메모리에서의 기입 동작을 구현하도록 적용될 수 있는 전자 디바이스들의 개략적인 블록도 예시들이다.

**발명을 실시하기 위한 구체적인 내용**

- [0004] 이하의 설명에서, 다양한 실시예에 대한 완전한 이해를 제공하기 위해 수많은 구체적인 상세들이 기재된다. 그러나, 본 발명의 다양한 실시예들은 구체적인 상세 없이도 실시될 수 있다. 다른 경우들에서, 본 발명의 특정 실시예들을 불명료하게 하지 않기 위해 공지의 방법들, 절차들, 컴포넌트들, 및 회로들은 상세히 기술되지 않았다. 게다가, 본 발명의 실시예들의 다양한 양태들이 집적 반도체 회로들("하드웨어들"), 하나 이상의 프로그램들("소프트웨어")로 구성되는 컴퓨터-판독가능 명령어들, 또는 하드웨어와 소프트웨어의 어떤 조합과 같은 다양한 수단을 사용하여 수행될 수 있다. 본 개시 내용의 목적상, "로직"이라고 하는 것은 하드웨어, 소프트웨어, 또는 이들의 어떤 조합을 의미할 것이다.
- [0005] 연결 강자성 재료의 스핀 배향에 의해 데이터를 저장하고 전류 유도성 스위칭을 보여주는 스핀 전달 토크(STT) 메모리 기술은 매력적인 새로운 메모리 기술인데, 그 이유는 이것이 CMOS 로직 호환성이고 스케일링가능하며 고 밀도를 갖기 때문이다. 게다가, 이것은 비휘발성이고, 경쟁적 판독 대기 시간을 갖는다. STT RAM은 자성 재료들의 2개 층, 즉 하나의 고정 층과 하나의 자유 층을 이용하는 일종의 저항성 RAM이다. 스핀 분극 전류는 디바이스를 통과하여 자성 층들에 평행(P 또는 '1') 또는 역평행(AP 또는 '0') 분극들을 생성하며, 그에 의해 정보를 저장한다.
- [0006] 본 명세서에서 기술되는 일부 예들에서, 본 명세서에서 기술되는 주제는 각각의 행에 대해 연속적인 선택적 기입 동작들을 수행함으로써 스핀 전달 토크(STT) 메모리에서의 기입 동작의 문제를 해결한다. 제1 기입 동작에서는, 역평행(AP) 상태에서부터 평행(P) 상태로(즉, 로직 "0"으로부터 로직 "1"로) 기입되고 있는 메모리 셀들이 스위칭된다. 제2 기입 동작에서는, 평행(P) 상태에서부터 역평행(AP) 상태로(즉, 로직 "1"로부터 로직 "0"으로) 기입되고 있는 메모리 셀들이 스위칭된다. 기입 동작들의 순서는 결정적이지 않고, 반전될 수 있다.
- [0007] 일부 예들에서, 메모리 행의 기입 라인에 인가되는 전압은 기입 동작에서 대기 시간을 최소화하거나 또는 적어도 감소시키기 위해 선택될 수 있다. 일부 예들에서, 네거티브 바이어스가 기입 라인에 인가될 수 있다.
- [0008] 추가적 상세 사항들이 하기에 도 1 내지 도 10을 참조하여 기술된다.
- [0009] 도 1은 본 명세서에서 논의되는 다양한 예들에 따른, 스핀 전달 토크(STT) 메모리에서의 기입 동작들을 구현하기 위한 장치의 컴포넌트들의 개략적인 블록도 예시이다. 도 1을 참조하면, 일부 실시예들에서, 중앙 프로세서 패키지(100)는 제어 허브(120) 및 로컬 메모리(130)에 결합되는 하나 이상의 프로세서들(110)을 포함할 수 있다. 제어 허브(120)는 메모리 제어기(122) 및 메모리 인터페이스(124)를 포함한다.
- [0010] 메모리 인터페이스(124)는 통신 버스(160)에 의해 메모리(140)에 결합된다. 일부 예들에서, 통신 버스(160)는 인쇄 회로 보드 상의 트레이스들, 구리 배선들을 가진 케이블, 광섬유 케이블, 커넥팅 소켓, 또는 상기한 것들의 조합으로서 구현될 수 있다.
- [0011] 메모리(140)는 제어기(142), 기입 제어 로직(144), 및 하나 이상의 메모리 디바이스(들)(150)를 포함할 수 있다. 다양한 실시예들에서, 메모리뱅크들(150) 중 적어도 일부는 비휘발성 메모리, 예를 들어 스핀 전달 토크(STT) 메모리를 사용하여 구현될 수 있다. 전술한 바와 같이, 일부 실시예들에서는, 제어기(142)에 결합될 수 있거나 제어기(142) 내에 통합될 수 있는 기입 제어 로직(144)이 스핀 전달 토크(STT) 메모리(140)에서의 기입 동작들을 구현한다.
- [0012] 도 2는 본 명세서에서 논의되는 다양한 예들에 따른, 스핀 전달 토크(STT) 메모리(200)의 아키텍처의 개략 블록도이다. 도 2를 참조하면, 일부 예들에서, 메모리(200)는 행 1, 행 2, 행 3, 행 4 등등 내지 행 M까지 식별된 복수의 행을 포함한다. 각각의 행은 셀 1, 셀 2, 셀 3 등등 내지 셀 N까지 식별된 복수의 메모리 셀을 포함한다. 그러므로, 메모리(200)는 M x N 메모리 매트릭스로서 구성된다.
- [0013] 대표적인 스핀 전달 토크 메모리 셀(210)이 도 2에 도시된다. 메모리 셀(210)은 트랜지스터(212)와 자기성 터널 접합(214), 워드 라인(WL)(220), 선택 라인(SL)(222), 및 비트 라인(BL)(224)을 포함한다. 동작 시, 셀(210)은, 판독 전압  $V_{RD}$ 로 BL(224)을 사전충전시키고, 전압이 WL(220)에 인가될 때, 전압이 셀(210)을 통하여 감쇄하게 함으로써 판독된다. 기준 셀을 사용하여 동시에 배출되는 기준 비트 라인은 센스 증폭기 기준의 역할을 한다. 기준 비트 라인 및 액세스된 비트 라인 양쪽은 P-형 금속 산화물 반도체(PMOS) 전류 소스를 사용하여 클램핑되어, 매우 긴 액세스 시간들 동안에도, 센스 증폭기 입력에서 일정한 전압 차가 유지되게 한다.
- [0014] 스핀 전달 토크(STT) 메모리에서의 기입 동작을 구현하기 위한 컴포넌트들 및 아키텍처를 기술했지만, 스핀 전달 토크(STT) 메모리에서의 기입 동작들을 구현하기 위한 동작들이 이제 도 3 내지 도 5를 참조하여 기술될 것이다. 일부 예들에서, 도 3 내지 도 5에 도시된 동작들은 기입 제어 로직(144)에 의해 단독으로 또는 제어기



(142)와 합동하여 구현될 수 있다.

[0015] 먼저 도 3을 참조하면, 동작(310)에서, 기입 명령이 수신된다. 예를 들어, 도 1을 간략하게 참조하면, 일부 예들에서, 기입 명령이 메모리 제어기(122)로부터 메모리 인터페이스(124)를 통해 제어기(142)에서 수신될 수 있다. 기입 명령에 응답하여, 제어기(142)는 메모리(140)에서 기입 동작과 연관된 데이터를 메모리 디바이스(들)(150)에 기입하기 위해 로직을 개시할 수 있다. 일부 예들에서, 메모리 디바이스들(150) 중 하나 이상은 도 2에 도시된 메모리(200)와 같은 스핀 전달 토크(STT) 메모리 디바이스를 포함할 수 있다.

[0016] 일부 예들에서, 기입 제어 로직(144)은 메모리(200)에 데이터를 행 단위로 기입하도록 제어기(142)를 구성한다. 동작(315)에서, 제어기는 메모리(200)의 행에서 평행 상태(예컨대, 로직 "1")로 설정될 제1 복수의 셀 및 메모리(200)의 행에서 역평행 상태(예컨대, 로직 "0")로 설정될 제2 복수의 셀을 식별하도록 구성된다. 동작(320)에서, 제어기는 제2 복수의 셀에 기입 동작들을 마스킹하고, 동작(325)에서, 제어기는 평행 상태로 식별된 제1 복수의 셀을 설정한다. 동작(330)에서, 제어기는 제1 복수의 셀에 기입 동작들을 마스킹하고, 동작(335)에서, 제어기는 역평행 상태로 식별된 제1 복수의 셀을 설정한다.

[0017] 도 4는 예들에 따라 동작들(320, 325)을 참조하여 기술된 바와 같이 제2 세트의 셀들에 기입 동작들을 마스킹하고 제1 복수의 셀을 평행 상태로 설정하도록 제어기(142)에 의해 구현되는 동작들을 예시하는 흐름도이다. 도 4를 간략하게 참조하면, 동작(410)에서, 제어기(142)는 제1 복수의 셀 내의 워드 라인(220)을 평행 상태 기입 전압  $V_{WR1}$ 로 설정한다. 동작(415)에서, 제어기(142)는 제1 복수의 셀 내의 선택 라인(222)을 GND 전압(예컨대, 0 볼트)으로 설정하고, 동작(420)에서, 제어기(142)는 제1 복수의 셀 내의 비트 라인(224)을 포지티브 전압  $V_{DD}$ 로 설정한다. 일부 예들에서, 포지티브 전압  $V_{DD}$ 는 2.7 볼트 내지 5.0 볼트로 측정되고, 평행 상태 기입 전압  $V_{WR1}$ 은 GND 볼트 내지  $-V_{DD}/2$  볼트로 측정된다.

[0018] 기입 동작 동안, 제어기는 제2 복수의 셀 내의 선택 라인(222)을 0 미만인 전압으로 설정하고(동작 425) 제2 복수의 셀 내의 비트 라인(224)을 0 미만인 전압으로 설정함(동작 430)으로써 행 내의 제2 복수의 셀을 그들의 현재 상태에서 유지한다.

[0019] 도 5는 예들에 따라 동작들(330, 335)을 참조하여 기술된 바와 같이 제1 세트의 셀들에 기입 동작들을 마스킹하고 제2 복수의 셀을 역평행 상태로 설정하도록 제어기(142)에 의해 구현되는 동작들을 예시하는 흐름도이다. 도 5를 간략하게 참조하면, 동작(510)에서, 제어기(142)는 제2 복수의 셀 내의 워드 라인을 역평행 상태 기입 전압  $V_{WR0}$ 으로 설정한다. 동작(515)에서, 제어기(142)는 제2 복수의 셀 내의 선택 라인(222)을 GND 전압(예컨대, 0 볼트)으로 설정하고, 동작(520)에서, 제어기(142)는 제2 복수의 셀 내의 비트 라인(224)을 네거티브 전압  $-V_{DD}$ 로 설정한다. 일부 예들에서, 네거티브 전압  $-V_{DD}$ 는 -2.7 볼트 내지 -5 볼트로 측정되고, 역평행 상태 기입 전압  $V_{WR0}$ 은 GND 내지  $V_{DD}$  볼트로 측정된다.

[0020] 기입 동작 동안, 제어기는 제2 복수의 셀 내의 선택 라인(222)을 GND 전압으로 설정하고(동작 525) 제2 복수의 셀 내의 비트 라인(224)을 GND 전압으로 설정함으로써(동작 530) 행 내의 제1 복수의 셀을 그들의 현재 상태에서 유지한다.

[0021] 일부 예들에서, 평행 상태는 로직 "하이"(즉, "1")에 대응하는 반면, 역평행 상태는 로직 "로우"(즉, "0")에 대응한다. 표 I은 스핀 전달 토크(STT) 메모리들에서 구현되는 기입 동작들에서 워드 라인(220), 선택 라인(222), 및 비트 라인(224)에 인가되는 전압들에 대한 값들의 예들을 제공한다.

[0022] [표 I]

모드	BL	SL	WL
<b>WR1 ('AP→P')</b>	$V_{DD}$	GND	$V_{WR0}$
<b>WR0 (P→AP)</b>	$-V_{DD}$	GND	$V_{WR1}$
관독	$V_{DD}$	GND	$V_{DD}$
선택되지 않은 행들	-	-	$V_{uns} \leq -V_{DD}$

[0023] 일부 예들에서,  $V_{WR1}$ 은  $V_{DD}/2$ 로 설정될 수 있고,  $V_{WR0}$ 은  $V_{DD}$ 로 설정될 수 있다. 본 기술분야의 통상의 기술자는 다

른 전압들이 인가될 수 있다는 것을 인식할 것이다.

- [0025] 그러므로, 도 3 내지 도 5에 도시된 동작들은 각각의 행에 대해 연속적인 선택적 기입 동작들을 수행함으로써 제어기(142)가 스핀 전달 토크(STT) 메모리에서의 기입 동작을 구현할 수 있게 한다. 일부 예들에서, 본 명세서에서 기술되는 기법들은 스핀 전달 토크(STT) 메모리와 통상적으로 연관되는 비대칭 기입 대기 시간을 감소시키거나 제거한다.
- [0026] 전술한 바와 같이, 일부 실시예들에서, 전자 디바이스는 컴퓨터 시스템으로서 구체화될 수 있다. 도 6은 본 발명의 실시예에 따른 컴퓨팅 시스템(600)의 블록도를 예시한다. 컴퓨팅 시스템(600)은 상호접속 네트워크(또는 버스)(604)를 통해 통신하는 하나 이상의 중앙 처리 유닛(들)(프로세서)(602) 또는 프로세서들을 포함할 수 있다. 프로세서(602)는 범용 프로세서, 네트워크 프로세서(컴퓨터 네트워크(603)를 통해 통신되는 데이터를 처리함), 또는 기타 유형들의 프로세서(RISC(reduced instruction set computer) 프로세서 또는 CISC(complex instruction set computer)를 포함함)를 포함할 수 있다. 게다가, 프로세서(602)는 단일 또는 다중 코어 설계를 가질 수 있다. 다중 코어 설계를 가지는 프로세서들(602)은 동일한 집적 회로(IC) 다이 상에 상이한 유형들의 프로세서 코어들을 통합할 수 있다. 또한, 다중 코어 설계를 가지는 프로세서들(602)은 대칭 또는 비대칭 멀티프로세서들로서 구현될 수 있다. 실시예에서, 프로세서들(602) 중 하나 이상은 도 1의 프로세서들(102)과 동일하거나 유사할 수 있다.
- [0027] 칩셋(606)은 또한 상호접속 네트워크(604)와 통신할 수 있다. 칩셋(606)은 MCH(memory control hub)(608)를 포함할 수 있다. MCH(608)는 메모리(612)와 통신하는 메모리 제어기(610)를 포함할 수 있다. 메모리(612)는 프로세서(602), 또는 컴퓨팅 시스템(600)에 포함된 임의의 다른 디바이스에 의해 실행될 수 있는 명령어들의 시퀀스들을 포함하는 데이터를 저장할 수 있다. 본 발명의 일 실시예에서, 메모리(612)는 RAM(random access memory), DRAM(dynamic RAM), SDRAM(synchronous DRAM), SRAM(static RAM), 또는 기타 유형들의 저장 디바이스들과 같은 하나 이상의 비휘발성 저장(또는 메모리) 디바이스들을 포함할 수 있다. 하드 디스크와 같은 비휘발성 메모리도 이용될 수 있다. 다수의 프로세서들 및/또는 다수의 시스템 메모리들과 같은 추가적인 디바이스들이 상호접속 네트워크(604)를 통해 통신할 수 있다.
- [0028] MCH(608)는 또한 디스플레이 디바이스(616)와 통신하는 그래픽 인터페이스(614)를 포함할 수 있다. 본 발명의 일 실시예에서, 그래픽 인터페이스(614)는 AGP(accelerated graphics port)를 통해 디스플레이 디바이스(616)와 통신할 수 있다. 본 발명의 일 실시예에서, 디스플레이(616)(예컨대, 평판 패널 디스플레이)는, 예를 들어 비디오 메모리 또는 시스템 메모리와 같은 저장 디바이스에 저장된 이미지의 디지털 표현을 디스플레이(616)에 의해 해석되어 디스플레이되는 디스플레이 신호로 변환하는 신호 변환기를 통해, 그래픽 인터페이스(614)와 통신할 수 있다. 디스플레이 디바이스에 의해 생성된 디스플레이 신호는, 디스플레이(616)에 의해 해석되어 이어서 디스플레이 상에 디스플레이되기 전에, 다양한 제어 디바이스들을 통과할 수 있다.
- [0029] 허브 인터페이스(618)는 MCH(608) 및 ICH(input/output control hub)(620)가 통신할 수 있게 한다. ICH(620)는 컴퓨팅 시스템(600)과 통신하는 I/O 디바이스(들)에 대한 인터페이스를 제공할 수 있다. ICH(620)는 PCI(peripheral component interconnect) 브리지, USB(universal serial bus) 제어기, 또는 기타 유형들의 주변기기 브리지들 또는 제어기들과 같은 주변기기 브리지(또는 제어기)(624)를 통해 버스(622)와 통신할 수 있다. 브리지(624)는 프로세서(602)와 주변기기 디바이스들 사이에 데이터 경로를 제공할 수 있다. 기타 유형들의 토폴로지들이 이용될 수 있다. 또한, 다수의 버스들이, 예를 들어 다수의 브리지들 또는 제어기들을 통해 ICH(620)와 통신할 수 있다. 또한, ICH(620)와 통신하는 다른 주변기기들은, 본 발명의 다양한 실시예들에서, 통합된 드라이브 전자 장치(integrated drive electronics, IDE) 또는 소형 컴퓨터 시스템 인터페이스(small computer system interface, SCSI) 하드 드라이브(들), USB 포트(들), 키보드, 마우스, 병렬 포트(들), 직렬 포트(들), 플로피 디스크 드라이브(들), 디지털 출력 지원(digital output support)(예를 들어, 디지털 비디오 인터페이스(DVI)), 또는 기타 디바이스들을 포함할 수 있다.
- [0030] 버스(622)는 오디오 디바이스(626), 하나 이상의 디스크 드라이브(들)(628) 및 (컴퓨터 네트워크(603)와 통신하는) 네트워크 인터페이스 디바이스(630)와 통신할 수 있다. 기타 디바이스들이 버스(622)를 통해 통신할 수 있다. 또한, 본 발명의 일부 실시예들에서, 다양한 컴포넌트들(예컨대, 네트워크 인터페이스 디바이스(630))가 MCH(608)와 통신할 수 있다. 또한, 프로세서(602), 및 본 명세서에서 논의되는 하나 이상의 다른 컴포넌트들은 단일 칩을 형성하기 위해(예를 들어, SOC(System on Chip)를 제공하기 위해) 결합될 수 있다. 더욱이, 그래픽 가속기(616)는 본 발명의 다른 실시예들에서 MCH(608) 내에 포함될 수 있다.
- [0031] 게다가, 컴퓨팅 시스템(600)은 휘발성 및/또는 비휘발성 메모리(또는 스토리지)를 포함할 수 있다. 예를 들어,

비휘발성 메모리는 ROM(read-only memory), PROM(programmable ROM), EPROM(erasable PROM), EEPROM(electrically EPROM), 디스크 드라이브(예를 들어, 628), 플로피 디스크, CD-ROM(compact disk ROM), DVD(digital versatile disk), 플래시 메모리, 광자기 디스크, 또는 전자 데이터(예를 들어, 명령어들을 포함함)를 저장할 수 있는 기타 유형들의 비휘발성 머신 판독가능 매체 중 하나 이상을 포함할 수 있다.

[0032] 도 7은 본 발명의 일 실시예에 따른 컴퓨팅 시스템(700)의 블록도를 예시한다. 시스템(700)은 하나 이상의 프로세서들(702-1 내지 702-N)(본 명세서에서 일반적으로 "프로세서들(702)" 또는 "프로세서(702)"로서 지칭됨)를 포함할 수 있다. 프로세서들(702)은 상호접속 네트워크 또는 버스(704)를 통해 통신할 수 있다. 각각의 프로세서는 다양한 컴포넌트들을 포함할 수 있는데, 그 중 일부가 명료성을 위해 프로세서(702-1)만을 참고하여 논의된다. 따라서, 나머지 프로세서들(702-2 내지 702-N) 각각은 프로세서(702-1)를 참고하여 논의되는 것과 동일한 또는 유사한 컴포넌트들을 포함할 수 있다.

[0033] 일 실시예에서, 프로세서(702-1)는 하나 이상의 프로세서 코어들(706-1 내지(706-M)(본 명세서에서 "코어들(706)"로서 또는 보다 일반적으로 "코어(706)"로서 지칭됨), 공유 캐시(708), 라우터(710), 및/또는 프로세서 제어 로직 또는 유닛(720)을 포함할 수 있다. 프로세서 코어들(706)은 단일 집적 회로(IC) 칩 상에 구현될 수 있다. 게다가, 칩은 하나 이상의 공유 및/또는 사유 캐시들(예를 들어, 캐시(708)), 버스들 또는 상호접속들(예를 들어, 버스, 또는 상호접속 네트워크(712)), 메모리 제어기들, 또는 기타 컴포넌트들을 포함할 수 있다.

[0034] 일 실시예에서, 라우터(710)는 프로세서(702-1) 및/또는 시스템(700)의 다양한 컴포넌트들 사이에서 통신하기 위해 이용될 수 있다. 더욱이, 프로세서(702-1)는 하나 초과의 라우터(710)를 포함할 수 있다. 게다가, 다수의 라우터들(710)은 프로세서(702-1)의 내부 또는 외부의 다양한 컴포넌트들 사이에서 데이터 라우팅을 가능하게 하기 위해 통신할 수 있다.

[0035] 공유 캐시(708)는 코어들(706)과 같은 프로세서(702-1)의 하나 이상의 컴포넌트들에 의해 활용되는 데이터(예를 들어, 명령어들을 포함함)를 저장할 수 있다. 예를 들어, 공유 캐시(708)는 프로세서(702)의 컴포넌트들에 의한 더욱 빠른 액세스를 위해 메모리(714)에 저장된 데이터를 국부적으로 캐싱할 수 있다. 실시예에서, 캐시(708)는 중간 레벨 캐시(예컨대, 레벨 2(L2), 레벨 3(L3), 레벨 4(L4), 또는 기타 레벨들의 캐시), 최종 레벨 캐시(LLC)(Last Level Cache), 및/또는 이들의 조합들을 포함할 수 있다. 더욱이, 프로세서(702-1)의 다양한 컴포넌트들은 버스(예를 들어, 버스(712)), 및/또는 메모리 제어기 또는 허브를 통해, 직접적으로 공유 캐시(708)와 통신할 수 있다. 도 7에 도시된 바와 같이, 일부 실시예들에서, 코어들(706) 중 하나 이상은 레벨 1(L1) 캐시(716-1)(본 명세서에서 일반적으로 "L1 캐시(716)"로서 지칭됨)를 포함할 수 있다.

[0036] 도 8은 본 발명의 일 실시예에 따른, 프로세서 코어(706)의 부분들과 컴퓨팅 시스템의 기타 컴포넌트들의 블록도를 도시한다. 일 실시예에서, 도 8에 도시된 화살표들은 코어(706)를 통한 명령어들의 흐름 방향을 도시한다. 하나 이상의 프로세서 코어들(예컨대, 프로세서 코어(706))이 도 7을 참조하여 논의된 바와 같은 단일 집적 회로 칩(또는 다이) 상에 구현될 수 있다. 더욱이, 칩은 하나 이상의 공유 및/또는 사유 캐시(예컨대, 도 7의 캐시(708)), 상호접속들(예컨대, 도 7의 상호접속들(704 및/또는 112)), 제어 유닛들, 메모리 제어기들, 또는 기타 컴포넌트들을 포함할 수 있다.

[0037] 도 8에 예시된 바와 같이, 프로세서 코어(706)는 코어(706)에 의한 실행을 위한 명령어들(조건부 분기들을 갖는 명령어들을 포함함)을 페치하기 위한 페치 유닛(fetch unit)(802)을 포함할 수 있다. 명령어들은 메모리(714)와 같은 임의의 스토리지 디바이스들로부터 페치될 수 있다. 코어(706)는 또한 페치된 명령어를 디코딩하기 위한 디코드 유닛(804)을 포함할 수 있다. 예를 들어, 디코드 유닛(804)은 페치된 명령어를 복수의 uop들(micro-operations)이 되도록 디코딩할 수 있다.

[0038] 또한, 코어(706)는 스케줄 유닛(806)을 포함할 수 있다. 스케줄 유닛(806)은, 명령어들이 디스패치(dispatch)를 위해 준비될 때까지, 예를 들어 디코딩된 명령어의 모든 소스 값들이 이용 가능하게 될 때까지, 디코딩된 명령어들(예컨대, 디코드 유닛(804)으로부터 수신됨)을 저장하는 것과 연관되는 다양한 동작들을 수행할 수 있다. 일 실시예에서, 스케줄 유닛(806)은 디코딩된 명령어들을 스케줄링하고/하거나 실행을 위해 실행 유닛(808)에 발행(또는 디스패치)할 수 있다. 실행 유닛(808)은 디스패치된 명령어들이 (예컨대, 디코드 유닛(804)에 의해) 디코딩되고 (예컨대, 스케줄 유닛(806)에 의해) 디스패치된 후에 디스패치된 명령어들을 실행할 수 있다. 일 실시예에서, 실행 유닛(808)은 하나 초과의 실행 유닛을 포함할 수 있다. 실행 유닛(808)은 또한 덧셈, 뺄셈, 곱셈, 및/또는 나눗셈과 같은 다양한 산술 연산들을 수행할 수 있고, 하나 이상의 산술 로직 유닛들(ALU들)(Arithmetic Logic Units)을 포함할 수 있다. 실시예에서, 코-프로세서(도시되지 않음)가 실행 유닛(808)과 연계하여 다양한 산술 연산들을 수행할 수 있다.

- [0039] 또한, 실행 유닛(808)은 명령어들을 비순차적으로 실행할 수 있다. 따라서, 프로세서 코어(706)는 일 실시예에서 비순차적 프로세서 코어일 수 있다. 코어(706)는 또한 회수 유닛(retirement unit)(810)을 포함할 수 있다. 회수 유닛(810)은 실행되는 명령어들이 완료(commit)된 후에 이들을 회수할 수 있다. 실시예에서, 실행된 명령어들의 회수는 결과적으로 프로세서 상태가 명령어들의 실행으로부터 완료되는 것, 명령어들에 의해 사용되는 물리적 레지스터들이 할당 해제되는(de-allocated) 것 등등을 초래할 수 있다.
- [0040] 코어(706)는 또한 하나 이상의 버스들(예를 들어, 버스들(804 및/또는 812))을 통해 프로세서 코어(706)의 컴포넌트들과 기타 컴포넌트들(예컨대, 도 8을 참조하여 논의되는 컴포넌트들) 간의 통신을 가능하게 하는 버스 유닛(714)을 포함할 수 있다. 코어(706)는 또한 코어(706)의 다양한 컴포넌트들에 의해 액세스되는 데이터(예컨대, 전력 소비 상태 설정들에 관련된 값들)를 저장하기 위한 하나 이상의 레지스터들(816)을 포함할 수 있다.
- [0041] 게다가, 도 7이 상호접속(812)을 통해 코어(706)에 결합될 제어 유닛(720)을 예시하지만, 다양한 실시예들에서, 제어 유닛(720)은, 예컨대 코어(706) 내들에, 버스(704) 등을 통해 코어에 결합되는 어디에도 위치될 수 있다.
- [0042] 일부 실시예들에서, 본 명세서에서 논의되는 컴포넌트들 중 하나 이상이 SOC(System On Chip) 디바이스로서 구현될 수 있다. 도 9는 일 실시예에 따른 SOC 패키지의 블록도를 도시한다. 도 9에 도시된 바와 같이, SOC(902)는 하나 이상의 프로세서 코어(920), 하나 이상의 GPU(Graphics Processor Unit) 코어들(930), 입/출력(I/O) 인터페이스(940), 및 메모리 제어기(942)를 포함한다. SOC 패키지(902)의 다양한 컴포넌트들은 다른 도면들을 참고하여 본 명세서에서 논의되는 것과 같은 상호접속 또는 버스에 결합될 수 있다. 또한, SOC 패키지(902)는 다른 도면들을 참고하여 본 명세서에서 논의되는 것들과 같은 컴포넌트들보다 더 많은 것을 또는 더 적은 것을 포함할 수 있다. 또한, SOC 패키지(902)의 각각의 컴포넌트는, 예컨대 본 명세서에서 다른 도면들을 참조하여 논의되는 바와 같이, 하나 이상의 다른 컴포넌트들을 포함할 수 있다. 일 실시예에서, SOC 패키지(902)(및 그의 컴포넌트들)는, 예를 들어, 단일 반도체 디바이스로 패키징되는, 하나 이상의 IC(Integrated Circuit) 다이 상에 제공된다.
- [0043] 도 9에 도시된 바와 같이, SOC 패키지(902)는 메모리 제어기(942)를 통해 메모리(960)(이는 다른 도면들을 참조하여 본 명세서에서 논의되는 메모리와 유사하거나 동일한 것일 수 있음)에 결합된다. 실시예에서, 메모리(960)(또는 그것의 일부)는 SOC 패키지(902) 상에 통합될 수 있다.
- [0044] I/O 인터페이스(940)는, 예를 들어 다른 도면들을 참조하여 본 명세서에서 논의되는 것과 같은 상호접속 및/또는 버스를 통해, 하나 이상의 I/O 디바이스들(970)에 결합될 수 있다. I/O 디바이스(들)(970)는 키보드, 마우스, 터치패드, 디스플레이, 이미지/비디오 캡처 디바이스(예컨대, 카메라 또는 캠코더/비디오 레코더), 터치 스크린, 또는 스피커 등 중 하나 이상을 포함할 수 있다.
- [0045] 도 10은 본 발명의 실시예에 따른, 포인트-투-포인트(point-to-point, PtP) 구성으로 배열되는 컴퓨팅 시스템(1000)을 도시한다. 특히, 도 10은 프로세서, 메모리, 및 입/출력 디바이스들이 복수의 포인트-투-포인트 인터페이스에 의해 상호접속되는 시스템을 도시한다. 도 2를 참조하여 논의된 동작들은 시스템(1000)의 하나 이상의 컴포넌트들에 의해 수행될 수 있다.
- [0046] 도 10에 도시된 바와 같이, 시스템(1000)은 여러 개의 프로세서들을 포함할 수 있는데, 명료성을 위해 이들 중 단지 두 개의 프로세서들(1002, 1004)만이 도시된다. 프로세서들(1002, 1004)은 메모리들(1010, 1012)과의 통신을 가능하게 하는 로컬 MCH(memory controller hub)(1006, 1008)를 각각 포함할 수 있다. MCH(1006, 1008)는 일부 실시예들에서 도 1의 메모리 제어기(120) 및/또는 로직(125)을 포함할 수 있다.
- [0047] 실시예에서, 프로세서들(1002, 1004)은 도 7을 참조하여 논의된 프로세서들(702) 중 하나일 수 있다. 프로세서들(1002, 1004)은 각각 포인트-투-포인트(point-to-point, PtP) 인터페이스 회로들(1016, 1018)을 사용하여 PtP 인터페이스(1014)를 통해 데이터를 교환할 수 있다. 또한, 프로세서들(1002, 1004) 각각은 포인트-투-포인트 인터페이스 회로들(1026, 1028, 1030, 1032)을 사용하여 개개의 PtP 인터페이스들(1022, 1024)을 통해 칩셋(1020)과 데이터를 교환할 수 있다. 칩셋(1020)은 추가로, 예를 들어 PtP 인터페이스 회로(1037)를 사용하여 고성능 그래픽 인터페이스(1036)를 통해 고성능 그래픽 회로(1034)와 데이터를 교환할 수 있다.
- [0048] 도 10에 도시된 바와 같이, 도 1의 코어들(106) 및/또는 캐시(108) 중 하나 이상은 프로세서들(1002, 1004) 내에 위치될 수 있다. 그러나, 본 발명의 다른 실시예는 도 10의 시스템(1000) 내의 다른 회로들, 로직 유닛들, 또는 디바이스들 내에 존재할 수 있다. 게다가, 본 발명의 다른 실시예들은 도 10에 도시된 여러 개의 회로들, 로직 유닛들, 또는 디바이스들의 전체에 걸쳐서 분포될 수 있다.

- [0049] 칩셋(1020)은 PtP 인터페이스 회로(1041)를 사용하여 버스(1040)와 통신할 수 있다. 버스(1040)는 그와 통신하는 하나 이상의 디바이스들, 예컨대 버스 브리지(1042) 및 I/O 디바이스들(1043)을 가질 수 있다. 버스(1044)를 통해, 버스 브리지(1043)는 예컨대 키보드/마우스(1045), 통신 디바이스들(1046)(예컨대, 모뎀들, 네트워크 인터페이스 디바이스들, 또는 컴퓨터 네트워크(803)와 통신할 수 있는 기타 통신 디바이스들), 오디오 I/O 디바이스, 및/또는 데이터 스토리지 디바이스(1048)와 같은 다른 디바이스들과 통신할 수 있다. 데이터 스토리지 디바이스(1048)(하드 디스크 드라이브 또는 NAND 플래시 기반의 솔리드 스테이트 드라이브일 수 있음)는 프로세서들(1002 및/또는 1004)에 의해 실행될 수 있는 코드(1049)를 저장할 수 있다.
- [0050] 하기의 예들은 추가 실시예들에 관련된다.
- [0051] 예 1은, 스핀 전달 토크(STT) 메모리의 행에서 평행 상태로 설정될 제1 복수의 셀 및 STT 메모리의 행에서 역평행 상태로 설정될 제2 복수의 셀을 식별하고, 행 내의 제2 복수의 셀 기입 동작들을 마스킹하고, 제1 복수의 셀을 평행 상태로 설정하고, 행 내의 제1 복수의 셀에 기입 동작들을 마스킹하고, 제2 복수의 셀을 역평행 상태로 설정하기 위한 로직을 포함하는 제어기이다.
- [0052] 예 2에서, 예 1의 주제는, 제1 복수의 셀 내의 워드 라인을 평행 상태 기입 전압 VWR1로 설정하고, 제1 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고, 제1 복수의 셀 내의 비트 라인을 포지티브 전압 VDD로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0053] 예 3에서, 예 1 및 예 2 중 어느 하나의 예의 주제는, 포지티브 전압 VDD가 2.7 볼트 내지 5.0 볼트로 측정되고, 평행 상태 기입 전압 VWR1이 GND 볼트 내지  $-VDD/2$  볼트로 측정되는 배열을 옵션적으로 포함할 수 있다..
- [0054] 예 4에서, 예 1 내지 예 3 중 어느 하나의 예의 주제는, 제2 복수의 셀 내의 선택 라인을 0 미만인 전압으로 설정하고, 제2 복수의 셀 내의 비트 라인을 0 미만인 전압으로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0055] 예 5에서, 예 1 내지 예 4 중 어느 하나의 예의 주제는, 제2 복수의 셀 내의 워드 라인을 역평행 상태 기입 전압 VWR0으로 설정하고, 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고, 제2 복수의 셀 내의 비트 라인을 네거티브 전압  $-VDD$ 로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0056] 예 6에서, 예 1 내지 예 5 중 어느 하나의 예의 주제는, 네거티브 전압  $-VDD$ 가  $-2.7$  볼트 내지  $-5$  볼트로 측정되고, 역평행 상태 기입 전압 VWR0이 GND 내지 VDD 볼트로 측정되기 위한 로직을 옵션적으로 포함할 수 있다.
- [0057] 예 7에서, 예 1 내지 예 6 중 어느 하나의 예의 주제는, 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고, 제2 복수의 셀 내의 비트 라인을 GND 전압으로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0058] 예 8은 적어도 하나의 스핀 전달 토크(STT) 메모리 디바이스; 및 스핀 전달 토크(STT) 메모리의 행에서 평행 상태로 설정될 제1 복수의 셀 및 STT 메모리의 행에서 역평행 상태로 설정될 제2 복수의 셀을 식별하고, 행 내의 제2 복수의 셀에 기입 동작들을 마스킹하고, 제1 복수의 셀을 평행 상태로 설정하고, 상기 행 내의 상기 제1 복수의 셀에 기입 동작들을 마스킹하고, 제2 복수의 셀을 역평행 상태로 설정하기 위한 로직을 포함하는 제어기를 포함하는 메모리이다.
- [0059] 예 9에서, 예 8의 주제는, 제1 복수의 셀 내의 워드 라인을 평행 상태 기입 전압 VWR1로 설정하고, 제1 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고, 제1 복수의 셀 내의 비트 라인을 포지티브 전압 VDD로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0060] 예 10에서, 예 8 및 예 9 중 어느 하나의 예의 주제는, 포지티브 전압 VDD가 2.7 볼트 내지 5.0 볼트로 측정되고 평행 상태 기입 전압 VWR1이 GND 볼트 내지  $-VDD/2$  볼트로 측정되는 배열을 옵션적으로 포함할 수 있다.
- [0061] 예 11에서, 예 8 내지 예 10 중 어느 하나의 예의 주제는, 제2 복수의 셀 내의 선택 라인을 0 미만인 전압으로 설정하고, 제2 복수의 셀 내의 비트 라인을 0 미만인 전압으로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0062] 예 12에서, 예 8 내지 예 11 중 어느 하나의 예의 주제는, 제2 복수의 셀 내의 워드 라인을 역평행 상태 기입 전압 VWR0으로 설정하고, 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고, 제2 복수의 셀 내의 비트 라인을 네거티브 전압  $-VDD$ 로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0063] 예 13에서, 예 8 내지 예 12 중 어느 하나의 예의 주제는, 네거티브 전압  $-VDD$ 가  $-2.7$  볼트 내지  $-5$  볼트로 측

정되고, 역평행 상태 기입 전압 VWR0이 GND 내지 VDD 볼트로 측정되기 위한 로직을 옵션적으로 포함할 수 있다.

- [0064] 예 14에서, 예 8 내지 예 13 중 어느 하나의 예의 주제는, 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고, 제2 복수의 셀 내의 비트 라인을 GND 전압으로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0065] 예 15는, 프로세서, 적어도 하나의 스핀 전달 토크(STT) 메모리 디바이스, 및 스핀 전달 토크(STT) 메모리의 행에서 평행 상태로 설정될 제1 복수의 셀 및 STT 메모리의 행에서 역평행 상태로 설정될 제2 복수의 셀을 식별하고, 행 내의 제2 복수의 셀 기입 동작들을 마스킹하고, 제1 복수의 셀을 평행 상태로 설정하고, 행 내의 제1 복수의 셀에 기입 동작들을 마스킹하고, 제2 복수의 셀을 역평행 상태로 설정하기 위한 로직을 포함하는 제어기를 포함하는 전자 디바이스이다.
- [0066] 예 16에서, 예 15의 주제는, 제1 복수의 셀 내의 워드 라인을 평행 상태 기입 전압 VWR1로 설정하고, 제1 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고, 제1 복수의 셀 내의 비트 라인을 포지티브 전압 VDD로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0067] 예 17에서, 예 15 및 예 16 중 어느 하나의 예의 주제는, 포지티브 전압 VDD가 2.7 볼트 내지 5.0 볼트로 측정되고, 평행 상태 기입 전압 VWR1이 GND 볼트 내지  $-VDD/2$  볼트로 측정되는 배열을 옵션적으로 포함할 수 있다..
- [0068] 예 18에서, 예 15 내지 예 17 중 어느 하나의 예의 주제는, 제2 복수의 셀 내의 선택 라인을 0 미만인 전압으로 설정하고, 제2 복수의 셀 내의 비트 라인을 0 미만인 전압으로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0069] 예 19에서, 예 15 내지 예 18 중 어느 하나의 예의 주제는, 제2 복수의 셀 내의 워드 라인을 역평행 상태 기입 전압 VWR0으로 설정하고, 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고, 제2 복수의 셀 내의 비트 라인을 네거티브 전압  $-VDD$ 로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0070] 예 20에서, 예 15 내지 예 19 중 어느 하나의 예의 주제는, 네거티브 전압  $-VDD$ 가  $-2.7$  볼트 내지  $-5$  볼트로 측정되고, 역평행 상태 기입 전압 VWR0이 GND 내지 VDD 볼트로 측정되기 위한 로직을 옵션적으로 포함할 수 있다.
- [0071] 예 21에서, 예 15 내지 예 20 중 어느 하나의 예의 주제는, 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고, 제2 복수의 셀 내의 비트 라인을 GND 전압으로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0072] 예 22는, 제어기에 의해 실행될 때, 스핀 전달 토크(STT) 메모리의 행에서 평행 상태로 설정될 제1 복수의 셀 및 STT 메모리의 행에서 역평행 상태로 설정될 제2 복수의 셀을 식별하고, 행 내의 제2 복수의 셀 기입 동작들을 마스킹하고, 제1 복수의 셀을 평행 상태로 설정하고, 행 내의 제1 복수의 셀에 기입 동작들을 마스킹하고, 제2 복수의 셀을 역평행 상태로 설정하도록 제어기를 구성하는 비일시적 컴퓨터 판독가능 매체에 저장되는 로직 명령어들을 포함하는 컴퓨터 프로그램 제품이다.
- [0073] 예 23에서, 예 22의 주제는, 제1 복수의 셀 내의 워드 라인을 평행 상태 기입 전압 VWR1로 설정하고, 제1 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고, 제1 복수의 셀 내의 비트 라인을 포지티브 전압 VDD로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0074] 예 24에서, 예 22 및 예 23 중 어느 하나의 예의 주제는, 포지티브 전압 VDD가 2.7 볼트 내지 5.0 볼트로 측정되고, 평행 상태 기입 전압 VWR1이 GND 볼트 내지  $-VDD/2$  볼트로 측정되는 배열을 옵션적으로 포함할 수 있다..
- [0075] 예 25에서, 예 22 내지 예 24 중 어느 하나의 예의 주제는, 제2 복수의 셀 내의 선택 라인을 0 미만인 전압으로 설정하고, 제2 복수의 셀 내의 비트 라인을 0 미만인 전압으로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0076] 예 26에서, 예 22 내지 예 25 중 어느 하나의 예의 주제는, 제2 복수의 셀 내의 워드 라인을 역평행 상태 기입 전압 VWR0으로 설정하고, 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고, 제2 복수의 셀 내의 비트 라인을 네거티브 전압  $-VDD$ 로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0077] 예 27에서, 예 22 내지 예 26 중 어느 하나의 예의 주제는, 네거티브 전압  $-VDD$ 가  $-2.7$  볼트 내지  $-5$  볼트로 측정되고, 역평행 상태 기입 전압 VWR0이 GND 내지 VDD 볼트로 측정되기 위한 로직을 옵션적으로 포함할 수 있다.
- [0078] 예 28에서, 예 22 내지 예 27 중 어느 하나의 예의 주제는, 제2 복수의 셀 내의 선택 라인을 GND 전압으로 설정하고, 제2 복수의 셀 내의 비트 라인을 GND 전압으로 설정하기 위한 로직을 옵션적으로 포함할 수 있다.
- [0079] 본 발명의 다양한 실시예들에서, 예를 들어 도 1 내지 도 10을 참조하여 본 명세서에서 논의된 동작들은, 예를

들어 본 명세서에서 논의되는 처리를 수행하도록 컴퓨터를 프로그래밍하는 데 이용되는 명령어들(또는 소프트웨어 프로시저들)이 저장된 유형적(tangible)(예컨대, 비일시적) 머신 판독가능 또는 컴퓨터 판독가능 매체를 포함하는, 컴퓨터 프로그램 제품으로서 제공될 수 있는 하드웨어(예컨대, 회로), 소프트웨어, 펌웨어, 마이크로코드, 또는 이들의 조합들로서 구현될 수 있다. 또한, 용어 "로직"은 예를 들어, 소프트웨어, 하드웨어, 또는 소프트웨어와 하드웨어의 결합을 포함할 수 있다. 머신 판독가능 매체는 본 명세서에서 논의된 바와 같은 스토리지 디바이스를 포함할 수 있다.

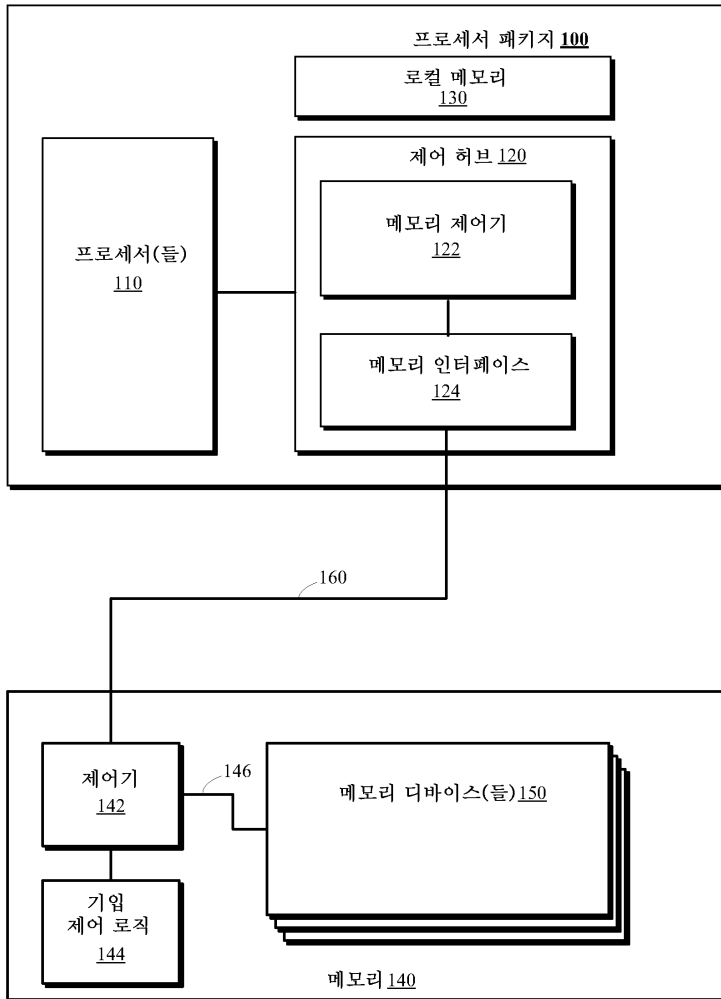
[0080] 상세한 설명에서 "일 실시예" 또는 "실시예"의 참조는 실시예와 관련하여 기술된 특정한 특징, 구조, 또는 특성이 적어도 일 구현예에 포함될 수 있음을 의미한다. 본 명세서의 여러 곳에 나오는 "일 실시예에서"라는 문구들은 모두가 동일 실시예를 지칭하는 것일 수도 있고 그렇지 않을 수도 있다.

[0081] 또한, 상세한 설명 및 청구범위에서, "결합된" 및 "접속된"이라는 용어가 그들의 파생어들과 함께 사용될 수 있다. 본 발명의 일부 실시예들에서, "접속된"은, 두 개 이상의 요소가 서로 직접적으로 물리적 또는 전기적 접촉 상태에 있다는 것을 나타내는 데 이용될 수 있다. "결합된"은 두 개 이상의 요소가 직접적으로 물리적 또는 전기적 접촉 상태에 있다는 것을 의미할 수 있다. 그러나, "결합된"은 또한 두 개 이상의 요소가 서로 직접적으로 접촉 상태에 있지 않을 수 있지만 여전히 서로 협력 또는 상호작용할 수 있다는 것을 의미할 수 있다.

[0082] 따라서, 본 발명의 실시예들이 구조적 특징들 및/또는 방법론적 동작들에 대해 특징적인 언어로 기술되었지만, 청구된 발명 대상은 기술된 특정 특징들 또는 동작들로 제한되지 않을 수 있다는 것이 이해될 것이다. 오히려, 특정 특징들 및 동작들은 청구된 발명 대상을 구현하는 샘플 형태들로서 개시되어 있다.

도면

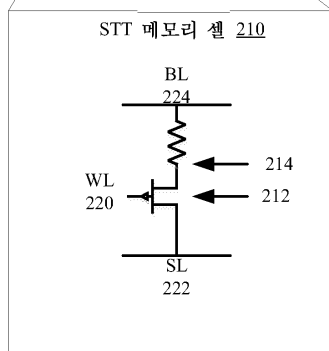
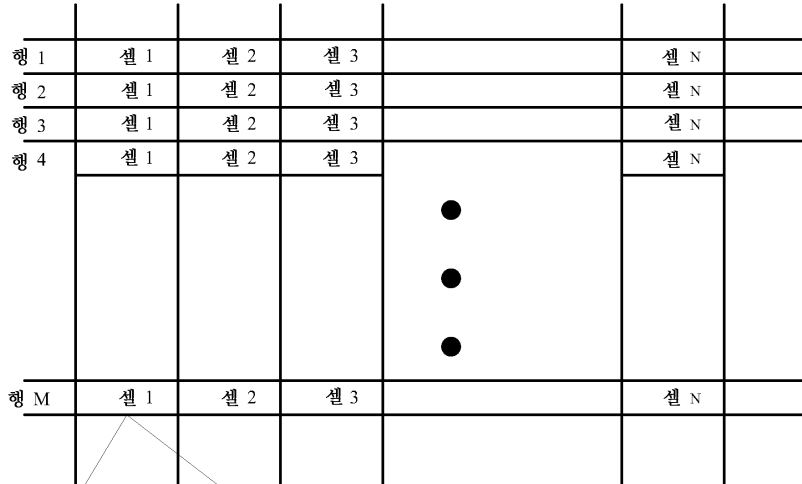
도면1



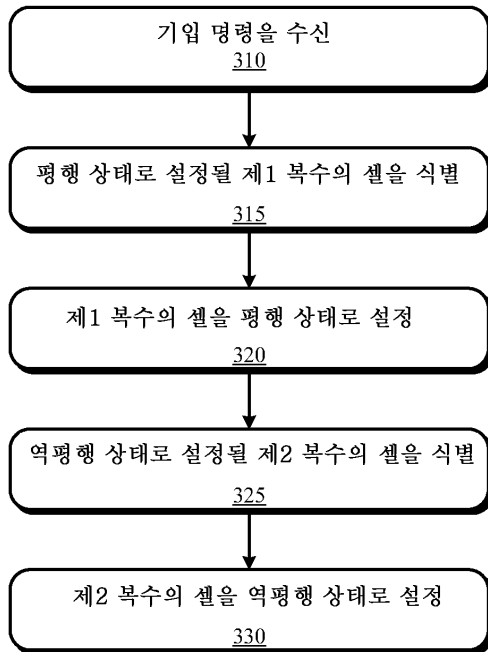


도면2

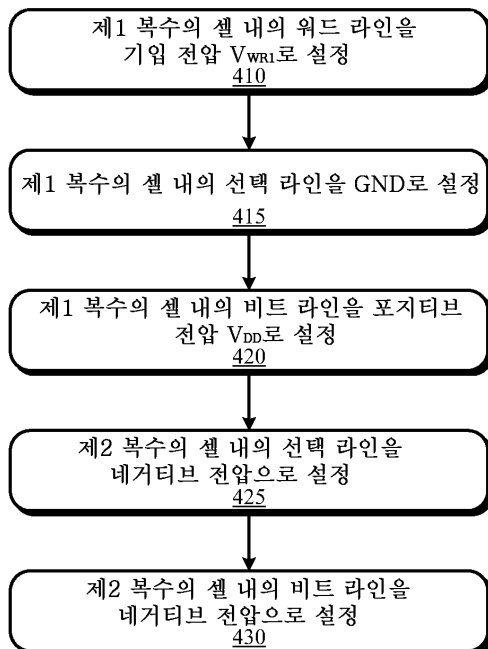
200



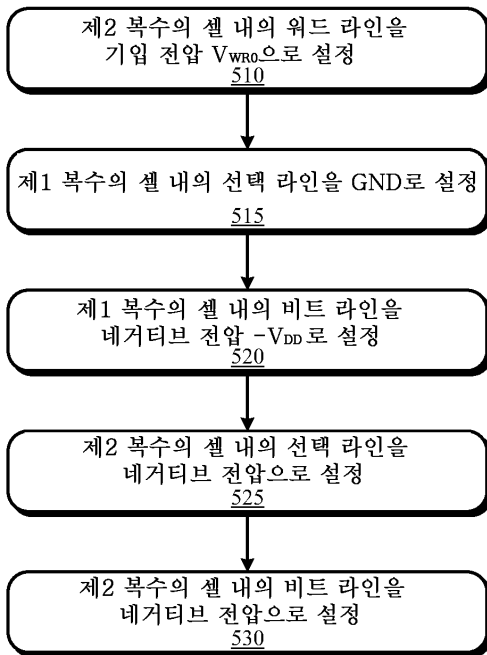
도면3



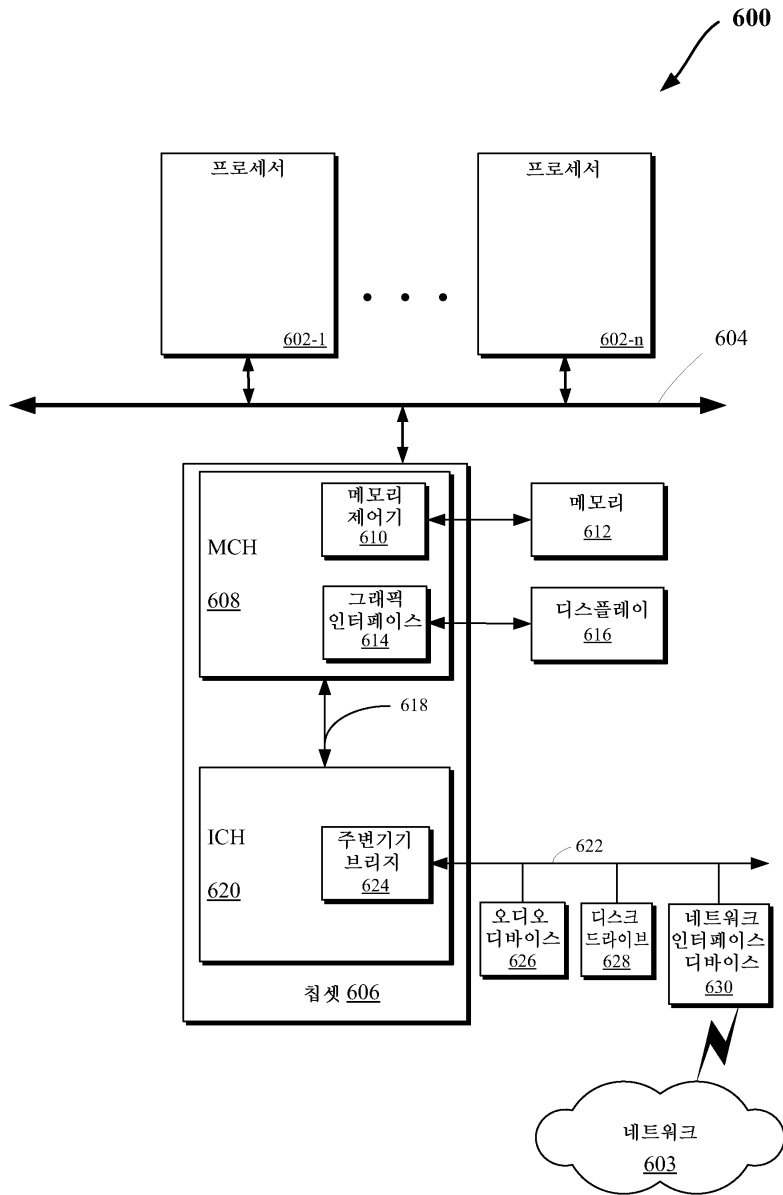
도면4



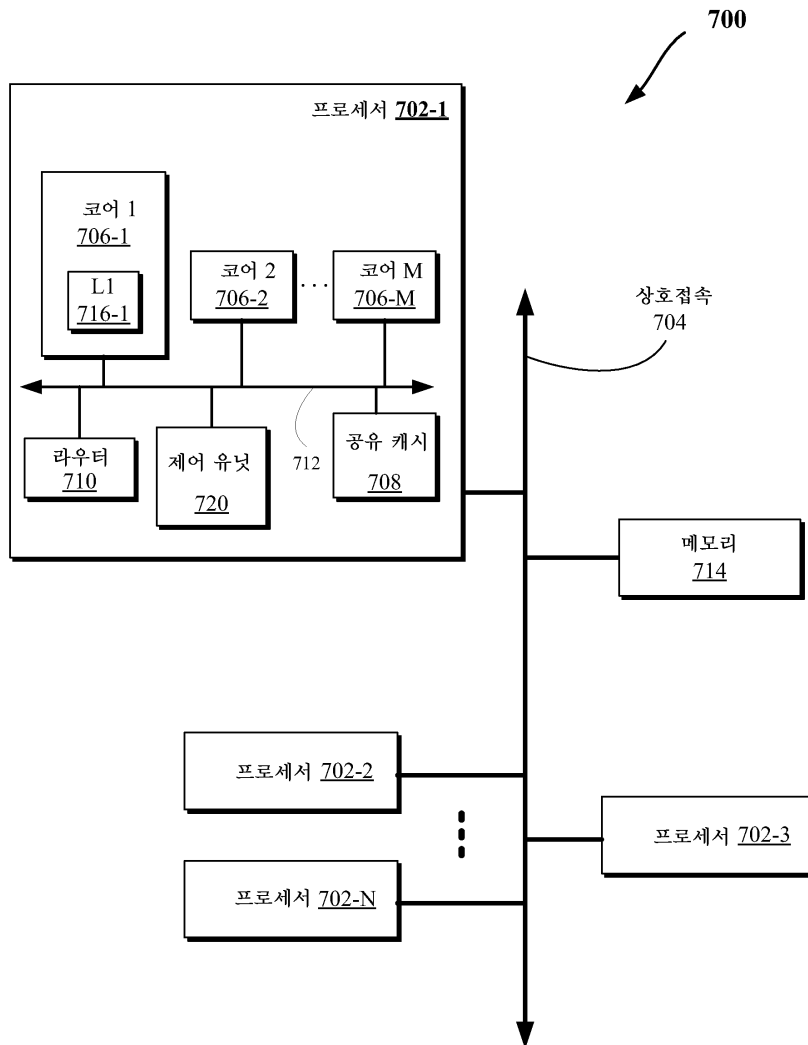
도면5



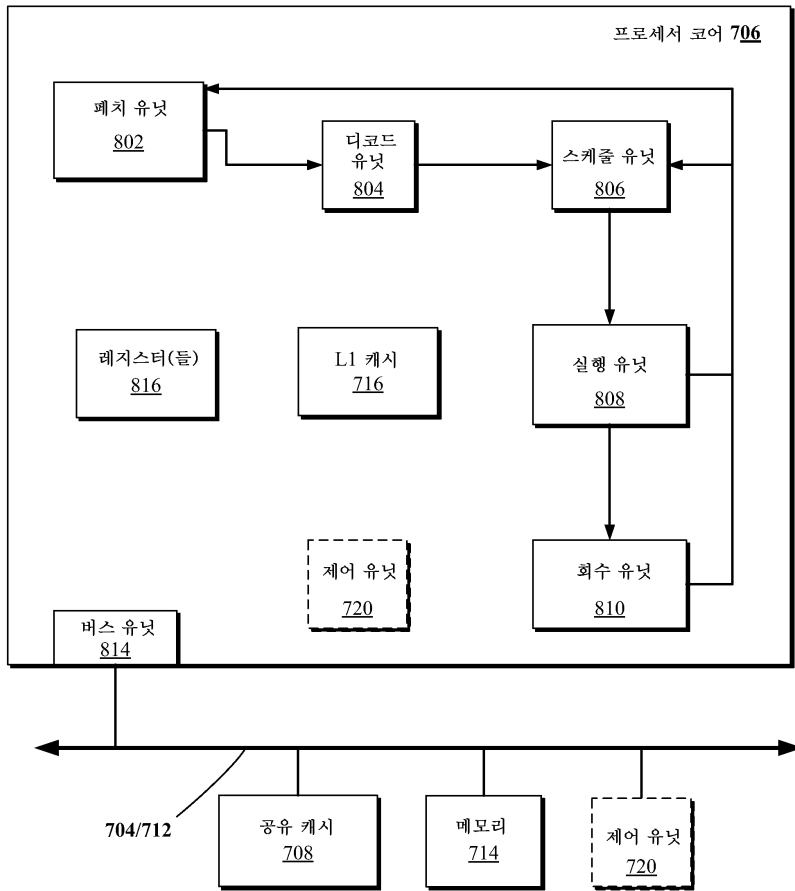
도면6



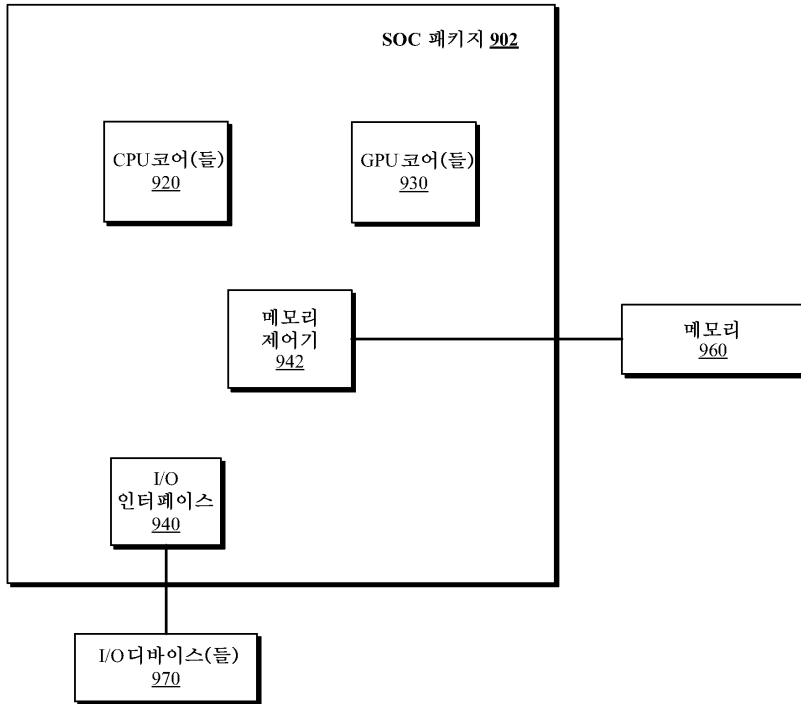
도면7



도면8



도면9



도면10

