(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 9 月 26 日(26.09.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/140572 A1

(51) 国際特許分類:
H01L 29/06 (2006.01) *H01L 29/78* (2006.01)

(21) 国際出願番号: PCT/JP2012/057328

(22) 国際出願日: 2012 年 3 月 22 日(22.03.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): トヨタ自動車株式会社 (**TOYOTA JIDOSHA KABUSHIKI KAISHA**) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町１番地 Aichi (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 妹尾　賢 (**SENOO Masaru**) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町１番地　トヨタ自動車株式会社内 Aichi (JP).

(74) 代理人: 特許業務法人　快友国際特許事務所 (**KAI-U PATENT LAW FIRM**); 〒4516009 愛知県名古屋市西区牛島町６番１号　名古屋ルーセントタワー９階 Aichi (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

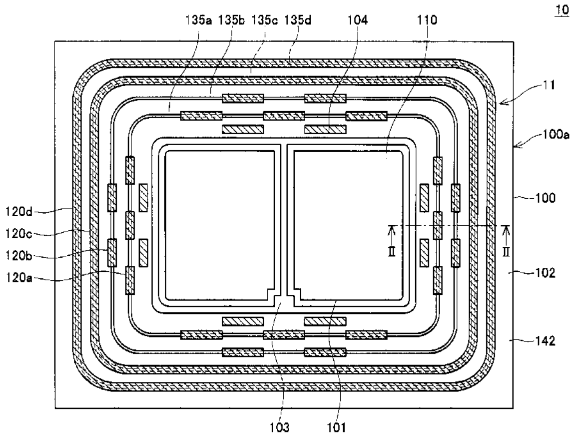
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置

[図1]



(57) Abstract: This semiconductor device is provided with a semiconductor substrate, and a field plate section formed on the front surface of the non-cell region of the semiconductor substrate. The non-cell region is provided with a plurality of field limiting ring (FLR) layers. The field plate section is provided with: an insulating film formed on the front surface of the semiconductor substrate; a plurality of first conductive films, which are formed by each FLR layer in the insulating film, and which are disposed along the corresponding FLR layers in planar view of the semiconductor substrate; and a plurality of second conductive films, each of which includes a front surface section, which is formed corresponding to each of at least two adjacent FLR layers, which is discontinuously disposed along each of the corresponding FLR layers on a part of each of the FLR layers in planar view of the semiconductor substrate, and which is formed on the front surface of the insulating film, a first contact section, which is electrically connected to the first conductive film by extending from the front surface section, and penetrating the insulating film, and a second contact section, which is electrically connected to each of the FLR layers by extending from the front surface section, and penetrating the insulating film. At positions adjacent to, in the second direction, the first contact section and the second contact section of one second conductive film, the first contact section and the second contact section of another second conductive film are not provided.

(57) 要約:

[続葉有]

WO 2013/140572 A1

MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

本明細書が開示する半導体装置は、半導体基板と、半導体基板の非セル領域の表面に形成されたフィールドプレート部とを備えている。非セル領域は、複数のＦＬＲ層を備えている。フィールドプレート部は、半導体基板の表面に形成された絶縁膜と、絶縁膜の内部にＦＬＲ層毎に形成されており、半導体基板を平面視したときに、対応するＦＬＲ層に沿って配置されている複数の第１導電膜と、隣接する少なくとも２つのＦＬＲ層のそれぞれに対応して形成されており、半導体基板を平面視したときに、対応するＦＬＲ層に沿ってその一部に断続的に配置されており、絶縁膜の表面に形成されている表面部と、表面部から伸びるとともに絶縁膜を貫通して第１導電膜に電気的に接続する第１コンタクト部と、表面部から伸びるとともに絶縁膜を貫通してＦＬＲ層に電気的に接続している第２コンタクト部とを含む複数の第２導電膜とを備えている。１つの第２導電膜の第１コンタクト部、第２コンタクト部の第２方向に隣接する位置には、他の第２導電膜の第１コンタクト部、第２コンタクト部が設けられていない。

明 細 書

発明の名称 ： 半導体装置

技術分野

[0001] 本明細書に記載の技術は、半導体装置に関する。

背景技術

[0002] 半導体装置の耐圧を確保するために、半導体基板の周辺側の非セル領域にフィールドリミッティングリング（ＦＬＲ）層等の耐圧保持構造が形成される。さらに、半導体装置の信頼性を確保するために、ＦＬＲ層の表面側にフィールドプレートが形成される。日本国特許公開公報２００９－３８３５６号（特許文献１）に記載の半導体装置では、複数のＦＬＲ層の表面側に、複数の金属層と、複数のポリシリコン層とを有するフィールドプレートが形成されている。複数のＦＬＲ層は、セル領域の周囲を周回し、その長手方向と直交する方向に間隔を空けて配置されている。金属層とポリシリコン層は、複数のＦＬＲ層のそれぞれに対応して形成され、それぞれ対応するＦＬＲ層に沿うように配置されている。ポリシリコン層は、半導体基板の表面に形成された絶縁膜内に形成されている。金属層は、絶縁膜の表面に形成されるとともに、その一部が絶縁膜を貫通して半導体基板のＦＬＲ層に達している。また、金属層とポリシリコン層は、互いに接しており、電気的に接続されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２００９－３８３５６号公報

発明の概要

発明が解決しようとする課題

[0004] 半導体装置を高耐圧化するために、隣接するＦＬＲ層の間隔を小さくすることが求められている。しかしながら、一般に、フィールドプレートはＦＬＲ層に対応して設けられるため、ＦＬＲ層の間隔は、フィールドプレートを

設置可能な間隔に設定する必要がある。例えば、日本国特許公開公報２００９－３８３５６号に記載されているような厚い金属層を用いる場合には、金属層の微細化が困難であるために、内周側（セル領域に近い側）のＦＬＲ層の間隔を十分に広くする必要がある。

課題を解決するための手段

[0005] 本明細書が開示する半導体装置は、半導体素子が形成されたセル領域と、セル領域の周囲に設けられた非セル領域とを有する半導体基板と、非セル領域の表面に形成されたフィールドプレート部とを備えている。非セル領域は、第１導電型の基板層と、基板層の表面に形成されており、セル領域の周囲に沿った第１方向に伸びてセル領域を囲むとともに、第１方向に直交する第２方向に間隔を空けて配置されている複数の第２導電型のＦＬＲ層とを備えている。フィールドプレート部は、半導体基板の表面に形成された絶縁膜と、絶縁膜の内部にＦＬＲ層毎に形成されており、半導体基板を平面視したときに、対応するＦＬＲ層に沿って配置されている複数の第１導電膜と、隣接する少なくとも２つのＦＬＲ層のそれぞれに対応して形成されており、半導体基板を平面視したときに、対応するＦＬＲ層に沿ってその一部に断続的に配置されており、絶縁膜の表面に形成されている表面部と、表面部から伸びるとともに絶縁膜を貫通して第１導電膜に電気的に接続する第１コンタクト部と、表面部から伸びるとともに絶縁膜を貫通してＦＬＲ層に電気的に接続している第２コンタクト部とを含む複数の第２導電膜とを備えている。１つの第２導電膜の第１コンタクト部の第２方向に隣接する位置には、他の第２導電膜の第１コンタクト部が設けられていない。１つの第２導電膜の第２コンタクト部の第２方向に隣接する位置には、他の第２導電膜の第２コンタクト部が設けられていない。

[0006] 上記の半導体装置では、第２導電膜がＦＬＲ層に沿って断続的に配置されており、１つの第２導電膜の第１コンタクト部の第２方向に隣接する位置と第２コンタクト部の第２方向に隣接する位置には、他の第２導電膜の第１コンタクト部と第２コンタクト部のいずれもが設けられていない。第１コンタ

クト部と第２コンタクト部が第２方向に重ならないため、ＦＬＲ層の間隔を狭くしても、第２導電膜の第２方向の幅を確保することができる。第２導電膜として微細化が困難な厚い金属膜等を用いた場合にも、内周側のＦＬＲ層の間隔を狭くして半導体装置を高耐圧化することができる。

[0007] フィールドプレート部は、半導体基板を平面視したときに、対応する第２導電膜が形成されていないＦＬＲ層に沿って配置されており、絶縁膜の表面に形成されている表面部と、表面部から伸びるとともに絶縁膜を貫通してＦＬＲ層に電気的に接続している第３コンタクト部とを含む第３導電膜をさらに備えており、第３導電膜は、複数の第２導電膜よりも半導体基板の周辺側に設けられていてもよい。

[0008] 第２導電膜の第１方向の端部は、半導体基板を平面視したときの角部を除く部分に設けられていることが好ましい。

図面の簡単な説明

[0009] [図1]実施例１に係る半導体装置を概念的に示す平面図である。

[図2]図１のＩＩ－ＩＩ線断面図である。

[図3]実施例１の第２導電膜の周辺を拡大して概念的に示す平面図である。

[図4]図３のＩＶ－ＩＶ線断面図である。

[図5]図３のＶ－Ｖ線断面図である。

[図6]図３のＶＩ－ＶＩ線断面図である。

[図7]変形例に係る半導体装置の第２導電膜の周辺の断面図である。

[図8]変形例に係る半導体装置の第２導電膜の周辺の平面図である。

[図9]図８のＩＸ－ＩＸ線断面図である。

[図10]変形例に係る半導体装置の第２導電膜の周辺の断面図である。

[図11]変形例に係る半導体装置の第２導電膜の周辺の断面図である。

[図12]変形例に係る半導体装置の第２導電膜の周辺の平面図である。

[図13]変形例に係る半導体装置の第２導電膜の周辺の平面図である。

[図14]変形例に係る半導体装置の平面図である。

[図15]変形例に係る半導体装置の平面図である。

[図16]変形例に係る半導体装置の平面図である。

[図17]変形例に係る半導体装置の平面図である。

[図18]変形例に係る半導体装置の平面図である。

[図19]変形例に係る半導体装置の平面図である。

発明を実施するための形態

[0010] 本明細書が開示する半導体装置は、半導体素子が形成されたセル領域と、セル領域の周囲に設けられた非セル領域とを有する半導体基板と、非セル領域の表面に形成されたフィールドプレート部とを備えている。半導体装置は、さらに、セル領域の表面に形成された表面電極およびセル領域の裏面に形成された裏面電極を備えていてもよい。表面電極の材料としては、限定されないが、例えば、アルミニウム（Ａｌ）またはアルミニウムとシリコンの合金（ＡｌＳｉ）等を主成分とする金属膜を好適に用いることができる。裏面電極の材料としては、限定されないが、例えば、半導体基板側から順に、ＡｌまたはＡｌＳｉと、チタン（Ｔｉ）と、ニッケル（Ｎｉ）と、金（Ａｕ）等のニッケル保護膜が積層された積層電極を好適に用いることができる。

[0011] 非セル領域は、第１導電型の基板層と、基板層の表面に形成されている複数の第２導電型のＦＬＲ層とを備えている。複数のＦＬＲ層は、セル領域の周囲に沿った第１方向に伸びてセル領域を囲むとともに、第１方向に直交する第２方向に間隔を空けて配置されている。非セル領域のうち、ＦＬＲ層が形成されている領域は、いわゆる耐圧保持領域である。ＦＬＲ層の第２導電型の不純物濃度は、$1\times10^{12}cm^{-2}$以上であることが好ましく、$1\times10^{14}cm^{-2}$以上であることが特に好ましい。

[0012] フィールドプレート部は、絶縁膜と、複数の第１導電膜と、複数の第２導電膜とを備えている。フィールドプレート部は、非セル領域内に設けられた耐圧保持領域の表面に形成されていることが好ましい。絶縁膜は、半導体基板の表面に形成されている。

[0013] 第１導電膜は、絶縁膜の内部にＦＬＲ層毎に形成されており、半導体基板を平面視したときに、対応するＦＬＲ層に沿って配置されている。第１導電

膜の材料は、限定されないが、ポリシリコン、アモルファスシリコン、シリコン窒化物等のシリコン系の膜の他、アルミニウム、銀（Ａｇ）等の金属膜を好適に用いることができる。第１導電膜としてシリコン系の膜を用いる場合、一般に、厚い金属膜を用いるよりも微細化が可能である点において、好ましい。また、セル領域にＩＧＢＴ等の絶縁ゲートを有する半導体素子が形成されている場合には、ゲート電極の材料（例えば、ポリシリコン）を第１導電膜の材料として用いれば、ゲートを形成する工程において第１導電膜を同時に形成できる点において、好ましい。第１導電膜の膜厚は、１μｍ以下であることが好ましい。第１導電膜の膜厚が薄いほど、隣接する第１導電膜の間隔を狭くすることができ、可動イオンに対するシールド性が向上する。

[0014]　第２導電膜は、隣接する少なくとも２つのＦＬＲ層のそれぞれに対応して形成されており、半導体基板を平面視したときに、対応するＦＬＲ層に沿ってその一部に断続的に配置されている。それぞれの第２導電膜は、絶縁膜の表面に形成されている表面部と、表面部から伸びるとともに絶縁膜を貫通して第１導電膜に電気的に接続する第１コンタクト部と、表面部から伸びるとともに絶縁膜を貫通してＦＬＲ層に電気的に接続している第２コンタクト部とを含んでいる。第２導電膜によって、ＦＬＲ層と第１導電膜は電気的に接続されている。第２導電膜の材料は、限定されないが、ポリシリコン、アモルファスシリコン、シリコン窒化物等のシリコン系の膜の他、アルミニウム、銀（Ａｇ）等の金属膜を好適に用いることができる。第２導電膜として表面電極に含まれる材料と同じ膜（例えばＡｌまたはＡｌＳｉ）を用いる場合、表面電極を形成する工程において第２導電膜を同時に形成できる点において、好ましい。

[0015]　さらに、１つの第２導電膜の第１コンタクト部の第２方向に隣接する位置には、他の第２導電膜の第１コンタクト部が設けられていない。１つの第２導電膜の第２コンタクト部の第２方向に隣接する位置には、他の第２導電膜の第２コンタクト部が設けられていない。なお、ここで、「１つの第２導電膜」の「隣接する位置」とは、１つのＦＬＲ層に沿って、その表面側に１つ

の第２導電膜が設けられている場合に、そのＦＬＲ層の第２方向の片側に位置する１つのＦＬＲ層または両側に位置する２つのＦＬＲ層の表面側の位置を意味する。第２方向に隣接するＦＬＲ層の表面側に形成されている第２導電膜は、それぞれの第１コンタクト部および第２コンタクト部が互いに第２方向に重なり合わないように配置されている。このため、１つの第２導電膜の第１コンタクト部および第２コンタクト部を第２方向に広くしても、他の第２導電膜の第１コンタクト部および第２コンタクト部と干渉しあうことがない。第１コンタクト部および第２コンタクト部の第２方向の幅を広くでき、ひいては第２導電膜の第２方向の幅を広くすることができる。特に、第２導電膜として微細化が比較的困難な厚い金属膜等を用いた場合にも、第２導電膜の第２方向の幅を狭くすることなくＦＬＲ層の間隔を狭くして半導体装置を高耐圧化することができる。第２導電膜として金属膜を用い、第１導電膜として微細加工が比較的容易なシリコン系の材料（例えばポリシリコン）を用いれば、半導体装置の製造工程を簡略化することと、可動イオンに対するシールド性を向上させることを両立できる。

[0016] １つの第２導電膜の第２方向に隣接する位置には、他の第２導電膜が設けられていないようにしてもよい。また、第２導電膜の第１方向の端部が、第２方向に一部重複するようにしてもよい。この場合、第２導電膜は、第１方向の端部に向かうほど、第２方向の幅が狭くなっていることが好ましい。

[0017] 複数のＦＬＲ層の全ての表面に第２導電膜が形成されていなくてもよい。フィールドプレート部は、ＦＬＲ層の表面に、半導体基板を平面視したときに、対応する第２導電膜が形成されていないＦＬＲ層に沿って配置されている第３導電膜を含んでいてもよい。第３導電膜は、絶縁膜の表面に形成されている表面部と、表面部から伸びるとともに絶縁膜を貫通してＦＬＲ層に電気的に接続している第３コンタクト部とを含んでいる。第３導電膜は、さらに、表面部から伸びるとともに絶縁膜を貫通して第１導電膜に電気的に接続している第４コンタクト部を含んでいてもよい。なお、第３コンタクト部が第４コンタクト部の機能を兼ねて、第１導電膜にも電気的に接続していても

よい。第３導電膜は、複数の第２導電膜よりも半導体基板の周辺側に設けられていることが好ましい。半導体装置の高耐圧化を図るには、半導体基板の中央に近いＦＬＲ層ほど、間隔を狭くする必要があり、半導体基板の周辺側のＦＬＲ層の間隔は、比較的広くすることができる。ＦＬＲ層の間隔を広くしても半導体装置の耐圧に影響が小さい、半導体基板の周辺側の領域に、第３導電膜を配置することによって、より確実に半導体装置を高耐圧化することができる。第３導電膜の材料としては、第２導電膜の材料として上記に説明した材料を好適に用いることができる。

[0018] 第２導電膜の第１方向の端部は、半導体基板を平面視したときの角部を除く部分に設けられていることが好ましい。言い換えると、半導体基板の角部ではＦＬＲ層に沿って第２導電膜が形成されており、半導体基板の直線部に第２導電膜の端部が位置して、隣接する第２導電膜と互い違いに配置されていることが好ましい。半導体装置は、その角部に電界がより集中し易いため、第２導電膜が存在していることが好ましい。なお、半導体基板を平面視した場合の角部においては、ＦＬＲ層は略円弧状に湾曲しており、直線部においては、ＦＬＲ層は直線状になっている。同様に、ＦＬＲ層に沿って形成される第１導電膜、第２導電膜および第３導電膜も、半導体基板を平面視した場合の角部においては略円弧状に湾曲しており、直線部においては、直線状になっている。

[0019] 本願に係る半導体装置のセル領域に形成される半導体素子は、特に限定されないが、例えば、ＩＧＢＴ、ＭＯＳＦＥＴ、ダイオード等を挙げることができる。これらの半導体素子は、縦型であってもよく、横型であってもよい。さらに、半導体基板およびフィールドプレートの表面に、保護膜（例えば、ポリイミド膜、シリコン窒化物膜等）を備えていてもよい。

実施例 1

[0020] 図１，２に示すように、半導体装置１０は、半導体基板１００と、フィールドプレート部１１と、表面電極１１０と、裏面電極１１２とを備えている。半導体基板１００は、セル領域１０１と、非セル領域１０２とを備えてい

る。セル領域１０１は、半導体基板１００の中央に位置し、２つの領域に分割されている。表面電極１１０は、半導体基板１００のセル領域１０１の表面に形成されている。裏面電極１１２は、半導体基板１００のセル領域１０１および非セル領域１０２の裏面に形成されている。表面電極１１０はＡｌＳｉ電極であり、裏面電極１１２は、半導体基板１００側から順にＡｌＳｉ、Ｔｉ、Ｎｉ、Ａｕが積層された積層電極である。

[0021] セル領域１０１には、詳細は図示していないが、ＩＧＢＴが形成されている。セル領域１０１は、ｐ型のコレクタ層１３１と、ｎ型のドリフト層である基板層１３２と、ｐ型のボディ層１３３と、エミッタ層（図示しない）とを備えている。基板層１３２は、不純物としてリン（Ｐ）を含むｎ型の半導体基板である。コレクタ層１３１および基板層１３２は、非セル領域１０２まで伸びている。半導体基板１００の非セル領域１０２の表面側には、セル領域１０１を取り囲むように、ゲート配線１０３が形成されている。フィールドプレート部１１は、ゲート配線１０３よりさらに半導体基板１００の周辺側に形成されている。

[0022] 非セル領域１０２は、基板層１３２と、基板層１３２の表面に形成されているｐ型のｐ層１３４と、ｐ型のＦＬＲ層１３５ａ～１３５ｄと、ｎ型のｎ層１３６と、基板層１３２の裏面に形成されているコレクタ層１３１とを備えている。ＦＬＲ層１３５ａ～１３５ｄは、基板層１３２の表面にボロン（Ｂ）をイオン注入することによって形成されたｐ型の半導体層であり、不純物であるボロンの濃度は、$1\times10^{14}\,cm^{-2}$以上である。ｐ層１３４、ＦＬＲ層１３５ａ～１３５ｄおよびｎ層１３６は、セル領域１０１に近い側からこの順に配置されており、それぞれセル領域１０１の周囲に沿った方向に伸びてセル領域を囲む一連の略四角形の層として形成されている。ｐ層１３４は、セル領域１０１のボディ層１３３と接している。図１に示すように、ＦＬＲ層１３５ａ～１３５ｄは、半導体基板１００を平面視したときに、セル領域１０１の周囲を取り囲んでおり、半導体基板１００の直線部において直線状であり、角部において円弧状である、一連の略四角形状を有している。

図１では図示を省略しているが、ｐ層１３４とｎ層１３６もＦＬＲ層１３５ａ～１３５ｄと同様に、セル領域１０１の周囲を取り囲んでおり、半導体基板１００の直線部において直線状であり、角部において円弧状である、略四角形状を有している。ＦＬＲ層１３５ａ～１３５ｄの長手方向（図１に示す略四角形状のＦＬＲ層１３５ａ～１３５ｄの周方向であり、図２に示すｘ軸方向）を第１方向とし、第１方向に直交する方向（図１に示す一連の略四角形状のＦＬＲ層１３５ａ～１３５ｄの法線ベクトルの方向であり、図２に示すｙ軸の正方向または負方向）を第２方向とするとき、ｐ層１３４、ＦＬＲ層１３５ａ～１３５ｄおよびｎ層１３６は、第２方向に間隔を空けて配置されている。

[0023] フィールドプレート部１１は、シリコン酸化物を材料とする絶縁膜１４２と、ポリシリコンを材料とする複数の第１導電膜１４０ａ～１４０ｄと、アルミニウムを材料とする、第２導電膜１２０ａ，１２０ｂおよび第３導電膜１２０ｃ，１２０ｄとを備えている。絶縁膜１４２は、非セル領域１０２の表面に形成されている。

[0024] 第１導電膜１４０ａ～１４０ｄは、絶縁膜１４２の内部に形成されている。第１導電膜１４０ａ～１４０ｄは、第２方向に間隔を空けて配置されており、その間に存在する絶縁膜１４２によって互いに絶縁されている。第１導電膜１４０ａ～１４０ｄは、それぞれ対応するＦＬＲ層１３５ａ～１３５ｄに沿って配置されており、ＦＬＲ層１３５ａ～１３５ｄと同様に、一連の略四角形状に形成されている。第１導電膜１４０ａ～１４０ｄの厚さは、１μｍ以下である。なお、絶縁膜１４２は、ｐ層１３４の表面にも形成されており、その内部には、ポリシリコンを材料とする導電膜１４１ａおよび１４１ｂが形成されている。導電膜１４１ａおよび１４１ｂは、ｐ層１３４に沿って、その表面側に配置されており、一連の略四角形状に形成されている。導電膜１４１ａと、導電膜１４１ｂと、第１導電膜１４０ａは、第２方向に間隔を空けて配置されており、その間に存在する第１絶縁膜１４２によって互いに絶縁されている。ゲート配線１０３は、ｐ層１３４の表面側に位置して

おり、絶縁膜１４２の表面から導電膜１４１ａに達する位置まで絶縁膜１４２を貫通して伸びている。導電膜１０４は、ｐ層１３４の表面側に位置しており、ｐ層１３４の周方向に沿って断続的に配置されている。導電膜１０４の裏面側において、導電膜１４１ｂには孔部（図示していない）が設けられている。導電膜１０４は、絶縁膜１４２の表面から絶縁膜１４２を貫通するとともに導電膜１４１ｂの孔部を通過してｐ層１３４に達する位置まで伸びているコンタクト部（図示していない）を有しており、これによってｐ層１３４と電気的に接続している。さらに、導電膜１０４は、絶縁膜１４２の表面から絶縁膜１４２を貫通して導電膜１４１ｂに達するコンタクト部（図示していない）を有しており、これによって、導電膜１４１ｂと電気的に接続している。なお、導電膜１０４は、図１に示すように断続的に形成してもよいし、一連の略四角形状に形成してもよい。また、フィールドプレート部１１よりも半導体基板１００の周辺側（図２に示すｙ軸の正方向）には、ｎ層１３６に電気的に接続する電極１１４が形成されている。なお、絶縁膜１４２、第１導電膜１４０ａ～１４０ｄ、ｎ層１３６および電極１１４は、図１においては、図示を省略している。

[0025]　図３～６に示すように、ＦＬＲ層１３５ａに沿って形成された第１導電膜１４０ａには、孔部１４３ａが形成されており、孔部１４３ａの表面側に第２導電膜１２０ａが形成されている。平面視すると、第２導電膜１２０ａの面積は孔部１４３ａよりも大きい。第２導電膜１２０ａの第２方向（図３に示すｙ軸方向）の幅は、第１導電膜１４０ａの第２方向の幅よりも小さい方が好ましいが、大きくてもよい。

[0026]　第２導電膜１２０ａは、表面部１２１ａと、第１コンタクト部１２３ａと、第２コンタクト部１２２ａとを含んでいる。表面部１２１ａは、絶縁膜１４２の表面に形成されている。第１コンタクト部１２３ａは、表面部１２１ａから伸びるとともに導電膜１４０ａに達する位置まで絶縁膜１４２を貫通して、導電膜１４０ａに電気的に接続している。第２コンタクト部１２２ａは、表面部１２１ａから伸びるとともに絶縁膜１４２を貫通してＦＬＲ層１

３５ａに電気的に接続している。図４，５に示すように、第２コンタクト部１２２ａと第１導電膜１４０ａは、絶縁膜１４２によって隔離されており、第１コンタクト部１２３ａと第２コンタクト部１２２ａは、絶縁膜１４２によって隔離されている。表面部１２１ａと、第１コンタクト部１２３ａと、第２コンタクト部１２２ａは、同一材料によって一体に形成されており、第１コンタクト部１２３ａと第２コンタクト部１２２ａは、表面部１２１ａを介して電気的に接続されている。なお、図示していないが、第１導電膜１４０ｂと、第２導電膜１２０ｂと、ＦＬＲ層１３５ｂも、第１導電膜１４０ａと、第２導電膜１２０ａと、ＦＬＲ層１３５ａと同様に互いに接続している。

[0027] 第２導電膜１２０ａの第２方向（この場合、図２等に示すｙ軸の正方向）に隣接する位置には、第２導電膜１２０ｂが形成されていない。言い換えると、第２導電膜１２０ｂの第２方向（この場合、図２等に示すｙ軸の負方向）に隣接する位置には、第２導電膜１２０ａが形成されていない。従って、第２導電膜１２０ａの第１コンタクト部１２３ａ、第２コンタクト部１２２ａの第２方向に隣接する位置には、第２導電膜１２０ｂの第１コンタクト部１２３ｂ、第２コンタクト部１２２ｂが設けられていない。また、第２導電膜１２０ｂの第１コンタクト部１２３ｂ、第２コンタクト部１２２ｂの第２方向に隣接する位置には、第２導電膜１２０ａの第１コンタクト部１２３ａ、第２コンタクト部１２２ａが設けられていない。なお、導電膜１０４およびそのコンタクト部と、第２導電膜１２０ａおよびそのコンタクト部（第１コンタクト部１２３ａおよび第２コンタクト部１２２ａ）も、第２導電膜１２０ａ，１２０ｂおよびそのコンタクト部と同様の位置関係を有している。すなわち、導電膜１０４の第２方向に隣接する位置には、第２導電膜１２０ａが形成されていない。また、導電膜１０４のコンタクト部の第２方向に隣接する位置には、第１コンタクト部１２３ａ、第２コンタクト部１２２ａが設けられていない。

[0028] 図１，２に示すように、第３導電膜１２０ｃ，１２０ｄは、半導体基板１

００を平面視したときに、それぞれＦＬＲ層１３５ｃ，１３５ｄに沿って配置されており、ＦＬＲ層１３５ａ～１３５ｄと同様に、一連の略四角形状に形成されている。第２導電膜１２０ａ，１２０ｂおよび第３導電膜１２０ｃ，１２０ｄは、それぞれｙ方向に間隔を空けて配置されている。第１導電膜１４０ｃ，１４０ｄには、第１導電膜１４０ａ，１４０ｂと同様の孔部が設けられている。第３導電膜１２０ｃ，１２０ｄは、表面部１２１ｃ，１２１ｄと、それぞれＦＬＲ層１３５ｃ，１３５ｄに達する位置まで絶縁膜１４２を貫通するとともに第１導電膜１４０ｃの孔部、第１導電膜１４０ｄの孔部を通過して伸びる第３コンタクト部１２２ｃ，１２２ｄとを有している。第３導電膜１２０ｃ，１２０ｄは、第３コンタクト部１２２ｃ，１２２ｄを介して、それぞれＦＬＲ層１３５ｃ，１３５ｄと電気的に接続している。また、第３導電膜１２０ｃ，１２０ｄは、それぞれ表面部１２１ｃ，１２１ｄから伸びるとともに第１導電膜１４０ｃ，１４０ｄに達する位置まで絶縁膜１４２を貫通する第４コンタクト部（図示していない）を有しており、第４コンタクト部において、それぞれ第１導電膜１４０ｃ，１４０ｄと電気的に接続している。

[0029] 第１導電膜１４０ａ～１４０ｄおよび導電膜１４１ａ，１４１ｂは、セル領域１０１に形成されているＩＧＢＴの絶縁ゲートのゲート電極（図示しない）と同じポリシリコンを材料としており、$１×１０^{１３}ｃｍ^{－２}$以上の不純物イオンを含んでいる。第１導電膜１４０ａ～１４０ｄは、半導体装置１０の製造工程において、ＩＧＢＴのゲート電極を形成する工程で同時に形成される。第２導電膜１２０ａ，１２０ｂ、第３導電膜１２０ｃ，１２０ｄおよび電極１１４は、表面電極１１０と同じアルミニウムを材料としており、半導体装置１０の製造工程において、表面電極１１０を形成する工程で同時に形成される。

[0030] 上記のとおり、半導体装置１０では、第２導電膜１２０ａ，１２０ｂは、それぞれ対応するＦＬＲ層１３５ａ，１３５ｂに沿ってその表面の一部に断続的に配置されている。さらに、第２導電膜１２０ａの第１コンタクト部１

２３ａ、第２コンタクト部１２２ａの第２方向に隣接する位置には、第２導電膜１２０ｂの第１コンタクト部１２３ｂ、第２コンタクト部１２２ｂが設けられていない。また、第２導電膜１２０ｂの第１コンタクト部１２３ｂ、第２コンタクト部１２２ｂの第２方向に隣接する位置には、第２導電膜１２０ａの第１コンタクト部１２３ａ、第２コンタクト部１２２ａが設けられていない。第２方向に隣接する第２導電膜１２０ａ，１２０ｂの第１コンタクト部１２３ａ，１２３ｂと第２コンタクト部１２２ａ，１２２ｂが第２方向に重ならないため、ＦＬＲ層１３５ａ，１３５ｂの間隔を狭くしても、第２導電膜１２０ａ，１２０ｂの第２方向の幅を確保することができる。第２導電膜１２０ａ，１２０ｂとして、微細化が比較的困難な厚い金属膜等を用いた場合にも、ＦＬＲ層１３５ａ，１３５ｂの間隔を狭くして半導体装置１０を高耐圧化することができる。すなわち、表面電極１１０に含まれる材料を用いて第２導電膜１２０ａ，１２０ｂを形成することと、ＦＬＲ層１３５ａ，１３５ｂの間隔を狭くすることを両立できるため、簡便な製造工程で、高耐圧の半導体装置を製造することができる。なお、実施例１では、導電膜１０４およびそのコンタクト部と、第２導電膜１２０ａおよびそのコンタクト部も、第２導電膜１２０ａ，１２０ｂと同様の位置関係を有している。このため、同様に、ｐ層１３４とＦＬＲ層１３５ａとの間隔を狭くしても、導電膜１０４、第２導電膜１２０ａの第２方向の幅を確保することができ、上記と同様の作用効果を得ることができる。

[0031]　（変形例）

第１導電膜、第２導電膜等の形態は、実施例１で説明した形態に限定されない。例えば、図７に示すような、表面部２２１ａ、第１コンタクト部２２３ａおよび第２コンタクト部２２２ａを有する第２導電膜２２０ａであってもよい。第２導電膜２２０ａでは、第１コンタクト部２２３ａと第２コンタクト部２２２ａとの間には、絶縁膜２４２が存在しておらず、第１コンタクト部２２３ａと第２コンタクト部２２２ａが互いに接している。また、図８，９に示すように、第１導電膜３４０ａは、第２導電膜１２０ａの下方にお

いて、矩形状の切欠き部分３４３ａを有しており、切欠き部分３４３ａに第２導電膜１２０ａの第２コンタクト部１２２ａが位置していてもよい。

[0032] また、図１０に示すような、表面部４２１、第１コンタクト部４２３および第２コンタクト部４２２を有する第２導電膜４２０であってもよい。第２導電膜４２０では、第１コンタクト部４２３と第２コンタクト部４２２が第２方向に配置されており、第１コンタクト部４２３と第２コンタクト部４２２は、絶縁膜１４２によって隔離されている。さらに、図１１に示すような、表面部５２１、第１コンタクト部５２３および第２コンタクト部５２２を有する第２導電膜５２０であってもよい。第２導電膜５２０では、第１コンタクト部５２３と第２コンタクト部５２２が第２方向に配置されるとともに、第２方向に互いに接している。また、複数の第２導電膜において、表面部、第１コンタクト部および第２コンタクト部の形態がそれぞれ相違していてもよい。

[0033] また、第２方向に隣接する複数の第２導電膜の第１コンタクト部と第２コンタクト部が第２方向に重ならないようにすれば、図１２，１３に示すように、１つの第２導電膜の第２方向に隣接する位置に、他の第２導電膜が形成されていてもよい。例えば、図１２に示すような第２導電膜４２０ａ，４２０ｂであってもよい。第２導電膜４２０ａの表面部４２１ａのｘ方向の端部と、第２導電膜４２０ｂの表面部４２１ｂのｘ方向の端部は、第２方向に重なっている。すなわち、第２導電膜４２０ａの第２方向に隣接する位置に第２導電膜４２０ｂの一部が位置している。表面部４２１ａ，４２１ｂの第１方向の端部は、半円形状になっており、端部側ほど第２方向の幅が狭くなっている。第１コンタクト部４２３ａと第２コンタクト部４２２ａ、第１コンタクト部４２３ｂと第２コンタクト部４２２ｂは、図１０と同様に、それぞれ互いに第２方向に配置されており、第２導電膜４２０ａと第２導電膜４２０ｂの重なっていない領域にそれぞれ形成されている。従って、第１コンタクト部４２３ａの第２方向に隣接する位置には第１コンタクト部４２３ｂは形成されておらず、第２コンタクト部４２２ａの第２方向に隣接する位置に

は第２コンタクト部４２２ｂは形成されていない。

[0034] 同様に、図１３に示すような第２導電膜４２０ｆ，４２０ｇであってもよい。第２導電膜４２０ｆの表面部４２１ｆのｘ方向の端部と第２導電膜４２０ｇの表面部４２１ｇのｘ方向の端部が第２方向に重なっており、第２導電膜４２０ｆの第２方向に隣接する位置に第２導電膜４２０ｇの一部が位置している。表面部４２１ｆ，４２１ｇの第１方向の端部は、中央部よりも第２方向の幅が狭くなっている。第１コンタクト部４２３ｆと第２コンタクト部４２２ｆ、第１コンタクト部４２３ｇと第２コンタクト部４２２ｇは、図１０と同様に、それぞれ互いに第２方向に配置されており、第２導電膜４２０ｆと第２導電膜４２０ｇの重なっていない領域にそれぞれ形成されている。従って、第１コンタクト部４２３ｆの第２方向に隣接する位置には第１コンタクト部４２３ｇは形成されておらず、第２コンタクト部４２２ｆの第２方向に隣接する位置には第２コンタクト部４２２ｇは形成されていない。

[0035] また、第２導電膜の配置は、図１等に示すものに限定されない。例えば、図１４，１５に示すように、第３導電膜を有しておらず、第２導電膜６２０ａ～６２０ｄを有するフローティング部１１ａ備えている半導体装置１０ａであってもよく、または、第２導電膜６２１ａ～６２１ｄを有するフローティング部１１ｂを備えている半導体装置１０ｂであってもよい。また、第２導電膜６２０ｂ，６２０ｄ，６２１ｂ，６２１ｄのように、少なくともその一部が半導体基板１００を平面視したときの角部に配置されていてもよい。同様に、図１に示す導電膜１０４についても、これに替えて、少なくともその一部が半導体基板１００を平面視したときの角部に配置されている導電膜１０４ａ，１０４ｂを用いてもよい。また、第２導電膜の第２方向の長さは特に限定されず、例えば、図１５に示すように、ＦＬＲ層の周の１／４程度以上の長さの第２導電膜６２１ａ～６２１ｄであってもよい。なお、図１に示す導電膜１０４についても、これに替えて、ｐ層１３４の周の１／４程度以上の長さの導電膜１０４ｂを用いてもよい。このような構成にすると、第２導電膜の第１方向の端部の数が減るため、可動イオンが第２導電膜を避け

て直線的に第２方向に移動する確率を減らすことができる。なお、第２導電膜の第１方向の長さは、表面電極の周辺側の端部（図２に示す端部１１０ａ）とフローティング層よりも半導体基板の周辺側に設けられたｎ層の表面の電極（図２に示す端部１１４ａ）との距離Ｄ１以上であることが好ましく、表面電極の周辺側の端部からフローティング層が形成されている側に位置する最も近い半導体基板の端部までの距離Ｄ２以上であることがより好ましい。第２導電膜の第１方向の長さが長いほど、可動イオンが隣接する第２導電膜に到達するために多くの距離を移動することとなる。第２導電膜の第１方向の長さが距離Ｄ１以上であれば、可動イオンが１つの第２導電膜から移動して、その隣接する第２導電膜に到達する確率を５０％以下にすることができる。半導体装置１０ａ，１０ｂに示すように、第２導電膜の第１方向の端部が半導体基板１０の角部に位置しないように、第２導電膜を配置することが好ましい。

[0036]　また、図１６に示すように、ＦＬＲ層の周の１／４程度以上の長さの第２導電膜６２２ａ，６２２ｂと、第３導電膜６２２ｃ，６２２ｄとを有するフローティング部１１ｃを備えた半導体装置１０ｃであってもよい。第３導電膜６２２ｃ，６２２ｄは、それぞれ、図１に示す第３導電膜１２０ｃ，１２０ｄと同様であり、第２導電膜６２２ａ，６２２ｂおよび導電膜１０４ｃは、それぞれ、図１５に示す第２導電膜６２１ａ，６２１ｂおよび導電膜１０４ｂと同様であるため、説明を省略する。また、図１７に示すように、半導体基板１００の最も周辺側のＦＬＲ層の上部にのみ第３導電膜６２３ｄが形成されており、中央側には第２導電膜６２３ａ～６２３ｃが形成されているフローティング部１１ｄを備えている半導体装置１０ｄであってもよい。また、第２導電膜６２３ａ～６２３ｃのように、第２導電膜の間隔が一定でなくてもよく、第２方向に隣接する複数のＦＬＲ層１３５ａ～１３５ｄの表面側に、第２導電膜６２３ａ～６２３ｃのいずれも形成されていない領域があってもよい。同様に、図１に示す導電膜１０４についても、これに替えて、一定ではない間隔で配置された導電膜１０４ｄを用いてもよい。また、半導

体装置１０，１０ｃ，１０ｄのように、第３導電膜を設ける場合には、第２導電膜よりも半導体基板１０の周辺側に設けることが好ましい。

[0037] さらに、表面電極およびゲート配線の形態は、実施例１で説明した形態に限定されない。例えば、図１８に示すように、半導体基板１００の表面において一部接続された１つの表面電極６１０と、この周囲を取り囲むゲート配線６０３とを備えた半導体装置１０ｅであってもよい。さらに、図１９に示す半導体装置１０ｆのように、図１に示す導電膜１０４に替えて、導電膜１０４ｆを備えており、表面電極７１０が導電膜１０４ｆに接するまで伸びており、表面電極７１０と導電膜１０４ｆが電気的に接続されていてもよい。なお、導電膜１０４ｆは、配線によって表面電極７１０と接続し易いように、表面電極７１０との接続部の近傍において導電膜１０４の配置を一部変更したものである。また、第２導電膜７２０ａ，７２０ｂは、導電膜１０４ｆの配置に応じて、表面電極７１０と導電膜１０４ｆとの接続部の近傍において、第２導電膜１２０ａ，１２０ｂの配置を一部変更したものである。ゲート配線７０３は、表面電極７１０の周囲を取り囲むように形成されている。なお、図７～図１９の説明においては、実施例１に示す半導体装置１０と同様の形態については説明を省略している。また、図示していないが、導電膜１０４ａ等および第２導電膜６２０ａ等の位置の変更に合わせて、これらのコンタクト部の位置、および、その裏面側の第１導電膜等の孔部の位置も変更されている。

[0038] 以上、本発明の実施例について詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

[0039] 本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

請求の範囲

[請求項1] 半導体素子が形成されたセル領域と、セル領域の周囲に設けられた非セル領域とを有する半導体基板と、

非セル領域の表面に形成されたフィールドプレート部とを備えた半導体装置であって、

非セル領域は、

第１導電型の基板層と、

基板層の表面に形成されており、セル領域の周囲に沿った第１方向に伸びてセル領域を囲むとともに、第１方向に直交する第２方向に間隔を空けて配置されている複数の第２導電型のＦＬＲ層とを備えており、

フィールドプレート部は、

半導体基板の表面に形成された絶縁膜と、

絶縁膜の内部にＦＬＲ層毎に形成されており、半導体基板を平面視したときに、対応するＦＬＲ層に沿って配置されている複数の第１導電膜と、

隣接する少なくとも２つのＦＬＲ層のそれぞれに対応して形成されており、半導体基板を平面視したときに、対応するＦＬＲ層に沿ってその一部に断続的に配置されており、絶縁膜の表面に形成されている表面部と、表面部から伸びるとともに絶縁膜を貫通して第１導電膜に電気的に接続する第１コンタクト部と、表面部から伸びるとともに絶縁膜を貫通してＦＬＲ層に電気的に接続している第２コンタクト部とを含む複数の第２導電膜とを備えており、

１つの第２導電膜の第１コンタクト部の第２方向に隣接する位置には、他の第２導電膜の第１コンタクト部が設けられておらず、

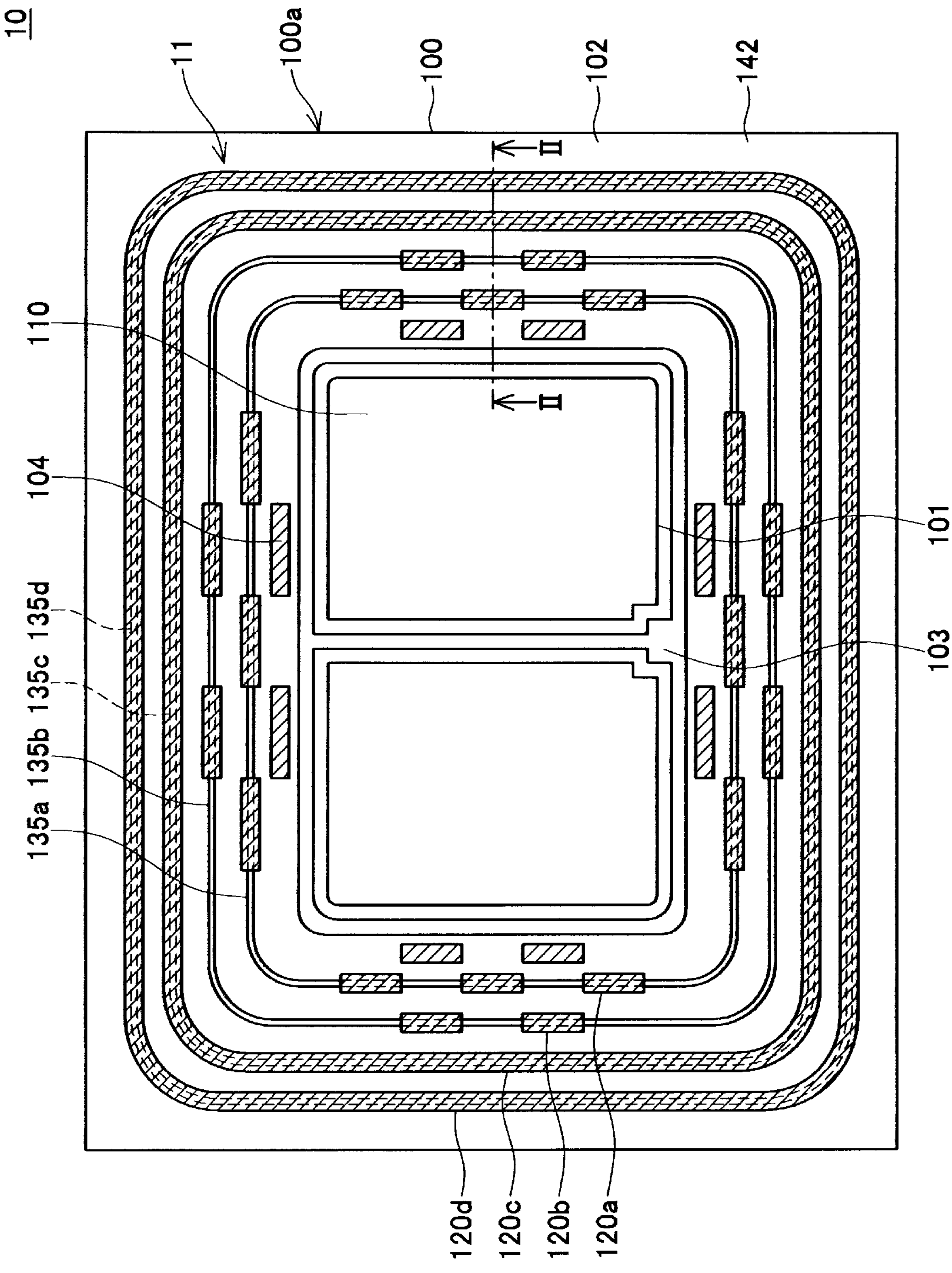
１つの第２導電膜の第２コンタクト部の第２方向に隣接する位置には、他の第２導電膜の第２コンタクト部が設けられていない、半導体装置。

［請求項2］　フィールドプレート部は、半導体基板を平面視したときに、対応する第２導電膜が形成されていないＦＬＲ層に沿って配置されており、絶縁膜の表面に形成されている表面部と、表面部から伸びるとともに絶縁膜を貫通してＦＬＲ層に電気的に接続している第３コンタクト部とを含む第３導電膜をさらに備えており、

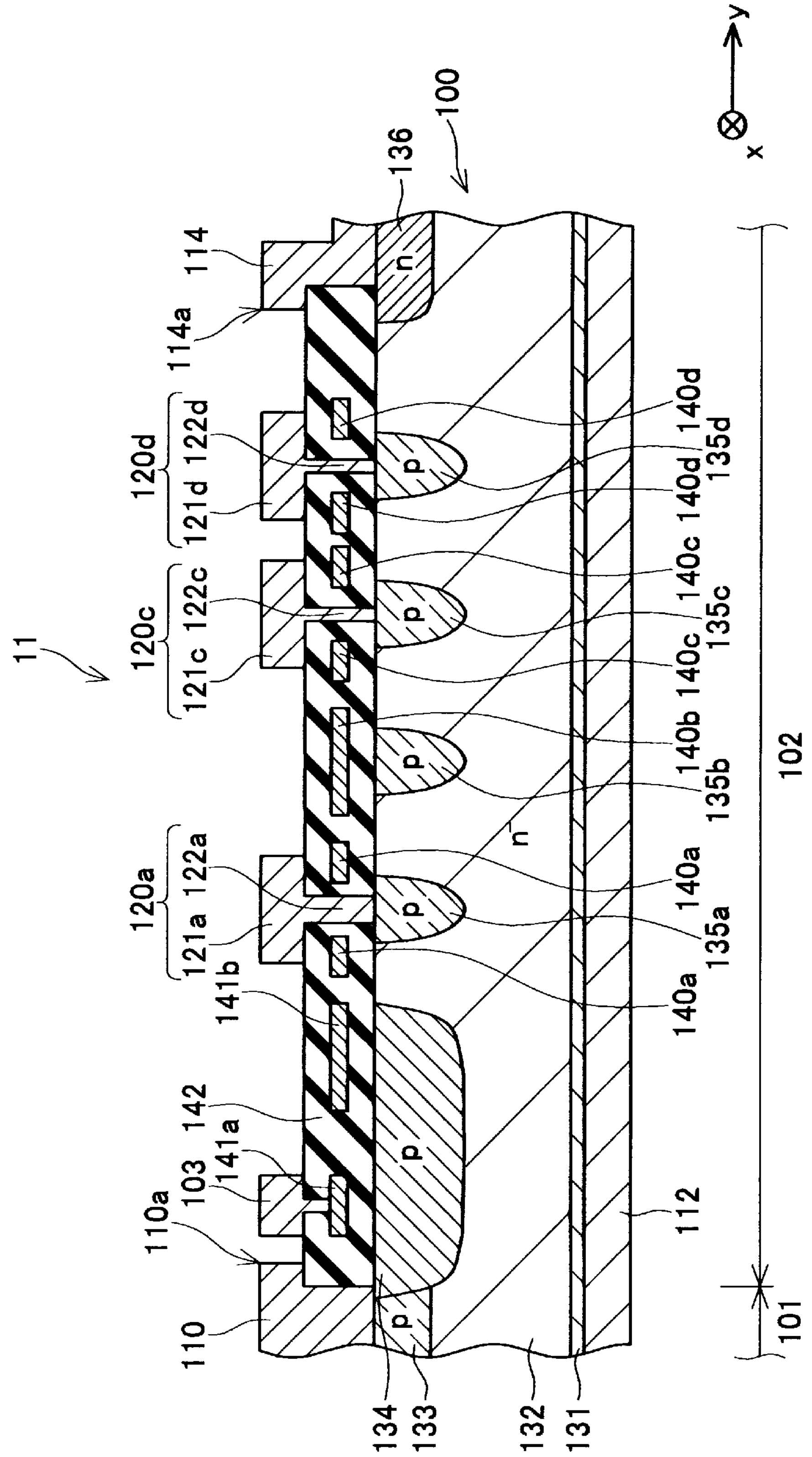
第３導電膜は、複数の第２導電膜よりも半導体基板の周辺側に設けられている、請求項１に記載の半導体装置。

［請求項3］　第２導電膜の第１方向の端部は、半導体基板を平面視したときの角部を除く部分に設けられている、請求項１または２に記載の半導体装置。

[図1]

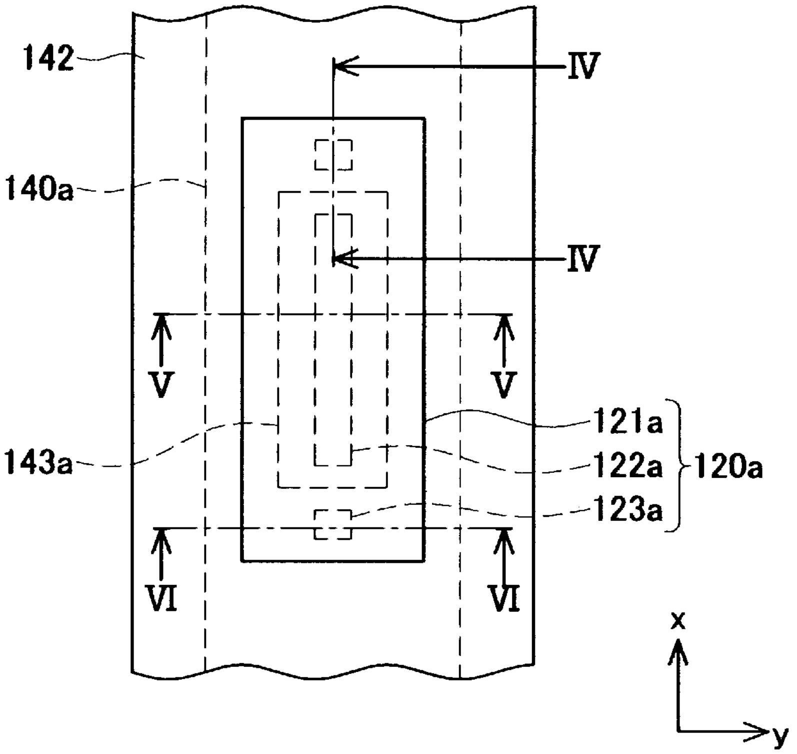

10
11
100a
100
102
142
II
110
104
101
103
135a
135b
135c
135d
120a
120b
120c
120d

[図2]



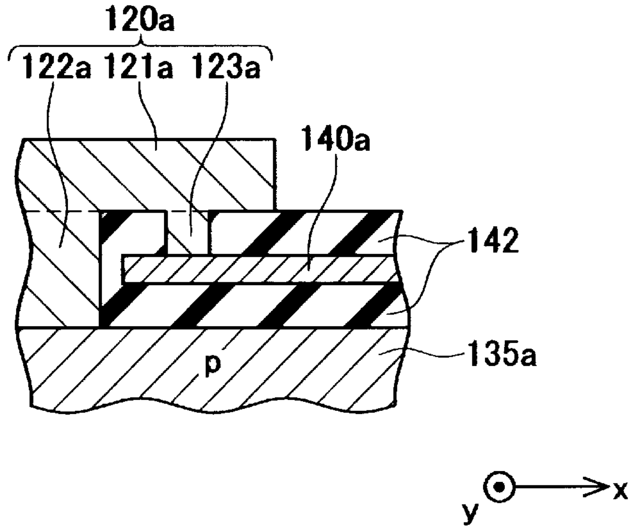
y
x
100
136
114
114a
n
11
120d
121d
122d
120c
121c
122c
120a
121a
122a
141b
142
141a
103
110a
110
p
n⁻
140d
135d
140c
135c
140b
135b
140a
135a
102
112
101
134
133
132
131

[図3]



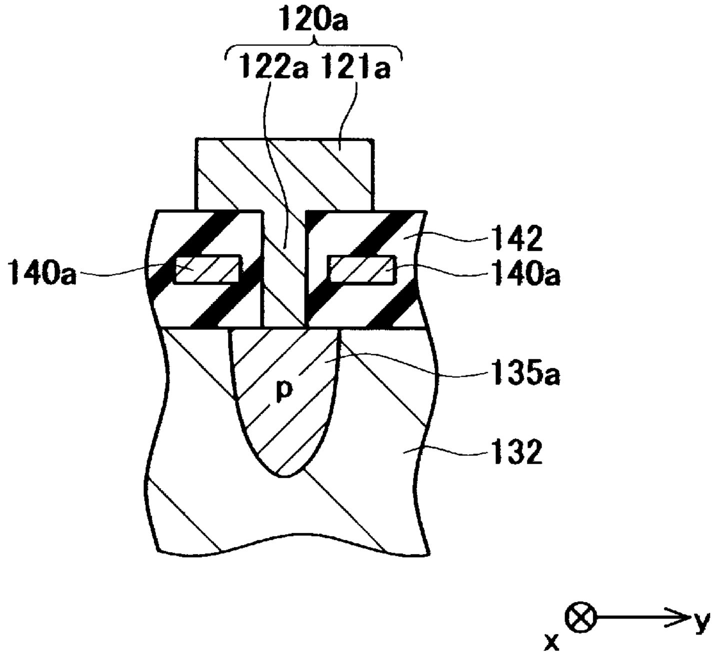
142
140a
143a
IV
IV
V
V
VI
VI
121a
122a
123a
120a
x
y

[図4]

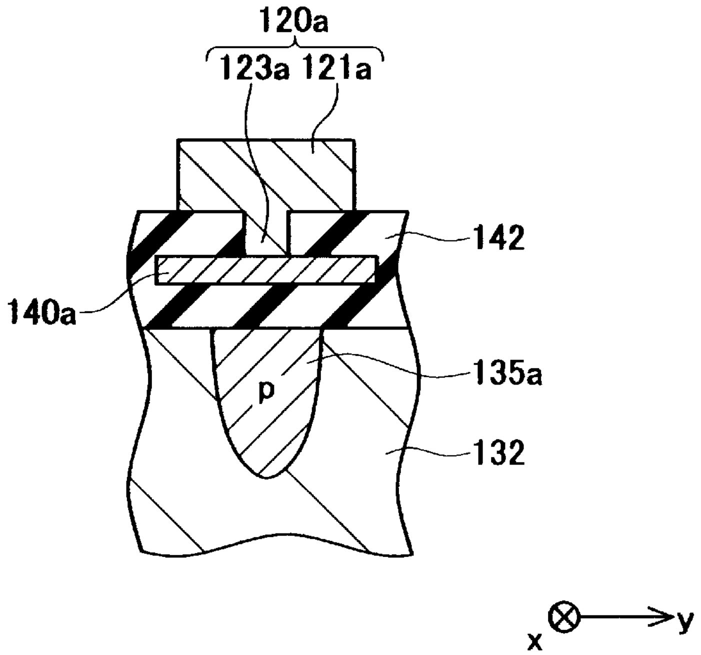


120a
122a 121a 123a
140a
142
p
135a
y
x

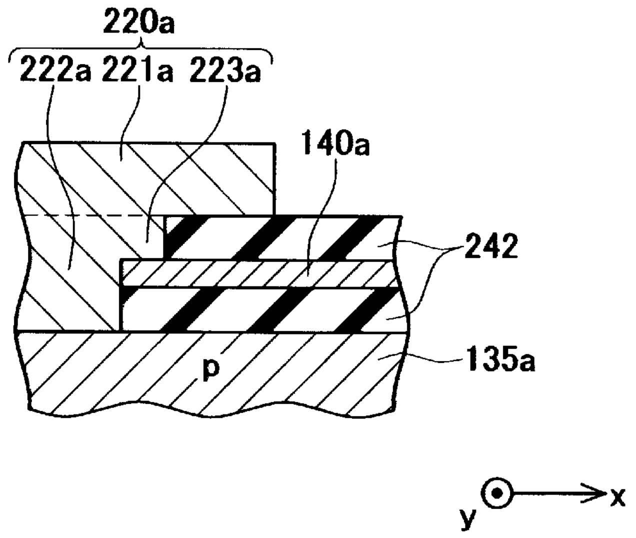
[図5]


120a
122a 121a
142
140a
140a
135a
p
132
x
y

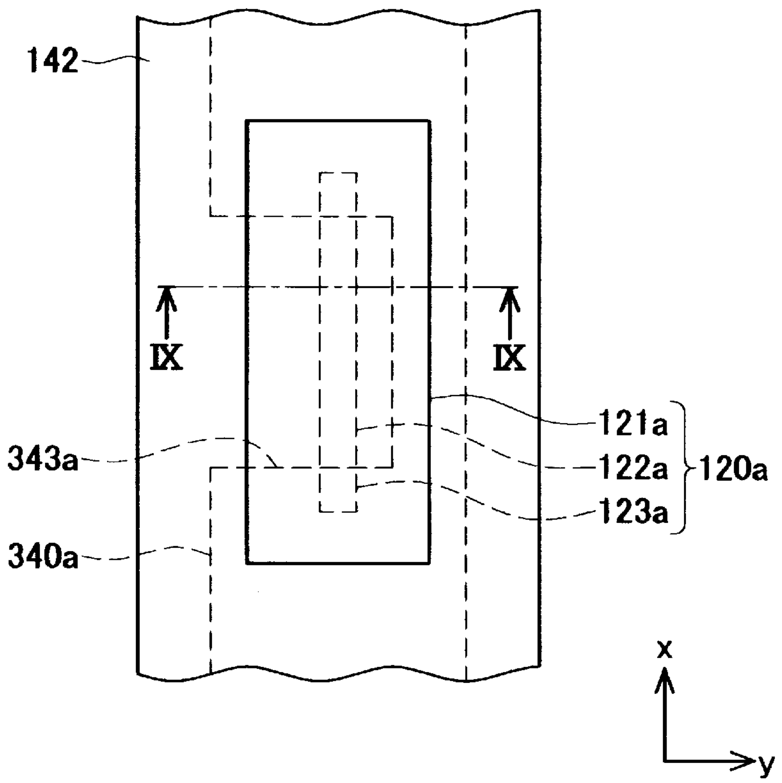
[図6]


120a
123a 121a
142
140a
135a
p
132
x
y

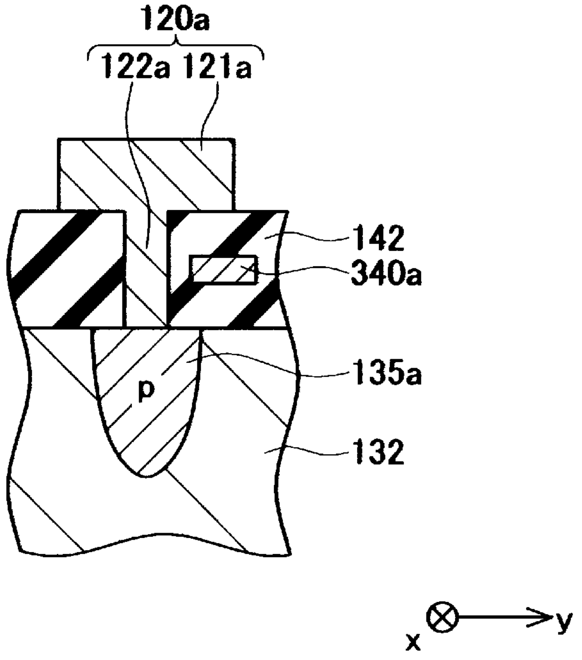
[図7]


220a
222a 221a 223a
140a
242
135a
p
y
x

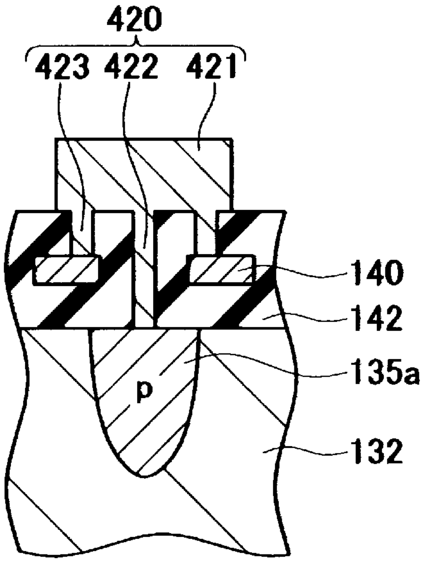
[図8]


142
IX
IX
121a
122a
123a
120a
343a
340a
x
y

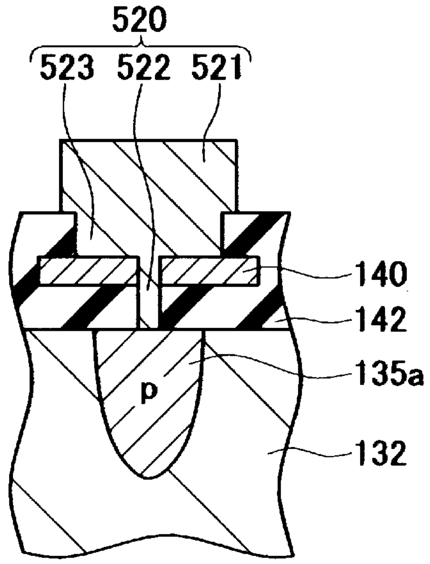
[図9]


120a
122a 121a
142
340a
135a
p
132
x
y

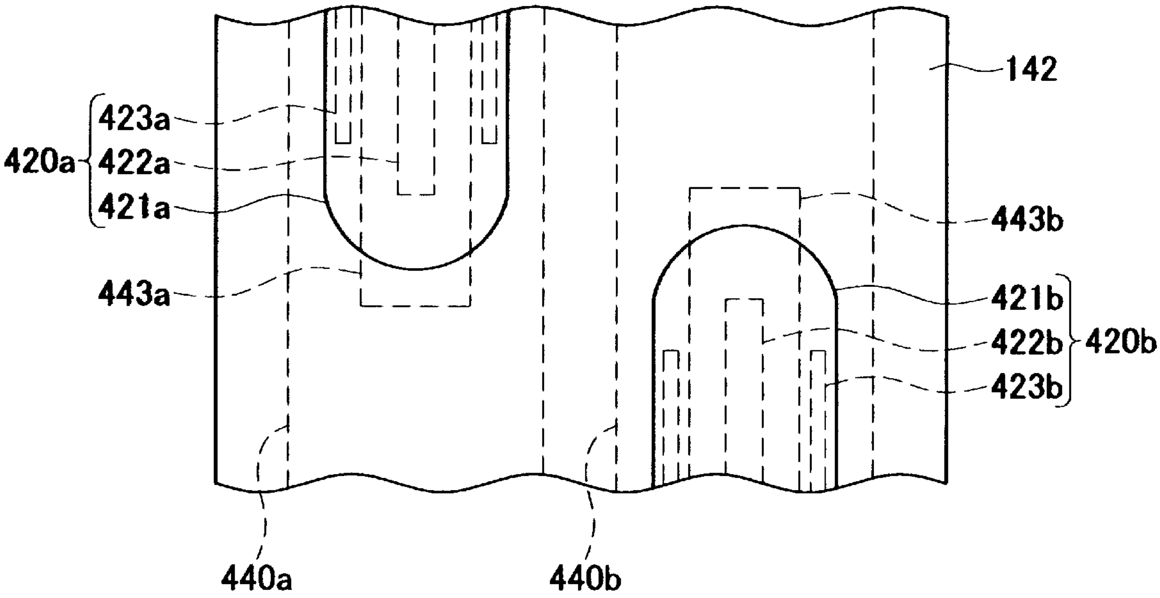
[図10]


420
423 422 421
140
142
135a
p
132

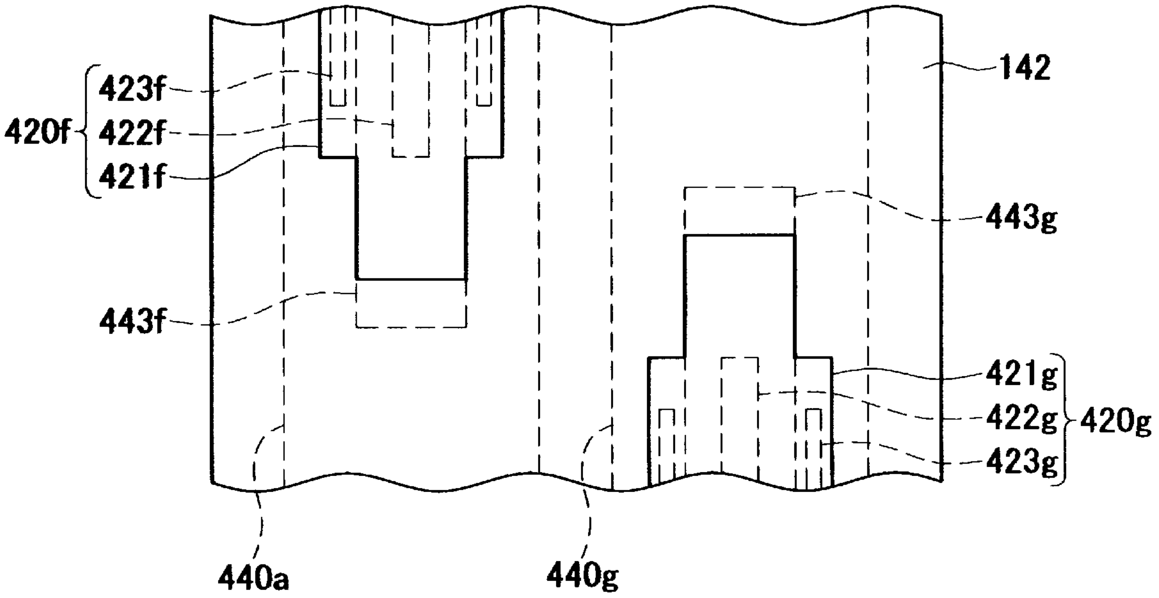
[図11]


520
523
522
521
140
142
135a
p
132

[図12]

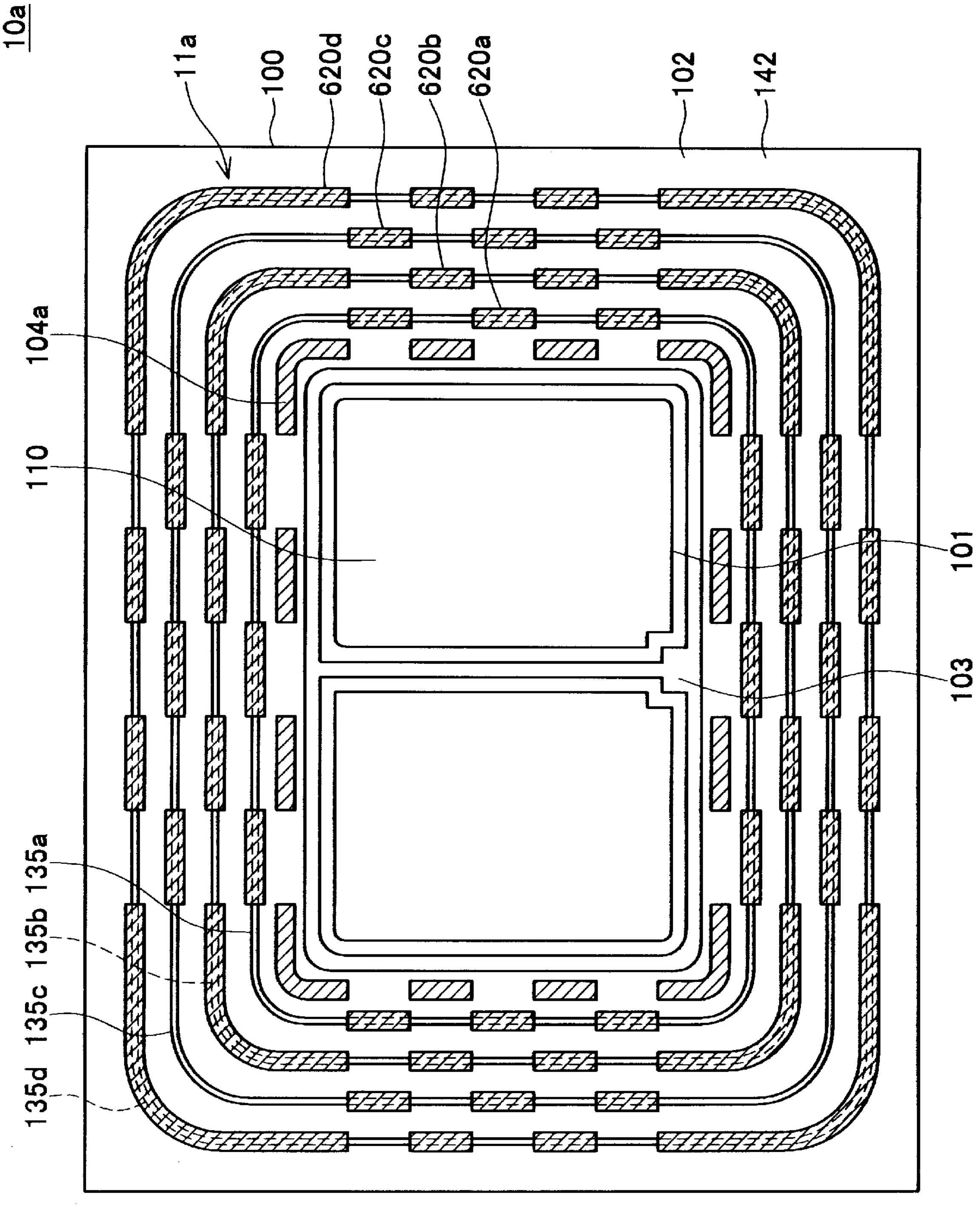

142
423a
420a
422a
421a
443a
443b
421b
422b
420b
423b
440a
440b

[図13]



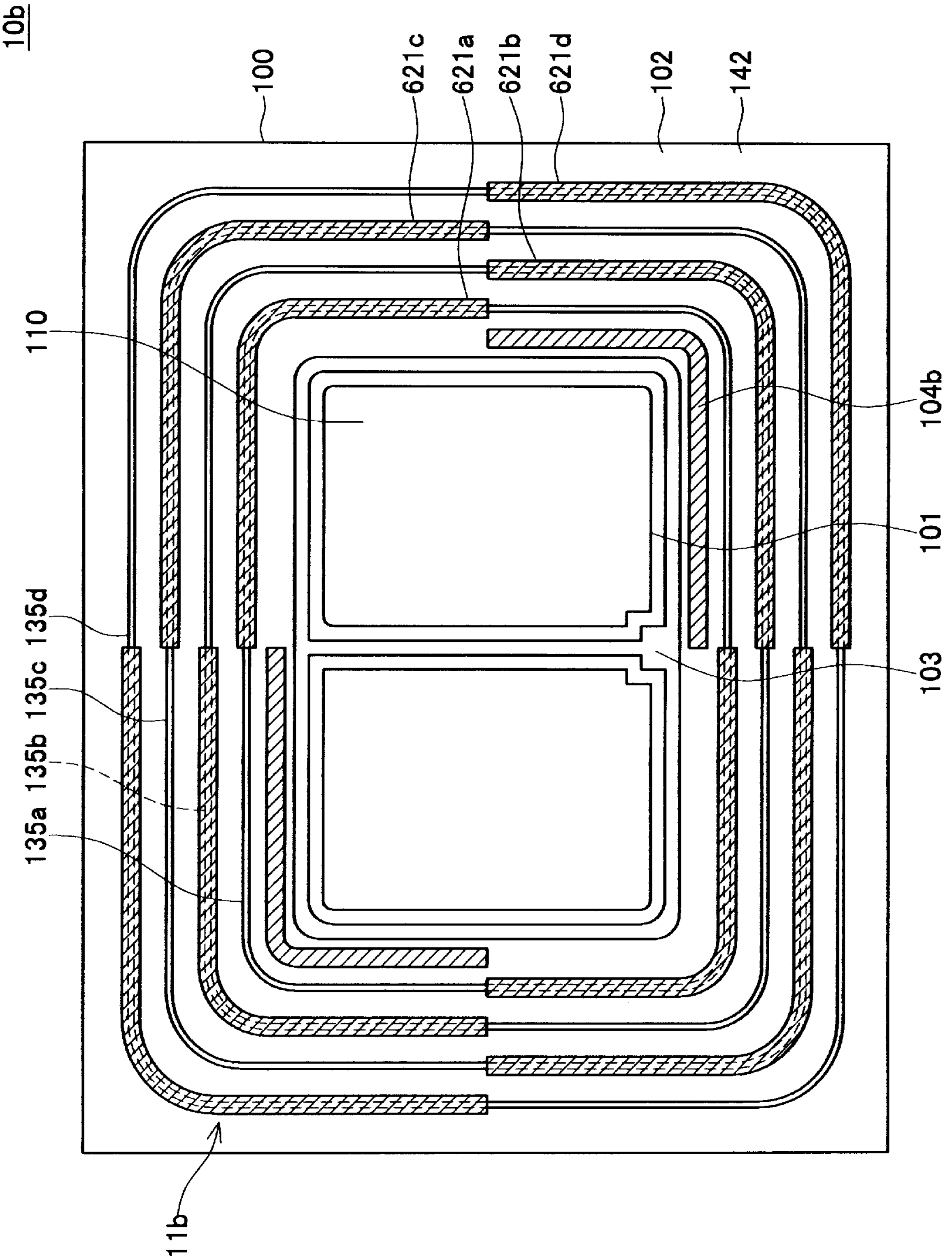
142
420f
423f
422f
421f
443f
443g
421g
422g
423g
420g
440a
440g

［図14］

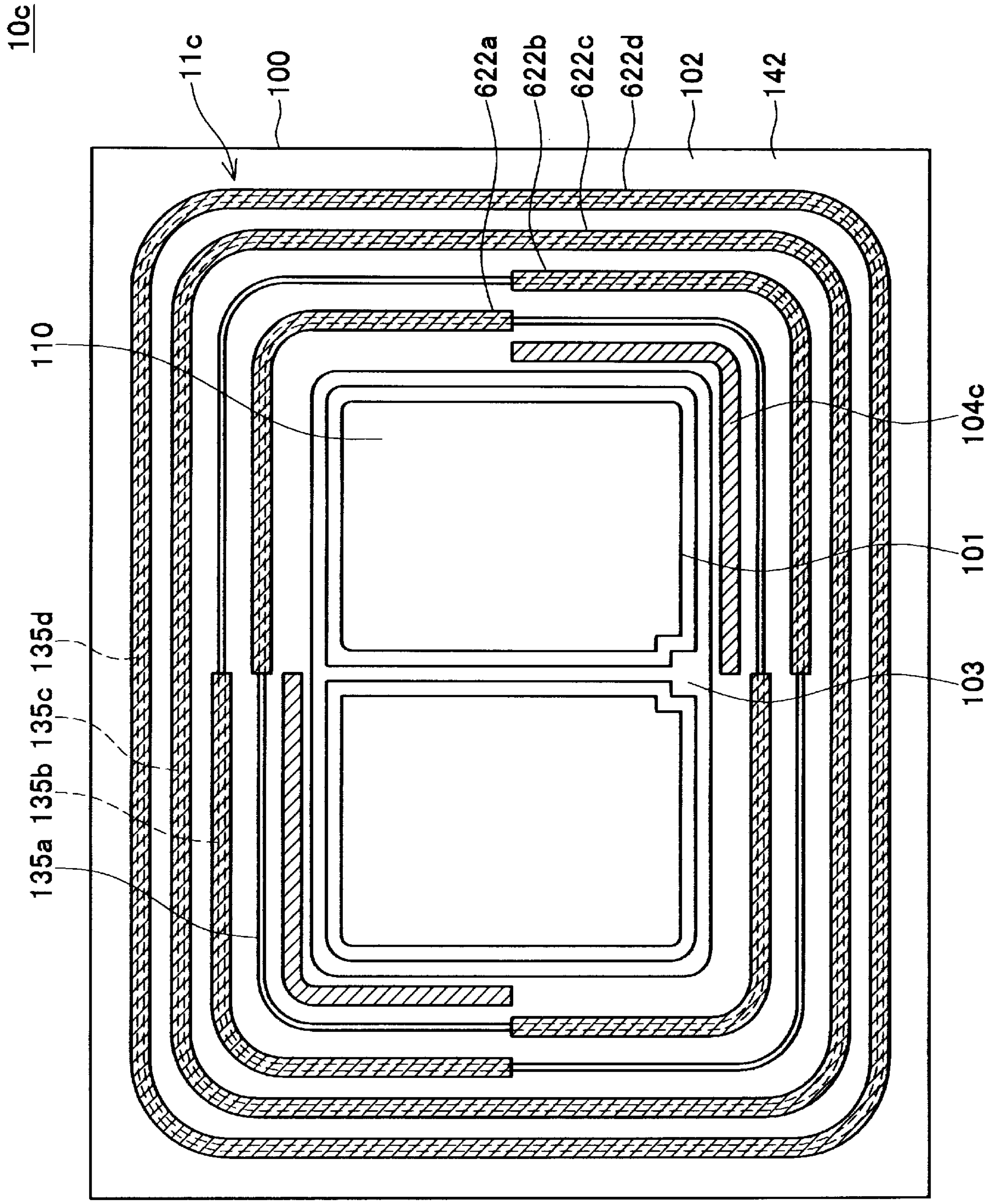

10a
11a
100
620d
620c
620b
620a
102
142
104a
110
101
103
135a
135b
135c
135d

WO 2013/140572 PCT/JP2012/057328

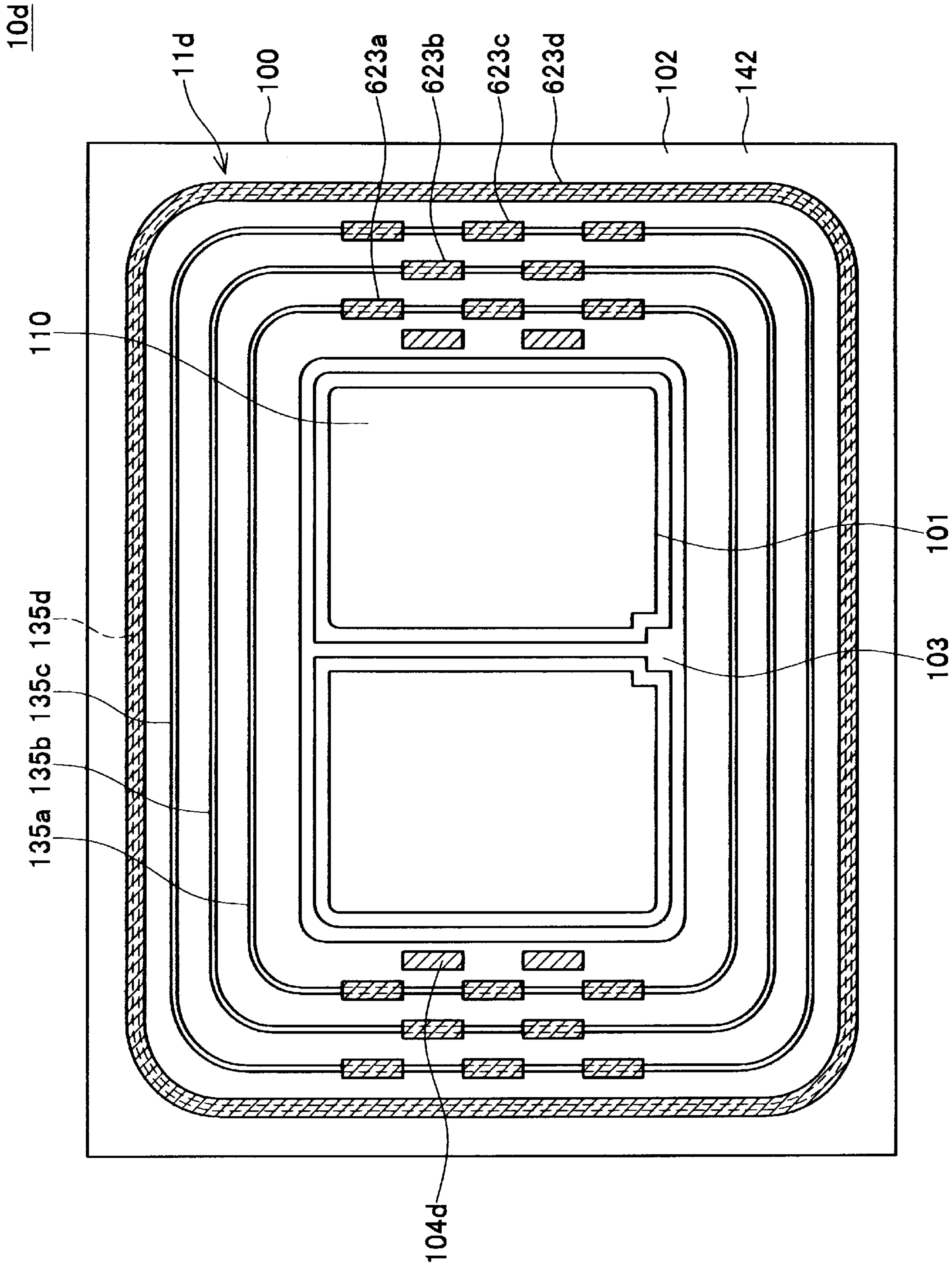
[図15]



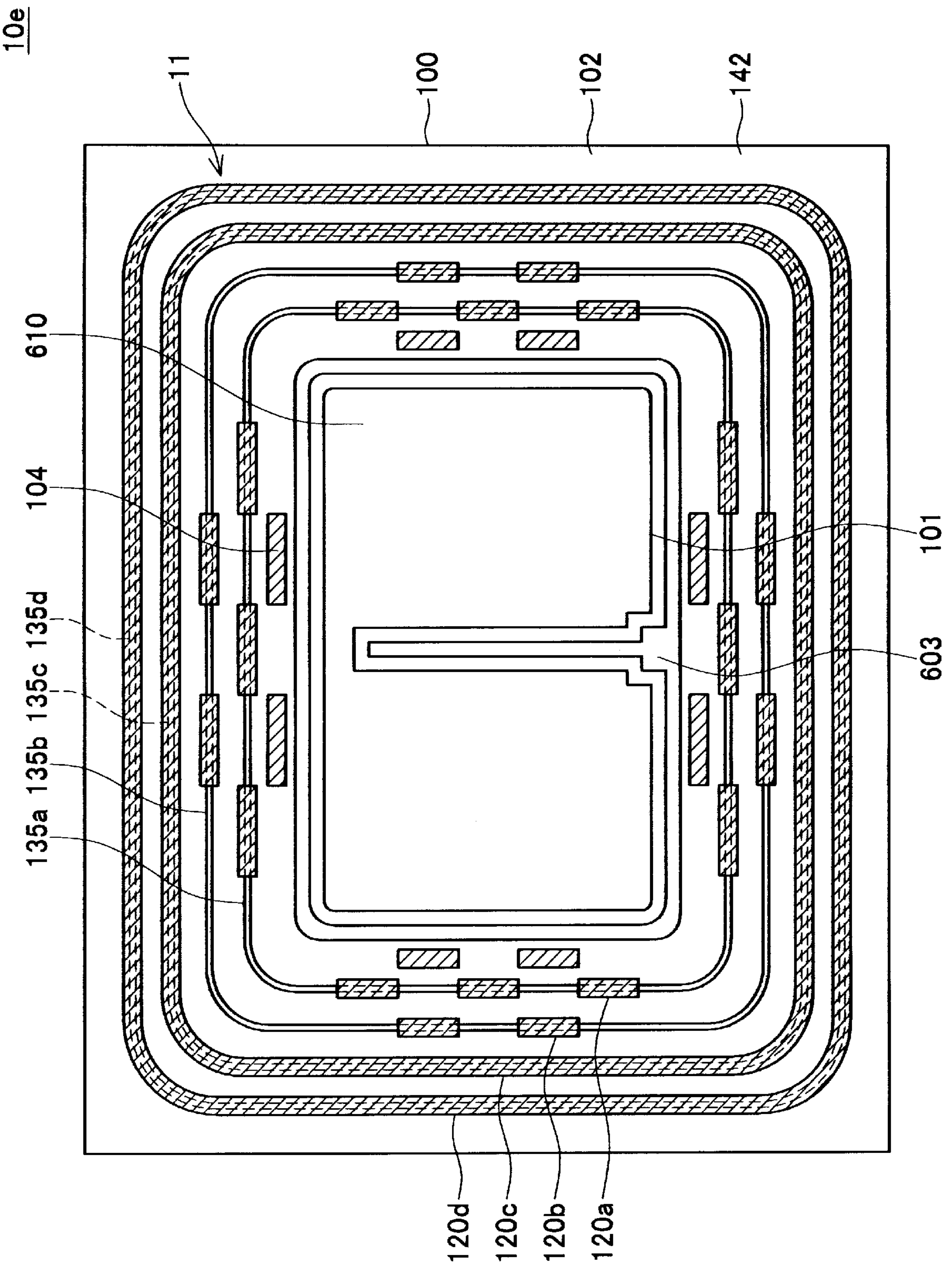
[図16]


10c
11c
100
622a
622b
622c
622d
102
142
110
104c
101
103
135d
135c
135b
135a

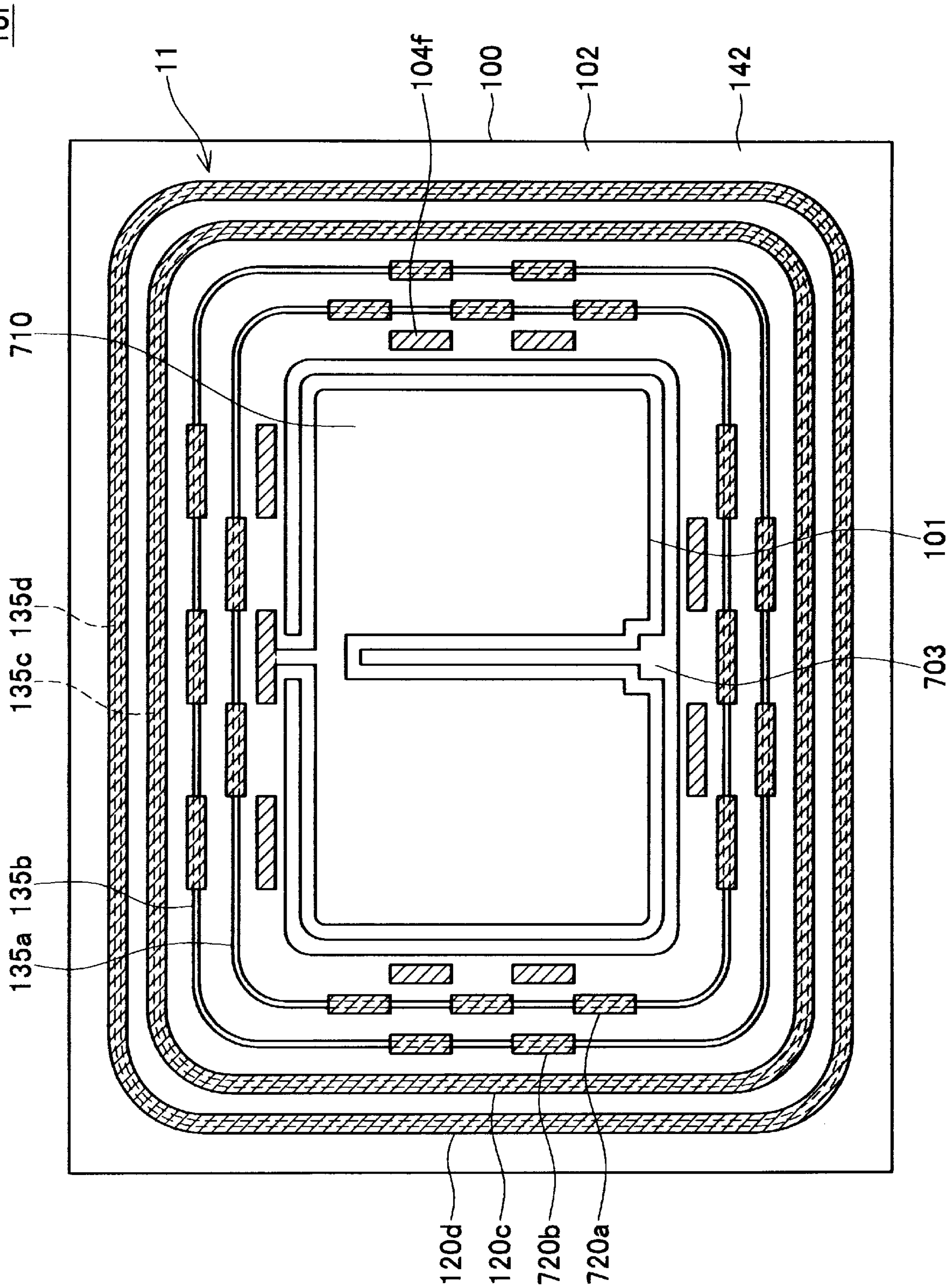
[図17]


10d
11d
100
623a
623b
623c
623d
102
142
110
101
103
135d
135c
135b
135a
104d

[図18]


10e
11
100
102
142
610
104
135d
135c
135b
135a
101
603
120d
120c
120b
120a

[図19]


10f
11
104f
100
102
142
710
101
703
135d
135c
135b
135a
120d
120c
720b
720a

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/057328

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/06(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/06, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-171552 A (Fuji Electric Co., Ltd.), 01 September 2011 (01.09.2011), entire text; all drawings & CN 102163621 A	1-3
A	JP 2010-219224 A (Toshiba Corp.), 30 September 2010 (30.09.2010), entire text; all drawings & US 2010/0230745 A1	1-3
A	JP 2010-267655 A (Mitsubishi Electric Corp.), 25 November 2010 (25.11.2010), entire text; all drawings & US 2010/0289110 A1 & DE 102010011112 A & CN 101887884 A & KR 10-2010-0122437 A	1-3

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 April, 2012 (24.04.12)	15 May, 2012 (15.05.12)

Name and mailing address of the ISA/	Authorized officer
Japanese Patent Office	
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2012/057328

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-193043 A (Fuji Electric Device Technology Co., Ltd.), 21 August 2008 (21.08.2008), entire text; all drawings & US 2008/0169526 A1 & CN 101221980 A	1-3
A	JP 2011-129622 A (Mitsubishi Electric Corp.), 30 June 2011 (30.06.2011), entire text; all drawings & US 2011/0140165 A1 & DE 102010043567 A & CN 102104039 A	1-3

国際調査報告	国際出願番号　ＰＣＴ／ＪＰ２０１２／０５７３２８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/06(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/06, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-171552 A（富士電機株式会社）2011.09.01, 全文, 全図 & CN 102163621 A	1-3
A	JP 2010-219224 A（株式会社東芝）2010.09.30, 全文, 全図 & US 2010/0230745 A1	1-3
A	JP 2010-267655 A（三菱電機株式会社）2010.11.25, 全文, 全図 & US 2010/0289110 A1 & DE 102010011112 A & CN 101887884 A & KR 10-2010-0122437 A	1-3

☑ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２４．０４．２０１２	１５．０５．２０１２

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	５Ｆ	３０３５
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	柴山　将隆 電話番号　０３－３５８１－１１０１　内線　３５１６		

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2008-193043 A (富士電機デバイステクノロジー株式会社) 2008.08.21, 全文, 全図 & US 2008/0169526 A1 & CN 101221980 A	1-3
A	JP 2011-129622 A (三菱電機株式会社) 2011.06.30, 全文, 全図 & US 2011/0140165 A1 & DE 102010043567 A & CN 102104039 A	1-3