



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월07일
(11) 등록번호 10-1019279
(24) 등록일자 2011년02월24일

(51) Int. Cl.

H01L 27/146 (2006.01)

(21) 출원번호 10-2007-0074105

(22) 출원일자 2007년07월24일

심사청구일자 2007년07월24일

(65) 공개번호 10-2009-0010747

(43) 공개일자 2009년01월30일

(56) 선행기술조사문헌

KR1020020022931 A*

KR1020030000653 A*

KR1020020020086 A

JP2000031525 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

크로스텍 캐피탈, 엘엘씨

미합중국 델라웨어 19808 윌밍톤 스위트 400 센터 빌 로드 2711

(72) 발명자

임연섭

충북 청주시 흥덕구 봉명동 푸른아파트 102-1107

(74) 대리인

남상선

전체 청구항 수 : 총 5 항

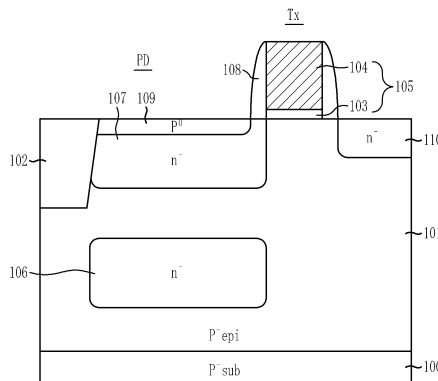
심사관 : 한지혜

(54) 이미지 센서 및 그 제조방법

(57) 요약

본 발명은 포토 다이오드의 공핍영역을 증대시켜 양자 효율을 개선시키는 동시에 전기적인 간섭 특성을 개선시킬 수 있는 이미지 센서 및 그 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은 기판 내에 제1 도전형으로 형성된 에피층과, 상기 에피층 내에 형성된 포토 다이오드와, 상기 포토 다이오드와 분리되도록 상기 포토 다이오드 하부에 제2 도전형으로 형성된 제1 도핑영역을 포함하는 이미지 센서를 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

기관 내에 제1 도전형으로 형성된 에피층;

상기 에피층 내에 형성된 포토 다이오드; 및

상기 포토 다이오드와 분리되도록 상기 포토 다이오드 하부의 상기 에피층 내에 제2 도전형으로 형성된 제1 도핑영역

을 포함하는 이미지 센서.

청구항 2

제 1 항에 있어서,

상기 포토 다이오드는,

상기 제2 도전형으로 형성된 제2 도핑영역; 및

상기 제2 도핑영역 상에 상기 제1 도전형으로 형성된 제3 도핑영역

을 포함하는 이미지 센서.

청구항 3

제 2 항에 있어서,

상기 제1 도핑영역은 상기 제2 도핑영역보다 낮은 도핑농도로 형성된 이미지 센서.

청구항 4

제 2 항에 있어서,

상기 포토 다이오드의 일측과 접하도록 상기 기관 상에 형성된 게이트 전극을 더 포함하는 이미지 센서.

청구항 5

제 4 항에 있어서,

상기 제1 도핑영역은 상기 게이트 전극의 일측에 정렬되도록 형성된 이미지 센서.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 제조 기술에 관한 것으로, 특히 이미지 센서 및 그 제조방법, 더욱 구체적으로 상보성 금속 산화물 반도체(Complementary Metal-Oxide-Semiconductor, CMOS)(이하, 시모스라 함) 이미지 센서 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 디지털 카메라(digital camera)는 인터넷을 이용한 영상통신의 발전과 더불어 그 수요가 폭발적으로 증가하고

있는 추세에 있다. 더욱이, 카메라가 장착된 PDA(Personal Digital Assistant), IMT-2000(International Mobile Telecommunications-2000), CDMA(Code Division Multiple Access) 단말기 등과 같은 이동통신단말기의 보급이 증가됨에 따라 소형 카메라 모듈의 수요가 증가하고 있다.

- [0003] 카메라 모듈로는 CCD(Charge Coupled Device)나 시모스 이미지 센서가 널리 보급되어 사용되고 있다. CCD는 구동방식이 복잡하고 전력소모가 크다. 또한, 마스크(mask) 공정 수가 많이 필요하여 공정이 복잡하다. 이외에도, 신호 처리 회로를 칩(chip) 내에 구현할 수 없어 원 칩(one chip)화가 어렵다는 단점이 있다. 시모스 이미지 센서는 단위 화소(unit pixel) 내에 포토 다이오드(photo diode)와 금속 산화물 반도체(Metal-Oxide-Semiconductor, MOS) 트랜지스터를 형성시켜 스위칭(switcing) 방식으로 차례로 신호를 검출하여 이미지를 구현한다. 이와 같이, 시모스 이미지 센서는 시모스 제조기술을 이용하므로 전력 소모도 적고, 마스크 수도 대략 20개 정도로 30~40개의 마스크가 필요한 CCD 공정에 비해 공정이 매우 단순하며, 여러 신호 처리 회로와 원 칩화가 가능하여 차세대 이미지 센서로 각광을 받고 있다.
- [0004] 최근에는 시모스 이미지 센서의 경쟁성을 확보하기 위해서 더 높은 고밀도 화소가 요구되고 있다. 고밀도 화소를 구현하기 위해서는 화소의 크기를 감소시켜야 한다. 하지만, 화소 크기를 감소시키는 경우 상대적으로 포토 다이오드의 크기가 감소하게 되어 필 팩터(fill factor)-전체 화소 면적 중 포토 다이오드가 차지하는 면적-가 감소하게 된다. 이처럼 포토 다이오드가 감소하면 최대 우물 용량(full well capacity)-하나의 화소가 유지할 수 있는 신호 전하들의 수- 또한 감소되어 소자 특성을 열화시키기 때문에 포토 다이오드의 면적을 무한정 감소시킬 수는 없다.
- [0005] 이에 따라, 제한된 면적 내에서 최대 우물 용량을 확보하기 위한 일환으로 포토 다이오드의 면적은 증대시키면서 포토 다이오드 사이의 간격, 즉 이웃하는 화소 사이의 간격을 감소시키는 방안이 제안되고 있다. 하지만, 포토 다이오드 사이의 간격을 감소시키는 경우 이미지 센서의 양자 효율(Quantum Efficiency, QE)과 간섭(crosstalk) 특성에 심각한 열화를 초래하여 소자 특성이 저하되는 문제가 발생된다.
- [0006] 이중, 간섭 특성의 열화를 방지하기 위한 일환으로 종래기술에서는 에피층(epi-layer)의 두께를 감소시키는 방법과 포토 다이오드 사이에 불순물 이온을 주입시켜 이웃하는 포토 다이오드 사이를 분리시키는 방법이 제안되었다. 전자의 경우, 상대적으로 양자 효율의 열화가 더욱 심화되었고, 후자의 경우 포토 다이오드의 폭을 상대적으로 감소시켜서 추가적인 최대 우물 용량의 감소를 초래하게 되었다.
- [0007] 이와 같이 종래기술에서는 전기적인 간섭(electrical crosstalk)의 주원인인 소수 캐리어(minority carrier)의 확산에 기인한 화소 간 간섭을 감소시키기 위해 상기한 방법들을 제안하였으나, 기타 주요 특성의 열화를 수반하고 있음을 알 수 있다.
- [0008] 한편, 화소의 크기가 작아질수록 최대 우물 용량의 추가적인 확보가 요청되며, 이를 위한 방안으로 전하 전송(charge transfer) 특성은 유지하면서 제한된 포토 다이오드 영역에서 최대 우물 용량을 증가시키기 위한 방안으로 낮은 이온주입에너지를 이용한 이온주입공정을 실시하여 포토 다이오드를 형성하게 된다. 이는, 포토 다이오드 내의 최대 전위(max potential) 깊이는 우물 용량에 반비례하기 때문이다.
- [0009] 따라서, 작은 크기의 포토 다이오드에서 요구되는 수준의 최대 신호대잡음비(Signal to Noise Ratio, SNR)와 동적 범위(dynamic range)의 구현을 위해서는 포토 다이오드를 형성하기 위한 이온주입공정이 이온주입에너지도 상대적으로 낮아지는 방향으로 전환되고 있다. 하지만, 이러한 방법은 포토 다이오드의 공핍영역(depletion)의 감소를 가져와 추가적인 양자 효율과 간섭 특성의 열화를 가져온다.

발명의 내용

해결 하고자하는 과제

- [0010] 따라서, 본 발명은 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 포토 다이오드의 공핍영역을 증대시켜 양자 효율을 개선시키는 동시에 전기적인 간섭 특성을 개선시킬 수 있는 이미지 센서 및 그 제조방법을 제공하는데 그 목적이 있다.

과제 해결수단

- [0011] 상기한 목적을 달성하기 위한 일 측면에 따른 본 발명은, 기관 내에 제1 도전형으로 형성된 에피층과, 상기 에

피층 내에 형성된 포토 다이오드와, 상기 포토 다이오드와 분리되도록 상기 포토 다이오드 하부에 제2 도전형으로 형성된 제1 도핑영역을 포함하는 이미지 센서를 제공한다.

[0012] 또한, 상기한 목적을 달성하기 위한 다른 측면에 따른 본 발명은, 제1 도전형으로 에피층이 형성된 기판 상에 소자 분리막을 형성하는 단계와, 기판 상에 게이트 전극을 형성하는 단계와, 상기 게이트 전극의 일측으로 노출되는 상기 에피층 내에 제2 도전형으로 제1 도핑영역을 형성하는 단계와, 상기 제1 도핑영역과 분리되도록 상기 제1 도핑영역 상에 포토다이오드를 형성하는 단계를 더 포함하는 이미지 센서의 제조방법을 제공한다.

[0013] 또한, 상기한 목적을 달성하기 위한 또 다른 측면에 따른 본 발명은, 제1 도전형으로 에피층이 형성된 기판 상에 소자 분리막을 형성하는 단계와, 상기 에피층 내에 제2 도전형으로 제1 도핑영역을 형성하는 단계와, 상기 기판 상에 게이트 전극을 형성하는 단계와, 상기 제1 도핑영역과 분리되도록 상기 게이트 전극의 일측으로 노출되는 상기 제1 도핑영역 상에 포토 다이오드를 형성하는 단계를 포함하는 이미지 센서의 제조방법을 제공한다.

효 과

[0014] 이상에서 설명한 구성을 갖는 본 발명에 의하면, 다음과 같은 효과들을 얻을 수 있다.

[0015] 첫째, 본 발명에 의하면, 포토 다이오드 하부에 저농도로 도핑된 도핑영역을 형성함으로써 이미지 센서의 광 특성에 영향을 미치지 않으면서 넓은 공핍영역을 확보하는 것이 가능하여 양자 효율과 전기적인 간섭 특성을 동시에 개선시킬 수 있다.

[0016] 둘째, 본 발명에 의하면, 포토 다이오드 하부에 별도의 마스크 공정 추가없이 저농도로 도핑된 도핑영역을 형성함으로써 TAT(Turn Around Time) 및 생산 원가 상승을 최소화할 수 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하에서는, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 구체적으로 설명한다. 또한, 도면들에 있어서, 층 및 영역들의 두께와 간격은 설명의 편의와 명확성을 기하기 위하여 과장되어진 것이며, 층이 다른 층 또는 기판 '상' 또는 '상부'에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나, 또는 그들 사이에 제3의 층이 개재될 수도 있다. 또한, 명세서 전체에 걸쳐서 동일한 도면번호로 표시된 부분은 동일한 층을 나타낸다. 또한, 이하에서 설명되는 제1 및 제2 도전형은 p형 또는 n형을 의미하는 것으로 서로 다른 도전형을 갖는다.

[0018] 실시예

[0019] 도 1은 본 발명의 실시예에 따른 이미지 센서를 설명하기 위하여 도시한 단면도이다. 여기서는, 설명의 편의를 위해 일례로 시모스 이미지 센서의 단위 화소 중에서 포토 다이오드(PD)와 트랜스퍼 트랜지스터(Tx)의 게이트 전극만을 도시하였다.

[0020] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 이미지 센서는 포토 다이오드와 분리되도록 포토 다이오드(PD) 하부에 제1 도전형(예컨대, p형)을 갖는 에피층(101) 내에 형성된 제2 도전형(예컨대, n형)의 제1 도핑영역(106)을 포함한다.

[0021] 제1 도핑영역(106)은 전하 전송 특성에 영향을 주지 않도록 트랜스퍼 트랜지스터(Tx)와는 중첩되지 않거나, 많이 이격되도록 형성되며, 그 대신 트랜스퍼 트랜지스터(Tx) 동작시 포토 다이오드(PD)의 공핍영역을 증대시키기 위해 포토 다이오드(PD) 하부에만 섬(island) 형태로 형성된다. 이러한 제1 도핑영역(106)은 포토 다이오드(PD)의 제2 도핑영역(107)과 동일 도전형(예컨대, n형)으로 형성되며, 낮은 도핑농도로 형성된다.

[0022] 이와 같이, 본 발명의 실시예에 따른 이미지 센서는 포토 다이오드 하부에 제2 도핑영역(107)보다 낮은 농도를 갖는 제1 도핑영역(106)을 형성함으로써 이미지 센서의 광 특성에 영향을 미치지 않으면서 넓은 공핍영역을 확보하는 것이 가능하여 작은 크기의 포토 다이오드의 양자 효율과 전기적인 간섭 특성을 동시에 개선시킬 수 있다.

[0023] 도 2는 종래기술과 본 발명에서 트랜스퍼 트랜지스터(Tx)가 턴-온(turn-on)된 후 포토 다이오드(PD)의 공핍영역과 정전위(electrostatic potential)의 분포를 도시한 도면으로서, 도 2의 (a)는 종래기술에 대한 도면이고,

(b)는 본 발명에 대한 도면이다. 도 2의 시뮬레이션(simulation) 조건은 저조도(low illumination) 상태로서, 종래기술과 본 발명에서의 저조도 전송 특성의 상대적인 비교가 이루어졌다.

- [0024] 도 2를 참조하면, 본 발명의 정전위 분포는 트랜스퍼 트랜지스터(Tx)의 하부에서 종래기술의 정전위 분포와 유사한 것을 알 수 있다. 이는 본 발명과 종래기술에서 전하 전송 특성이 서로 유사하다는 것을 의미한다. 즉, 본 발명의 제1 도핑영역(106, 도 1참조)이 전하 전송 특성에는 큰 영향을 미치지 않는 것으로 해석할 수 있다. 또한, 본 발명의 정전위 분포는 포토 다이오드(PD)의 하부에서 종래기술의 정전위 분포에 비해 깊이 방향으로 확장된 것을 알 수 있다. 이는 본 발명의 포토 다이오드(PD)의 공핍영역이 종래기술에 비해 크게 증대된 것을 의미하며, 본 발명의 제1 도핑영역(106)이 우물 용량에는 거의 영향을 미치지 않으면서 포토 다이오드(PD)의 공핍영역을 깊이 방향으로 확장시켜 양자 효율을 개선시킬 수 있음을 보여준다.
- [0025] 도 3은 종래기술과 본 발명의 전기적인 간섭과 응답 특성을 비교하기 위한 시뮬레이션 결과 도면으로서, 도 3의 (a)는 입사광의 파장(X축, wavelength)에 따른 전기적인 간섭(Y축, E-Xtalk)의 변화량을 비교하기 위한 도면이고, 도 3의 (b)는 입사광의 파장(X축)에 따른 광전류(Y축, photocurrent)의 변화량을 비교하기 위한 도면이다.
- [0026] 도 3의 (a)에 도시된 바와 같이, 입사광의 동일 파장대에서 종래기술에 비해 본 발명에서는 전기적인 간섭 특성이 현저하게 개선된 것을 알 수 있다. 전술한 바와 같이, 전기적인 간섭의 주원인은 소수 캐리어의 열적 확산(thermal diffusion)이며, 이러한 전기적인 간섭은 장파장으로 갈수록 증가한다. 소수 캐리어는 대부분이 우성(dominant)인 에피층의 중성 영역에서 생성된 전자에 기인한 것으로서, 본 발명에서와 같이 포토 다이오드의 공핍영역을 깊이 방향으로 확장시켜 내부(internal) 광자 효율 ~100%인 공핍영역으로 중성 영역에서 생성된 전자를 흡수함으로써 인접 화소 내의 소수 캐리어의 열적 확산에 기인한 간섭의 영향을 최소화할 수 있다.
- [0027] 도 3의 (b)에 도시된 바와 같이, 입사광의 동일 파장대, 특히 500nm 이상의 높은 파장대에서 종래기술에 비해 본 발명에서는 광전류가 현저하게 증대된 것을 알 수 있다. 이는, 광자 노출(photon exposure)에 기인하여 생성되는 전자들이 해당 화소 내에 유지되는 정도를 나타내는 전하 수집 효율(charge collection efficiency)이 증가한 것을 의미한다. 이와 같이, 전하 수집 효율이 증가함으로써 응답성(responsivity)-입력 광학 에너지의 단위 당 센서가 전달하는 신호의 양-을 개선시킬 수 있다.
- [0028] 이하, 도 1에 도시된 본 발명의 실시예에 따른 이미지 센서의 제조방법을 설명하기로 한다.
- [0029] 도 4a 내지 도 4d는 본 발명의 실시예에 따른 이미지 센서의 제조방법을 도시한 공정 단면도이다.
- [0030] 먼저, 도 4a에 도시된 바와 같이, 반도체 기판(100), 예컨대 제1 도전형(예컨대, p형)으로 고농도 도핑된 실리콘 기판 상에 제1 도전형으로 도핑된 에피층(101)을 형성한다. 이때, 에피층(101)은 반도체 기판(100)보다 저농도로 도핑된다.
- [0031] 이어서, 반도체 기판(100) 내에 국부적으로 소자 분리막(102)을 형성한다. 이때, 소자 분리막(102)은 STI(Shallow Trench Isolation) 공정 또는 LOCOS(LOCAl Oxidation of Silicon) 공정으로 형성할 수도 있으나, 동도면에서와 같이 고집적화에 유리한 STI 공정으로 형성하는 것이 바람직하다. STI 공정을 적용하는 경우 높은 중형비에서도 매립 특성이 우수한 고밀도 플라즈마(High Density Plasma, 이하 HDP라 함)막 또는 HDP막과 SOD(Spin On Dielectric)막의 적층막으로 형성할 수 있다.
- [0032] 이어서, 반도체 기판(100) 상에 게이트 절연막(103) 및 게이트 도전막(104)을 형성한 후 이들을 식각하여 트랜스퍼 트랜지스터의 게이트 전극(105)을 형성한다.
- [0033] 이어서, 도 4b에 도시된 바와 같이, 후속 공정을 통해 포토 다이오드를 형성하기 위한 이온주입마스크(미도시)를 이용하여 에피층(101) 내에 제1 도핑영역(106)을 형성한다. 이때, 제1 도핑영역(106)은 포토 다이오드의 하부에 섬 형태로 형성하며, 포토 다이오드와 분리되도록 비교적 높은 이온주입에너지로 실시한다. 또한, 제1 도핑영역(106)은 포토 다이오드의 제2 도핑영역(107, 도 4c참조)과 동일 도전형(예컨대, n형)으로 형성하되, 낮은 도핑농도로 형성한다. 예컨대, 제1 도핑영역(106)은 포스핀(PH₃)을 이용하여 적어도 500KeV 이상, 바람직하게는 500KeV~1.5MeV의 이온주입에너지, 5×10^{11} ions/cm² 이하, 바람직하게는 $1 \times 10^9 \sim 5 \times 10^{11}$ ions/cm²의 도즈(dose)로 형성한다.
- [0034] 이어서, 도 4c에 도시된 바와 같이, 도 4b에서 제1 도핑영역(106) 형성공정시 사용된 이온주입마스크를 그대로 이용하여 포토 다이오드의 제2 도핑영역(107)을 형성한다. 이때, 제2 도핑영역(107)은 제1 도핑영역(106)과 동일 도전형으로 형성하되, 높은 도핑농도로 형성한다. 또한, 제2 도핑영역(107)은 일측이 트랜스퍼 트랜지스터의

게이트 전극(105)과 정렬되고, 제1 도핑영역(106)과 분리되도록 형성한다.

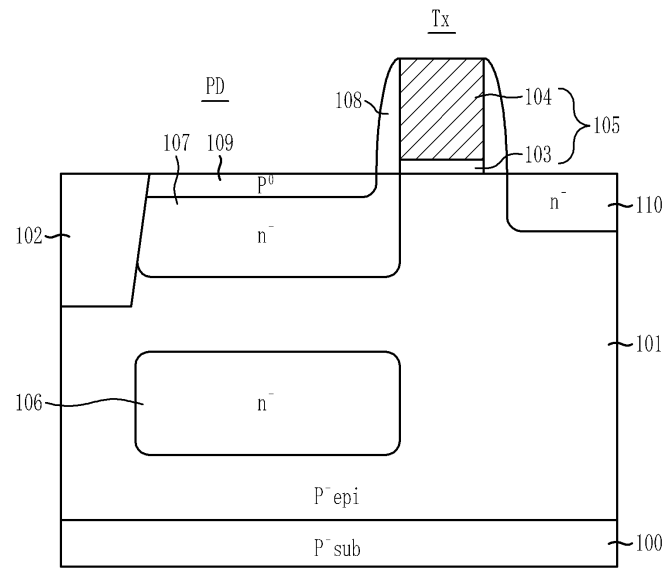
- [0035] 이어서, 도 4d에 도시된 바와 같이, 게이트 전극(105)의 양측벽에 스페이서(108)를 형성할 수도 있다. 이때, 스페이서(108)는 산화막 또는 산화막과 질화막의 적층 구조로 형성할 수 있다. 예컨대, 스페이서(108)는 실리콘산화막(SiO₂), 실리콘질화막(Si₃N₄) 또는 실리콘산화질화막(SiON)의 단일막, 또는 이들의 적층막으로 형성한다.
- [0036] 이어서, 제2 도핑영역(107) 상에 제3 도핑영역(109)을 형성할 수 있다. 이때, 제3 도핑영역(109)은 스페이서(108)에 정렬되도록 형성되며, 제2 도핑영역(107)과 상반된 도전형, 즉 제1 도전형으로 형성하며, 제2 도핑영역(107)과 함께 핀드 포토 다이오드(pinned photo diode)를 구현하여 암전류(dark current) 생성을 억제한다.
- [0037] 한편, 제3 도핑영역(109)은 스페이서(108) 형성 전, 후 2번의 이온주입공정을 통해 형성할 수도 있다. 이 경우, 1차 이온주입공정은 스페이서(108) 형성 전 게이트 전극(105)의 일측에 정렬되도록 실시하며, 2차 이온주입공정은 스페이서(108) 형성 후에 1차 이온주입공정보다 고농도로 스페이서(108)의 일측에 정렬되도록 실시한다.
- [0038] 이어서, 트랜스퍼 트랜지스터의 게이트 전극(105)의 타측-포토 다이오드의 반대측-으로 노출되는 에피층(101) 내에 플로팅 확산영역으로 제4 도핑영역(110)을 형성한다. 이때, 제4 도핑영역(110)은 제2 도전형으로 제2 도핑영역(107)보다 고농도로 형성한다.
- [0039] 이후, 공정은 일반적인 공정과 동일함에 따라 그에 대한 설명은 생략하기로 한다.
- [0040] 상기에서 설명한 바와 같이, 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 특히, 본 발명의 실시예에서는 제1 도핑영역(106)을 트랜스퍼 트랜지스터의 게이트 전극(105)이 형성된 후 형성하는 공정을 설명하였으나, 이는 일례로서, 게이트 전극(105)이 형성되기 전에 형성할 수도 있다. 예컨대, 소자 분리막(102) 형성 후, 게이트 절연막(103) 형성 전에 형성할 수도 있다. 또는, 소자 분리막(102) 형성 전, 에피층(101) 형성 후에 형성할 수도 있다. 또한, 제1 도핑영역(106)은 이온주입마스크 없이 블랭킷(blanket) 이온주입공정으로 형성할 수도 있다. 또한, 본 발명은 이 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예들이 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

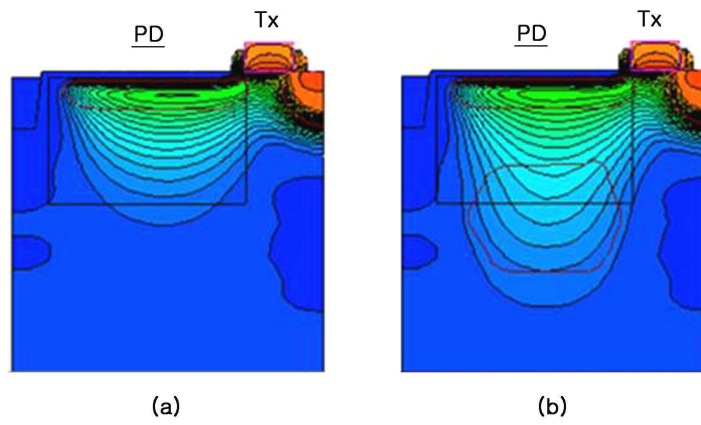
- [0041] 도 1은 본 발명의 실시예에 따른 이미지 센서를 도시한 단면도.
- [0042] 도 2는 종래기술과 본 발명에서 트랜스퍼 트랜지스터가 턴-온(turn-on)된 후 포토 다이오드의 공핍영역과 정전위(electrostatic potential)의 분포를 도시한 도면.
- [0043] 도 3은 종래기술과 본 발명의 전기적인 간섭과 응답 특성을 비교하기 위한 시뮬레이션 결과 도면.
- [0044] 도 4a 내지 도 4d는 본 발명의 실시예에 따른 이미지 센서의 제조방법을 도시한 공정 단면도.
- [0045] <도면의 주요 부분에 대한 부호의 설명>
- [0046] 100 : 반도체 기판 101 : 에피층
- [0047] 103 : 게이트 절연막 104 : 게이트 도전막
- [0048] 105 : 게이트 전극 106 : 제1 도핑영역
- [0049] 107 : 제2 도핑영역 108 : 스페이서
- [0050] 109 : 제3 도핑영역 110 : 제4 도핑영역
- [0051] PD : 포토 다이오드 Tx : 트랜스퍼 트랜지스터

도면

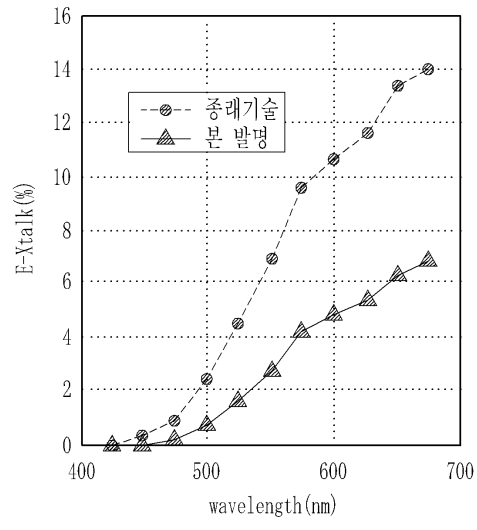
도면1



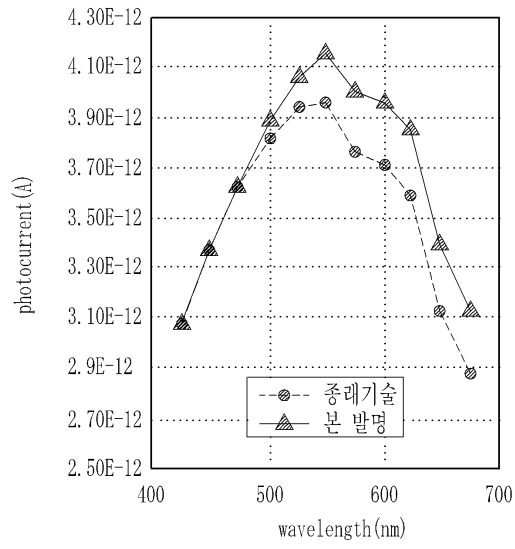
도면2



도면3

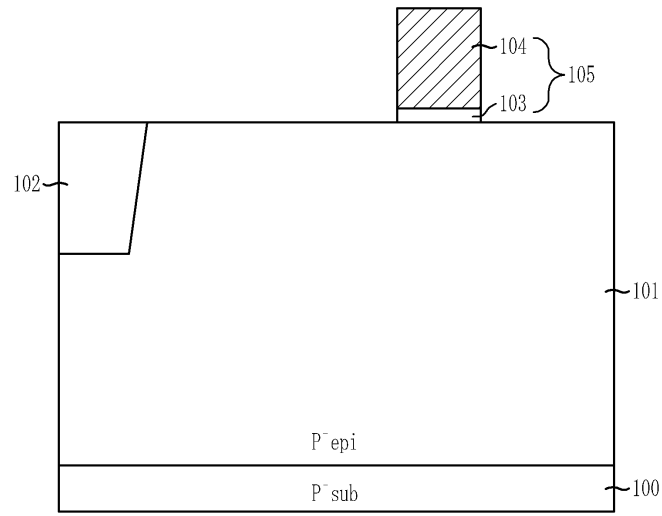


(a)

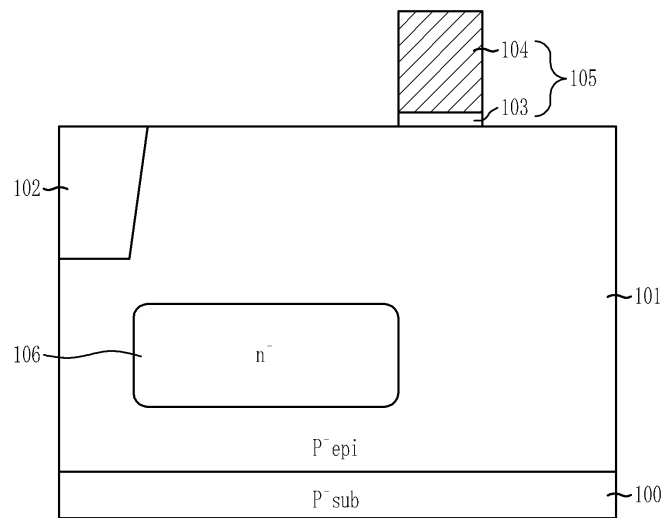


(b)

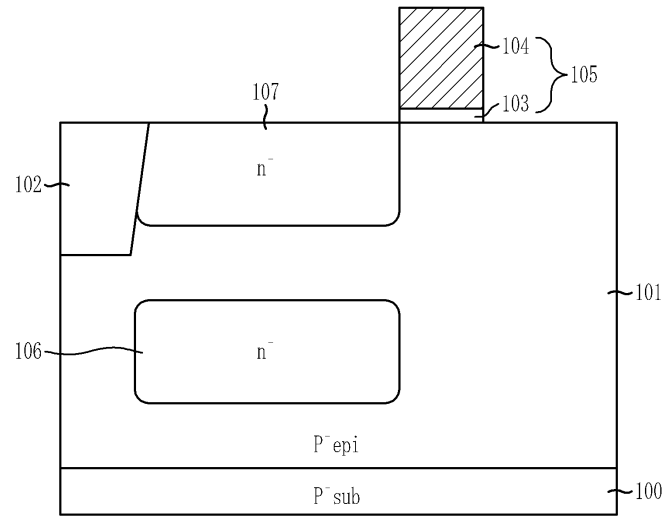
도면4a



도면4b



도면4c



도면4d

