

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
05. August 2021 (05.08.2021)



(10) Internationale Veröffentlichungsnummer
WO 2021/151884 A1

- (51) Internationale Patentklassifikation:
B81C 1/00 (2006.01) *H01L 21/3063* (2006.01)
H01L 21/306 (2006.01) *H01L 21/3065* (2006.01)
- (21) Internationales Aktenzeichen: PCT/EP2021/051743
- (22) Internationales Anmeldedatum:
26. Januar 2021 (26.01.2021)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
10 2020 201 197.4
31. Januar 2020 (31.01.2020) DE
- (71) Anmelder: **FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG E.V.** [DE/DE]; Hansastraße 27c, 80686 München (DE).
- (72) Erfinder: **LANGA, Sergiu**; c/o Fraunhofer-Institut für Photonische Mikrosysteme IPMS, Maria-Reiche-Str. 2, 01109 Dresden (DE). **CONRAD, Holger**; c/o Fraunhofer-Institut für Photonische Mikrosysteme IPMS, Maria-Reiche-Str. 2, 01109 Dresden (DE). **KAISER, Bert**; c/o Fraunhofer-Institut für Photonische Mikrosysteme IPMS, Maria-Reiche-Straße 2, 01109 Dresden (DE).
- (74) Anwalt: **KÖNIG, Andreas** et al.; Schoppe, Zimmermann, Stöckeler, Zinkler, Schenk & Partner mbB, Radtkoferstr. 2, 81373 München (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY,

(54) Title: MEMS WITH A HIGH ASPECT RATIO

(54) Bezeichnung: MEMS MIT HOHEM ASPEKTVERHÄLTNIS

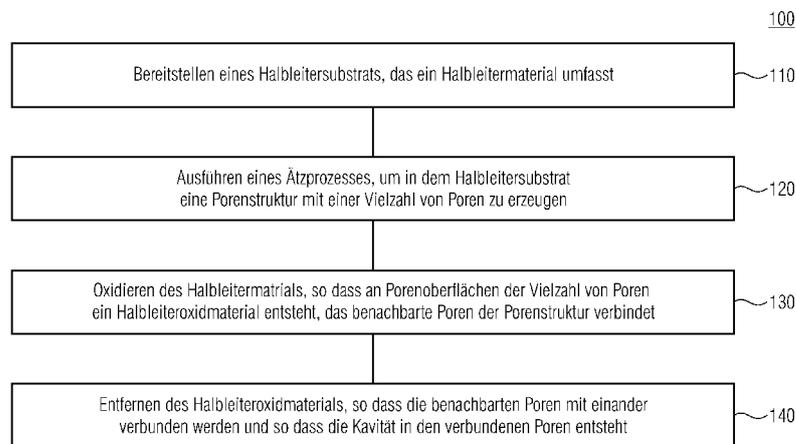


Fig. 1

- 110 Providing a semiconductor substrate which comprises a semiconductor material
- 120 Carrying out an etching process in order to create, in the semiconductor substrate, a pore structure having a plurality of pores
- 130 Oxidising the semiconductor material so that a semiconductor oxide material is created on pore surfaces of the plurality of pores and connects adjacent pores of the pore structure
- 140 Removing the semiconductor oxide material so that the adjacent pores are connected to one another and so that the cavity is created from the connected pores

(57) **Abstract:** The invention relates to a method for producing a semiconductor structure with a cavity, said method comprising the steps: providing a semiconductor substrate which comprises a semiconductor material; carrying out an etching process in order to create, in the semiconductor substrate, a pore structure having a plurality of pores; oxidising the semiconductor material so that a semiconductor oxide material is created on pore surfaces of the plurality of pores and connects adjacent pores of the pore structure; and removing the semiconductor oxide material so that the adjacent pores are connected to one another and so that the cavity is created from the connected pores.

(57) **Zusammenfassung:** Ein Verfahren zum Herstellen einer Halbleiterstruktur mit einer Kavität umfasst ein Bereitstellen eines Halb-



WO 2021/151884 A1

BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eingehen (Regel 48 Absatz 2 Buchstabe h)

leitersubstrats, das ein Halbleitermaterial umfasst, ein Ausführen eines Ätzprozesses, um in dem Halbleitersubstrat eine Porenstruktur mit einer Vielzahl von Poren zu erzeugen; ein Oxidieren des Halbleitermaterials, so dass an Porenoberflächen der Vielzahl von Poren ein Halbleiteroxidmaterial entsteht, das benachbarte Poren der Porenstruktur verbindet; und ein Entfernen des Halbleiteroxidmaterials, so dass die benachbarten Poren miteinander verbunden werden, und so dass die Kavität in den verbundenen Poren entsteht.

MEMS mit hohem Aspektverhältnis

Beschreibung

5

Die vorliegende Erfindung bezieht sich auf ein mikroelektromechanisches System (MEMS), das mit hohem Aspektverhältnis zwischen Spaltbreite und Spalttiefe in einem Halbleitermaterial herstellbar ist. Die vorliegende Erfindung bezieht sich dabei auf Verfahren zum Herstellen von Halbleiterstrukturen sowie auf Halbleiterstrukturen. Die vorliegende Erfindung bezieht sich insbesondere auf ein Verfahren zum Herstellen von MEMS-Wandlern mit hohen Aspektverhältnissen.

Das Prinzip der NED (Nanoscopic Electrostatic Drive, nanoskopischer elektrostatischer Antrieb) ist in WO 2012/095185 A1 beschrieben. NED ist ein neuartiges MEMS- (mikroelektromechanisches System)Aktuator-Prinzip. Hierbei wird aus einem Siliziumwerkstoff ein bewegliches Element herausgebildet, das mindestens zwei zueinander beabstandete Elektroden aufweist. Die Länge der Elektroden ist dabei sehr viel größer als die Dicke der Elektroden und auch als die Höhe der Elektroden, das bedeutet, die Abmessung entlang der Tiefenrichtung des Siliziumwerkstoffs. Diese balkenförmigen Elektroden sind zueinander beabstandet und lokal elektrisch voneinander isoliert und fixiert. Durch Anbringen eines elektrischen Potentials wird ein elektrisches Feld zwischen diesen Elektroden erzeugt, wodurch Anziehungs- oder Abstoßungskräfte zwischen den Elektroden und damit Spannungen im Werkstoff der Elektroden resultieren. Der Werkstoff ist bestrebt, diese Spannungen zu homogenisieren, indem er einen möglichen spannungsarmen Zustand einzunehmen versucht, was in einer Bewegung resultiert. Durch eine bestimmte Geometrie und Topographie der Elektroden kann auf diese Bewegung so Einfluss genommen werden, dass sich die Elektroden in ihrer Länge verändern und so eine laterale Bewegung des auslenkbaren Elements erfolgt.

Ein kleiner Spalt zwischen den mindestens zwei Elektroden ist dabei von herausragender Bedeutung für die Auslenkung und die dabei übertragene Kraft bei minimalem Stromverbrauch des auslenkbaren Elements. Je kleiner der Elektrodenspalt ist, desto größer sind die wirkenden elektrischen Kräfte und entsprechend größer ist die gewünschte Auslenkung des Balkens. Das bedeutet, sehr kleine Spaltabstände (zum Beispiel im Nanometer-Bereich) sind oft erwünscht.

35

Derartige Spaltbreiten werden derzeit mit Methoden für tiefes Siliziumätzen (Deep Silicon Etching, DSE) Eine sehr verbreitete Methode für DSE ist die sogenannte „Bosch-Methode“. Mit der Bosch-Methode können auch sehr kleine Spaltabstände geätzt werden, allerdings nur, wenn das Aspektverhältnis, das heißt, der Quotient zwischen Tiefe und Breite eines Grabens, nicht viel größer als 30 ist.

Dieser Trockenätzprozess ist so gestaltet, dass sich Ätz- und Passivierungsschritte abwechseln. Dabei sind Aspektverhältnisse (Tiefe zu Breite) von 30:1 industriell realistisch umzusetzen. Nach der Maskierung eines Silizium-Wafers zum Bedecken von Bereichen, die nicht bearbeitet werden sollen, beginnt der eigentliche chemisch-isotrope Ätzprozess. Um Gräben mit einer hohen Genauigkeit und geringer Rauheit der Seitenwände zu erreichen, wird dieser Ätzprozess gestoppt und auf der Oberseite der zu bearbeitenden Schicht eine passivierende Polymerschicht gebildet, die auch die Seitenwände der Gräben beschichtet. Diese Schritte werden abwechselnd und nacheinander so lange ausgeführt, bis die gewünschte Grabentiefe entstanden ist.

Aus dem Stand der Technik ist das photo-elektrochemische Ätzen bekannt, mit dem Makroporen in Silizium eingebracht werden können. Im Vergleich zu den mit der Bosch-Methode realisierten Gräben, die in der Draufsicht eine beliebige Form aufweisen können, weisen Makroporen, die mit dem elektrochemischen Ätzen erzeugt werden, in der Draufsicht nur runde oder annähernd quadratische Formen auf. Typische Aspektverhältnisse derartiger Makroporen (Tiefe zu Breite) können dabei über 150:1 betragen. Weiterhin sind Grundlagen durch die Dokumente DE 10 2004 011 394 B3 und DE 10 341 030 A1 bekannt. Beide beziehen sich auf Verfahren zur Bildung von runden oder quadratischen Poren in niedrig dotiertem Silizium (Float Zone Si), die sehr hohe Aspektverhältnisse aufweisen. Gleichmaßen ist dargestellt, dass Poren mit sehr hohen Aspektverhältnissen herstellbar sind. Das grundlegende Verfahren hat eine große Verbreitung gefunden, insbesondere, da es CMOS-(Complementary Metal Oxide Semiconductor; komplementärer Metalloxidhalbleiter) kompatibel ist, und unter Anwendung der RoHS-Richtlinie genutzt werden kann. Die genannten Druckschriften beziehen sich dabei auf die Herstellung von integrierten Wellenleitern sowie auf optische Filter oder photonische Kristalle.

Nachteilig an dem genannten Verfahren ist, dass diese Technologien darauf begrenzt sind, dass die Anordnung der Poren stark durch einen Raumladungsbereich (um die Makropore) eingegrenzt ist. Ein stabiles Wachstum der Poren wird durch den Raumladungsbereich bzw. Raumladungszone (RLZ, engl.: Space Charge Region – SCR) gewährleistet, der an

der Elektrolyt-Si-Grenzfläche gebildet wird. Raumladungsbereiche sind die Bereiche in dotierten Halbleitermaterialien, in denen nur nicht-bewegliche Ladungen (Ionen) und keine beweglichen Ladungen (Elektronen oder Löcher) vorhanden sind. Weil für die elektrochemische Ätzung bzw. Auflösung von Si positiv geladene Löcher bzw. Defektelektronen (engl.: holes) notwendig sind, werden die Bereiche um die Makroporen, die mit einer Raumladungszone umgeben sind, nicht geätzt. Die Ätzung findet nur an der Spitze der Makroporen statt, weil dort die Löcher von der Rückseite des Wafers kommen.

Weiterhin ist es notwendig, dass für ein stabiles Wachstum immer eine Anordnung von Poren vorhanden ist. Es ist bekannt, dass die Poren im Inneren der Anordnung gleichmäßig gebildet werden, wobei die Poren am Rand der Anordnung sogenannte „Opferporen“ sind, die nicht gleichmäßig gebildet werden. Derzeit sind aus dem Stand der Technik vor allem Verfahren und Methoden bekannt, die ausnahmslos zu hochgradig geordneten Porenfeldern führen. Darüber hinaus sind die Poren so angeordnet, dass die entstehende Porenwand in etwa doppelt so dick ist wie die Abmessung des Raumladungsbereichs.

In Anbetracht der oben erläuterten Hintergründe ist es wünschenswert, Verfahren und Vorrichtungen, insbesondere Halbleiterstrukturen und/oder MEMS, zu schaffen, die ein hohes Aspektverhältnis aufweisen.

Diese Aufgabe wird durch den Gegenstand der unabhängigen Patentansprüche gelöst.

Gemäß einem ersten Aspekt wurde erkannt, dass sich für das Herausbilden von Kavitäten, Gräben oder Spalten das photo-elektrochemische Ätzen (vereinfacht auch als elektrochemisches Ätzen bezeichnet) verwenden lässt, um durch Oberflächenoxidierung und Entfernen des dadurch entstehenden Halbleiteroxidmaterials eine Verbindung benachbarter Poren zu schaffen, deren Entfernung sowie Verbindung kombinatorisch zu einer Kavität im Bereich der verbundenen Poren führt. Dadurch lassen sich unter Ausnutzen des photoelektrochemischen Ätzens Kavitäten schaffen, die einerseits ein hohes Aspektverhältnis aufweisen und andererseits von der Einschränkung auf runde oder quadratische Formen losgelöst sind.

Ein Verfahren gemäß dem ersten Aspekt ist zum Herstellen einer Halbleiterstruktur mit einer Kavität eingerichtet. Das Verfahren umfasst einen Schritt zum Bereitstellen eines Halbleitersubstrats, das ein Halbleitermaterial, etwa Silizium oder Galliumarsenid, umfasst. Das Verfahren umfasst ein Ausführen eines Ätzprozesses, um in dem Halbleitersubstrat eine

Porenstruktur mit einer Vielzahl von Poren zu erzeugen. Das Verfahren umfasst ein Oxidieren des Halbleitermaterials, so dass an Porenoberflächen der Vielzahl von Poren ein Halbleiteroxidmaterial entsteht, das benachbarte Poren der Porenstruktur verbindet. Das Verfahren umfasst ein Entfernen des Halbleiteroxidmaterials, so dass die benachbarten Poren miteinander verbunden werden und so dass die Kavität in den verbundenen Poren entsteht.

Eine Halbleiterstruktur gemäß dem ersten Aspekt umfasst ein Halbleitersubstrat mit einem Halbleitermaterial und eine in dem Halbleitersubstrat gebildete Kavität, die mittels miteinander verbundener Poren einer Porenstruktur erzeugt ist.

10

Gemäß einem zweiten Aspekt wird eine Lösung zum Erzeugen von Tiefenporen, insbesondere Makroporen, im Halbleitermaterial, das nicht als Float-Zone-Wafer bereitgestellt wird, ermöglicht, beispielsweise auf n-Si Czochralski-Wafern oder Wafern, die mittels Pedestalverfahren, oder Vertical Gradient Freeze (Vertikalem Gradienteneinfrieren) Verfahren hergestellt wurden. Diese weisen verglichen mit Float-Zone-Wafern geringere Diffusionslängen auf, was sie für das Erzeugen von tiefen Makroporen (>400µm Tiefe) in der Regel unbrauchbar macht. Gleichzeitig ist es wünschenswert, solche Wafer zu verwenden, da diese in hoher Qualität und günstig bezogen werden können.

20

Gemäß dem zweiten Aspekt wird hierfür ein Verfahren bereitgestellt, das ein Bereitstellen eines Halbleitersubstrats umfasst. Das Halbleitersubstrat weist eine erste Hauptseite und eine gegenüberliegend angeordnete zweite Hauptseite auf. Das Verfahren umfasst ein Strukturieren der zweiten Hauptseite, um eine Vertiefungsstruktur in der zweiten Hauptseite zu erzeugen. Das Verfahren umfasst ferner ein Erzeugen der Porenstruktur an der ersten Hauptseite und in Richtung der zweiten Hauptseite, wobei das Erzeugen der Porenstruktur ein Anregen eines Ladungsträgertransports in dem Halbleitersubstrat von der zweiten Hauptseite aus und in der Vertiefungsstruktur umfasst. Die Vertiefungsstruktur ermöglicht dabei eine zumindest lokale Reduzierung des Abstands zwischen Porenursprung/Porenspitze und der Quelle der Ladungsträger, so dass auch die erwähnten bislang unbrauchbaren Wafer für photo-elektrochemisches Ätzen verwendet werden können.

30

Eine Halbleiterstruktur gemäß dem zweiten Aspekt umfasst ein Halbleitersubstrat, das eine erste Hauptseite und eine gegenüberliegend angeordnete zweite Hauptseite aufweist. Die zweite Hauptseite weist eine Vertiefungsstruktur auf. An der ersten Hauptseite und in Richtung der zweiten Hauptseite ist eine mittels einer Porenstruktur erzeugte Struktur angeordnet.

35

Gemäß einem dritten Aspekt wird eine Lösung bereitgestellt, um Poren lediglich lokal und effizient erzeugen zu können und insbesondere den Poren benachbarte Gebiete für die spätere Verwendung hochqualitativ beizubehalten. Dem liegt das Problem zugrunde, dass die zuvor erwähnten Opferporen Seitenporen aufweisen können, welche maskierte Bereiche des Substrats untergraben und diese Bereiche bezüglich struktureller Qualität schwächen oder für manche Anwendungen sogar unbrauchbar machen. Gemäß dem dritten Aspekt wird ein Verfahren zum Herstellen einer Halbleiterstruktur bereitgestellt. Die Halbleiterstruktur weist eine Porenstruktur auf. Das Verfahren weist dabei ein Bereitstellen eines Halbleitersubstrats, das eine erste Hauptseite und eine gegenüberliegend angeordnete zweite Hauptseite aufweist, auf. Ferner umfasst das Verfahren ein Erzeugen einer elektrischen Isolierung zwischen einem ersten Teilbereich der ersten Hauptseite und einem zweiten Teilbereich der ersten Hauptseite. Das Verfahren umfasst ein Anlegen eines elektrischen Potentials an den ersten Teilbereich und ein flächiges Kontaktieren der ersten Hauptseite in dem ersten Teilbereich und dem zweiten Teilbereich mit einem Elektrolyten. Ferner umfasst das Verfahren ein Ausführen eines Ätzprozesses unter Verwendung des elektrischen Potentials und des Elektrolyten, um die Porenstruktur zu erzeugen. Durch die elektrische Isolierung wird dabei ermöglicht, dass die Poren in den elektrisch isolierten Bereichen nicht oder stark gedämpft wachsen, was auch die Bildung von Seitenporen limitiert, so dass an die Porenstruktur benachbarte Bereiche von diesen Seitenporen lediglich gering oder gar unbeeinflusst oder unbeschädigt bleiben können.

Eine Halbleiterstruktur gemäß dem dritten Aspekt umfasst ein Halbleitersubstrat, das eine erste Hauptseite und eine gegenüberliegend angeordnete zweite Hauptseite aufweist. Die Halbleiterstruktur umfasst eine elektrische Isolierung zwischen einem ersten Teilbereich der ersten Hauptseite und einem zweiten Teilbereich der ersten Hauptseite. In dem ersten Teilbereich ist eine mittels einer Porenstruktur erzeugte Struktur angeordnet. In dem zweiten Teilbereich ist keine mittels einer Porenstruktur erzeugte Struktur angeordnet.

Weitere Ausführungsbeispiele sind in den abhängigen Patentansprüchen definiert.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend Bezug nehmend auf die beiliegenden Zeichnungen erläutert. Es zeigen:

Fig. 1 ein schematisches Ablaufdiagramm eines Verfahrens gemäß einem Ausführungsbeispiel des ersten Aspekts;

- Fig. 2a eine schematische Aufsicht auf einen Teil eines Halbleitersubstrats, wie es beispielsweise für einen Schritt des Verfahrens aus Fig. 1 verwendet werden kann;
- 5
- Fig. 2b eine schematische Aufsicht auf das Halbleitersubstrat aus Fig. 2a, bei dem gemäß einem Ausführungsbeispiel ausgehend von einer Seitenwand einer Pore Oxidmaterial in dem Halbleitersubstrat erzeugt ist;
- 10
- Fig. 2c eine schematische Aufsicht auf die Halbleiterstruktur aus Fig. 2b, bei der gemäß einem Ausführungsbeispiel ein Schritt des Verfahrens aus Fig. 1 zumindest teilweise ausgeführt ist;
- Fig. 2d eine schematische Aufsicht auf das Halbleitersubstrat aus Fig. 2c, bei dem gemäß einem Ausführungsbeispiel eine erneute Oxidation ausgeführt wird;
- 15
- Fig. 3 eine schematische Aufsicht auf das Halbleitersubstrat, in welchem gemäß einem Ausführungsbeispiel eine Vielzahl von Poren 14₁ bis 14₄ erzeugt ist;
- 20
- Fig. 4 ein schematisches Ablaufdiagramm eines weiteren Verfahrens gemäß einem Ausführungsbeispiel des ersten Aspekts;
- Fig. 5a eine schematische Aufsicht auf ein Halbleitersubstrat gemäß einem Ausführungsbeispiel, das eine Vielzahl von Poren aufweist;
- 25
- Fig. 5b eine schematische perspektivische Ansicht zumindest eines Ausschnitts des Halbleitersubstrats aus Fig. 5a;
- Fig. 6a eine schematische Aufsicht auf das Halbleitersubstrat, welches gemäß einem Ausführungsbeispiel nach dem Zustand in Fig. 5a oxidiert wurde;
- 30
- Fig. 6b eine schematische perspektivische Ansicht des Halbleitersubstrats aus Fig. 6a;
- 35
- Fig. 7a eine schematische Aufsicht auf das Halbleitersubstrat aus Fig. 6a nach Ausführung der Siliziumoxidentfernung gemäß einem Ausführungsbeispiel, die

beispielsweise durch Ausführen eines Schritts des Verfahrens aus Fig. 1
Schritten aus Fig. 4 bewirkt werden kann;

- 5
Fig. 7b eine schematische perspektivische Ansicht der Halbleiterstruktur aus Fig. 7a;
- Fig. 8a eine schematische Aufsicht auf das Halbleitersubstrat aus Fig. 7a, nachdem
selbiges gemäß einem Ausführungsbeispiel erneut oxidiert wurde;
- 10
Fig. 8b eine schematische perspektivische Ansicht der Halbleiterstruktur aus Fig. 8a;
- Fig. 9a-b schematische Darstellungen einer bekannten dicht gepackten Porenstruktur;
- Fig. 9c-d schematische Darstellungen von Porenstrukturen, die gegenüber den Darstel-
lungen aus Fig. 9a-b eine Leerreihe aufweisen;
- 15
Fig. 10a-c schematische Darstellungen von Layouts von Porenstrukturen gemäß Ausführ-
ungsbeispielen, die auf Einheitszellen beruhen;
- Fig. 11 eine schematische Aufsicht auf eine Halbleiterstruktur gemäß einem Ausführ-
20
ungsbeispiel, die beispielsweise als NED-Aktuator gebildet sein kann;
- Fig. 12 eine schematische Aufsicht auf eine Halbleiterstruktur gemäß einem Ausführ-
ungsbeispiel, bei der manche oder gar alle der Poren als quadratisch ge-
formte Poren erzeugt sind;
- 25
Fig. 13a eine schematische Aufsicht auf eine Halbleiterstruktur gemäß einem Ausführ-
ungsbeispiel, die mehrere bewegliche Elemente aufweist;
- Fig. 13b eine schematische Aufsicht auf eine Halbleiterstruktur gemäß einem Ausführ-
30
ungsbeispiel, die beispielsweise fünf beweglichen Elemente aufweist, die je-
doch anders als in der Halbleiterstruktur aus Fig. 13a nur einseitig einge-
spannt angeordnet sind;
- Fig. 13c eine schematische Draufsicht auf eine Halbleiterstruktur gemäß einem Ausführ-
35
ungsbeispiel, bei der die auslenkbaren Elemente einseitig aufgehängt sind, wo-
bei die Aufhängungen jedoch seitlich alternierend ausgeführt sind;

- Fig. 14 eine schematische Draufsicht auf eine Halbleiterstruktur gemäß einem Ausführungsbeispiel, bei dem beispielhaft im Bereich einer oxidierten Verbindung eine mechanische Verbindung vorgesehen ist;
- 5
- Fig. 15a eine schematische Draufsicht auf eine Halbleiterstruktur gemäß einem Ausführungsbeispiel, die beispielhaft drei Materialbereiche aufweist;
- Fig. 15b eine schematische Seitenschnittansicht der Halbleiterstruktur aus Fig. 15a in einer Schnittebene aus Fig. 15a;
- 10
- Fig. 16a eine schematische Aufsicht auf eine Halbleiterstruktur gemäß einem Ausführungsbeispiel;
- Fig. 16b eine schematische Seitenschnittansicht der Halbleiterstruktur in einer Schnittebene aus Fig. 16a;
- 15
- Fig. 17a eine schematische Draufsicht auf eine Halbleiterstruktur, die beispielsweise basierend auf der Halbleiterstruktur aus Fig. 15a oder 16a, bei der eine Bildung des Oxidmaterials an Seitenwänden der Halbleiterstruktur ausgeführt ist;
- 20
- Fig. 17b eine schematische Seitenschnittansicht der Halbleiterstruktur aus Fig. 17a in einer Schnittebene;
- Fig. 18a eine schematische Draufsicht auf eine Halbleiterstruktur gemäß einem weiteren Ausführungsbeispiel;
- 25
- Fig. 18b eine schematische Seitenschnittansicht der Halbleiterstruktur aus Fig. 18a in einer Schnittebene;
- 30
- Fig. 19 ein schematisches Ablaufdiagramm eines Verfahrens gemäß einem Ausführungsbeispiel des zweiten Aspekts;
- Fig. 20 eine schematische Seitenschnittansicht einer Anordnung, die beispielsweise während der Ausführung des Verfahrens aus Fig. 19 erhalten werden kann;
- 35

Fig. 21 ein schematisches Ablaufdiagramm eines Verfahrens gemäß einem Ausführungsbeispiel des dritten Aspekts; und

5 Fig. 22 eine schematische Seitenschnittansicht einer Anordnung gemäß einem Ausführungsbeispiel des dritten Aspekts, die beispielsweise erhalten werden kann, wenn das Verfahren aus Fig. 21 ausgeführt wird.

10 Bevor nachfolgend Ausführungsbeispiele der vorliegenden Erfindung im Detail anhand der Zeichnungen näher erläutert werden, wird darauf hingewiesen, dass identische, funktionsgleiche oder gleichwirkende Elemente, Objekte und/oder Strukturen in den unterschiedlichen Figuren mit den gleichen Bezugszeichen versehen sind, so dass die in unterschiedlichen Ausführungsbeispielen dargestellte Beschreibung dieser Elemente untereinander austauschbar ist bzw. aufeinander angewendet werden kann.

15 Nachfolgend beschriebene Ausführungsbeispiele werden im Zusammenhang mit einer Vielzahl von Details beschrieben. Ausführungsbeispiele können jedoch auch ohne diese detaillierten Merkmale implementiert werden. Des Weiteren werden Ausführungsbeispiele der Verständlichkeit wegen unter Verwendung von Blockschaltbildern als Ersatz einer Detaildarstellung beschrieben. Ferner können Details und/oder Merkmale einzelner Ausführungsbeispiele ohne Weiteres mit einander kombiniert werden, solange es nicht explizit gegenteilig beschrieben ist.

20

Nachfolgende Ausführungsbeispiele beziehen sich auf das Erzeugen einer Porenstruktur in einem Halbleitersubstrat, insbesondere einem Halbleitermaterial des Halbleitersubstrats.

25 Anders als die eingangs geschilderten Anwendungen werden die Porenstrukturen vorliegend dafür genutzt, um Freiräume bzw. Kavitäten freizulegen, die beispielsweise einen Spalt zwischen Elektroden von NED-Aktuatoren (NED = Nanoscopic Electrostatic Drive, nanoskopischer elektrostatischer Antrieb) bilden können. Ausführungsbeispiele sind jedoch hierauf nicht beschränkt, sondern können auch auf Freiräume zu beliebigen anderen Zwe-

30 cken verwendet werden, etwa Pumpkavitäten, Sensorfreiräume oder dergleichen.

Ausführungsbeispiele der vorliegenden Erfindung beziehen sich dabei auf die Verwendung von Ätzvorgängen zum Erzeugen von Poren. Insbesondere ist hierfür das photo-elektrochemische Ätzen (photo electrochemical etching – PECE) relevant. Hierbei handelt es sich

um einen elektrochemischen Prozess, der an einer Elektrolyt-Silizium-Schnittstelle stattfindet. Der Elektrolyt ist beispielsweise eine Flusssäure(HF)-basierte Lösung. Als Lösungsmittel können Wasserlösungsmittel oder organische Lösungsmittel verwendet werden.

5 Anwendungsgebiete von PECE sind beispielsweise das Elektropolieren (gleichmäßige Auflösung von Si) oder Porenbildung (Porenbildung in Silizium, d. h., es findet nur eine lokale Si-Auflösung statt). Im Rahmen der vorliegenden Ausführungsbeispiele ist insbesondere die Porenbildung zu betrachten. Ausführungsbeispiele unterscheiden drei Haupttypen von Poren, die innerhalb des PECE-Verfahrens erzeugt werden können:

10

- Nanoporen mit einem Durchmesser von ca. 1 bis 10 nm
- Mesoporen mit einem Durchmesser von ca. 10 nm bis 50 nm und
- Makroporen mit einem Durchmesser von ca. 0,05 μm bis ca. 20 μm .

15 Obwohl auch andere Poren für erfindungsgemäße Ausführungsbeispiele verwendet werden können, sind für die beschriebenen Anwendungen auf auslenkbaren Elementen/NED-Aktuatoren die Herausbildung von Makroporen besonders interessant. Die Wachstumspositionen der Makroporen können beispielsweise durch Lithographie oder durch Selbstorganisation (beispielsweise ohne Lithographie) gestaltet werden.

20

Für ein stabiles Wachstum von Makroporen sind Nachbarn wünschenswert oder gar erforderlich. Das heißt, eine stabile Pore allein (ohne Nachbarporen) ist sehr schwer zu ätzen. Andererseits sind mehrere Poren nebeneinander, das heißt, in einer Nachbarschaft, etwa als ein oder mehrere Reihen (Array) von stabilen Poren leicht zu erhalten. Die Poren innerhalb der Anordnung (ursprüngliche Poren/Trench) werden stabil erhalten. Die Poren am

25 Rand der Anordnung (Dummy-Poren/Trench) können Instabilitäten wie die zuvor genannten Porenäste aufweisen. Das stabile Wachstum der Poren wird durch den Raumladungsbereich (SCR) gewährleistet, der an der Elektrolyt-Silizium-Grenzfläche gebildet wird.

30 Die Porenwanddicke kann dabei beispielsweise dem Doppelten einer Breite des Raumladungsbereichs entsprechen. Dabei können Poren in einer Draufsicht einen runden oder nahezu quadratischen Querschnitt aufweisen.

Ausführungsbeispiele beziehen sich auf die Implementierung von Poren in einem Halbleitermaterial. Hierfür können Halbleiter-Wafer verwendet werden, beispielsweise umfassend ein Silizium-Material, ein Galliumarsenid-Material oder andere Halbleitermaterialien.

35

Beispielhaft beziehen sich nachfolgende Ausführungsbeispiele auf Silizium-Wafer, die beispielsweise p-dotiert oder n-dotiert sein können.

Fig. 1 zeigt ein schematisches Ablaufdiagramm eines Verfahrens 100 gemäß einem Ausführungsbeispiel, insbesondere des ersten Aspekts. Ein Schritt 110 umfasst ein Bereitstellen eines Halbleitersubstrats, das ein Halbleitermaterial umfasst. Da Substrat kann beispielsweise eine Dicke aufweisen, die zumindest 75 μm beträgt und auch größer als 100 μm sein kann. Beispielsweise kann die Dicke zumindest 200 μm oder zumindest 300 μm aufweisen, etwa 725 μm . Die Dicke kann in Abhängigkeit der Diffusionslänge in dem verwendeten Material gewählt werden und beispielsweise höchstens 2000 μm , höchstens 1500 μm oder höchstens 1000 μm betragen.

Ein Schritt 120 umfasst ein Ausführen eines Ätzprozesses, um in dem Halbleitersubstrat eine Porenstruktur mit einer Vielzahl von Poren zu erzeugen. Hierzu kann beispielsweise das erläuterte PECE-Verfahren genutzt werden. Ein Schritt 130 umfasst ein Oxidieren des Halbleitermaterials, so dass an Porenoberflächen der Vielzahl von Poren ein Halbleiteroxidmaterial entsteht, das benachbarte Poren der Porenstruktur verbindet. Das Oxidieren kann beispielsweise thermisch mit geeigneter Temperatur erfolgen, beispielsweise in einem Temperaturbereich ab 1000 $^{\circ}\text{C}$. Ein Schritt 140 des Verfahrens umfasst ein Entfernen des Halbleiteroxidmaterials, so dass die benachbarten Poren miteinander verbunden werden und so dass eine Kavität in den verbundenen Poren entsteht. Für das Entfernen des Halbleiteroxidmaterials kann ein für das jeweilige Oxidmaterial selektives Ätzverfahren genutzt werden, beispielsweise unter Verwendung von Flusssäure (flüssig oder aus der Gasphase) oder anderer Ätzmittel.

Durch das Erzeugen von Poren im Schritt 120 kann somit eine Defektstruktur in dem Halbleitermaterial erzeugt werden, das als Ausgangspunkt für die Bildung eines miteinander verbundenen Oxid-Bereichs im Schritt 130 verwendet werden kann. Das spätere Herauslösen des Halbleiteroxidmaterials im Schritt 140 ermöglicht dann die Erzeugung einer Kavität in dem Halbleitersubstrat. Vorteilhaft daran ist, dass durch die geringen Abmessungen der Poren der Porenstruktur die Möglichkeit entsteht, entsprechend tief in das Halbleitersubstrat einzudringen und somit eine vertikale (bezogen auf die Substratoberfläche senkrecht) Ausgangsfläche für die Oxidierung zu schaffen, die dann das leicht zu entfernende Oxid bereitstellt.

Alternativ oder zusätzlich zum Verbinden der Poren miteinander zum Erzeugen der Kavität, kann das Verfahren auch so ausgeführt werden, dass basierend auf der lokal unterschiedlichen Porosität in voneinander verschiedenen Strukturbereichen des Halbleitersubstrats Halbleitermaterial mit unterschiedlicher effektiver Materialstärke senkrecht zu einer Porenrichtung der Vielzahl von Poren verbleibt. Ein derartiges Verfahren zum Herstellen einer Halbleiterstruktur mit einer Kavität umfasst bspw. folgende Schritte:

Bereitstellen eines Halbleitersubstrats, das ein Halbleitermaterial umfasst;

Ausführen eines Ätzprozesses, um in dem Halbleitersubstrat eine Porenstruktur mit einer Vielzahl von Poren zu erzeugen, so dass eine Porosität der Porenstruktur lokal in dem Halbleitersubstrat variiert;

so dass basierend auf der lokal unterschiedlichen Porosität in voneinander verschiedenen Strukturbereichen des Halbleitersubstrats Halbleitermaterial mit unterschiedlicher effektiver Materialstärke senkrecht zu einer Porenrichtung der Vielzahl von Poren verbleibt.

Eine hiermit hergestellte Halbleiterstruktur kann Folgendes aufweisen: ein Halbleitersubstrat, das ein Halbleitermaterial umfasst; und eine in dem Halbleitersubstrat gebildeten Kavität, die mittels einer Porenstruktur erzeugt ist. Basierend auf einer lokal unterschiedlichen Porosität in voneinander verschiedenen Strukturbereichen des Halbleitersubstrats ist Halbleitermaterial mit unterschiedlicher effektiver Materialstärke senkrecht zu einer Porenrichtung der Vielzahl von Poren angeordnet.

Die Wände der Kavitäten können dabei stark durch die Porenform moduliert sein und deshalb von einer glatten Form abweichen. Diese starke Modulierung wird bleiben selbst wenn in einigen Bereichen die Poren komplett verschwinden werden, etwa durch Herauslösen von Material. Die verbleibenden Si-Stege (z. B. NED-Elektroden in den Bereichen 26 in Fig. 8a) können teilweise oder komplett in SiO₂ eingebettet sein, zweidimensional aber auch dreidimensional. Eine Entfernung von SiO₂ kann auch die Isolation zwischen (z.B. zwischen NED Elektroden) zerstören.

Fig. 2a zeigt eine schematische Aufsicht auf einen Teil eines Halbleitersubstrats 12, wie es beispielsweise für den Schritt 110 verwendet werden kann. In dem Halbleitersubstrat 12 ist

eine Pore 14s erzeugt, das bedeutet, eine Öffnung in einer Hauptseite 12A des Halbleitersubstrats 12, die sich entlang einer Tiefenrichtung z erstrecken kann, etwa wenn die Hauptseite 12A parallel zu einer x/y-Ebene im Raum angeordnet ist.

- 5 Beispielhaft ist lediglich eine einzige Pore 14s dargestellt, um die nachfolgenden Erläuterungen zu unterstützen. Durch Ausführen des Ätzprozesses im Schritt 120 kann eine Vielzahl von Poren in dem Halbleitersubstrat 12 erzeugt werden.

Das Ausführen des Ätzprozesses im Schritt 120 kann zum Bilden eines Raumladungsbereichs 16 um die Pore 14s herum und in dem Halbleitersubstrat 12 führen. Der Raumladungsbereich 16 kann somit als ein sich ebenfalls entlang der Tiefenrichtung z erstreckender Bereich in dem Halbleitersubstrat 12 verstanden werden, in dem wenig oder keine freien Ladungsträger vorhanden sind. Der Raumladungsbereich kann basierend auf einem zur Ätzung der Pore anliegenden elektrischen Potential erhalten werden, so dass bspw. die Raumladungszone während der Ätzung der Pore 14s vorhanden ist, weil eine Spannung über das Elektrolyt-Si Interface anliegt, und anschließend wieder abgebaut wird.

Fig. 2b zeigt eine schematische Aufsicht auf das Halbleitersubstrat 12 aus Fig. 2a, bei dem mittels des Schritts 130 ausgehend von einer Seitenwand 14A der Pore 14s Oxidmaterial 18 in dem Halbleitersubstrat 12 erzeugt ist. Beispielhaft ragt das Oxidmaterial 18 nicht über den Raumladungsbereich 16 hinaus, es ist jedoch ebenfalls möglich, dass das Oxidmaterial 18 die Grenzen des Raumladungsbereichs 16 erreicht oder überschreitet. Die Darstellung des Raumladungsbereichs ist dabei beispielhaft zu verstehen, da zur Oxidation das zur Ätzung verwendete Potential nicht anliegt und somit die Raumladungszone nicht ausgebildet ist. In Fig. 2b ist dennoch erkennbar, dass das Oxidmaterial 18 in Bereichen ausgebildet werden kann, die vollständig im Bereich der Raumladungszonen liegen, das Gebiet aber auch vollständig ausfüllen kann oder gar überragen kann. Im ersten Fall, wenn das Oxidmaterial 18 < Raumladungsbereich 16, dann bleibt später zwischen den Poren noch Si-Material; wenn Oxidmaterial 18 > Raumladungsbereich 16, dann bleibt ggf. kein Si zwischen den Poren. Beide Fälle können im gleichen Substrat an lokal unterschiedlichen Stellen erzeugt werden, etwa um NED-Aktuatoren herzustellen.

Fig. 2c zeigt eine schematische Aufsicht auf die Halbleiterstruktur 12 aus Fig. 2b, bei der der Schritt 140 zumindest teilweise ausgeführt ist. Hierdurch wird das Oxidmaterial 18 aus Fig. 2b zumindest teilweise entfernt, so dass beispielhaft noch verbleibendes Oxidmaterial

18' verbleibt. Hierdurch wird eine Abmessung der Pore 14s in der x/y-Ebene, etwa ein Durchmesser oder eine Kantenlänge, vergrößert, was in einer Pore 14a resultieren kann.

5 Fig. 2d zeigt eine schematische Aufsicht auf das Halbleitersubstrat 12 aus Fig. 2c, bei dem der Schritt 140 erneut oder weiterhin ausgeführt wird, um eine Pore 14b zu erhalten, die gegenüber der Pore 14a weiter vergrößert ist, indem das verbleibende Oxidmaterial 18' ebenfalls entfernt ist.

10 Das bedeutet, es ist möglich, das Oxidmaterial 18 aus Fig. 2b ganz oder teilweise zu entfernen, wobei die Entfernung des Oxidmaterials zu einer Vergrößerung der ursprünglich erzeugten Pore 14s führen kann. Eine vollständige Entfernung des Oxidmaterials gemäß der Fig. 2d kann eine einfache Prozessführung ermöglichen, insbesondere unter Verwendung eines selektiven Ätzprozesses.

15 Fig. 3 zeigt eine schematische Aufsicht auf das Halbleitersubstrat 12, in welchem gemäß einem Ausführungsbeispiel eine Vielzahl von Poren 14₁ bis 14₄ erzeugt ist. Jede der Poren 14₁, 14₂, 14₃ und/oder 14₄ kann beispielsweise eine Pore 14a gemäß Fig. 2c oder eine Pore 14b gemäß Fig. 2d darstellen. Beispielfhaft ist verbliebenes Oxidmaterial 18₁ bis 18₄ dargestellt, welches die Poren 14₁ bis 14₄ ummantelt, mittels des Schritts 140 und in Übereinstimmung mit der Fig. 2d jedoch auch entfernt sein kann. Die Raumladungsbereiche 16₁, 16₂, 16₃ und 16₄ sind dabei lediglich zur Erläuterung dargestellt, sind aber während der Oxidation abgebaut.

25 Die Porenstruktur, die mittels des Schritts 120 erzeugt wird, kann beispielsweise Poren 14s₁ bis 14s₄ erzeugen, die benachbart zueinander sind, sich jedoch nicht berühren oder überschneiden. Bei Überlapp des assoziierten Raumladungsbereichs 16₁ bis 16₄ während des Ätzens kann jedoch ein stabiles Porenwachstum erhalten werden. Mittels des späteren Oxidierens im Schritt 130, so dass das entstehende Halbleiteroxidmaterial benachbarte Poren verbindet, und mittels Entfernens dieses Halbleiteroxidmaterials können Hohlräume der Poren verbunden werden, so dass eine gemeinschaftliche Kavität 22 erhalten wird.

35 Fig. 4 zeigt ein schematisches Ablaufdiagramm eines Verfahrens 400 gemäß einem Ausführungsbeispiel. Das Verfahren 400 umfasst einen Schritt 405, bei dem ein Bereitstellen eines Halbleitersubstrats erfolgt, wobei das Halbleitersubstrat ein Halbleitermaterial umfasst. Bei dem Schritt 405 kann es sich um den Schritt 110 handeln.

Mittels optionaler Schritte 410, 415, 420, 425 und 430 kann eine Position von später erzeugten Poren exakt auf dem Halbleitermaterial vordefiniert werden. Alternativ kann auch eine Selbstorganisation der Position der Poren verwendet werden, etwa wenn die Schritte 410 bis 430 nicht ausgeführt werden.

5

Ein Schritt 410 umfasst ein Aufbringen einer Hartmaske auf das Halbleitersubstrat. Die Hartmaske kann beispielsweise Siliziumoxid umfassen. Die Hartmaske kann zum Schutz der Siliziumoberfläche vor dem im nächsten Verfahrensschritt 415 aufgetragenen Lack dienen.

10

Im Schritt 415 erfolgt ein Aufbringen eines photoempfindlichen Lacks auf die Hartmaske. Bei dem photoempfindlichen Lack kann es sich um einen Positivlack oder um einen Negativlack handeln. Das bedeutet, der Lack kann ausgebildet sein, um bei einer Belichtung eine Aushärtung auszuführen (Negativlack) oder um bei Belichtung die Löslichkeit zu erhöhen (Positivlack).

15

Im Schritt 420 kann eine lokalselektive Entwicklung des photoempfindlichen Lacks erfolgen, um Probenpositionen der Porenstruktur zu definieren. Für die lokalselektive Entwicklung kann eine geeignete Beleuchtung oder Strahlung gewählt werden, beispielsweise ultraviolettes Licht.

20

Die lokalselektive Entwicklung des photoempfindlichen Lacks kann durch eine lokale Abschottung bereitgestellt werden, so dass nur die Bereiche belichtet werden, an denen der Lack aushärtet bzw. aufgelöst werden soll. Die Anordnung der Keimzellen der Poren, die mittels der Belichtung definiert werden können, kann dabei so gewählt werden, dass für jeden der unterschiedlichen Materialbereiche eine eigene Porosität (Porendurchmesser und/oder Porenabstand) bereitgestellt wird.

25

In anderen Worten kann die lokalselektive Entwicklung in Übereinstimmung mit dem gewählten Typ des Lacks erfolgen, so dass beispielsweise eine lokale Abschottung so ausgeführt wird, dass nur die Bereiche belichtet werden, an denen der Lack ausgehärtet bzw. aufgelöst werden soll. Durch die Definition der Porenpositionen der Porenstruktur mittels einer lokalselektiven Entwicklung kann darüber hinaus auch eine in verschiedenen Bereichen des Halbleitersubstrats unterschiedliche Porosität (Dichte- bzw. Flächenverteilung der Poren im Halbleitersubstrat) erhalten werden. So können für unterschiedliche Bereiche im

35

Halbleitersubstrat sowohl unterschiedliche Porendurchmesser als auch ein unterschiedlicher Porenabstand festgelegt werden, wobei diese Festlegung bereichsindividuell oder gruppenweise erfolgen kann.

- 5 Im Schritt 425 erfolgt eine lokalselektive Entfernung der Hartmaske in Bereichen der definierten Porenposition. Das bedeutet, die im Schritt 410 aufgebrauchte Hartmaske kann durch Bereiche des Lacks hindurch erfolgen, die belichtet bzw. unbelichtet geblieben sind.

10 Im Schritt 430 erfolgt ein Erzeugen von Keimzellen an vordefinierten Porenpositionen für eine nachfolgende Porenbildung. Das bedeutet, zumindest eine, mehrere oder alle der vordefinierten Porenpositionen aus dem Schritt 420 und/oder 425 werden dafür verwendet, um eine für eine Porenbildung geeignete Keimzelle zu erzeugen. Hierfür erfolgt beispielsweise ein Trockenätzen der beschichteten Siliziumoberfläche, um lokal Siliziumoxid zu entfernen. Das bedeutet, an Stellen, an denen die Hartmaske entfernt wurde, kann das Halbleitersubstrat für eine nachfolgende Porenätzung freigelegt werden. Die Keimzellen können in beliebiger Form erzeugt werden. Beispielsweise können pyramidenförmige oder anders geformte Keimzellen erzeugt werden. Bspw. können auch kegelförmige Keimzellen erzeugt werden. Für die Bildung der Keimzellen kann beispielsweise TMAH (Tetramethylammoniumhydroxid) oder KOH (Kaliumhydroxid) oder Mischungen hieraus verwendet werden.

20

Das Verfahren 400 umfasst einen Schritt 435, bei dem ein Beaufschlagen der Chipoberfläche (Vorderseite, beispielsweise Hauptseite 12A) mit Flusssäure erfolgt. In einem Schritt 440 erfolgt eine Ätzung der Poren durch Rückseitenbeleuchtung, die beispielsweise Ladungsträger in dem Halbleitermaterial erzeugen kann, die in Kombination mit der Flusssäure des Schritts 435 zur Ausbildung der Poren führen kann. Das bedeutet, die Schritte 435 und 440 können gemeinsam den Schritt 120 des Verfahrens 100 implementieren. Die Schritte 435 und 440 können durch andere geeignete Schritte zur Porenätzung substituiert werden. Der Schritt 435 kann in einer HF-Ätzanlage ausgeführt werden. Der Schritt 440, der gleichzeitig mit dem Schritt 435 erfolgen kann, kann somit eine Ätzung der maskierten Oberfläche des bereitgestellten Substrats durch Rückseitenbeleuchtung umfassen. Für die Rückseitenbeleuchtung kann eine Energie für das Substrat bereitgestellt werden, die größer ist als die Bandlücke des Halbleitermaterials, etwa 1,1 eV bei Silizium. Durch die Absorption des Lichts an der Waferrückseite können Löcher bzw. Defektelektronen in dem Halbleitermaterial erzeugt werden, die durch den Wafer hindurch zur Ätzfront diffundieren können. Dort können sie an den Porenspitzen für den Ätzprozess verbraucht werden. An der Elektrolyt-Halbleiter-Grenzfläche können Raumladungszonen (RLZ) gebildet werden.

25

30

35

Dies kann dazu führen, dass Bereiche zwischen den gebildeten Poren mit Raumladungszonen gefüllt sind, so dass daher an den Porenwänden keine Auflösung/Ätzung im Rahmen der Porenätzung stattfindet. In einem Schritt 445 erfolgt eine erste Oxidierung (was nicht zwangsläufig die allererste Oxidierung im Rahmen des Verfahrens bedeutet). Der Schritt 5 445 kann beispielsweise dem Schritt 130 entsprechen.

In einem Schritt 450, der beispielsweise dem Schritt 140 entspricht, erfolgt eine Entfernung des Siliziumoxids, so dass durch Poren gebildete Hohlräume miteinander verbunden werden. 10

In einem optionalen Schritt 460 erfolgt ein erneutes Oxidieren, was mit ähnlichen oder gleichen Prozessparametern erfolgen kann, wie das Oxidieren im Schritt 445 und/oder 130. Hierdurch können Isolationsschichten an den verbleibenden Porenwänden erzeugt werden, insbesondere zur elektrischen Isolation. 15

Fig. 5a zeigt eine schematische Aufsicht auf ein Halbleitersubstrat 12 gemäß einem Ausführungsbeispiel, das beispielsweise durch Ausführen des Schritts 120 und/oder der Schritte 435/440 erhalten werden kann. Das Halbleitersubstrat ist beispielsweise ein $\langle 100 \rangle$ Siliziumsubstrat. Das Halbleitersubstrat 12 weist eine Vielzahl von Poren 14_1 bis 14_n auf. 20 Die Poren 14_1 bis 14_n in unterschiedlichen Bereichen 24_1 , 24_2 , 24_{3a} , 24_{3b} , 24_4 , 24_{5a} und 24_{5b} kann die Porenstruktur eine unterschiedliche Porosität aufweisen. Die Porenstruktur bzw. die einzelnen Poren können dabei durch Ausführen des beschriebenen Ätzprozesses erhalten werden, der beispielsweise ein Ausführen eines photo-elektrochemischen Ätzprozesses umfasst. Der Ätzprozess kann dabei so erfolgen, dass in dem Halbleitermaterial 25 innerhalb der Porenstruktur über die lokal variierende Porosität eine zusammenhängende Raumladungszone entsteht, die das Halbleitermaterial (innerhalb der Porenstruktur) teilweise oder vollständig ausfüllt. Zwar ist ein vollständiges Ausfüllen, das bedeutet, eine 100%ige Überlappung der Raumladungszonen einzelner Poren, möglich, jedoch nicht notwendig. Eine 100%ige Überlappung kann es ermöglichen, Seitenporen komplett zu unterdrücken. Es ist aber möglich, dass aus bestimmten Gründen (beispielsweise eine Vergrößerung der Porenoberfläche) kleine Seitenporen erlaubt oder gar gewünscht sind. In einem solchen Fall kann die Überlappung reduziert werden, sogar auf null, das heißt, es erfolgt keine Überlappung. In diesem Fall kann der Abstand zwischen den Raumladungszonen jedoch immer noch gering gehalten werden, beispielsweise, kleiner als 50% der Abmes- 30 sung der Raumladungszone. Bei steigendem Abstand kann eine Größe der Seitenpore sich vergrößern und gegebenenfalls unkontrollierbar werden, so dass es wünschenswert ist, im 35

Falle eines fehlenden Überlapps den Abstand zumindest im Bereich von weniger oder gleich 50% einer Abmessung der Raumladungszone zu erhalten.

5 Eine unterschiedliche Porosität kann beispielsweise unterschiedliche Porendurchmesser/Kantenlängen umfassen, wie es beispielsweise für Porendurchmesser D_3 im Gebiet 24_{3b} und D_4 im Gebiet 24_4 dargestellt ist. Alternativ oder zusätzlich kann sich die Porosität auch auf Abstände A_3 und/oder A_4 beziehen, etwa Abstände zwischen Porenmittelpunkten. Das bedeutet, eine unterschiedliche Porosität umfasst zumindest eines aus einem unterschiedlichen Porendurchmesser/Porenkantenlänge und einem Porenabstand.

10

Durch die unterschiedliche Porosität können unterschiedliche Bereiche eines späteren MEMS bzw. einer späteren Halbleiterstruktur definiert werden. So können enger aneinander gerückte Poren und/oder größere Poren genutzt werden, um Bereiche einer späteren Kavität zu definieren, etwa in den Bereichen 24_1 , 24_{3a} und 24_{3b} . In anderen Bereichen, etwa 15 den Bereichen 24_2 und 24_4 kann die Porosität so gewählt werden, dass ungeachtet der dennoch vorhandenen Poren ein stabiles Porenwachstum erhalten werden kann, das bedeutet, dass sich beispielsweise die Raumladungszone überlappen.

20 Eine Porenrichtung, das bedeutet, die Richtung, in der die Pore 14 hauptsächlich erzeugt wird, ist beispielsweise parallel zur z-Richtung. Die Porosität der Porenstruktur, das bedeutet, der Gesamtzahl an Poren, kann lokal variieren, das bedeutet, in unterschiedlichen Bereichen können unterschiedliche Abstände zwischen Poren und/oder Porendurchmesser realisiert sein.

25 Obwohl die Poren als einen runden Querschnitt aufweisend dargestellt sind, können sie alternativ einen leicht elliptischen Querschnitt (Verhältnis Hauptachse zu Nebenachse 1:1,3, 1:1,2 oder weniger, etwa 1:1,1) aufweisen. Alternativ können die Poren einen in etwa quadratischen Querschnitt aufweisen. Durch Verbinden mehrerer Poren zu einer Kavität kann diese einen Querschnitt parallel zu einer Substratebene, das bedeutet, parallel zur 30 x/y-Ebene aufweisen, die von einem quadratischen oder runden Querschnitt verschieden ist.

Das Halbleitersubstrat 12 weist dabei bevorzugt ein Halbleitermaterial auf, das dotiert ist, etwa n-dotiert oder p-dotiert und dadurch elektrisch leitfähig gebildet ist. Ein zu realisieren- 35 der Porendurchmesser kann basierend auf der elektrischen Leitfähigkeit bzw. dem elektrischen Widerstandswert eingestellt werden. So kann ein Wert von bspw. 1-5 Ohm*cm für

kleinere Poren (1-4 μm Porendurchmesser) verwendet werden, ein größerer Wert von 800 – 1000 $\text{Ohm}\cdot\text{cm}$ für größere Poren (etwa 10-12 μm Porendurchmesser).

5 Fig. 5b zeigt eine schematische perspektivische Ansicht zumindest eines Ausschnitts des Halbleitersubstrats 12 aus Fig. 5a.

In anderen Worten zeigen die Fig. 5a und 5b ein Bauteil, das ein Substrat 12 umfasst, wie es beispielsweise nach dem Verfahrensschritt des Ätzens erhalten werden kann. Dargestellt sind Bereiche mit unterschiedlichen Dichten der Porosität. Ein erster Bereich von Porositäten ist gekennzeichnet durch eine erste Pore 14 im Substrat, die einen diskreten Abstand zur nächsten Pore gleicher Art aufweist. Der erste Bereich von Porositäten umgibt einen zweiten Bereich von Porositäten, der durch eine zweite Pore im Substrat gekennzeichnet ist. Die zweite Pore weist einen diskreten Abstand zu einer nächsten Pore gleicher Art auf, der kleiner ist als der Abstand zweier erster Poren zueinander. Der Bereich der zweiten Pore umfasst einen dritten Bereich Porositäten mit jeweiligen Poren, wobei der Abstand der Poren zweiter Art zu den Poren dritter Art in einer ersten Richtung größer ist als der Abstand der Poren dritter Art zueinander.

20 Fig. 6a zeigt eine schematische Aufsicht auf das Halbleitersubstrat 12, welches nach dem Zustand in Fig. 5a oxidiert wurde, beispielsweise durch Ausführen des Schritts 130 oder des Schritts 445. Hierdurch können Bereiche umfassend Oxidmaterial 18 in den jeweiligen Poren erhalten werden, beispielsweise das Oxidmaterial 18_1 im Bereich der Pore 14_1 . Die Oxidation kann dabei dazu führen, dass ein zunächst verfügbarer Hohlraum der Pore verengt wird und/oder dass Halbleitermaterial welches den Hohlraum umschließt umgewandelt wird. Das Oxidmaterial wird bspw. durch Umwandlung bzw. Umformung des Halbleitermaterials des Halbleitersubstrats 12 erhalten und erstreckt sich deshalb auch in Gebiete des Halbleitersubstrats 12, die zuvor unoxidiert waren. Die Oxidierung kann dabei so ausgeführt werden, dass das Halbleiteroxidmaterial benachbarte Poren der Porenstruktur verbindet, wie es beispielsweise in den Bereichen 24_1 , 24_{3a} oder 24_{3b} dargestellt ist. In anderen Bereichen, etwa dem Bereich 24_2 oder 24_4 ist der Abstand zwischen den Poren so groß, dass Halbleitermaterial zwischen dem jeweilig gebildeten Oxidmaterial verbleibt.

35 Anders als in der schematischen Darstellung der Fig. 2b ist dargestellt, dass die Oxidation auch zu einer Bildung von Oxidmaterial 18 im Bereich eines vorherigen Porenhohlraums führen kann. Bei Si-Oxidation z. B. einer Oxidschicht mit exemplarisch 1 μm Dicke (Abmessung senkrecht zur axialen Porenerstreckungsrichtung) wird bspw. nur ein Anteil (etwa

460 nm /46 %) Si konsumiert, d. h. eine Erstreckung des Oxidmaterials in das Substratmaterial hinein erreicht. D. h., 540 nm /54% SiO₂ kann in Richtung Porenzentrum wachsen, so dass der Hohlraum ganz oder teilweise okkupiert wird. Deshalb können die Schritte des Oxidierens und des Oxidätzens (etwa Schritte 130/140 oder Schritte 445/450) nicht nur
5 einmalig, sondern optional auch in zumindest zwei Zyklen mehrfach ausgeführt werden, etwa abhängig vom Porendurchmesser. So kann bspw. auch mit kleinen Porendurchmessern gearbeitet werden (was vom Dotiergrad beeinflusst sein kann), die möglicherweise nur wenig Oxidbildung zulassen, bis der mittels der Porenätzung erzeugte Hohlraum mit Oxidmaterial 18 gefüllt ist. Mittels Oxidätzung und erneuter Oxidation kann dieser Hohlraum
10 schrittweise vergrößert werden.

Anders ausgedrückt kann das Oxidieren des Halbleitermaterials basierend auf der lokal variierenden Porosität der Porenstruktur so ausgeführt werden, dass in einem ersten Bereich der Porenstruktur, etwa dem Bereich 24_{3a} oder 24_{3b} oder dem Bereich 24₁ das Halbleitermaterial des Halbleitersubstrats 12 über eine Mehrzahl von Poren hinweg vollständig
15 oxidiert wird. In einem anderen Bereich, etwa dem Bereich 24₂ kann dahingegen zwischen benachbarten Poren Material in einer Folge Oxid-Halbleitermaterial-Oxid angeordnet sein.

Fig. 6b zeigt eine schematische perspektivische Ansicht des Halbleitersubstrats 12 aus Fig.
20 6a.

In anderen Worten zeigen die Fig. 6a und 6b ein Bauelement, das das Substrat 12 nach dem Verfahrensschritt des Oxidierens zeigt. Dargestellt sind Bereiche mit unterschiedlichen Dichten der Porositäten. Im Vergleich zur Darstellung der Fig. 5a und 5b weisen die Poren
25 nun eine Schicht auf, die durch die Oxidation von Silizium entstanden ist.

Fig. 7a zeigt eine schematische Aufsicht auf das Halbleitersubstrat 12 aus Fig. 6a nach Ausführung der Siliziumoxidentfernung, die beispielsweise durch Ausführen des Schritts 140 und/oder des Schritts 450 bewirkt werden kann. In Bereichen, in denen das Halbleiteroxidmaterial benachbarte Poren verband, etwa in den Bereichen oder Gebieten 24₁, 24_{3a}
30 oder 24_{3b} können entsprechende Kavitäten 22 erhalten werden, wie es beispielhaft für die Kavitäten 22₁ bis 22₉ dargestellt ist. Hierdurch kann im Bereich verbleibenden Halbleitermaterials selbiges mit unterschiedlicher Materialstärke parallel zur x/y-Ebene erhalten werden. Während das Gebiet 24₄ beispielsweise stabil genug ist, um als stabiles Trägersubstrat zu dienen, können Materialbereiche 26₁ und/oder 26₂ demgegenüber ausgedünnt
35 sein, um beispielsweise als Elektroden zu dienen, aber dennoch eine vergleichsweise

große Steifigkeit aufzuweisen. Andere Materialbereiche 26₃ und/oder 26₄ können demgegenüber weiter ausgedünnt werden, was zu einer weiter reduzierten Materialsteifigkeit führen kann. Hierdurch können beliebige Materialstärken erzeugt werden. Die jeweilige Materialstärke basiert auf dem Anteil an Halbleitermaterial, welches nach Porenbildung, Oxidation und Entfernung des Oxids verbleibt. Durch geeignete Einstellung der Porosität sowie der weiteren Prozessparameter für die Oxidation und die Oxidentfernung kann eine präzise Einstellung dieser Parameter erhalten werden. Hierbei können die Verfahren jedoch so ausgeführt werden, dass beispielsweise die Oxidation sowie Oxidentfernung für alle Poren gleichmäßig erfolgt, so dass ein Haupteinstellparameter für verbleibende Materialstärken in der Porosität liegt.

Basierend auf der lokal variierenden Porosität kann somit nach dem Entfernen des Halbleiteroxidmaterials in voneinander verschiedenen Strukturbereichen 24 Halbleitermaterial mit unterschiedlicher effektiver Materialstärke senkrecht zu der Porenrichtung verbleiben. Die Figuren 5a, 5b, 6a, 6b und 7a wurden so beschrieben, dass beispielsweise in den Bereichen 24_{3a} und 24_{3b} ein zweidimensionales Array von Poren erhalten wird, deren Oxidmaterialien sich sowohl in x-Richtung als auch in y-Richtung überlappen oder berühren, so dass die zum Erhalt der Kavitäten 22₁ und 22₂ entfernten Materialien im Rahmen eines Ätzprozesses vollständig aufgelöst werden können.

Alternativ kann es zum Erhalt der Kavitäten 22₁ und 22₂ aber auch ausreichend sein, lediglich eine umlaufende Kavität zu erzeugen, die zum Herauslösen oder Herausfallen eines inneren Halbleitermaterials führt, welches aufgrund der umlaufenden Kavität keine Befestigung mehr am Bereich 24₄ erfährt. Vorteilhaft an dem kompletten Herausätzen/Auflösen ist dabei, dass keine Materialien in dem Prozessbecken oder der Anlage verbleiben, die durch das beschriebene Herausfallen von Strukturbereichen erhalten wird.

Fig. 7b zeigt eine schematische perspektivische Ansicht der Halbleiterstruktur aus Fig. 7a, wobei im Bereich der Kavitäten, beispielsweise der Kavitäten 22₁ und 22₂ eine in z-Richtung reichende Materialstärke des Halbleitermaterials 12 nicht dargestellt ist. Ein Aspektverhältnis, das beispielsweise eine Abmessung B einer Kavität, etwa der Kavität 22₇ in ein Verhältnis zu einer Tiefe T der Kavität entlang der z-Richtung setzt, etwa basierend auf der Formulierung T/B oder T:B kann größer sein als 30, insbesondere größer als 50 oder größer als 70, beispielsweise größer als 100, etwa 150.

35

In anderen Worten zeigen die Fig. 7a und 7b ein Bauelement, das das Halbleitersubstrat 12 und ein auslenkbares Element umfasst und welches nach dem Verfahrensschritt des Oxidentfernens erhalten werden kann und damit das auslenkbare Element 46 aus dem Substrat herausgebildet ist. Das auslenkbare Element 46 ist durch die erste und zweite Elektrode 26₁ und 26₂, die mit dem umgebenden Substrat 12 durch eine erste und zweite Verbindung 24_{5a} und 24_{5b} stoffschlüssig verbunden. Ein bevorzugtes Ausführungsbeispiel ist in dieser Fig. dargestellt. Gemeint ist hierbei eine beidseitige Einspannung des auslenkbaren Elements 46. Ausführungsbeispiele können aber auch Geometrien und Topologien für einseitig eingespannte auslenkbare Elemente aufweisen.

10

Fig. 8a zeigt eine schematische Aufsicht auf das Halbleitersubstrat 12 aus Fig. 7a, nachdem selbiges erneut oxidiert wurde, etwa durch Ausführen des optionalen Schritts 460. An den Rändern des Halbleitermaterials des Halbleitersubstrats 12 kann dadurch Oxidmaterial 18 gebildet werden. Diese können beispielsweise für die unverändert elektrisch leitfähigen Bereiche 26₁ und 26₂ elektrische Isolierungen bereitstellen, wobei basierend auf der lokal variierenden Porosität optional auch elektrisch isolierende Befestigungen gegenüber dem Trägersubstrat erzeugt werden können, etwa in den Bereichen 24_{5a} und/oder 24_{5b}. Dies kann dadurch erhalten werden, dass das in Fig. 7a dargestellte verbliebende Halbleitermaterial in diesen Bereichen eine Materialstärke in x/y-Richtung aufweist, die im Rahmen der weiteren Oxidation vollständig in diesem lokalen Bereich in Oxid umgewandelt wird und dadurch eine elektrische Kontaktierung zu anderen umliegenden Substratbereichen unterbricht und mithin eine elektrische Isolierung bereitstellt. Dies kann auch im Bereich gewünschter elektrisch isolierender und an diskreten Bereichen vorliegender mechanischer Fixierungen zwischen den Elektrodenstrukturen der Bereiche 26₁ und 26₂ erfolgen, etwa im Bereich 24₂.

25

Das bedeutet, durch das Abwechseln von Oxidation/Oxidentfernung und gegebenenfalls Wiederholung zumindest eines dieser Schritte kann eine lokale Veränderung der Materialstärke des Halbleitermaterials einerseits als auch eine veränderte Funktion des verbleibenden Materials andererseits erhalten werden. Während die Elektroden 26₁ und 26₂ elektrisch leitfähig sind, können andere Bereiche elektrisch isolierend gebildet sein.

30

Poren im Trägersubstrat, etwa die Pore 14₁, können an dieser Stelle zumindest passive Funktionen aufweisen. So können die erläuterten Poren beispielsweise zu einer Gewichtsreduzierung beitragen, indem genug mechanische Stabilität im Trägersubstrat verbleibt, während das Material teilweise entfernt wird, was dem Leichtbaugedanken entspricht.

35

Erzeugte Kavitäten 22₁ bis 22₉ können dabei gemein haben, dass sie in einer Substratebene, das bedeutet, parallel zur x/y-Ebene in einem Bereich entlang der z-Richtung, entlang dem Halbleitermaterial angeordnet sind, von verbleibendem Halbleitermaterial begrenzt sind, wobei sich dies auf unumgewandeltes als auch auf umgewandeltes (im Rahmen der Oxidation) Halbleitermaterial bezieht.

Das bedeutet, die Struktur gemäß Fig. 8a kann durch Ausführen eines Verfahrens erhalten werden, das ein erneutes Oxidieren des Halbleitermaterials, nach dem Entfernen des Halbleiteroxidmaterials, umfasst, um an Oberflächen verbleibenden Halbleitermaterials weiteres Oxidmaterial zu erzeugen, so dass das weitere Oxidmaterial einen ersten Strukturbereich des verbleibenden Halbleitermaterials und einen zweiten Strukturbereich des verbleibenden Halbleitermaterials elektrisch voneinander isoliert.

Dieses Verfahren kann beispielsweise ausgeführt werden, um ein MEMS herzustellen, bei dem der erste Substratbereich, etwa der Bereich 26₁ und der zweite Substratbereich, etwa der Bereich 26₂ elektrisch voneinander isolierte Elektroden sind.

Unter Bezugnahme auf die Fig. 5a kann die lokal variierende Porosität in beispielhaft fünf (alternativ mehr oder weniger) Bereichen 24₁, 24₂, 24_{3a}/24_{3b}, 24₄ und 24_{5a}/24_{5b} definieren, an deren Grenzen die Porosität variiert. Das Verfahren kann so ausgeführt werden, dass in den Bereichen 24₁ und 24_{3a}/24_{3b} Kavitäten erzeugt werden, während in dem Bereich 24₂ elektrisch isolierendes Material erzeugt wird. Der Bereich 24₄ kann als tragende Struktur dienen. In dem Bereich 24_{5a}/24_{5b} können Elektroden herausgebildet werden, so dass die Elektroden mittels Kavitäten und isolierendem Material voneinander und von der tragenden Struktur beabstandet sind.

Fig. 8b zeigt eine schematische perspektivische Ansicht der Halbleiterstruktur aus Fig. 8a, wobei analog zu Fig. 7a die Ausdehnung des Oxidmaterials 18 in Tiefenrichtung z nicht dargestellt ist.

In anderen Worten zeigen Fig. 8a und Fig. 8b ein Bauelement umfassend das Substrat 12 und das auslenkbare Element 46 nach dem Verfahrensschritt der erneuten Oxidation. Dargestellt ist, dass in diesem Verfahrensschritt die Oberfläche des Siliziums erneut oxidiert ist und somit mit einer Isolationsschicht beschichtet ist. Gleichermäßen sind die Wandungen

im Bereich der Kavitäten derart oxidiert, dass zwischen der ersten und der zweiten Elektrode eine isolierende Beabstandung gebildet ist, siehe Bereich 24₂.

5 Halbleiterstrukturen gemäß dem ersten Aspekt weisen somit eine Kavität auf, die in einem Halbleitersubstrat, das ein Halbleitermaterial umfasst, ausgebildet ist. Die Kavität ist mittels miteinander verbundener Poren einer Porenstruktur erzeugt.

10 Eine Aufgabenstellung der vorliegenden Erfindung ist es, Verfahren und Halbleiterstrukturen zu schaffen, die aus der elektrochemischen Makroporenätzung bestehen. Die entsprechenden Gebiete für die Herstellung von auslenkbaren Elementen sollen dabei so geschaffen werden, dass Nano-e-Drive-Aktuatoren oder NED in Silizium mit hohen Aspektverhältnissen geschaffen werden.

15 Daraus sich ergebende Anforderungen, die mit dem ersten Aspekt gelöst werden, sind beispielsweise, ein Verfahren zu schaffen, das unter Nutzung der elektrochemischen Makroporenätzung die notwendigen Gebiete für die Herstellung von auslenkbaren Elementen in Silizium mit hohen Aspektverhältnissen ermöglicht. Für die Herstellung eines auslenkbaren Elements, das der Nano-e-Drive-Technologie entspricht, können folgende Gebiete definiert werden:

20

1. Gebiet 1 (Bereich 24₁): Gräben für den NED-Spalt (TO = Trench open, offener Graben), d. h., ein Graben mit einer durch NED-definierten Draufsichtform, die ein hohes Aspektverhältnis (etwa > 100) und mithin ein Aspektverhältnis größer als mit der Bosch-Methode möglich aufweist und am Ende des Prozesses teilweise einen Luftspalt aufweist.
25
2. Gebiet 2 (Bereich 24₂): Gräben für die NED-Isolation zwischen den Elektroden (TI = Trench Isolation, Grabenisolation): Gräben mit einer durch NED-definierten Draufsichtform, die ein hohes Aspektverhältnis (etwa > 100) als mit der Bosch-Methode
30 möglich aufweisen und am Ende des Prozesses teilweise oder komplett einem Isolierungsmaterial (z. B. SiO₂) gefüllt sind.
3. Gebiet 3 (Bereiche 24_{3a} und 24_{3b}): Gräben für die Definition der Form von NED-Balken (TR = Trenche, Gräben): Gräben mit einer durch NED definierten Draufsichtform, die ein Aspektverhältnis aufweisen, das kleiner sein kann als zwischen
35

den Elektroden, beispielsweise kleiner als 100. Der Abstand zwischen dem TR-Gebiet und den TO-TI-Gebieten kann dabei die NED-Elektroden definieren.

4. Gebiet 4 (Bereich 24₄): Bereiche auf dem Chip, die ohne oder nur teilweise ohne Poren gebildet werden und die als Chiprahmen oder Kontaktierung des Chips verwendet werden können.
5. Gebiet 5 (Materialbereich 26₁ und Materialbereich 26₂): NED-Elektroden, die elektrisch untereinander isoliert sind durch Gebiet 2 (Bereich 24₂).

10

Die mit dem ersten Aspekt gelöste Aufgabenstellung ist es, die Basis für mehrere Gebiete, in einer einzigen elektrochemischen Ätzung zu legen. Die endgültige Entstehung des auslenkbaren Elements/NED wird dann durch nachfolgende Prozessierungsschritte ermöglicht. Dazu wird es ermöglicht, die Position von Poren oder Bohrungen so auf dem Werkstoff zu bestimmen, das am Ende des Prozesses die zwei oder mehrere, beispielsweise 5, Gebiete auf dem Chip entstehen und zu einem funktionsfähigen auslenkbaren Element führen, im vorliegenden Beispiel ein NED.

15

Das erfindungsgemäße Verfahren ist durch mehrere aufeinanderfolgende Verfahrensschritte gekennzeichnet. Zielstellung ist es, in einer Halbleiterschicht, die eine deutlich größere Dicke als 75 µm aufweist, Bereiche unterschiedlicher Porositäten zu erzeugen und in weiteren Verfahrensschritten Bereiche großer Porosität so auszubilden, dass Wandungen zwischen den Poren entfernt werden und ein NED-Aktuator erzeugt wird.

20

Unter Bezugnahme auf die Verfahren 100 und 400 und unter Verweis auf die in den Fig. 7a und 8a dargestellten Halbleiterstrukturen kann dabei ferner festgehalten werden, dass der Schritt 130 bzw. 445 zur Oxidierung als Ergebnis liefert, dass in den Gebieten 1 und 3 das Silizium zwischen den Poren komplett oxidiert wird, während in den Gebieten 2 und 4 Silizium zwischen den Poren (zur Definition des Gebiets 5) nur teilweise oxidiert wird, so dass Silizium verbleibt und eine Sandwich-Struktur aus SiO₂-Si-SiO₂ entsteht. Bei der Entfernung des Siliziums im Schritt 140 bzw. 450 kann das Ergebnis der Oxidentfernung so ausfallen, dass in den Gebieten 1 und 3 alles entfernt wird und nur Luft an der Stelle verbleibt. Zwischen den Gebieten 1 und 3 jedoch verbleibt Si und definiert das Gebiet 5 und kann so die NED-Elektroden abbilden. In den Gebieten 2 und 4 kann Si zwischen den Poren bestehen bleiben, wobei sich die Poren durch die Oxidierung und die Oxidentfernung verbreitert haben können. Durch das erneute Oxidieren im Schritt 460 kann das Siliziumoxid im Gebiet

25

30

35

- 2 entstehen und als Isolationsschicht zwischen den NED-Elektroden wirken. Diese ermöglicht eine lokale Fixierung der Elektroden an diskreten Bereichen bei gleichzeitiger elektrischer Isolation. Dies kann auch als Trench Isolation (TI) bezeichnet werden. Das bedeutet, im Gebiet 2 ist möglicherweise kein Si in dotierter Reinform (bezüglich der elektrischen Leitfähigkeit) zu finden bzw. derart umgewandelt, dass keine elektrische Leitfähigkeit mehr
5 zwischen den Elektroden hergestellt wird, um Kurzschlüsse zu vermeiden. In den Gebieten 4 und 5 kann eine Mischung aus Si und SiO₂ zum Bilden der NED-Elektroden verbleiben bzw. den Chiprahmen ausbilden.
- 10 Mit diesem Verfahren ist es möglich, alle fünf für derartig auslenkbare Elemente notwendige und oben genannte Gebiete zu definieren und herzustellen. Relevant ist hierbei, dass das Gebiet 1 (Luft) und 2 (Oxid) in einem hohen Aspektverhältnis hergestellt werden kann, das größer ist als 30, was durch den Stand der Technik hergestellt werden kann.
- 15 Makroporen werden normalerweise durch lithographische Prozesse in perfekt angeordneten Arrays strukturiert (z. B. kubisch oder hexagonale Anordnung). Grund dafür ist, dass diese Anordnung eine dicht gepackte „close-packed“ Porenstruktur ermöglicht, wie es beispielsweise in Fig. 9a und 9b dargestellt ist. Bei einer dicht gepackten Porenstruktur überlappen sich die Raumladungszonen der Poren am besten, so dass die Poren ohne Seiten-
20 zweig aufwachsen können. In solchen Strukturen werden erfindungsgemäß ein, zwei oder mehrere Porenreihen weggelassen, wie es beispielsweise in Fig. 9c, die auf der Struktur gemäß Fig. 9a beruht oder Fig. 9d, die auf einer Struktur gemäß Fig. 9b beruht, dargestellt ist. Die Porenanordnung bzw. die Porenstrukturen gemäß Fig. 9c und Fig. 9d weisen eine Leerreihe 28 auf, die gegenüber der kubischen (Fig. 9a) oder hexagonalen (Fig. 9b) Anord-
25 nung fehlende Poren definiert. Anstelle einer einzigen Leerreihe 28 können auch mehrere Leerreihen implementiert werden, wobei die Raumladungszonen noch überlappen können, ein Überlapp jedoch auch ausbleiben kann. Hierzu können Ausführungsbeispiele vorsehen, dass ein Abstand zwischen den Raumladungszonen im Bereich von maximal 0,5 x RLZ bleibt. Das bedeutet, in den in Fig. 9a und 9b dargestellten Strukturen können ein, zwei
30 oder mehr Porenreihen weggelassen werden. Hierdurch werden jedoch keine unterschiedlichen Porositäten gemäß der vorliegenden Erfindung erhalten, da der Porenabstand innerhalb der Struktur unverändert bleibt und ein mittels des Weglassens erzeugter zu großer Abstand zwischen den Poren zu den genannten Opferporen führt. Zudem ist ein Weglassen von Porenreihen gemäß Fig. 9c oder Fig. 9d nur in bestimmten Richtungen möglich, ohne
35 dass das Porenwachstum stark beeinflusst wird. Damit ist jedoch nicht einfach möglich,

beliebige Formen, wie es bspw. für NED gewünscht ist, und wie es in Fig. 10 erläutert ist, zu erreichen.

Die bekannten Anordnungen und Strukturen gemäß den Fig. 9a und 9b sind für die erfindungsgemäßen ausdenkbaren Elemente nicht immer geeignet, weil die Effizienz der ausdenkbaren Elemente stark von der Form der Gräben/Trenches und Si-Stege abhängig ist.

In anderen Worten zeigen die Fig. 9a und 9b Draufsichten auf einen Wafer. Aus dem Stand der Technik sind Closed-Packed-Strukturen unterschiedlicher Art bekannt, die in den Fig. 9a und 9b dargestellt sind.

Das heißt, für Nano-e-Drive-Anwendungen sind Trenches und Si-Stege mit einer beliebig definierbaren Form wünschenswert oder erforderlich, was erfindungsgemäß erreicht wird. Ausführungsbeispiele schlagen deshalb vor, beliebig definierbare Trenchformen dadurch zu erreichen, dass die Poren nicht mehr in dicht gepackten Strukturen durch lithographische Prozesse angeordnet werden, sondern stattdessen eine „quasi amorphe“ Anordnung der Poren verwendet wird.

Ein derartiges Konzept ist beispielhaft in den Fig. 10a, 10b und 10c dargestellt. Zum Layout einer Porenstruktur 30 mit einer Vielzahl von Poren 14 kann eine oder mehrere Einheitszellen 32 definiert werden. Im Beispiel der Fig. 10a werden beispielhaft drei Einheitszellen definiert, nämlich die Einheitszellen 32_1 , 32_2 und 32_3 . Jede der Einheitszellen kann eine oder mehrere Proben 14 umfassen, wobei die Anzahl der Poren für jede Einheitszelle unabhängig gewählt werden kann.

Die Porosität jeder Einheitszelle kann dabei ebenfalls individuell gewählt werden, wobei es möglich aber nicht erforderlich ist, dass ein Porendurchmesser oder ein Porenabstand innerhalb derselben Einheitszelle 32 konstant ist. Beispielhaft kann jede Einheitszelle 32_1 , 32_2 oder 32_3 individuell und unabhängig von anderen Einheitszellen in der x/y-Ebene parallel zu der Substratebene orientiert sein. Beispielhaft sind die Einheitszellen 32_1 , 32_2 und 32_3 parallel zur y-Richtung orientiert und damit parallel und optional kollinear zueinander angeordnet. Die Einheitszelle 32_1 ist dabei entlang der anderen Substratrichtung x versetzt zueinander in Wiederholungen $32_1'$ angeordnet, wobei der Versatz entlang x mit einem zusätzlichen Versatz entlang y einhergehen kann. Der Versatz der Wiederholungen $32_1'$ entlang der x-Richtung kann dabei anhand von Versatzlinien 34_1 und/oder 34_2 definiert werden,

wobei diese Versatzlinien die spätere Geometrie von verbleibendem Halbleitermaterial oder erzeugten Kavitäten zumindest teilweise beeinflussen kann.

5 Es wird deutlich, dass hier nicht einfach eine Reihe innerhalb der Porenstruktur weggelassen wird, sondern der porenfreie Bereich mittels eines konkreten Versatzes zu anderen Poren erzeugt wird. Anders ausgedrückt kann zumindest eine der Versatzlinien 34₁ bis 34₄ vom Verlauf einer Zeile, Spalte oder eines anderen regelmäßigen Verlaufs der Porenanordnung zueinander abweichen.

10 Im vorliegenden Ausführungsbeispiel sind die Einheitszellen 32₂ und 32₃ mit gleichem Versatz wie die Einheitszelle 32₁ angeordnet, so dass hierdurch bestimmte Versatzlinien 34₃ und 34₄ parallel zu den Versatzlinien 34₁ und 34₂ sind. Es ist jedoch ebenfalls möglich, dass Einheitszellen 32₂ und/oder 32₃ mit einem individuellen oder gruppenweise gleichem Versatz verschoben werden, so dass die Versatzlinien 34₃ und/oder 34₄ nicht parallel zu den
15 Versatzlinien 34₁ oder 34₂ sind oder, so dass zusätzliche Versatzlinien erzeugt werden.

Während Fig. 10a die Porenstruktur 30 nach der Ätzung der Poren, etwa basierend auf dem Schritt 120 oder der Schritte 435/440 zeigt, zeigt Fig. 10b die Porenstruktur 30 nach Ausführen der Oxidierung im Schritt 130 oder 445. Das Oxidmaterial 18 benachbarter Poren
20 kann dabei überlappen, während aufgrund der Beanstandung von Einheitszellen Halbleitermaterial 12 zwischen den Einheitszellen (und deren Verschiebungen) verbleiben kann.

Fig. 10c zeigt eine schematische Aufsicht auf das Halbleitersubstrat 12 aus Fig. 10b, bei dem der Schritt 140 oder 450 ausgeführt wurde und so Kavitäten 22₁, 22₂ und 22₃ erzeugt wurden. Durch die wiederholte Anordnung der Einheitszellen 32₁, 32₂ und 32₃ entlang der Substratrichtung x bei gleichzeitiger Verschiebung entlang y (optional) kann somit eine Position verbleibenden Halbleitermaterials 12 präzise definiert werden. Ausführungsbeispiele
25 sehen vor, dass entlang der Substratrichtung y benachbarte Einheitszellen höchstens soweit entlang der Substratrichtung x zueinander verschoben sind, dass die Raumladungszonen äußerster Poren 14_x benachbarter Einheitszellen 32₁/32₁' einen Abstand von höchstens der Abmessung der zugehörigen Raumladungszone aufweisen, bevorzugt einen Abstand von höchstens 0,5 der Raumladungszone und besonders bevorzugt noch überlappen. Das bedeutet, die Raumladungszonen der Poren 14_x der Einheitszellen 32₁, und 32₁'
30 können beabstandet sein, wobei der Abstand höchstens den Betrag der Abmessung einer Raumladungszone aufweist, höchstens 0,5 hiervon beträgt oder null beträgt bzw. überlappt.
35

Da der Versatz der Einheitszellen 32_2 , und 32_3 individuell einstellbar ist, ist es auch möglich, dass die Abstände bzw. der Überlapp der Raumladungszonen zwischen den Einheitszellen variiert.

- 5 Bei einem gleichmäßigen Versatz (parallele Versatzlinien 34) ist es auch möglich, die Einheitszellen 32_1 , 32_2 und/oder 32_3 als gemeinsame Einheitszelle zu betrachten, bei der einzelne Poren eine lokal verschiedene Porosität (etwa Porenabstand) aufweisen.

10 In anderen Worten zeigen die Fig. 10a bis 10c in Draufsichten die Verfahrensschritte zur Generierung von Proben, die zu beliebig definierten Formen von Gebieten im Wafer führen können. Die „quasi amorphe“ vordefinierte Anordnung kann wie folgt beschrieben werden: Eine „Poreneinheit“ (Einheitszelle von Poren, wobei die Einheitszelle eine oder mehrere Poren aufweist), die beispielsweise in einer vertikalen Reihe angeordnet sind, wird hierzu definiert, siehe Fig. 10a:

15

- in der x-Richtung wird diese Einheitszelle periodisch wiederholt, so dass sich die Raumladungszonen möglicherweise teilweise oder komplett überlappen;
- in der y-Richtung folgt die letzte Probe der Reihe (erste und letzte Probe, oben oder unten) einer beliebig definierten Kurve 34, die beispielsweise durch das Design des herauszubildenden gegebenenfalls auslenkbaren Elements definiert sein kann. Hier kann darauf geachtet werden, dass auch in der y-Richtung die Raumladungszonen den entsprechenden maximalen Abstand aufweisen, möglicherweise teilweise oder komplett überlappen;
- als Ergebnis kann eine „quasi amorphe“ Anordnung der Proben entstehen, die nicht dicht gepackt ist, aber auch nicht zufällig selbstorganisiert.

20
25

Mit dieser Vorgehensweise können die Poren in unterschiedlichen Gebieten, etwa den Gebieten 1 und 3 definiert werden. Um anschließend die beliebig geformten Gräben zu definieren, kann das Oxidation-Ätzung-Oxidation-Verfahren genutzt werden, das beispielsweise in Fig. 4 erläutert ist.

30

Fig. 11 zeigt eine schematische Aufsicht auf eine Halbleiterstruktur 1100 gemäß einem Ausführungsbeispiel, die beispielsweise als NED-Aktuator gebildet sein kann. In Übereinstimmung mit vorangehend beschriebenen Ausführungsbeispielen, insbesondere der Fig. 8a, können Materialbereiche 26_1 und 26_2 als Elektroden fungieren, die beispielhaft nur einseitig aufgehängt sind und an diskreten Bereichen mittels isolierender Bereiche 36_1 , 36_2

35

und 36₃ gegenüber einander mechanisch fixiert und elektrisch isoliert sind, im Übrigen jedoch durch voneinander getrennte Kavitäten oder Teilkavitäten 22₁ und 22₂ voneinander beabstandet sind. Die isolierenden Bereiche können in einer Anzahl von ≥ 2 vorliegen und beispielsweise in Übereinstimmung mit dem Bereich 24₂ aus Fig. 8a gebildet sein.

5

Aufgrund der verwendeten Porosität kann ein Abstand zwischen den Elektroden 26₁ und 26₂ lokal variieren. An Porengrenzen kann ein Abstand 38 vorliegen, der verglichen mit einem Abstand 42 im Bereich eines Porendurchmessers oder Porenmittelpunkts gering ist. Während der Abstand 42 beispielsweise einen Wert einer mittels Oxidation und Entfernung vergrößerten Makropore aufweist, welche zu Beginn beispielsweise mit zumindest 0,05 μm und höchstens 20 μm erzeugt wurde, kann der Abstand 38 ein Bruchteil hiervon betragen, der dennoch eine elektrische Isolierung auch während einer Auslenkung der Elektroden zueinander bereitstellt. Beispielfhaft beträgt der Abstand 42 einen Wert von zumindest 1 μm und höchstens 10 μm , zumindest 2 μm und höchstens 5 μm , etwa 3 μm . Der Abstand 38 beträgt beispielsweise weniger als die Hälfte hiervon, etwa weniger als 1 μm . Hierdurch ergeben sich mehrere technische Vorteile, insbesondere, die lokale Reduzierung eines Elektrodenabstands, was zu einer hohen Kraftausbeute des Aktuators führen kann. Eine oder mehrere der Elektroden 26₁ und 26₂ können mit einem Chiprahmen 44 verbunden sein, der beispielsweise aus dem Bereich 24₄ erhalten werden kann, jedoch nicht notwendigerweise Poren aufweisen muss, wie es im Zusammenhang mit weiteren hierin beschriebenen Aspekten erläutert ist.

10

15

20

25

Die miteinander an den zumindest zwei diskreten Bereichen 36₁ bis 36₃ elektrisch voneinander isolierten Elektroden bilden gemeinsam ein bewegliches Element, das ausgebildet ist, um sich in-plane bezogen auf die Substratebene, d. h., parallel zur x/y-Ebene zu bewegen. Die Elektroden 26₁ und 26₂ können dabei die Kavitäten 22₁ und/oder 22₂ zumindest in-plane umschließen und/oder an weitere Kavitäten 22₃ und 22₄ angrenzen. Der Abstand 38/42 zwischen den Elektroden 26₁ und 26₂ kann basierend auf der Porenstruktur lokal verengt sein.

30

Mit dem ersten Aspekt hergestellte Halbleiterstrukturen können eine lokal variierende Porosität einer in das Halbleitersubstrat 12 eingebrachten Porenstruktur aufweisen, etwa wenn verbleibende Bereiche, etwa der Chiprand 44 mit Poren versehen ist, deren Porosität von der Porosität zum Erzeugen der Kavitäten 22₁/22₂ abweicht.

35

Wie es beispielhaft für die Elektroden 26_1 und 26_2 dargestellt ist, können Topographien von Seitenwandstrukturen $26A_1$ und/oder $26A_2$, die mittels der Porenstruktur herausgebildet sind, eine Aneinanderreihung kreisförmiger (innerhalb der genannten Toleranzbereiche) Strukturen basieren. Da die Kavitäten 22_3 und 22_4 größere Spalten entlang y zulassen oder gar erfordern, können andere Seitenwände mit anderen Verfahren, beispielsweise der Bosch-Methode erzeugt werden und insofern vergleichsweise glatt oder eben ausgebildet sein. Gemäß Ausführungsbeispielen können jedoch auch andere Seiten $26B_1$ und $26B_2$ mittels der Porenstruktur erzeugt werden, wie es beispielsweise im Zusammenhang mit den Fig. 5a bis 8b erläutert ist. Dies ermöglicht das Vorhandensein der genannten kreisförmigen Strukturen auch an diesen Seiten.

In anderen Worten zeigt Fig. 11 in einer Draufsicht eine vereinfachte Darstellung eines auslenkbaren Elements mit einem durch Poren gebildeten Elektrodenspalt und einer ersten und einer zweiten Elektrode 26_1 und 26_2 . Hierbei ist erkennbar, dass die dargestellte Innenseite aus Bereichen bestehen, die unterschiedliche Abstände 38 und 42 zueinander aufweisen. Bevorzugt sind Abstände 38, die geringer sind als $10\ \mu\text{m}$, bevorzugt aber $5\ \mu\text{m}$ und besonders bevorzugt $1\ \mu\text{m}$ oder weniger. Der Abstand 42 hingegen kann bei einem Durchmesser der generierten und mittels der Oxidätzung vergrößerten Poren liegen und zwischen 2 und $20\ \mu\text{m}$ liegen (wobei dies den Abstand 38 direkt beeinflussen kann). Bevorzugt sind hier ein Abstand 42 zwischen 2 und $10\ \mu\text{m}$ und besonders bevorzugt $2\ \mu\text{m}$. Diese Formgebung wird bei Anlegen einer elektrischen Spannung zu einem höheren elektrischen Feld bzw. zu einer höheren Kraft zwischen den Elektroden führen und dadurch die Effizienz der auslenkbaren Elemente steigern.

Fig. 12 zeigt eine schematische Aufsicht auf eine Halbleiterstruktur 1200 gemäß einem Ausführungsbeispiel, für die das im Zusammenhang mit der Halbleiterstruktur 1100 Erläuterte gilt. Anders als die Halbleiterstruktur 1100 sind manche oder gar alle der Poren 14 jedoch als quadratisch geformte Poren erzeugt, etwa durch Verwendung quadratischer Keimzellen. Die Seitenwandstrukturen $26A_1$ und/oder $26A_2$ können insofern auf einer Aneinanderreihung quadratischer Strukturen basieren, was dennoch die genannten technischen Vorteile ermöglicht.

Die Form der Poren, insbesondere des Querschnitts kann durch die Ätzbedingungen beeinflusst werden. Bspw. kann eine HF-Konzentration, eine Stromdichte, eine Beleuchtung von der Rückseite oder dergleichen gewählt oder verändert werden, um runde oder quadratische Poren zu erzeugen. Es gibt verschiedene Erklärungen, um dieses Verhalten zu

erklären. Eine Erklärung, die bspw. in Föll et. al. „current-burst model“ einzusehen ist besagt, dass die Si-Oxidation, die sich auf die anodische Oxidation während der Ätzung der Poren bezieht und mit der Oxidation nach der Ätzung nicht in Zusammenhang steht, an den Porenspitzen die Porenform beeinflusst. Ein höheres Maß an Oxidation an den Porenspitzen führt zu runden Poren, ein geringeres Maß an Oxidation an den Porenspitzen führt zu quadratischen Poren.

Ein Mittenrauheitswert einer entsprechenden Seitenwandstruktur, die mittels einer Porenstruktur erzeugt wurde, kann senkrecht zu einer Porenerstreckungsrichtung (z) zumindest 0,5 μm , zumindest 1 μm oder zumindest 1,5 μm betragen.

Anders ausgedrückt zeigt Fig. 12 in einer Draufsicht eine vereinfachte Darstellung eines auslenkbaren Elements mit einem durch Poren gebildeten Elektrodenspalt und einer ersten und einer zweiten Elektrode 26₁ und 26₂. Hierbei ist erkennbar, dass die dargestellte Innenseite aus Bereichen unterschiedlicher Abstände 38 und 42 bestehen. Hierbei weichen die Formen der Poren, aus denen der Elektrodenspalt resultiert, von einer runden Form ab und sind, vereinfacht dargestellt quadratisch bzw. nahezu quadratisch. Bevorzugt sind die Abstände 38 geringer als 10 μm , bevorzugt aber 5 μm oder weniger und besonders bevorzugt 1 μm oder weniger. Die Bereiche, die einen größeren Abstand 42 zueinander aufweisen, können einem Durchmesser bzw. einer Diagonalen der generierten Poren entsprechen und können im Bereich zwischen 2 und 10 μm liegen (ebenfalls beeinflussend den Abstand 38), bevorzugt zwischen 2 und 5 μm liegen und besonders bevorzugt bei 2 μm oder weniger. Diese Formgebung wird bei Anlegen einer elektrischen Spannung ebenfalls zu einem höheren elektrischen Feld bzw. zu einer höheren Kraft zwischen den Elektroden führen und dadurch die Effizienz der auslenkbaren Elemente steigern.

In anderen Worten werden die Gräben bei Durchführung des Verfahrens 100 und/oder 400 möglicherweise keine glatten Porenwände haben, wie sie beispielsweise mit der Bosch-Methode erhalten werden können. Die Breite der Gräben kann durch die Form der Poren stark moduliert sein. Das heißt, lokal und periodisch kann die Grabenbreite alternieren und kleiner bzw. größer werden, wie es in den Fig. 11 und 12 dargestellt ist. Das kann für viele MEMS-Anwendungen möglicherweise irrelevant oder gar nachteilig sein, für die Anwendung als auslenkbares Element durch Nutzung von Elektroden können solche modulierten Gräben jedoch von Vorteil sein, da an Stellen, wo die Spaltbreite klein ist, zwei Si-Spitzen gegenüberstehen. Das kann bei Anlegen einer elektrischen Spannung zu einem höheren

elektrischen Feld bzw. zu einer höheren Kraft zwischen den Elektroden führen. Dies kann wiederum die Effizienz der auslenkbaren Elemente steigern.

In weiter anderen Worten können mit den hierin beschriebenen Verfahren Gräben mit einer
5 Breite im Bereich des Durchmessers von Makroporen, etwa im Bereich von $1\ \mu\text{m}$ bis $20\ \mu\text{m}$
hergestellt werden (größere Breiten sind durch Wiederholung der Poren problemlos mög-
lich). Gleichzeitig können Tiefen von bis zu $400\ \mu\text{m}$ bis $1000\ \mu\text{m}$ hergestellt werden. Dies
erlaubt Gräben mit einem Aspektverhältnis von über 100, sofern im hochporösen Teil des
10 Chipvolumens die Wände zwischen den Poren entfernt sind. Gleichermaßen resultieren
nicht nur Gräben (sogenannte Trenches), sondern auch Käbme (sogenannte ridges). Das
Verfahren kann dabei so ausgeführt werden, dass alle Poren dieselbe Tiefe im Substrat
erreichen, das bedeutet, eine gleiche Abmessung entlang z. Das Substrat kann beispiels-
weise n-dotiert oder p-dotiert sein.

15 Fig. 13a zeigt eine schematische Aufsicht auf eine Halbleiterstruktur 1300_1 gemäß einem
Ausführungsbeispiel, die mehrere, beispielsweise zumindest zwei, zumindest drei, zumin-
dest vier oder mehr, etwa fünf bewegliche Elemente 46_1 bis 46_5 aufweist, die nebeneinan-
der in einer Gesamtkavität 48 der Halbleiterstruktur 1300_1 angeordnet sind. Jeweils ein be-
wegliches Element 46_1 bis 46_5 ist zwischen benachbarten Teilkavitäten 22_1 bis 22_6 der Ge-
20 samtkavität 48 angeordnet.

Beispielsweise sind die beweglichen Elemente 46_1 bis 46_5 entlang positiver oder negativer
y-Richtung zueinander versetzt angeordnet. Eine beliebige andere Anzahl auch > 5 von
beweglichen Elementen kann dabei gemäß Ausführungsbeispielen implementiert werden.
25 Jedes bewegliche Element 46_1 bis 46_5 kann dabei zwei oder mehr Elektroden 26_1 und 26_2
aufweisen, die an diskreten Bereichen elektrisch isoliert voneinander mechanisch gegenei-
nander fixiert sind, wie es im Zusammenhang mit hierin beschriebenen Ausführungsbei-
spielen erläutert ist. Die beweglichen Elemente 46_1 bis 46_5 können jeweils beidseitig am
Halbleitersubstrat 12 bzw. dem gemeinsamen Bereich 24_4 aufgehängt sein, etwa in
30 elektrisch isolierter Weise, wie es beispielsweise im Zusammenhang mit der Fig. 8a erläu-
tert ist.

Fig. 13b zeigt eine schematische Aufsicht auf eine Halbleiterstruktur 1300_2 gemäß einem
Ausführungsbeispiel. Die Halbleiterstruktur 1300_2 umfasst ebenfalls die beispielsweise fünf
35 beweglichen Elemente 46_1 bis 46_5 , die jedoch anders als in der Halbleiterstruktur 1300_1 nur
einseitig eingespannt angeordnet sind. Die elektrisch isolierte Fixierung an der anderen

Seite ist gegenüber der Halbleiterstruktur 1300₁ entfernt, was problemlos dadurch erhalten werden kann, indem die Porosität in dem entsprechenden Bereich anders eingestellt wird, so dass nach Ausführen des Ätzschritts 140 bzw. 450 an den entsprechenden Stellen sämtliches Halbleitermaterial bzw. Oxidmaterial entfernt ist. Das bedeutet, im Rahmen der Oxidierung 130 bzw. 445 kann in diesem Bereich eine vollständige Oxidierung des verbleibenden Halbleitermaterials 12 erfolgen.

Obwohl die Fig. 13a und 13b so dargestellt sind, dass die beweglichen Elemente 46₁ bis 46₅ jeweils gleich gebildet und gleich aufgehängt sind, können einzelne Parameter und/oder Verbindungsarten zwischen den beweglichen Elementen variieren.

In anderen Worten zeigen die Fig. 13a und 13b in einer Draufsicht alternative Ausführungsbeispiele eines Bauelements 1300₁ und 1300₂ umfassend ein Substrat 12 mit mehreren beidseitig oder einseitig eingespannten auslenkbaren Elementen 46₁ bis 46₅. Dabei zeigt Fig. 13a ein Ausführungsbeispiel mit beidseitig eingespannten auslenkbaren Elementen 46₁ bis 46₅, die mit dem Substrat 12 mechanisch über erste und zweite oxidierte Verbindungen 52₁ und/oder 52₂ verbunden sind, elektrisch aber mittels des Oxids voneinander isoliert sind. Eine elektrische Verbindung zu den Elektroden 26₁ und 26₂ ist hier nicht dargestellt, ist aber zur Ansteuerung implementiert. Die Fig. 13b zeigt dagegen ein Ausführungsbeispiel mit einseitig eingespannten auslenkbaren Elementen 46₁ bis 46₅, wobei die auslenkbaren Elemente 46₁ bis 46₅ über die ersten oxidierten Verbindungen 52₁ und 52₂ mit dem Substrat 12 verbunden sind.

Fig. 13c zeigt eine schematische Draufsicht auf eine Halbleiterstruktur 1300₃ gemäß einem Ausführungsbeispiel, bei dem die auslenkbaren Elemente 46₁ bis 46₅ einseitig aufgehängt sind, wie es im Zusammenhang mit der Halbleiterstruktur 1300₂ beschrieben ist, während die Aufhängungen jedoch seitlich alternierend ausgeführt sind.

In anderen Worten zeigt Fig. 13c einseitig mit dem Substrat 12 verbundene auslenkbare Elemente 46₁ bis 46₅, die wechselseitig mit dem Substrat 12 über die erste oxidierte Verbindung 52₁/52₂ und die zweite oxidierte Verbindung 52₃ und 52₄ verbunden sind. Somit besteht kein elektrischer Kontakt über diese oxidierten Verbindungen zwischen den auslenkbaren Elementen 46₁ bis 46₅ und dem umgebenden Substrat 12.

Fig. 14 zeigt eine schematische Draufsicht auf eine Halbleiterstruktur 1400 gemäß einem Ausführungsbeispiel, bei dem beispielhaft im Bereich der oxidierten Verbindung 52₄ eine

mechanische Verbindung 54 vorgesehen ist, die das dotierte Halbleitermaterial des Substrats 12 aufweist, so dass eine elektrische Verbindung zwischen dem Bereich 24₄ und der Elektrode 26₂ hergestellt ist. Alternativ könnte hierzu auch die oxidierte Verbindung 52₂ als leitfähige Verbindung 54 ausgeführt sein oder beides. Alternativ oder zusätzlich kann auch die Elektrode 26₁ elektrisch mit dem Bereich 24₄ verbunden werden.

In anderen Worten zeigt die Fig. 14 in einer Draufsicht ein Ausführungsbeispiel eines Bauelements, das das Halbleitersubstrat 12 mit mehreren beidseitig eingespannten auslenkbaren Elementen 46₁ bis 46₅ zeigt. In der Fig. 14 sind die auslenkbaren Elemente 46₁ bis 46₅ beidseitig mit dem Substrat 12 verbunden. Im Unterschied zu den Halbleiterstrukturen 1300₁, 1300₂ und 1300₃ ist jedoch eine elektrische und mechanische Verbindung 54 zur Beaufschlagung einer Elektrode mit einer Spannung vorgesehen.

Die Halbleiterstruktur 14 kann im Hinblick auf eine oder mehrere der beweglichen Elemente auch so ausgeführt sein, dass eine oder mehrere der oxidierten Verbindungen 52₁, 52₂ und/oder 52₃ entfernt ist, wobei beispielsweise eine einseitige Aufhängung eines oder mehrerer der beweglichen Elemente 46₁ bis 46₅ implementiert werden kann.

Bezüglich der Aufhängung der beweglichen Elemente ist dabei festzuhalten, dass diese uneingeschränkt auch für Halbleiterstrukturen gelten, die lediglich ein einziges bewegliches Element umfassen.

Fig. 15a zeigt eine schematische Draufsicht auf eine Halbleiterstruktur 1500 gemäß einem Ausführungsbeispiel. Die Halbleiterstruktur 1500 kann beispielhaft in einem mit der Fig. 7a vergleichbaren Stadium eines erfindungsgemäßen Herstellungsprozesses befindlich sein, das bedeutet, nach der Erzeugung einer Porenstruktur mit lokal variierender Porosität und/oder so dass mehrere Poren zu Kavitäten verbunden sind. Anders als die Struktur aus Fig. 7a weist die Halbleiterstruktur 12 beispielhaft drei Materialbereiche auf, die parallel zueinander zur späteren Verwendung als Elektroden eingerichtet sind, nämlich die Bereiche 26₁, 26₂ und 26₃. Auch diese Materialbereiche sind zur späteren Oxidierung und/oder zur mechanischen Befestigung in Bereichen 24₂ miteinander mechanisch und gegebenenfalls elektrisch verbunden. Ein oder mehrere Befestigungsbereiche 56 können an unterschiedlichen Stellen der Halbleiterstruktur 1500 vorgesehen sein, um unterschiedliche Bereiche des Halbleitersubstrats 12 mechanisch miteinander zu verbinden. Die Halbleiterstruktur 12 weist beispielhaft eine Ausgangsstruktur für drei zueinander elektrisch iso-

lierte Elektroden auf, die aufgrund unterschiedlicher Beaufschlagung mit elektrischen Potenzialen in der x/y-Ebene zu einer Auslenkung eines beweglichen Elements 58 führen können.

5 Fig. 15b zeigt eine schematische Seitenschnittansicht der Halbleiterstruktur 1500 aus Fig. 15a in einer Schnittebene A-A aus Fig. 15a. Das Aspektverhältnis T:B kann entsprechend der hierin erläuterten Ausführungen groß sein, insbesondere größer als 30 oder gar größer als 100, etwa 150. Die Abmessung T kann beliebige, auch kleine Werte aufweisen, beträgt gemäß Ausführungsbeispielen somit auch weniger als 300 μm . Ausführungsbeispiele sind
10 jedoch besonders vorteilhaft bei Abmessungen T von zumindest 75 μm , zumindest 100 μm , zumindest 300 μm , zumindest 500 μm , zumindest 700 μm oder mehr, etwa 1000 μm , bevorzugt jedoch in einem Bereich zwischen 75 μm und 725 μm . Beispielhaft beträgt die Abmessung T der Halbleiterstruktur 1500 725 μm .

15 In anderen Worten zeigen die Fig. 15a und 15b ein Ausführungsbeispiel eines Bauelements, das ein Substrat mit einem einseitig eingespannten auslenkbaren Element 58 aufweist, wobei Fig. 15a eine Draufsicht und Fig. 15b eine Schnittdarstellung entlang der Schnittachse A-A zeigt. Die Draufsicht gemäß Fig. 15a ist ohne Deckelwafer abgebildet, um das auslenkbare Element sichtbar darzustellen. Eine spätere Vorrichtung kann einen
20 Deckelwafer aufweisen. Alternativ kann bereits die Halbleiterstruktur 1500 einen Deckelwafer und/oder einen Bodenwafer umfassen. Das beschriebene Ausführungsbeispiel beschreibt ein auslenkbares Element mit drei Elektroden, bei denen die Isolationsinseln in den Bereichen 24₂ noch nicht gebildet sind.

25 Fig. 16a zeigt eine schematische Aufsicht auf eine Halbleiterstruktur 1600 gemäß einem Ausführungsbeispiel, die sich nur unwesentlich von der Darstellung der Fig. 15a unterscheidet.

Fig. 16b zeigt eine schematische Seitenschnittansicht der Halbleiterstruktur 1600 in einer
30 Schnittebene A-A aus Fig. 16a.

Die Halbleiterstruktur 1600 weist jedoch zusätzlich zumindest einen Teil eines Bodenwafers 62, das bedeutet, eine Halbleiterstruktur auf, die zum zumindest teilweise Abdichten der Gesamtkavität 48 an einem äußeren Ende (maximale oder minimale z-Richtung) vorgesehen ist. Der Bodenwafer 62 kann auch andere Materialien umfassen, etwa Glas, Metalle
35 oder dergleichen und ist eingerichtet, um abgesehen von eingebrachten Öffnungen 64 die

Gesamtkavität 48 abzudichten. Der Bodenwafer 62 kann mittels eines Bondingprozesses, mit dem Halbleitersubstrat 12 verbunden werden, etwa unter Verwendung von Oxidmaterialien 66.

5 In anderen Worten zeigen die Fig. 16a und 16b ein alternatives Ausführungsbeispiel ähnlich wie in den Fig. 15a und 15b. Dargestellt ist, wie der Bodenwafer 62 in einem weiteren Prozessschritt mit einem Bondingprozess mit dem Substrat 12 verbunden wird. Der Bodenwafer ist für die Funktionalität des auslenkbaren Elements 58, beispielsweise als Mikrolautsprecher (micro speaker) oder Mikropumpe vorteilhaft oder notwendig. Die Isolationsinseln zum elektrischen Isolieren der Elektroden voneinander sind hier noch nicht implementiert. 10 Ferner kann die Halbleiterstruktur 1600 weitere Schichten, insbesondere einen Deckelwafer aufweisen.

Fig. 17a zeigt eine schematische Draufsicht auf eine Halbleiterstruktur 1700, die beispielsweise basierend auf der Halbleiterstruktur 1600 oder 1500 erhalten werden kann, etwa indem die Schritte 130 oder 445 ausgeführt werden, was zur Bildung des Oxidmaterials 18 an Seitenwänden der Halbleiterstruktur führen kann. Darüber hinaus kann in den Bereichen 24₂ oder 56₁ und/oder 56₂ die Oxidbildung zur elektrischen Isolation benachbarter Halbleiterbereiche genutzt werden, während eine mechanische Verbindung aufrechterhalten wird. 15 Wie beschrieben, können eine oder mehrere dieser mechanischen Verbindungen auch so beibehalten oder ausgeführt werden, dass eine elektrische Leitfähigkeit erhalten bleibt, etwa indem Halbleitermaterial 12 in elektrisch leitfähiger Form verbleibt. 20

Fig. 17b zeigt eine schematische Seitenschnittansicht der Halbleiterstruktur 1700 in einer 25 Schnittebene B-B aus Fig. 17a.

In anderen Worten zeigen die Fig. 17a und 17b ein Ausführungsbeispiel des Bauelements, das ein Substrat 12 mit einem einseitig eingespannten auslenkbaren Element 58 umfasst. Die Draufsicht aus Fig. 17a ist ohne Deckelwafer abgebildet, um das auslenkbare Element 30 sichtbar darzustellen. Dieses Ausführungsbeispiel beschreibt ein auslenkbares Element mit drei Elektroden 26₁, 26₂ und 26₃. Dargestellt ist, wie die Elektroden 26₁, 26₂ und 26₃ sowie der Bodenwafer 56 in einem weiteren Prozessschritt gegenüber den Fig. 16a und 16b oxidiert werden, um die Isolationsinseln (Bereich 24₂) nach oder während des Bonding des Bodenwafers 62 herzustellen.

35

Fig. 18a zeigt eine schematische Draufsicht auf eine Halbleiterstruktur 1800, wobei die Draufsicht gemäß Fig. 18a der Draufsicht gemäß Fig. 17a ähnelt.

Die Fig. 18b zeigt eine schematische Seitenschnittansicht der Halbleiterstruktur 1800 in einer Schnittebene C-C aus Fig. 18a. Dargestellt ist hier ein gegenüber der Fig. 17b zusätzlich angeordneter Deckelwafer 68, der mittels eines Bondingprozesses, etwa unter Verwendung eines Oxidmaterials 72, mit dem Halbleitersubstrat 12 verbunden ist, um die Gesamtkavität 48 mit Ausnahme einer oder mehrerer Öffnungen 64₂ zu verschließen. Hierdurch kann eine Anpassung der Betriebszustände der Halbleiterstruktur 1800 als Fluidpumpe, als Mikropumpe oder Lautsprecher erhalten werden. Es versteht sich, dass es sich hierbei lediglich um beispielhafte Ausführungen und Modifikationen handelt. Mittels einer porösen Struktur gemäß vorliegenden Ausführungsbeispielen hergestellte Halbleiterstrukturen können eine beliebige Form und eine beliebige Funktion aufweisen.

In anderen Worten zeigen die Fig. 18a und 18b ein Ausführungsbeispiel des Bauelements umfassend aus einem Substrat 12 mit einem einseitig eingespannten auslenkbaren Element 58 in einer Draufsicht (Fig. 18a) und in einer Schnittdarstellung (Fig. 18b) entlang der Schnittachse C-C. Während die Draufsicht gemäß Fig. 18a ohne Deckelwafer abgebildet ist, um das auslenkbare Element sichtbar darzustellen, ist die Fig. 18b mit dem Deckelwafer 68 abgebildet. Dieses Ausführungsbeispiel beschreibt ein auslenkbares Element mit drei Elektroden 26₁, 26₂ und 26₃. Dargestellt ist, wie der Deckel- und Bodenwafer 68 und 62 derart ausgebildet sind, dass eine Bewegung der Elektroden 26₁, 26₂ und 26₃ möglich ist. Spalte 74₁ und 74₂ zwischen den Wafern 62 und 68 einerseits und den beweglichen Elektroden 26₁ bis 26₃ andererseits sind dabei jedoch so gering, dass ein akustischer Kurzschluss zwischen Teilkavitäten der Gesamtkavität 48 vermieden ist.

Fig. 19 zeigt ein schematisches Ablaufdiagramm eines Verfahrens 2000 gemäß einem Ausführungsbeispiel des zweiten Aspekts.

Ausführungsbeispiele gemäß dem zweiten Aspekt adressieren die Anforderungen, dass eine Beleuchtung zur Verfügung gestellt wird, um Löcher für das stabile Wachstum von Makroporen zur Verfügung zu stellen. Die hierfür verwendeten Löcher/Defektelektronen werden von der Rückseite des Wafers (beispielsweise bei n-Typ-Wafern) mit einer Beleuchtung zur Verfügung gestellt. Die Diffusionslänge der Löcher in n-Si muss aber die gleiche Größenordnung wie die Waferdicke haben. Dies ist beispielsweise für Wafer zutreffend, die mit der Methode der Float-Zone hergestellt wurden.

Wafer, die mit der Czochralski-Methode hergestellt wurden, haben kleinere Diffusionslängen für Löcher, weshalb sie für Makroporenwachstum auf den ersten Blick nicht geeignet erscheinen. Dasselbe gilt für andere Wafer, etwa solche die mittels Pedestalverfahren, oder
5 Vertical Gradient Freeze (Vertikalem Gradienteneinfrieren) Verfahren hergestellt wurden. Czochralski Wafer (bzw. Wafer, die mittels Czochralski-Herstellungsvorgang hergestellt werden) werden dabei jedoch häufig genutzt und können kostengünstig bezogen werden, weshalb sie weite Verbreitung in der Mikroelektronik, insbesondere dem MEMS-Bereich (MEMS = mikroelektromechanisches System) gefunden haben. Float-Zone werden selte-
10 ner benutzt, sind kostenmäßig teurer und werden von Si Wafer Anbietern nicht immer angeboten. Eine Aufgabenstellung gemäß dem zweiten Aspekt ist es, Makroporen auf Nicht-Float-Zone-Wafern zu ermöglichen, etwa auf den genannten n-Si Czochralski-Wafern, da diese in noch hoher Qualität und kostengünstig erhalten werden können. Ausführungsbeispiele in Übereinstimmung mit dem zweiten Aspekt schlagen vor, die Rückseite der
15 Czochralski-Wafer (oder anderer verwendeter Wafer) vor dem Makroporenwachstum so zu strukturieren, etwa unter Verwendung der Bosch-Methode, dass das Licht tiefere Bereiche des Wafers erreicht und dort Löcher generiert. Damit kann eine uniforme Verteilung der Löcher in der Scheibe erreicht werden und das Porenwachstum beispielsweise in n-Si-Czochralski-Wafern ermöglicht werden. Die Strukturierung auf der Rückseite (RS) kann da-
20 bei vom Design abhängig sein, so dass an den Stellen, wo die Strukturierung implementiert wird, kein Makroporenwachstum notwendig ist. Die Strukturierung der Gräben auf der Rückseite kann z. B. auf 650 µm dicken Wafern wie folgt ausgeführt werden: 20 µm (Breite) x 30 µm (Länge) x < 600 µm (Tiefe). Das heißt, die Grube erreicht die Vorderseite nicht. Der Abstand zwischen den RS-Strukturen kann dabei von der Diffusionslänge der Löcher in den
25 verwendeten Wafern abhängig sein und könnte beispielsweise in etwa 2-mal der Diffusionslänge entsprechen. Das heißt, wenn die Diffusionslänge 100 µm ist, dann könnte der Abstand zwischen den RS-Strukturen in etwa 200 µm oder weniger betragen.

Ein Schritt 2010 umfasst ein Bereitstellen eines Halbleitersubstrats, das eine erste Haupt-
30 seite und eine gegenüberliegend angeordnete zweite Hauptseite aufweist. Ein Schritt 2020 umfasst ein Strukturieren der zweiten Hauptseite, um eine Vertiefungsstruktur in der zweiten Hauptseite zu erzeugen. Die Vertiefungsstruktur ermöglicht dabei eine lokale Reduzierung der Dicke des Halbleitersubstrats. Ein Schritt 2030 umfasst ein Erzeugen der Porenstruktur an der ersten Hauptseite und in Richtung der zweiten Hauptseite, wobei das Er-
35 zeugen der Porenstruktur ein Anregen eines Ladungsträgertransports in dem Halbleitersubstrat von der zweiten Hauptseite aus und in der Vertiefungsstruktur umfasst. Beispielsweise

wird für das Erzeugen der Porenstruktur das photo-elektrochemische Ätzen verwendet. Durch die Vertiefungsstruktur kann die verwendete Beleuchtung tiefer in das Halbleitersubstrat eindringen, um den Ladungsträgertransport auch für vergleichsweise (gemessen an der Diffusionslänge) dicke Wafer zu ermöglichen. Hierdurch können für das photo-elektrochemische Ätzen beispielsweise auch Czochralski-Wafer für die Porenätzung verwendet werden.

Fig. 20 zeigt eine schematische Seitenschnittansicht einer Anordnung, die beispielsweise während der Ausführung des Verfahrens 2000 erhalten werden kann, etwa während des Schritts 2030. Die Anordnung umfasst ein Halbleitersubstrat 78, etwa in Form eines Wafers. Beispielsweise ist das Substrat ein Czochralski-Wafer, wobei auch andere Halbleitersubstrate hierfür verwendet werden können. Das Halbleitersubstrat 78 weist eine Hauptseite 78A und eine gegenüberliegende Hauptseite 78B auf. Die Hauptseite 78B weist dabei eine Vertiefungsstruktur mit einer oder mehreren Vertiefungen 82₁, 82₂ und/oder 82₃ auf, wobei eine Anzahl der Vertiefungen der Vertiefungsstruktur sowie eine Abmessung der Vertiefungen 82 entlang der Richtung z, das bedeutet, eine Grabentiefe, von der Diffusionslänge des Halbleitersubstrats 78 bzw. dessen Halbleitermaterial abhängig sein kann. An oder in der Hauptseite 78A soll eine Porenstruktur 84 erzeugt werden, die eine oder mehrere Poren 14₁ bis 14_i aufweisen soll. Hierfür wird beispielsweise das photo-elektrochemische Ätzen verwendet. Hierzu wird an der Hauptseite 78A beispielsweise eine geeignete Ätzlösung 86 angeordnet, etwa Flusssäure (HF). Zwischen dem Halbleitersubstrat 78 und der Flusssäure wird ein elektrisches Potenzial U angelegt, um einen Transport von Ladungsträgern 88, insbesondere Löcher bzw. Defektelektronen, anzuregen, die bei Erreichen einer Grenzfläche zwischen dem Halbleitersubstrat 78 und der Ätzlösung 86 ein Ätzen des Halbleitersubstrats 78 bewirken. Zum Generieren der Ladungsträger 88 kann eine geeignete Beleuchtung 94 verwendet werden.

Während für die angestrebten Schichtdicken T von zum Teil mehr als 100 µm, gegebenenfalls mehr als 300 µm, mehr als 500 µm oder mehr als 700 µm die genannten Czochralski-Wafer und andere Halbleitersubstrate für das photo-elektrochemische Ätzen mangels Diffusionslänge ungeeignet sind, ermöglicht es die Anwendung der beschriebenen Vertiefungsstrukturen, den Abstand zwischen der Quelle der Ladungsträger (Auftreffen der Beleuchtung 94 auf das Halbleitermaterial) und dem Zielort, der Schnittstelle zur Ätzlösung, 86 zu verringern. Die Vertiefungsstruktur kann dabei eine beliebige Geometrie aufweisen und kann mittels beliebiger Verfahren implementiert werden, beispielsweise der Bosch-Methode.

Das Verfahren 2000 kann dabei so ausgeführt werden, dass eine Beleuchtung des Halbleitersubstrats 78 von der zweiten Hauptseite 78B in die Vertiefungsstruktur hinein ausgeführt wird.

5

Das Strukturieren der zweiten Hauptseite 78B zum Erzeugen der zumindest einen Vertiefung 82 kann dabei in Abhängigkeit der Diffusionslänge des Halbleitersubstrats 78 an eine Position der Porenstruktur angepasst sein. Da sich die Vertiefungen 82 zum Teil tief in das Halbleitersubstrat 78 hinein erstrecken können, kann dabei insbesondere vorgesehen sein, dass die Vertiefungen 82 dort erzeugt werden, wo keine Poren 14 benötigt werden, das bedeutet, dass die Porenstruktur Oberflächenbereiche der Hauptseite 78A ausspart, die einem Vertiefungsbereich bzw. einer Vertiefung 82 gegenüberliegt.

Das Strukturieren der Hauptseite 78B kann dabei so ausgeführt werden, dass die Vertiefungsstruktur mit zumindest zwei Vertiefungen 82₁ und 82₂, das bedeutet, Vertiefungsbereichen, erzeugt wird, zwischen denen Halbleitermaterial des Halbleitersubstrats angeordnet ist. Ein Abstand zwischen den (benachbarten) Vertiefungsbereichen 82₁ und 82₂ kann dabei so gewählt werden, dass er höchstens dem doppelten Wert einer Diffusionslänge des Halbleitersubstrats entspricht oder dass dieser Wert (etwa unter Berücksichtigung des Porendurchmessers selbst gemäß $2 \times \text{Diffusionslänge} + \text{Porendurchmesser}$) höchstens unwesentlich überschritten wird, bspw. um höchstens 50 %, höchstens 30 % oder höchstens 10 %, das bedeutet, dass jeder Bereich des Halbleitersubstrats 78 mit einem Abstand von zumindest einer Diffusionslänge zu einem Auftreffort der Beleuchtung angeordnet sein kann. Die Vertiefungen 82₁ bis 82₃ können dabei voneinander getrennte Gräben sein, können aber auch miteinander verbundene Vertiefungsbereiche einer gemeinsamen Vertiefung sein, etwa wenn sich ein Mäander durch die Hauptseite 78B zieht. Die Vertiefungsbereiche können dabei unterschiedliche oder gleiche Tiefen im Halbleitersubstrat und/oder Abstände zu den Poren auf der Vorderseite aufweisen.

Das Verfahren 2000 kann dabei so ausgeführt werden, dass das Strukturieren der Hauptseite 78B so ausgeführt wird, dass die Vertiefungsstruktur mit zumindest einem Vertiefungsbereich 82 erzeugt wird, wobei für jede Pore 14 der Porenstruktur gilt, dass ein Abstand zwischen der Pore und einem benachbarten Vertiefungsbereich durch das Halbleitersubstrat höchstens einer Diffusionslänge des Halbleitersubstrats entspricht.

35

In anderen Worten zeigt die Fig. 20 einen Czochralski-Wafer, bei dem das Makroporenwachstum mit einer strukturierten Rückseite erhalten wird. Die Rückseitenstrukturierung weist dabei Löcher oder Gräben auf, die Licht in die Nähe der Makroporen leiten, um dort Ladungsträger zu generieren.

5

Eine Halbleiterstruktur gemäß einem Ausführungsbeispiel des zweiten Aspekts weist somit ein Halbleitersubstrat auf, das eine erste Hauptseite und eine gegenüberliegend angeordnete zweite Hauptseite aufweist. Die zweite Hauptseite weist eine Vertiefungsstruktur auf, während an der ersten Hauptseite und in Richtung der zweiten Hauptseite eine mittels einer Porenstruktur erzeugte Struktur angeordnet ist, die beispielsweise zu den zuvor erwähnten umgebenden Oberflächen führen kann.

10

Fig. 21 zeigt ein schematisches Ablaufdiagramm eines Verfahrens 2200 gemäß einem Ausführungsbeispiel, das in Übereinstimmung mit dem dritten Aspekt ist. Eine Anforderung des dritten Aspekts ist in Bezug auf Porenwachstum, dass Löcher (Beleuchtung von der Waferrückseite) eine anionische elektrische Spannung und Flusssäure erfordern können, etwa wenn das photo-elektrochemische Ätzen verwendet wird. Prinzipiell ist es schwer oder nicht möglich, Bereiche zu erhalten, die kleiner als die Porenlänge sind und komplett ohne Poren bei der elektrochemischen Ätzung bleiben. Grund dafür ist, dass die (elektrischen) Löcher, die von der Rückseite herkommen, überall in der Scheibe/Wafer diffundieren. Da die anionische Spannung überall auf der Scheibe liegt und HF die Vorderseite komplett abdeckt, wird das Porenwachstum prinzipiell überall auf der Scheibe ermöglicht, da nicht nur Makroporen erzeugt werden, sondern auch Mesoporen und Nanoporen wachsen. Auch eine Maskierung von der Vorderseite hilft nicht viel weiter, weil die Poren, die am Rand der Maskierung sind, Seitenzweige entwickeln, die teilweise genauso lang sind, wie die Makroporen selbst ($> 100 \mu\text{m}$) und die maskierten Bereiche die Seitenporen untergraben. Bereiche ohne Poren können aber für manche MEMS erforderlich sein, etwa um den Chiprahmen zu gestalten. Es besteht deshalb eine Aufgabe gemäß dem dritten Aspekt darin, zuverlässig Bereiche ohne Poren zu bilden, wenn Porenstrukturen zur Ausbildung des MEMS bzw. der Halbleiterstruktur verwendet werden. Anders ausgedrückt besteht eine Aufgabenstellung in Übereinstimmung mit dem dritten Aspekt darin, Bereiche ohne Poren auf der Scheibe zu definieren.

15

20

25

30

Das Verfahren 2200 umfasst einen Schritt 2210, in welchem ein Bereitstellen eines Halbleitersubstrats erfolgt, das eine erste Hauptseite und eine gegenüberliegend angeordnete

35

zweite Hauptseite aufweist. Ein Schritt 2220 umfasst ein Erzeugen einer elektrischen Isolierung zwischen einem ersten Teilbereich der ersten Hauptseite und einem zweiten Teilbereich der ersten Hauptseite. Ein Schritt 2230 umfasst ein Anlegen eines elektrischen Potentials an den ersten Teilbereich, möglicherweise unter Vermeidung eines Anlegens eines elektrischen Potentials an zumindest einen anderen, hiervon isolierten Teilbereich. Ein Schritt 2240 umfasst ein flächiges Kontaktieren der ersten Hauptseite mit dem ersten Teilbereich und dem zweiten Teilbereich mit einem Elektrolyten. Ein Schritt 2250 umfasst ein Ausführen eines Ätzprozesses unter Verwendung des elektrischen Potentials und des Elektrolyten, um die Porenstruktur zu erzeugen. Hierfür kann beispielsweise das im Zusammenhang mit dem ersten Aspekt oder dem zweiten Aspekt beschriebene photo-elektrochemische Ätzen verwendet werden.

Fig. 22 zeigt eine schematische Seitenschnittansicht einer Anordnung 2300 in Übereinstimmung mit dem dritten Aspekt, die beispielsweise erhalten werden kann, wenn das Verfahren 2200 ausgeführt wird, beispielsweise während des Schritts 2250, der beispielsweise den Schritt 120 oder 440 umfassen kann. Das Halbleitersubstrat 12 ist dabei in zwei oder mehr elektrisch voneinander isolierte Substratbereiche 12_1 , 12_2 und 12_3 unterteilt, etwa durch eine Grabenbildung, durch Dicing oder durch Einfügen elektrischer Isolationsstrukturen. Die Teilbereiche 12_1 , 12_2 und 12_3 können beispielsweise an einem gemeinsamen Trägersubstrat 96 angeordnet sein, das beispielsweise das gleiche oder ein ähnlich wirkendes Halbleitermaterial aufweisen kann, wie das Halbleitersubstrat 12. Mittels geeigneter Durchkontaktierungen 97_1 , 97_2 und/oder 97_3 kann das Trägersubstrat 96 elektrisch mit einem oder mehreren Teilbereichen 12_1 , 12_2 und/oder 12_3 verbunden werden. Beispielfhaft zeigt die Fig. 22 eine elektrische Verbindung des dotierten und somit elektrisch leitfähigen Trägersubstrats 96 mit dem Teilbereiche 12_2 , in welchem die Bildung der Poren 14 ausgeführt wird. Das Anlegen des elektrischen Potentials U an das Trägersubstrat 96 kann deshalb dazu führen, dass eine elektrische Kontaktierung des Teilbereichs 12_2 mit dem Potential U und gegenüber der Ätzlösung 86 erfolgt, während andere, nicht-kontaktierte Teilbereiche elektrisch isoliert bleiben. Das Anwenden der Beleuchtung 94 auf das Trägersubstrat 96 führt dazu, dass eine hohe oder gesteigerte Produktion und Diffusion von Ladungsträgern 88 lediglich in dem elektrisch kontaktierten Bereich erfolgt, während er in den elektrisch isolierten Teilbereichen 12_1 und 12_3 unterbleibt oder zumindest stark verringert ist, so dass in den Teilbereichen 12_1 und 12_3 , die vom Teilbereich 12_2 elektrisch isoliert sind, eine Porenbildung unterbleibt oder zumindest stark gehemmt ist.

Die Aufteilung oder Unterteilung in Übereinstimmung mit dem Verfahren 2200 kann dabei beliebig erfolgen, solange durch die Unterteilung die Porenbildung in zumindest einem Teilbereich des Halbleitersubstrats 12 gehemmt oder unterdrückt ist.

5 Dadurch können die Anforderungen des dritten Aspekts erfüllt werden.

Ausführungsbeispiele in Übereinstimmung mit dem dritten Aspekt sehen dabei Verfahren vor, bei dem das Bereitstellen des Halbleitersubstrats so ausgeführt wird, dass als Halbleitersubstrat ein Schichtstapel mit zumindest einer der ersten Hauptseite 12A zugewandten dotierten Halbleiterschicht und einer der zweiten Hauptseite 12B zugewandten Isolations-
10 schicht 98 bereitgestellt wird. Das Erzeugen der elektrischen Isolierung kann ein Strukturieren der dotierten Halbleiterschicht 12 in zumindest zwei Teilbereiche unter Beibehaltung der Isolationsschicht 98 umfassen, so dass die Isolationsschicht die elektrische Isolierung bereitstellt.

15

Gemäß einem Ausführungsbeispiel in Übereinstimmung mit dem dritten Aspekt wird das Bereitstellen des Halbleitersubstrats so ausgeführt, dass der Schichtstapel eine elektrisch leitfähige Schicht 96 aufweist, wobei die Isolationsschicht 98 zwischen der dotierten Halbleiterschicht 12 und der elektrisch leitfähigen Schicht 96 angeordnet ist. Die elektrisch leitfähige Schicht kann ein oder mehrere beliebige elektrisch leitfähige Materialien bzw. ein insgesamt elektrisch leitfähiges Materialgemisch umfassen, etwa zumindest ein Metallmaterial und/oder dotierte Halbleitermaterialien.

20

Das Verfahren kann ferner die Schritte umfassen, dass ein elektrisches Verbinden des Teilbereichs 12₂ mit der elektrisch leitfähigen Schicht 96 erfolgt. Ferner kann das Verfahren ausgeführt werden, dass das Ausführen des Ätzprozesses ein Anlegen des elektrischen Potenzials an die elektrisch leitfähige Schicht umfasst.

25

Gemäß einem Ausführungsbeispiel kann die Strukturierung in die Teilbereiche 12₁, 12₂ und 12₃ ein Ausführen einer Bosch-Methode umfassen, um lokalselektiv Teile des Halbleitersubstrats 12 zu entfernen.

30

Unter erneuter Bezugnahme auf die Fig. 22 sehen Ausführungsbeispiele ferner vor, dass die Porenstruktur so erzeugt wird, dass eine oder mehrere Poren 14 eine Porenlänge (Ausdehnung entlang der Richtung z) parallel zu einer Dickenrichtung und senkrecht zu der
35

Hauptseite 12B aufweisen. Durch die Strukturierung der Halbleiterschicht 12 kann eine laterale Ausdehnung 102 des Teilbereichs 12₂ entlang der Richtung y (alternativ oder zusätzlich entlang der Richtung x) senkrecht zu der Dickenrichtung bei einer Projektion in die zweite Hauptseite 12B kleiner oder gleich sein wie eine Porenlänge 104 entlang der Richtung z. Das bedeutet, dass es die Lösung gemäß dem Aspekt 3 ermöglicht, Poren in sehr kleinen Teilbereichen des Halbleitersubstrats zu erzeugen und auf Opferfläche zum Tolerieren von Seitenporen zu verzichten.

Eine Halbleiterstruktur in Übereinstimmung mit dem dritten Aspekt umfasst ein Halbleitersubstrat, das eine erste Hauptseite und eine gegenüberliegend angeordnete zweite Hauptseite aufweist. Die Halbleiterstruktur umfasst eine elektrische Isolierung zwischen einem ersten Teilbereich der ersten Hauptseite und einem zweiten Teilbereich der ersten Hauptseite, etwa zwischen den Teilbereichen 12₁ und 12₂. In dem Teilbereich 12₂ ist eine mittels einer Porenstruktur erzeugte Struktur angeordnet, während in einem anderen Teilbereich 12₁ keine mittels einer Porenstruktur erzeugte Struktur angeordnet ist.

In anderen Worten schlagen Ausführungsbeispiele in Übereinstimmung mit dem dritten Aspekt vor, Bereiche ohne Poren zu realisieren, indem für Bereiche ohne Poren selbige elektrisch nicht kontaktiert werden, um das Porenwachstum zu unterbinden. Dafür wird vorgeschlagen, die elektrochemische Ätzung unter Verwendung eines BSOI (Bonded Silicon on Insulator) Wafer zu nutzen. Derartige Scheiben/Wafer haben eine Device-Schicht 96, die beispielsweise eine Dicke von 75 µm aufweist. Ferner weisen derartige Schichtanordnungen eine Handling-Schicht 12 auf, die beispielsweise eine Schichtdicke von 650 µm aufweist. Die zwei Schichten sind voneinander durch eine in etwa 1 µm starke Oxidschicht (BOX-Schicht) getrennt, wobei auch beliebige andere Schichtdicken implementierbar sind.

Die Handling-Schicht 12 kann für das Porenwachstum genutzt werden. Vor der elektrochemischen Ätzung wird die Device-Schicht 96 mit der Bosch-Methode bis auf die BOX-Schicht 98 in voneinander elektrisch isolierte Bereiche 12₁, 12₂ und 12₃ unterteilt, wobei die Device-Schicht 96 hiervon ebenfalls elektrisch isoliert ist. Die Bosch-Methode wird dabei von der Oberseite her angewendet, das heißt, von Seiten der Hauptseite 12A. Damit entstehen Bereiche, die Poren enthalten können, und solche, die keine Poren enthalten sollen. Diese Bereiche sind durch die sogenannte BOX-Schicht 98 und der alternativen Device-Schicht 96 voneinander elektrisch isoliert. Das Potenzial kann auf der Device-Schicht angelegt werden. Um ein Porenwachstum nur an einer bestimmten Seite zu ermöglichen, kann eine

elektrische Verbindung der Device-Schicht 96 mit dem gewünschten Teilbereich 12₂ erfolgen. Dort wo kein Porenwachstum notwendig ist, werden die Bereiche nicht mit der Device-Schicht verbunden. Die lokale elektrische Verbindung zwischen der Device-Schicht und der Bereiche, die für Poren vorgesehen sind, kann zum Beispiel mit einer Poly-Si-Schicht realisiert werden (Durchkontaktierungen 97). Das heißt, die Poren werden nur im Bereich 12₂,
5 aber nicht in den Bereichen 12₁ und 12₃ erzeugt. Diese Bereiche können porenfrei bleiben und können z.B. als Chipbondrahmen verwendet werden.

Ausführungsbeispiele in Übereinstimmung mit dem ersten Aspekt, dem zweiten Aspekt und dem dritten Aspekt können ohne Weiteres miteinander kombiniert werden. So kann beispielsweise die Erzeugung von Poren mittels Rückseitenstrukturierung ohne Weiteres auch mit der Unterteilung des Substrats gemäß dem zweiten Aspekt kombiniert werden. Die Ausführungsbeispiele gemäß dem zweiten Aspekt und/oder dem dritten Aspekt können ohne Weiteres dafür verwendet werden, die Porenstrukturen gemäß dem ersten Aspekt herzustellen oder dies zumindest zu unterstützen.
10
15

Ausführungsbeispiele überwinden dabei Einschränkungen der elektrochemischen Ätzung von Makroporen in Si:

- 20 • mit der Ätzung sind sehr hohe Aspektverhältnisse (> 150, ..., 1000) der Poren erreichbar. Gräben mit den vergleichbaren Aspektverhältnissen sind ebenfalls möglich, aber nur entlang bestimmter Richtungen, etwa in < 100 >. Weitere Einschränkungen bestehen darin, dass Makroporen bislang nur in 2D/3D/Arrays stabil geätzt werden können. Eine Ätzung von einzelnen Poren (Porennachbarn entfernter als 2-mal Raumladungszonen), oder einzelnen Reihen von Poren (mit benachbarten Porenreihen entfernter als 2-mal Raumladungszonen) sind nur sehr schwierig zu erreichen, da solche Poren dann Seitenzweige bekommen. Dies kann beispielsweise unter Verwendung von Ausführungsbeispielen des dritten Aspekts vermieden werden.
25
- 30 • Mittelgroße (100 µm bis 200 µm Breite) mechanisch stabile Bereiche ohne Poren, die an Bereichen mit Poren grenzen, sind bislang schwierig realisierbar. Aus den Bereichen mit Poren wachsen lateral zwei Poren in die Bereiche ohne Poren, so dass dort das Halbleitermaterial untergraben wird. Solche Bereiche ohne Poren können aber für manche MEMS wichtig sein, z. B. um Bondpads oder Chiprahmen herzustellen. Dies kann ebenfalls mit Ausführungsbeispielen gemäß dem dritten Aspekt erreicht werden.
35

- Die Makroporen in n-Si wachsen stabil nur mit einer Beleuchtung von der Rückseite der Scheibe, so dass die durch das Licht generierten Löcher von der Rückseite auf der Vorderseite (dort wo die Makroporenätzung stattfindet, d. h., zu der Spitze der Poren) diffundieren müssen. Das bedeutet, die Diffusionslänge für die Löcher in n-Si sollte mindestens die gleiche Größenordnung wie die Waferdicke (400 µm bis 1 mm) haben. Das ist der Fall nur in niederdotierten n-Si, die mit der Float-Zone-Methode hergestellt wurden. Die Float-Zone-Wafer sind jedoch relativ teurer als die Standard-Wafer in der Mikroelektronik, die Czochralski-Wafer. Ausführungsbeispiele in Übereinstimmung mit dem zweiten Aspekt überwinden diesen Nachteil.
- Makroporen können auch auf p-Si-Wafer geätzt werden. Hier sind Float-Zone-Wafer nicht notwendig. Die Makroporen und die Abstände zwischen den Poren sind aber viel schwieriger zu kontrollieren, weil die Raumladungszone viel kleiner ist. Außerdem sind dafür spezielle HF-organische Lösungsmittel notwendig, die die Ätzung noch anspruchsvoller machen. Ausführungsbeispiele der vorliegenden Erfindung überwinden auch diesen Nachteil.

Mit vorliegenden Ausführungsbeispielen herstellbare Halbleiterstrukturen beziehen sich insbesondere auf MEMS. Unter den MEMS können die NED-Aktuatoren und andere auslenkbare Elemente hervorgehoben werden. Diese können beispielhaft mindestens zwei, in bevorzugten Ausführungsbeispielen drei Elektroden umfassen, die zueinander beabstandet sind und mit elektrisch isolierenden Abstandsstrukturen lokal einen konstanten Abstand aufweisen. Diese Elektroden sind zumindest einseitig mit dem umgebenden Substrat verbunden und in einer Kavität angeordnet. Sowohl die Kavität als auch die zueinander beabstandeten Elektroden, die ein sogenanntes auslenkbares Element bilden, können in einem dreischichtigen Aufbau angeordnet werden. Dabei bildet die Schicht mit dem auslenkbaren Element und der umgebenden Kavität eine mittlere Schicht, die auch Device-Schicht und Device-Wafer genannt werden kann. Die Device-Schicht kann durch die Anordnung einer Vielzahl an auslenkbaren Elementen und Kavitäten gekennzeichnet sein, wobei jedes auslenkbare Element durch eine Kavität umrandet oder umschlossen ist. Das auslenkbare Element unterteilt die jeweiligen Kavitäten jeweils in zwei Teilkavitäten.

Hierin beschriebene Verfahren sind in der Lage, einen derartigen Aufbau durch Bildung von Bereichen mit unterschiedlichen Porositäten (Gebiete 1-5) im Substrat zu erzeugen. Die Bereiche, die als Teilkavitäten ausgebildet werden, weisen eine große Porosität auf (Bereiche 1 und 3). In anderen Worten wird hier eine hohe Dichte an Poren und/oder dünne Wände verbleibenden Siliziums erzeugt. Die Wände können in einem Verfahrensschritt

durch Oxidation des Siliziums entfernt werden. Die Bereiche, die als Elektroden gebildet sein sollen, weisen eine geringere Porosität auf, in anderen Worten eine geringe Dichte an Poren und/oder dicke Wände, so dass im selben Oxidationsschritt diese Wände nicht vollständig entfernt werden und diese für das spätere Bauteil zur Verfügung stehen.

5

Obwohl manche Aspekte im Zusammenhang mit einer Vorrichtung beschrieben wurden, versteht es sich, dass diese Aspekte auch eine Beschreibung des entsprechenden Verfahrens darstellen, sodass ein Block oder ein Bauelement einer Vorrichtung auch als ein entsprechender Verfahrensschritt oder als ein Merkmal eines Verfahrensschrittes zu verstehen ist. Analog dazu stellen Aspekte, die im Zusammenhang mit einem oder als ein Verfahrensschritt beschrieben wurden, auch eine Beschreibung eines entsprechenden Blocks oder Details oder Merkmals einer entsprechenden Vorrichtung dar.

10

Die oben beschriebenen Ausführungsbeispiele stellen lediglich eine Veranschaulichung der Prinzipien der vorliegenden Erfindung dar. Es versteht sich, dass Modifikationen und Variationen der hierin beschriebenen Anordnungen und Einzelheiten anderen Fachleuten einleuchten werden. Deshalb ist beabsichtigt, dass die Erfindung lediglich durch den Schutzbereich der nachstehenden Patentansprüche und nicht durch die spezifischen Einzelheiten, die anhand der Beschreibung und der Erläuterung der Ausführungsbeispiele hierin präsentiert wurden, beschränkt sei.

15
20

Patentansprüche

Patentansprüche

5

1. Verfahren zum Herstellen einer Halbleiterstruktur mit einer Kavität, das folgende Schritte umfasst:

Bereitstellen eines Halbleitersubstrats, das ein Halbleitermaterial umfasst;

10

Ausführen eines Ätzprozesses, um in dem Halbleitersubstrat eine Porenstruktur mit einer Vielzahl von Poren zu erzeugen;

15

Oxidieren des Halbleitermaterials, so dass an Porenoberflächen der Vielzahl von Poren ein Halbleiteroxidmaterial entsteht, das benachbarte Poren der Porenstruktur verbindet; und

Entfernen des Halbleiteroxidmaterials, so dass die benachbarten Poren mit einander verbunden werden und so dass die Kavität in den verbundenen Poren entsteht.

20

2. Verfahren gemäß Anspruch 1, bei dem der Ätzprozess so ausgeführt wird, dass eine Porosität der Porenstruktur lokal variiert, so dass nach dem Entfernen des Halbleiteroxidmaterials in voneinander verschiedenen Strukturbereichen Halbleitermaterial mit unterschiedlicher effektiver Materialstärke senkrecht zu einer Porenrichtung der Vielzahl von Poren verbleibt.

25

3. Verfahren gemäß Anspruch 2, bei dem die lokal variiierende Porosität einen ersten bis fünften Bereich in dem Halbleitersubstrat definiert, an deren Grenzen die Porosität variiert; wobei das Verfahren so ausgeführt wird, dass in dem ersten und dritten Bereich Kavitäten erzeugt werden, in dem zweiten Bereich elektrisch isolierendes Material erzeugt wird, der vierte Bereich als tragende Struktur dient und in dem fünften Bereich Elektroden herausgebildet werden, so dass die Elektroden mittels Kavitäten und isolierendem Material voneinander und von der tragenden Struktur beabstandet sind.

30

35

4. Verfahren gemäß Anspruch 2 oder 3, bei dem die Kavität in einer Substratebene nach dem Entfernen des Halbleiteroxidmaterials von verbleibendem Halbleitermaterial begrenzt ist.
- 5 5. Verfahren gemäß einem der vorangehenden Ansprüche, ferner umfassend:

Erneutes Oxidieren des Halbleitermaterials, nach dem Entfernen des Halbleiteroxidmaterials, um an Oberflächen verbleibenden Halbleitermaterials weiteres Oxidmaterial zu erzeugen, so dass das weitere Oxidmaterial einen ersten Strukturbereich des
10 verbleibenden Halbleitermaterials und einen zweiten Strukturbereich des verbleibenden Halbleitermaterials elektrisch voneinander isoliert.
6. Verfahren gemäß Anspruch 5, das ausgeführt wird, um ein MEMS herzustellen, bei dem der erste Substratbereich und der zweite Substratbereich elektrisch voneinander
15 isolierte Elektroden sind.
7. Verfahren gemäß einem der vorangehenden Ansprüche, bei dem das Oxidieren des Halbleitermaterials basierend auf einer lokal variierenden Porosität der Porenstruktur so ausgeführt wird, dass in einem ersten Bereich der Porenstruktur das Halbleitermaterial über eine Mehrzahl von Poren hinweg vollständig oxidiert wird, und in einem
20 zweiten Bereich der Porenstruktur Halbleitermaterial zwischen benachbarten Poren Material in einer Folge Oxid-Halbleitermaterial-Oxid angeordnet ist. [
8. Verfahren gemäß einem der vorangehenden Ansprüche, bei dem die Porenstruktur so erzeugt wird, dass eine entlang einer ersten Substratrichtung in einer Ebene parallel zu einer Substratebene orientierte Einheitszelle entlang einer zweiten, senkrechten Substratrichtung wiederholt angeordnet ist.
9. Verfahren gemäß Anspruch 8, bei dem zwei entlang der zweiten Substratrichtung
30 benachbarte Einheitszellen höchstens soweit entlang der ersten Substratrichtung zueinander verschoben sind, dass die Raumladungszonen äußerster Poren der Einheitszellen einen Abstand von höchstens der Abmessung der Raumladungszone aufweisen.
- 35 10. Verfahren gemäß einem der vorangehenden Ansprüche, bei dem das Ausführen des Ätzprozesses ein Ausführen eines photo-elektrochemischen Ätzprozesses umfasst.

11. Verfahren gemäß einem der vorangehenden Ansprüche, bei dem das Ausführen des Ätzprozesses so erfolgt, dass in dem Halbleitermaterial innerhalb der Porenstruktur über die lokal variierende Porosität eine zusammenhängende Raumladungszone entsteht, die das Halbleitermaterial vollständig ausfüllt; oder
- 5
- bei der Raumladungszone einzelner Poren mit einem Abstand von höchstens 50 % einer Abmessung einer Raumladungszone beabstandet sind.
- 10 12. Verfahren gemäß einem der vorangehenden Ansprüche, bei dem das Ausführen des Ätzprozesses ein Erzeugen von Keimzellen an vordefinierten Porenpositionen für eine nachfolgende Porenbildung umfasst.
13. Verfahren gemäß Anspruch 6, bei dem die Keimzellen pyramidenförmig erzeugt werden.
- 15
14. Verfahren gemäß einem der vorangehenden Ansprüche, das ferner folgende Schritte aufweist, die vor dem Ausführen des Ätzprozesses durchgeführt werden:
- 20 Aufbringen einer Hartmaske auf das Halbleitersubstrat;
- Aufbringen eines photoempfindlichen Lackes auf die Hartmaske;
- 25 lokal selektive Entwicklung des photoempfindlichen Lackes, um Porenpositionen der Porenstruktur zu definieren; und
- lokal selektive Entfernung der Hartmaske in Bereichen der definierten Porenpositionen.
- 30 15. Verfahren gemäß einem der vorangehenden Ansprüche, bei dem das Halbleitersubstrat ein dotiertes Halbleitermaterial aufweist und elektrisch leitfähig gebildet ist.
16. Verfahren gemäß einem der vorangehenden Ansprüche, bei dem sich die Porosität auf eine Ausdehnung der Vielzahl von Poren parallel zu einer Substratebene und/oder auf einen Abstand benachbarter Poren bezieht.
- 35

17. Verfahren gemäß einem der vorangehenden Ansprüche, bei dem die Kavität einen Querschnitt parallel zu einer Substratebene aufweist, die von einem quadratischen oder runden Querschnitt verschieden ist.

5 18. Verfahren gemäß einem der vorangehenden Ansprüche, das ferner folgende Schritte aufweist:

Strukturieren einer zweiten Hauptseite des Halbleitersubstrats, um eine Vertiefungsstruktur in der zweiten Hauptseite zu erzeugen;

10

wobei der Ätzprozess unter Erzeugen der Porenstruktur an einer gegenüberliegenden ersten Hauptseite und in Richtung der zweiten Hauptseite ausgeführt wird, so dass das Erzeugen der Porenstruktur ein Anregen eines Ladungsträgertransports in dem Halbleitersubstrat von der zweiten Hauptseite aus und in der Vertiefungsstruktur umfasst.

15

19. Verfahren gemäß einem der vorangehenden Ansprüche, das ferner folgende Schritte umfasst:

20 Erzeugen einer elektrischen Isolierung zwischen einem ersten Teilbereich der ersten Hauptseite und einem zweiten Teilbereich der ersten Hauptseite vor dem Erzeugen der Porenstruktur;

Anlegen eines elektrischen Potentials an den ersten Teilbereich;

25

flächiges Kontaktieren der ersten Hauptseite in dem ersten Teilbereich und dem zweiten Teilbereich mit einem Elektrolyten; und

Ausführen des Ätzprozesses unter Verwendung des elektrischen Potentials und des Elektrolyten, um die Porenstruktur zu erzeugen.

30

20. Halbleiterstruktur mit:

einem Halbleitersubstrat, das ein Halbleitermaterial umfasst; und

35

einer in dem Halbleitersubstrat gebildeten Kavität, die mittels mit einander verbundener Poren einer Porenstruktur erzeugt ist.

- 5 21. Halbleiterstruktur gemäß einem der Anspruch 20, bei der die Kavität ein Aspektverhältnis bezogen auf eine erste Ausdehnung senkrecht zu einer Substratebene und eine zweite Ausdehnung parallel zu der Substratebene aufweist, das zumindest 30 beträgt.
- 10 22. Halbleiterstruktur gemäß Anspruch 20 oder 21, die zumindest zwei in einer Ebene parallel zu einer Substratebene beabstandete und mittels an diskreten Bereichen isolierten und mechanisch mit einander verbundene Elektroden aufweist, die ein gemeinsames bewegliches Element bilden, das ausgebildet ist, um sich in-plane bezogen auf die Substratebene zu bewegen und das an die Kavität angrenzt oder umschließt.
- 15 23. Halbleiterstruktur gemäß Anspruch 22, bei der ein Abstand zwischen den mit einander verbundenen Elektroden basierend auf einer Porenstruktur lokal verengt ist.
- 20 24. Halbleiterstruktur gemäß Anspruch 22 oder 23, mit einer Mehrzahl von nebeneinander in einer Gesamtkavität angeordneten beweglichen Elementen, wobei jeweils ein bewegliches Element zwischen zwei benachbarte Teilkavitäten der Gesamtkavität angeordnet ist.
- 25 25. Halbleiterstruktur gemäß einem der Ansprüche 20 bis 24, bei der das Halbleitersubstrat eine Dicke senkrecht zu einer Substratebene aufweist, die zumindest 300 μm beträgt.
- 30 26. Halbleiterstruktur gemäß einem der Ansprüche 20 bis 25, bei der parallel zu einer Substratebene eine lokal variierende Porosität einer in das Halbleitersubstrat eingebrachten Porenstruktur angeordnet ist.
27. Halbleiterstruktur gemäß einem der Ansprüche 20 bis 26, bei der eine Topographie einer Seitenwandstruktur der Halbleiterstruktur senkrecht zu einer Substratebene auf einer Aneinanderreihung quadratischer oder kreisförmiger Strukturen basieren.

28. Halbleiterstruktur gemäß einem der Ansprüche 10 bis 27, bei der ein Mittenrauheitswert einer Topographie einer Seitenwandstrukturen der Halbleiterstruktur senkrecht zu einer Substratebene zumindest $0,5 \mu\text{m}$ beträgt.

5 29. Verfahren zum Herstellen einer Halbleiterstruktur mit einer Kavität, das folgende Schritte umfasst:

Bereitstellen eines Halbleitersubstrats, das ein Halbleitermaterial umfasst;

10 Ausführen eines Ätzprozesses, um in dem Halbleitersubstrat eine Porenstruktur mit einer Vielzahl von Poren zu erzeugen, so dass eine Porosität der Porenstruktur lokal in dem Halbleitersubstrat variiert;

15 so dass basierend auf der lokal unterschiedlichen Porosität in voneinander verschiedenen Strukturbereichen des Halbleitersubstrats Halbleitermaterial mit unterschiedlicher effektiver Materialstärke senkrecht zu einer Porenrichtung der Vielzahl von Poren verbleibt.

20 30. Verfahren gemäß Anspruch 29, ferner umfassend:

Oxidieren des Halbleitermaterials, so dass an Porenoberflächen der Vielzahl von Poren ein Halbleiteroxidmaterial entsteht, das benachbarte Poren der Porenstruktur verbindet; und

25 Entfernen des Halbleiteroxidmaterials, so dass die benachbarten Poren mit einander verbunden werden und so dass die Kavität in den verbundenen Poren entsteht.

31. Halbleiterstruktur mit:

30 einem Halbleitersubstrat, das ein Halbleitermaterial umfasst; und

einer in dem Halbleitersubstrat gebildeten Kavität, die mittels einer Porenstruktur erzeugt ist;

wobei basierend auf einer lokal unterschiedlichen Porosität in voneinander verschiedenen Strukturbereichen des Halbleitersubstrats Halbleitermaterial mit unterschiedlicher effektiver Materialstärke senkrecht zu einer Porenrichtung der Vielzahl von Poren angeordnet ist.

5

32. Verfahren zum Herstellen einer Halbleiterstruktur mit einer Porenstruktur, wobei das Verfahren folgende Schritte aufweist:

10

Bereitstellen eines Halbleitersubstrats, das eine erste Hauptseite und eine, gegenüberliegend angeordnete zweite Hauptseite aufweist;

Strukturieren der zweiten Hauptseite, um eine Vertiefungsstruktur in der zweiten Hauptseite zu erzeugen;

15

Erzeugen der Porenstruktur an der ersten Hauptseite und in Richtung der zweiten Hauptseite; wobei das Erzeugen der Porenstruktur ein Anregen eines Ladungsträgertransports in dem Halbleitersubstrat von der zweiten Hauptseite aus und in der Vertiefungsstruktur umfasst.

20

33. Verfahren gemäß Anspruch 32, bei dem das Erzeugen der Porenstruktur eine Verwendung eines photo-elektrochemischen Ätzens umfasst, bei dem eine Beleuchtung des Halbleitersubstrats von der zweiten Hauptseite und in die Vertiefungsstruktur hinein ausgeführt wird.

25

34. Verfahren gemäß Anspruch 32 oder 33, bei dem das Strukturieren der zweiten Hauptseite in Abhängigkeit einer Diffusionslänge des Halbleitersubstrats an eine Position der Porenstruktur angepasst ist.

30

35. Verfahren gemäß einem der Ansprüche 32 bis 34, bei dem die Porenstruktur Oberflächenbereiche der ersten Hauptseite in einem Bereich ausspart, der einem Vertiefungsbereich der Vertiefungsstruktur gegenüberliegt.

35

36. Verfahren gemäß einem der Ansprüche 32 bis 35, bei dem das Strukturieren der zweiten Hauptseite so ausgeführt wird, dass die Vertiefungsstruktur mit einem ersten Vertiefungsbereich und einem zweiten Vertiefungsbereich erzeugt wird, zwischen denen Halbleitermaterial des Halbleitersubstrats angeordnet ist, und wobei ein Abstand

zwischen dem ersten Vertiefungsbereich und dem zweiten Vertiefungsbereich höchstens der Summe aus dem doppelten Wert einer Diffusionslänge des Halbleitersubstrats und einem Porendurchmesser entspricht.

- 5 37. Verfahren gemäß einem der Ansprüche 31 bis 35, bei dem das Strukturieren der zweiten Hauptseite so ausgeführt wird, dass die Vertiefungsstruktur mit zumindest einem Vertiefungsbereich erzeugt wird, und wobei für jede Pore der Porenstruktur gilt, dass ein Abstand zwischen der Pore und einem benachbarten Vertiefungsbereich durch das Halbleitersubstrat höchstens einer Diffusionslänge des Halbleitersubstrats
10 entspricht.
38. Verfahren gemäß einem der Ansprüche 32 bis 37, bei dem ein Czochralski Wafer als Halbleitersubstrat verwendet wird.
- 15 39. Verfahren gemäß einem der Ansprüche 32 bis 38, das ferner folgende Schritte umfasst:
- Oxidieren des Halbleitermaterials, so dass an Porenoberflächen einer Vielzahl von Poren der Porenstruktur ein Halbleiteroxidmaterial entsteht, das benachbarte Poren
20 der Porenstruktur verbindet; und
- Entfernen des Halbleiteroxidmaterials, so dass die benachbarten Poren mit einander verbunden werden und so dass die Kavität in den verbundenen Poren entsteht.
- 25 40. Verfahren gemäß einem der Ansprüche 32 bis 39, bei dem der Ätzprozess so ausgeführt wird, dass eine Porosität der Porenstruktur lokal variiert, so dass nach dem Entfernen des Halbleiteroxidmaterials in voneinander verschiedenen Strukturbereichen Halbleitermaterial mit unterschiedlicher effektiver Materialstärke senkrecht zu einer Porenrichtung der Vielzahl von Poren verbleibt.
- 30 41. Verfahren gemäß einem der Ansprüche 32 bis 40, das ferner folgende Schritte umfasst:
- Erzeugen einer elektrischen Isolierung zwischen einem ersten Teilbereich der ersten
35 Hauptseite und einem zweiten Teilbereich der ersten Hauptseite vor dem Erzeugen der Porenstruktur;

Anlegen eines elektrischen Potentials an den ersten Teilbereich;

5

flächiges Kontaktieren der ersten Hauptseite in dem ersten Teilbereich und dem zweiten Teilbereich mit einem Elektrolyten; und

Ausführen des Ätzprozesses unter Verwendung des elektrischen Potentials und des Elektrolyten, um die Porenstruktur zu erzeugen.

42. Halbleiterstruktur mit:

10

einem Halbleitersubstrat, das eine erste Hauptseite und eine gegenüberliegend angeordnete zweite Hauptseite aufweist;

wobei die zweite Hauptseite eine Vertiefungsstruktur aufweist;

15

wobei an der ersten Hauptseite und in Richtung der zweiten Hauptseite eine mittels einer Porenstruktur erzeugte Struktur angeordnet ist.

43. Verfahren zum Herstellen einer Halbleiterstruktur mit einer Porenstruktur, wobei das Verfahren folgende Schritte aufweist:

20

Bereitstellen eines Halbleitersubstrats, das eine erste Hauptseite und eine, gegenüberliegend angeordnete zweite Hauptseite aufweist;

25

Erzeugen einer elektrischen Isolierung zwischen einem ersten Teilbereich der ersten Hauptseite und einem zweiten Teilbereich der ersten Hauptseite;

Anlegen eines elektrischen Potentials an den ersten Teilbereich;

30

flächiges Kontaktieren der ersten Hauptseite in dem ersten Teilbereich und dem zweiten Teilbereich mit einem Elektrolyten; und

Ausführen eines Ätzprozesses unter Verwendung des elektrischen Potentials und des Elektrolyten, um die Porenstruktur zu erzeugen.

35

44. Verfahren gemäß Anspruch 43, bei dem basierend auf der elektrischen Isolierung die Porenstruktur in dem ersten Teilbereich erzeugt wird und in dem zweiten Teilbereich nicht erzeugt wird.

5 45. Verfahren gemäß Anspruch 43 oder 44,

bei dem das Bereitstellen des Halbleitersubstrats so ausgeführt wird, dass als Halbleitersubstrat ein Schichtstapel mit zumindest einer der ersten Hauptseite zugewandten dotierten Halbleiterschicht und einer der zweiten Hauptseite zugewandten Isolationsschicht bereitgestellt wird; und

10

bei dem das Erzeugen der elektrischen Isolierung ein Strukturieren der dotierten Halbleiterschicht in den ersten Teilbereich und den zweiten Teilbereich unter Beibehaltung der Isolationsschicht umfasst, so dass die Isolationsschicht die elektrische Isolierung bereitstellt.

15

46. Verfahren gemäß Anspruch 45, bei dem das Bereitstellen des Halbleitersubstrats so ausgeführt wird, dass der Schichtstapel eine elektrisch leitfähige Schicht aufweist, wobei die Isolationsschicht zwischen der dotierten Halbleiterschicht und der elektrisch leitfähigen Schicht angeordnet ist; wobei das Verfahren ferner umfasst:

20

elektrisches Verbinden des ersten Teilbereichs mit der elektrisch leitfähigen Schicht;

bei dem das Ausführen des Ätzprozesses ein Anlegen des elektrischen Potentials an die elektrisch leitfähige Schicht umfasst.

25

47. Verfahren gemäß Anspruch 45 oder 46, bei dem das Strukturieren eine Ausführung einer Bosch-Methode umfasst, um lokal selektiv Teile des Halbleitersubstrats zu entfernen.

30

48. Verfahren gemäß einem der Ansprüche 43 bis 47, bei dem die Porenstruktur eine Porenlänge parallel zu einer Dickenrichtung senkrecht zu der zweiten Hauptseite aufweist, wobei der laterale Ausdehnung des zweiten Teilbereichs in einer Richtung senkrecht zu der Dickenrichtung und bei einer Projektion in die zweite Hauptseite höchstens der Porenlänge entspricht.

35

49. Verfahren gemäß einem der Ansprüche 43 bis 48, das ferner folgende Schritte umfasst:

5 Oxidieren des Halbleitermaterials, so dass an Porenoberflächen einer Vielzahl von Poren der Porenstruktur ein Halbleiteroxidmaterial entsteht, das benachbarte Poren der Porenstruktur verbindet; und

10 Entfernen des Halbleiteroxidmaterials, so dass die benachbarten Poren mit einander verbunden werden und so dass die Kavität in den verbundenen Poren entsteht.

- 15 50. Verfahren gemäß einem der Ansprüche 43 bis 49, bei dem der Ätzprozess so ausgeführt wird, dass eine Porosität der Porenstruktur lokal variiert, so dass nach dem Entfernen des Halbleiteroxidmaterials in voneinander verschiedenen Strukturbereichen Halbleitermaterial mit unterschiedlicher effektiver Materialstärke senkrecht zu einer Porenrichtung der Vielzahl von Poren verbleibt.

- 20 51. Verfahren gemäß einem der vorangehenden Ansprüche, das ferner folgende Schritte aufweist:

20 Strukturieren einer zweiten Hauptseite des Halbleitersubstrats, um eine Vertiefungsstruktur in der zweiten Hauptseite zu erzeugen;

25 wobei der Ätzprozess unter Erzeugen der Porenstruktur an einer gegenüberliegenden ersten Hauptseite und in Richtung der zweiten Hauptseite ausgeführt wird, so dass das Erzeugen der Porenstruktur ein Anregen eines Ladungsträgertransports in dem Halbleitersubstrat von der zweiten Hauptseite aus und in der Vertiefungsstruktur umfasst.

- 30 52. Halbleiterstruktur umfassend:

ein Halbleitersubstrat, das eine erste Hauptseite und eine gegenüberliegend angeordnete zweite Hauptseite aufweist;

35 eine elektrische Isolierung zwischen einem ersten Teilbereich der ersten Hauptseite und einem zweiten Teilbereich der ersten Hauptseite;

wobei in dem ersten Teilbereich eine mittels einer Porenstruktur erzeugte Struktur angeordnet ist; und in dem zweiten Teilbereich keine mittels einer Porenstruktur erzeugte Struktur angeordnet ist.

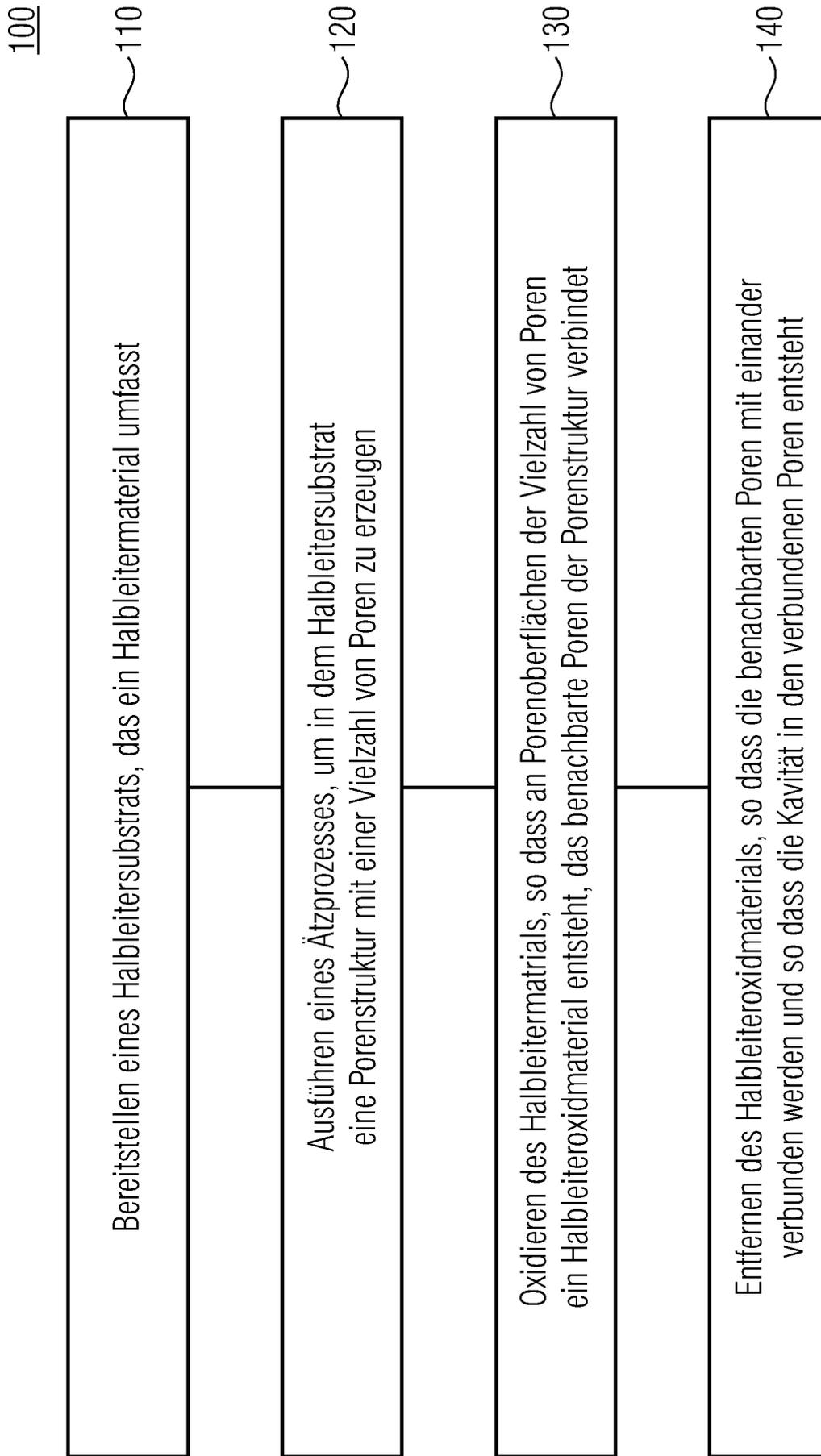


Fig. 1

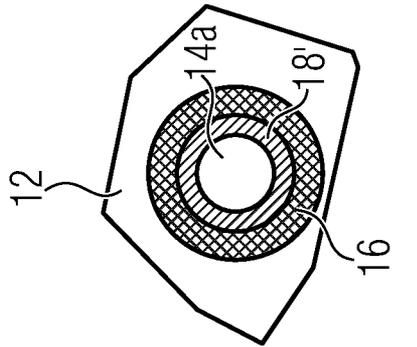


Fig. 2c

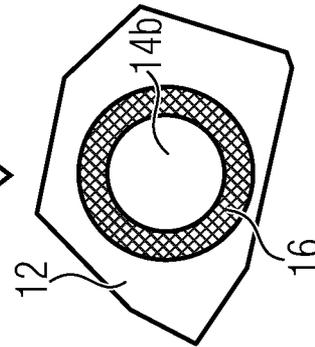
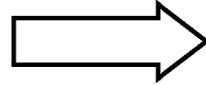


Fig. 2d

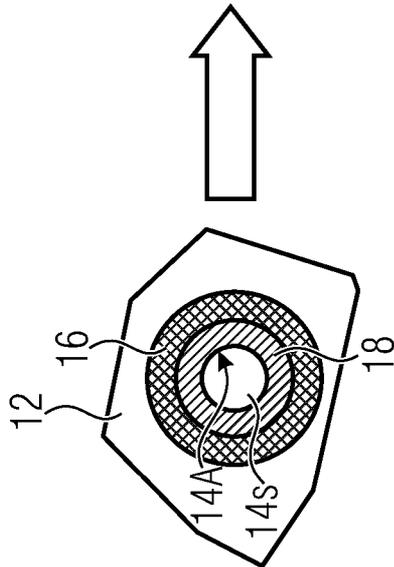


Fig. 2b

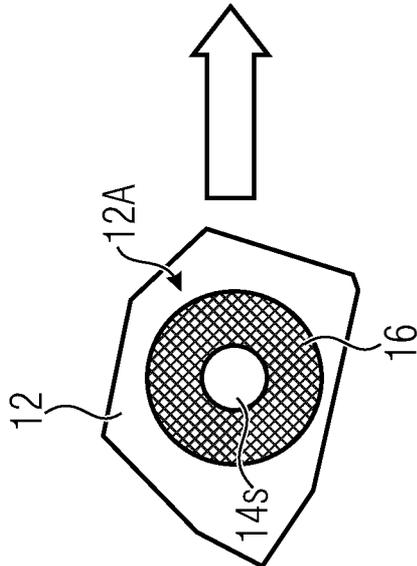
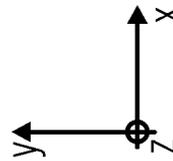


Fig. 2a



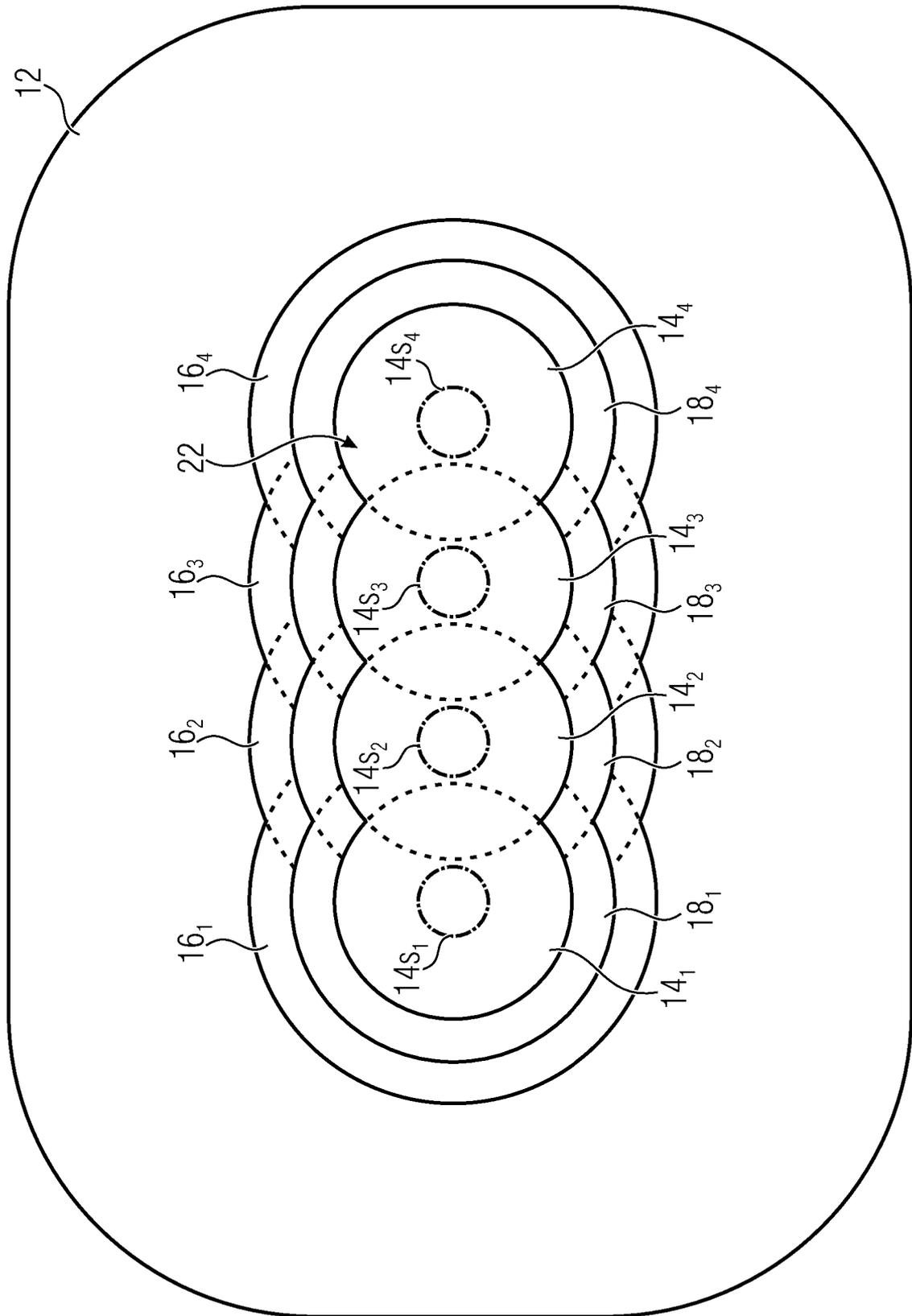


Fig. 3

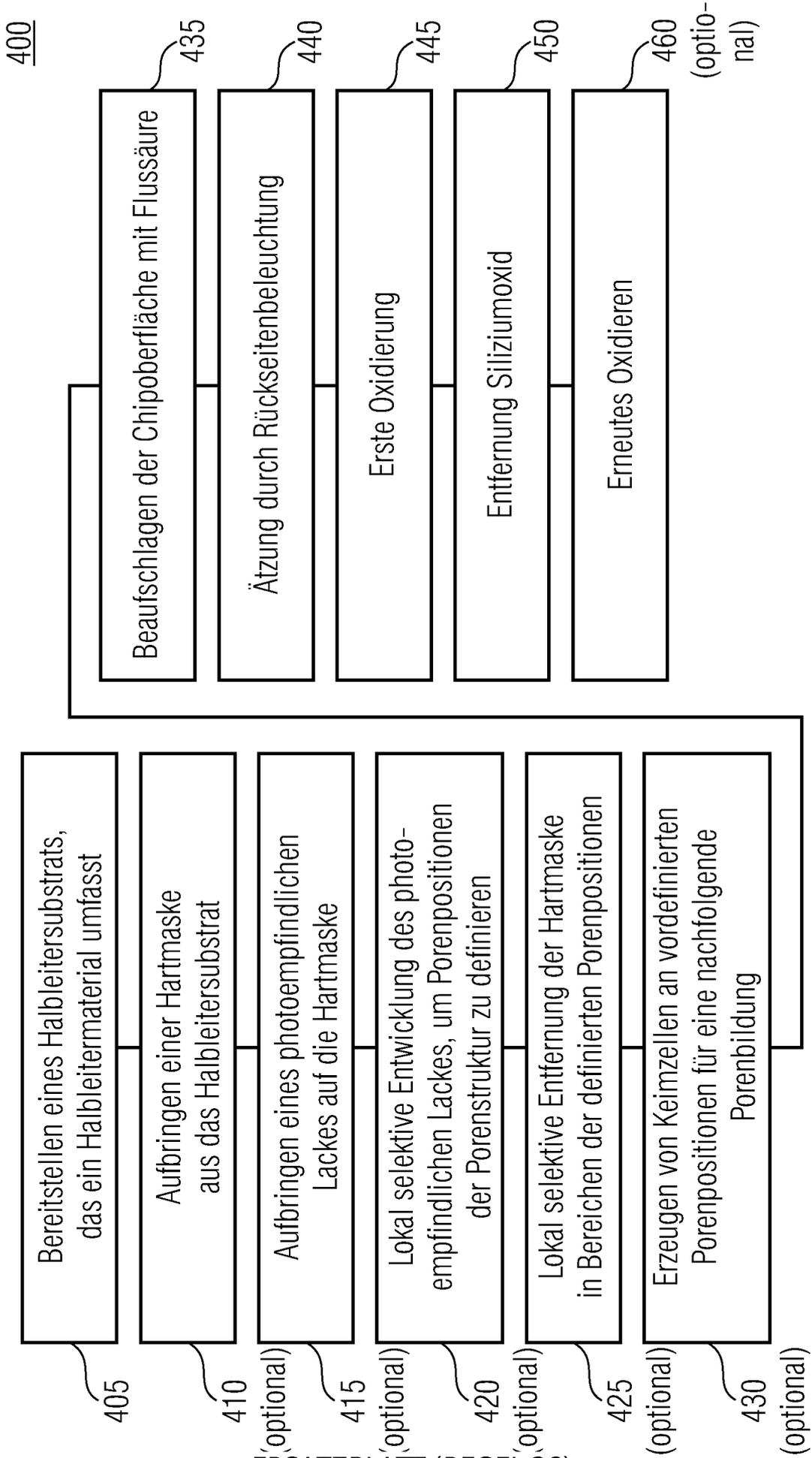


Fig. 4

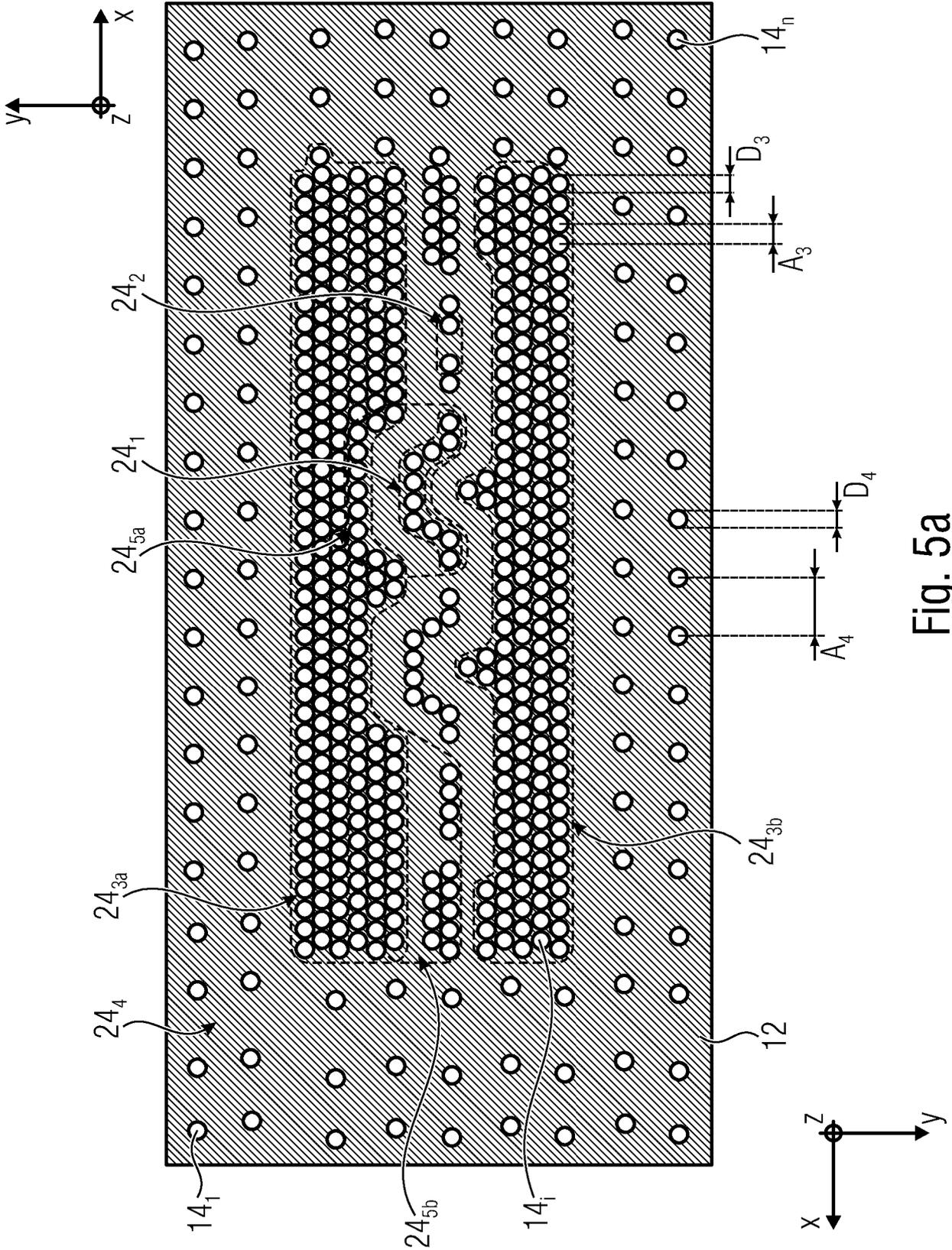


Fig. 5a

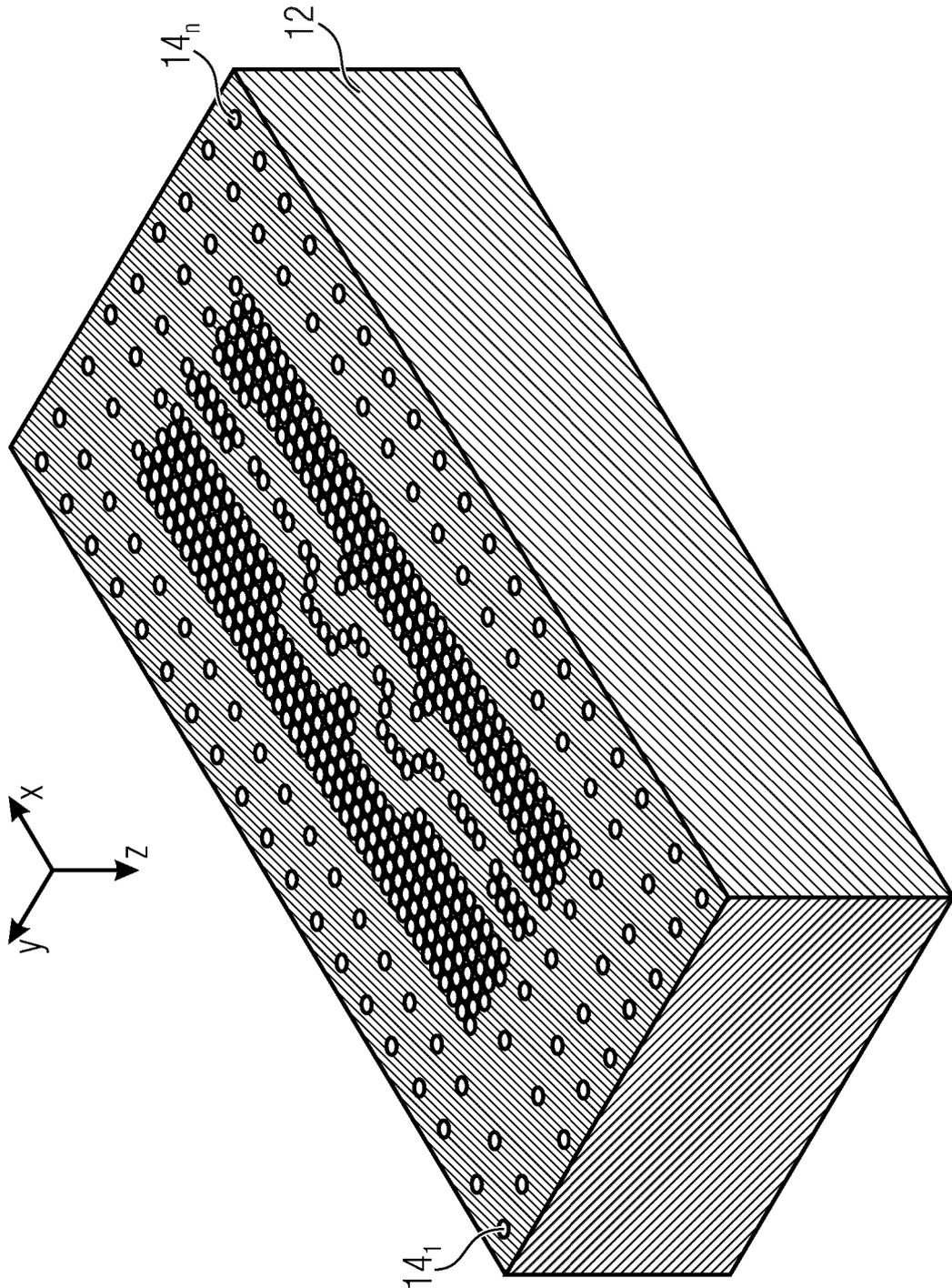


Fig. 5b

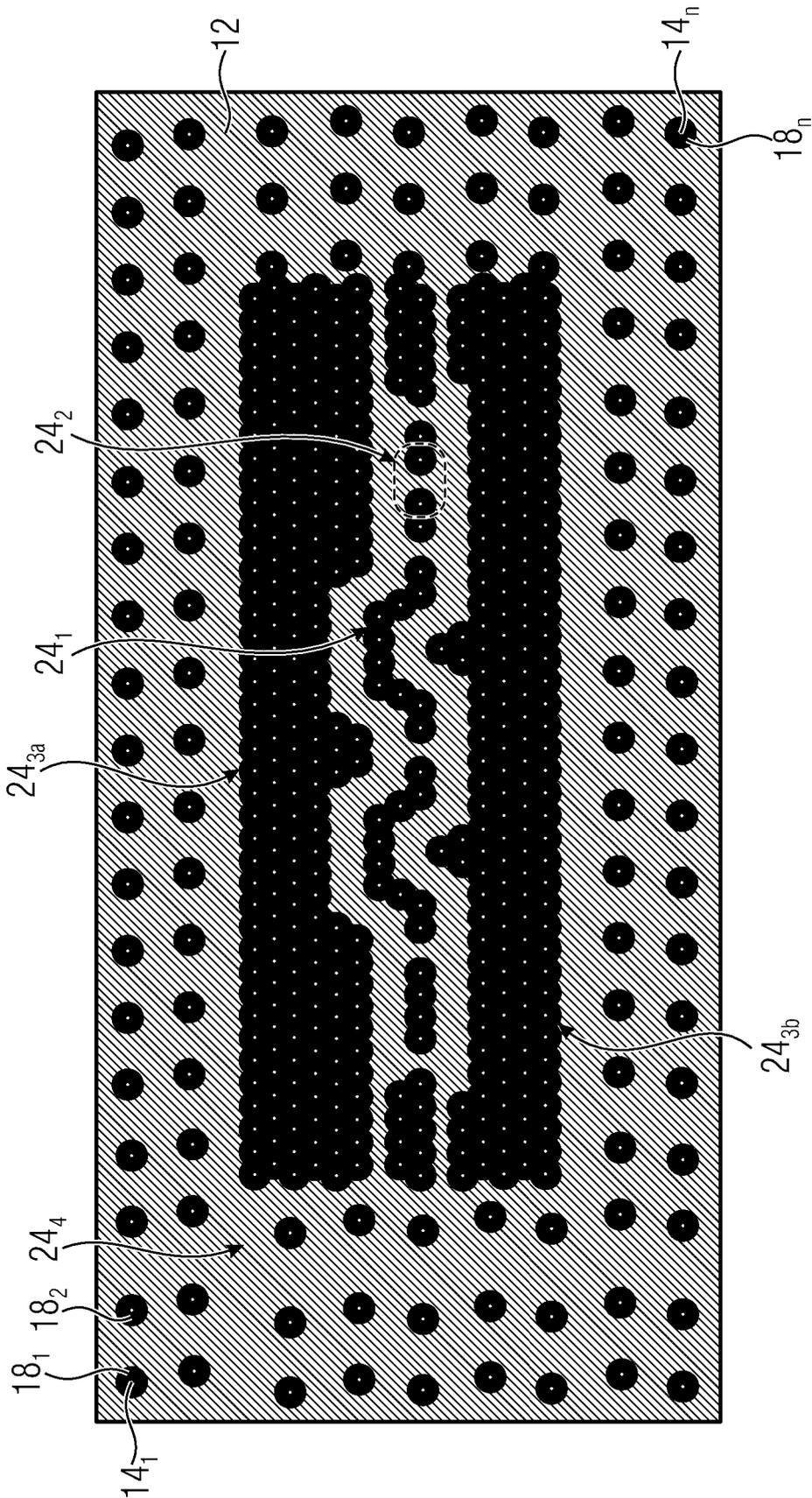


Fig. 6a

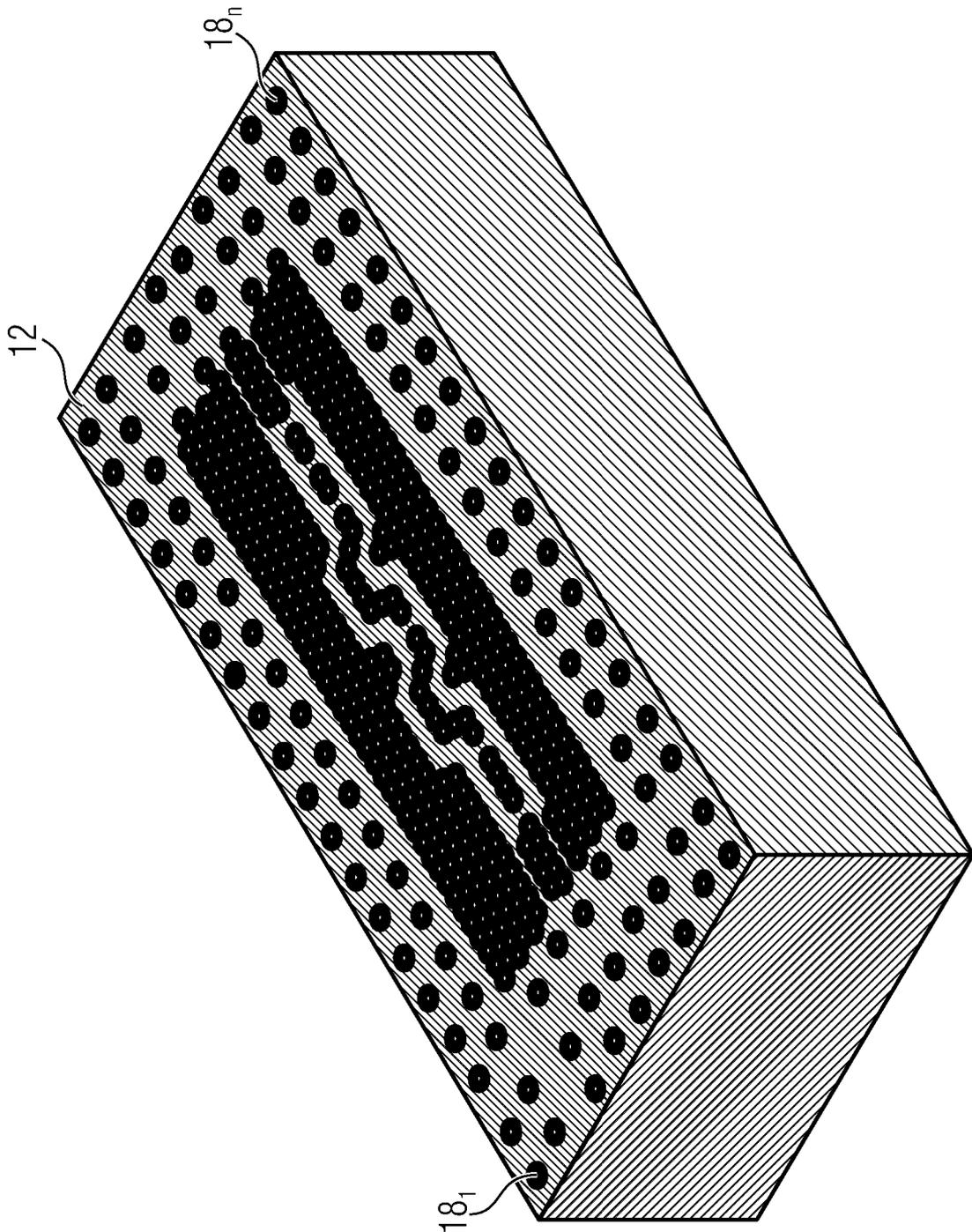


Fig. 6b

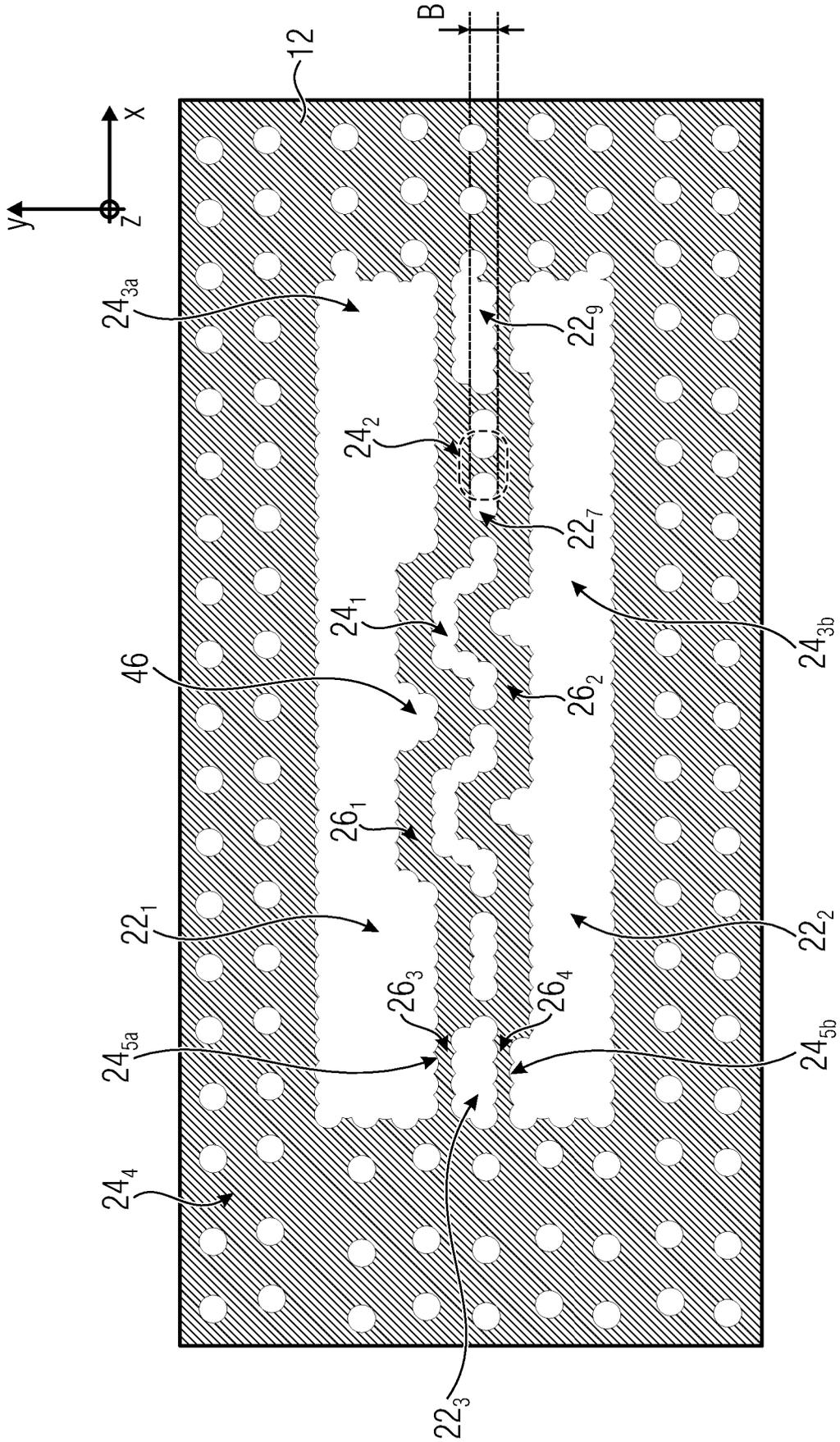


Fig. 7a

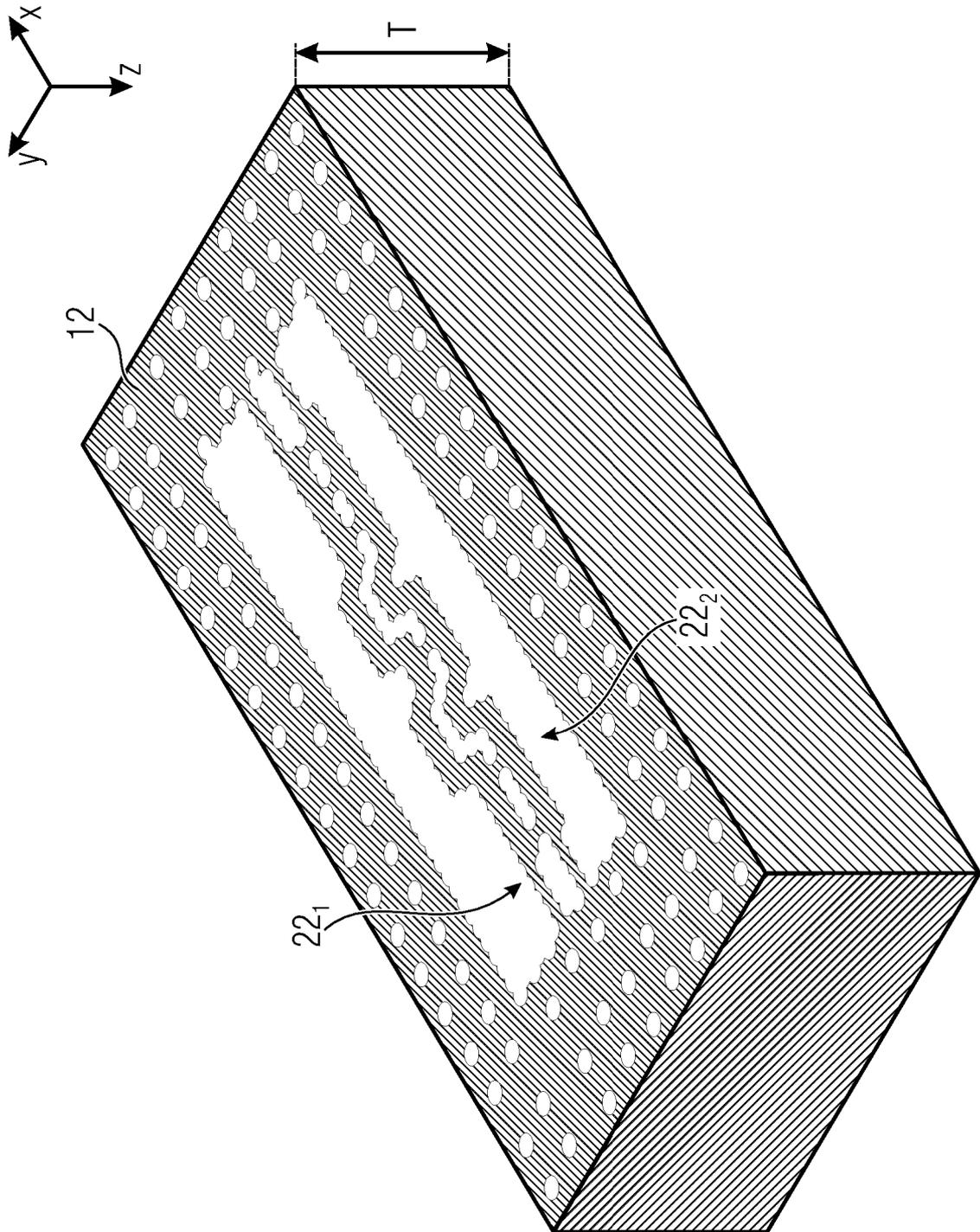


Fig. 7b

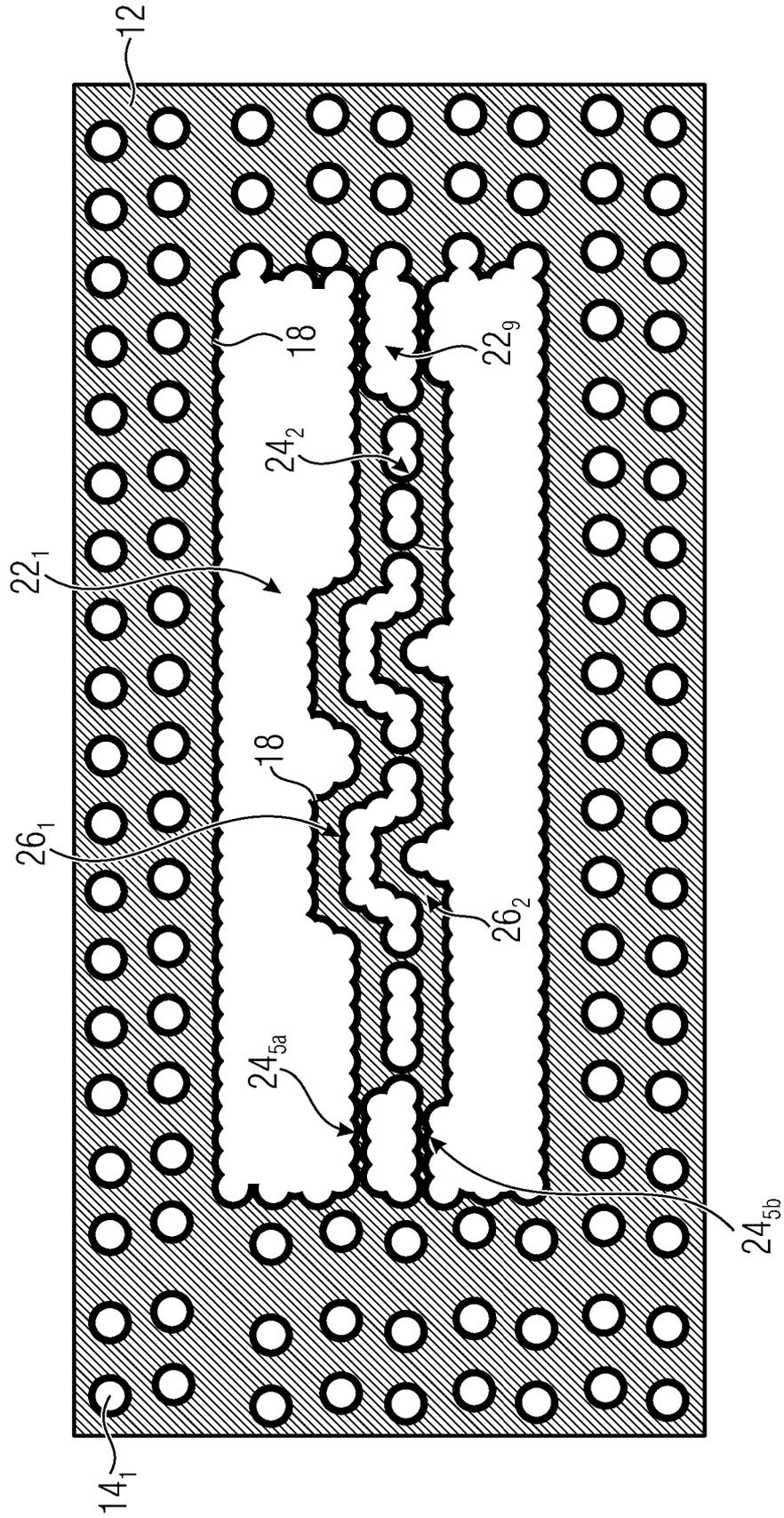


Fig. 8a

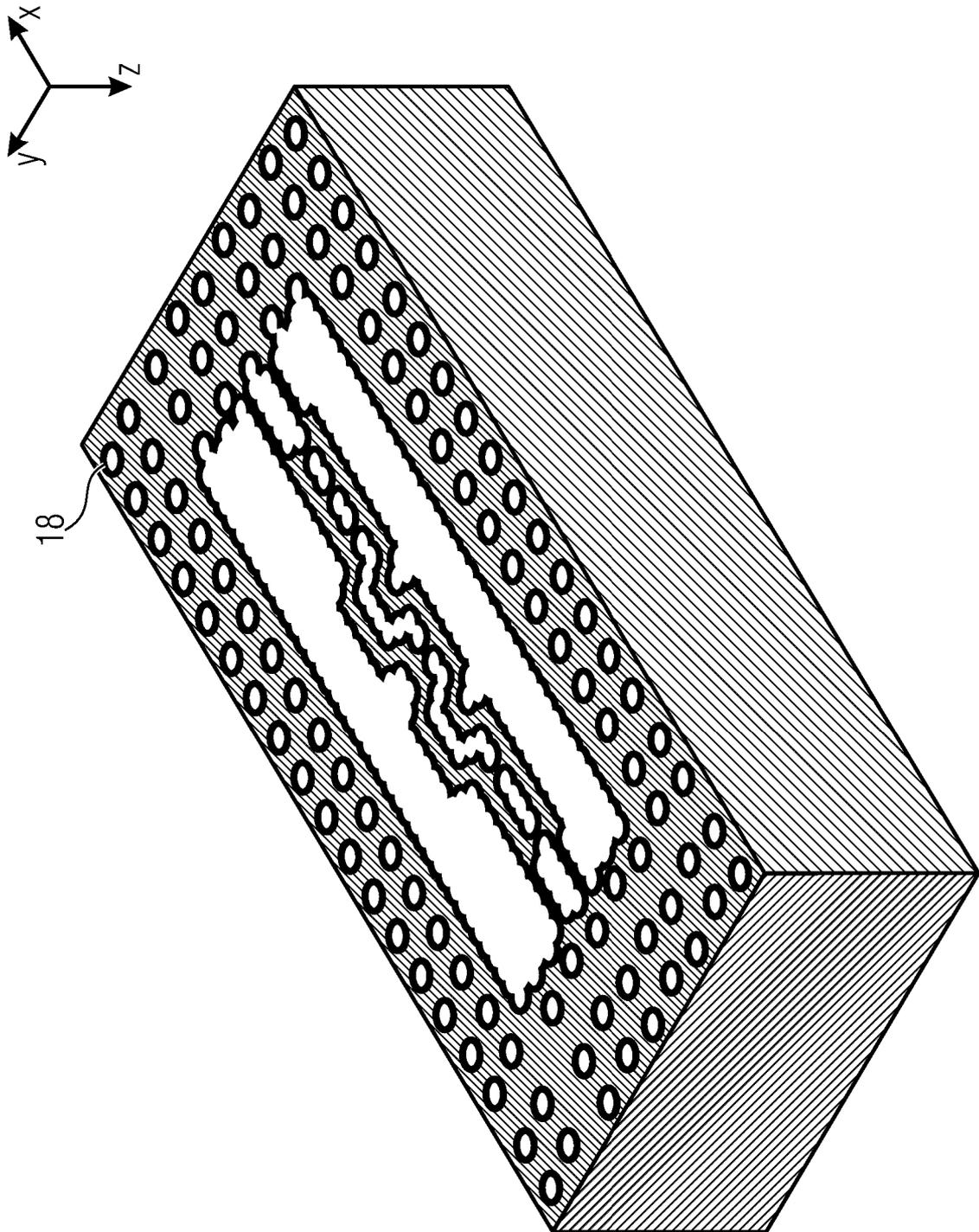


Fig. 8b

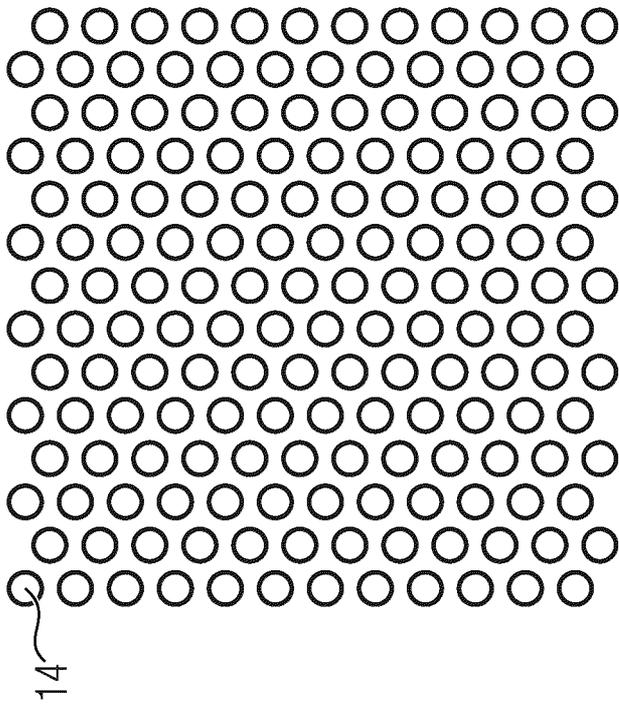


Fig. 9b

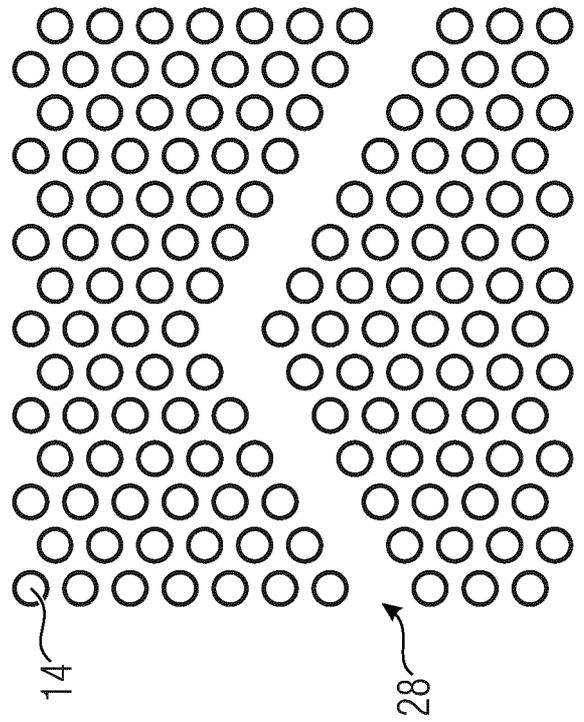


Fig. 9d

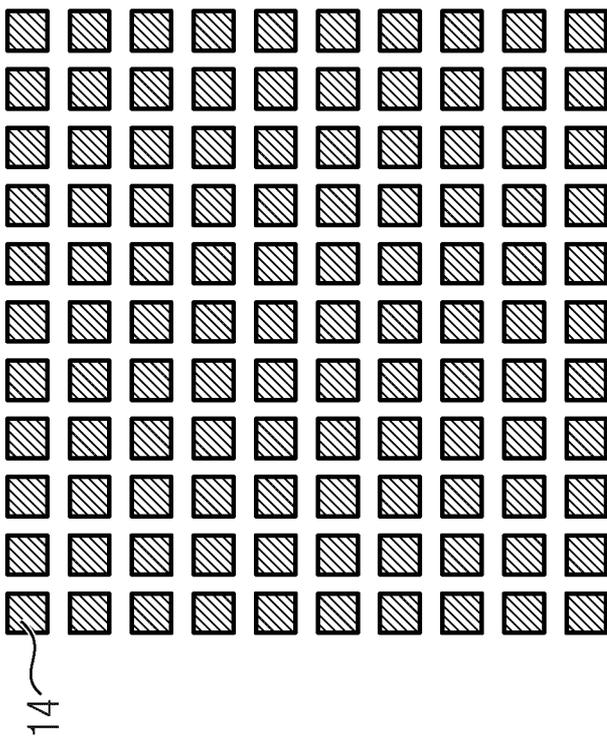


Fig. 9a

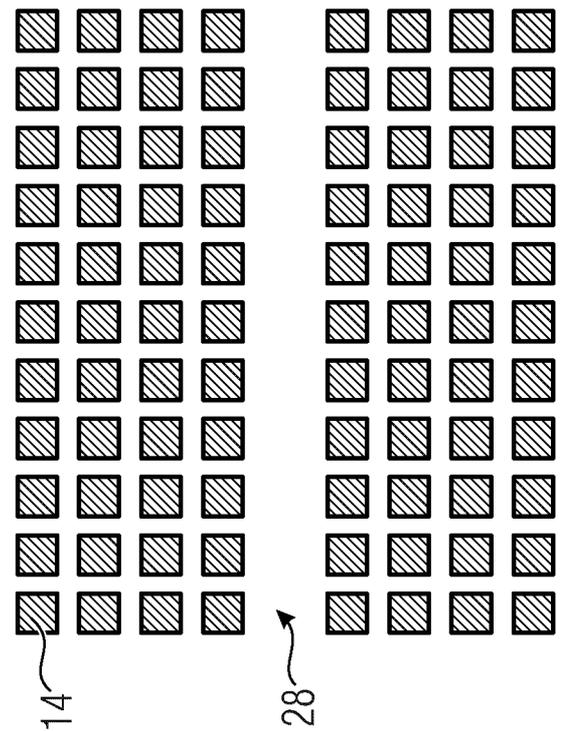


Fig. 9c

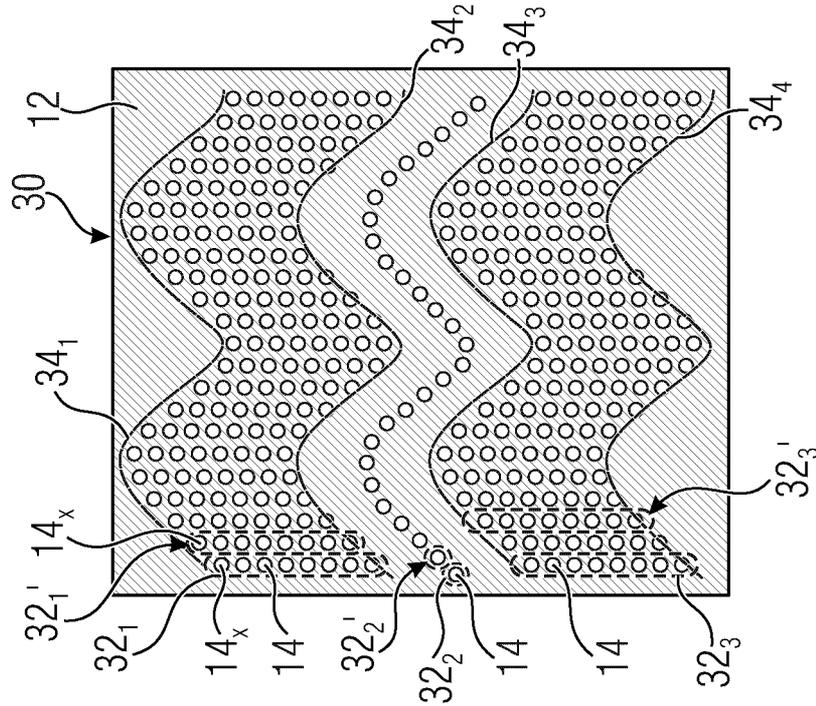
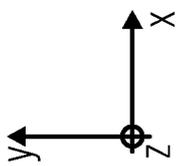


Fig. 10a

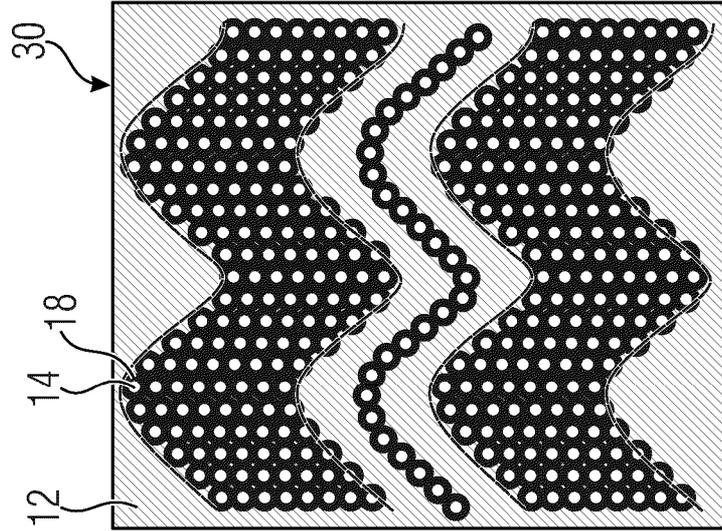


Fig. 10b

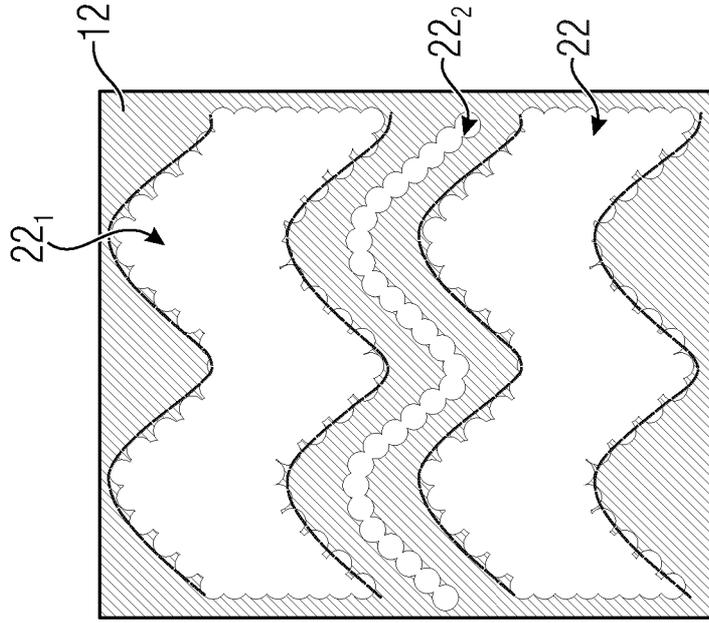


Fig. 10c

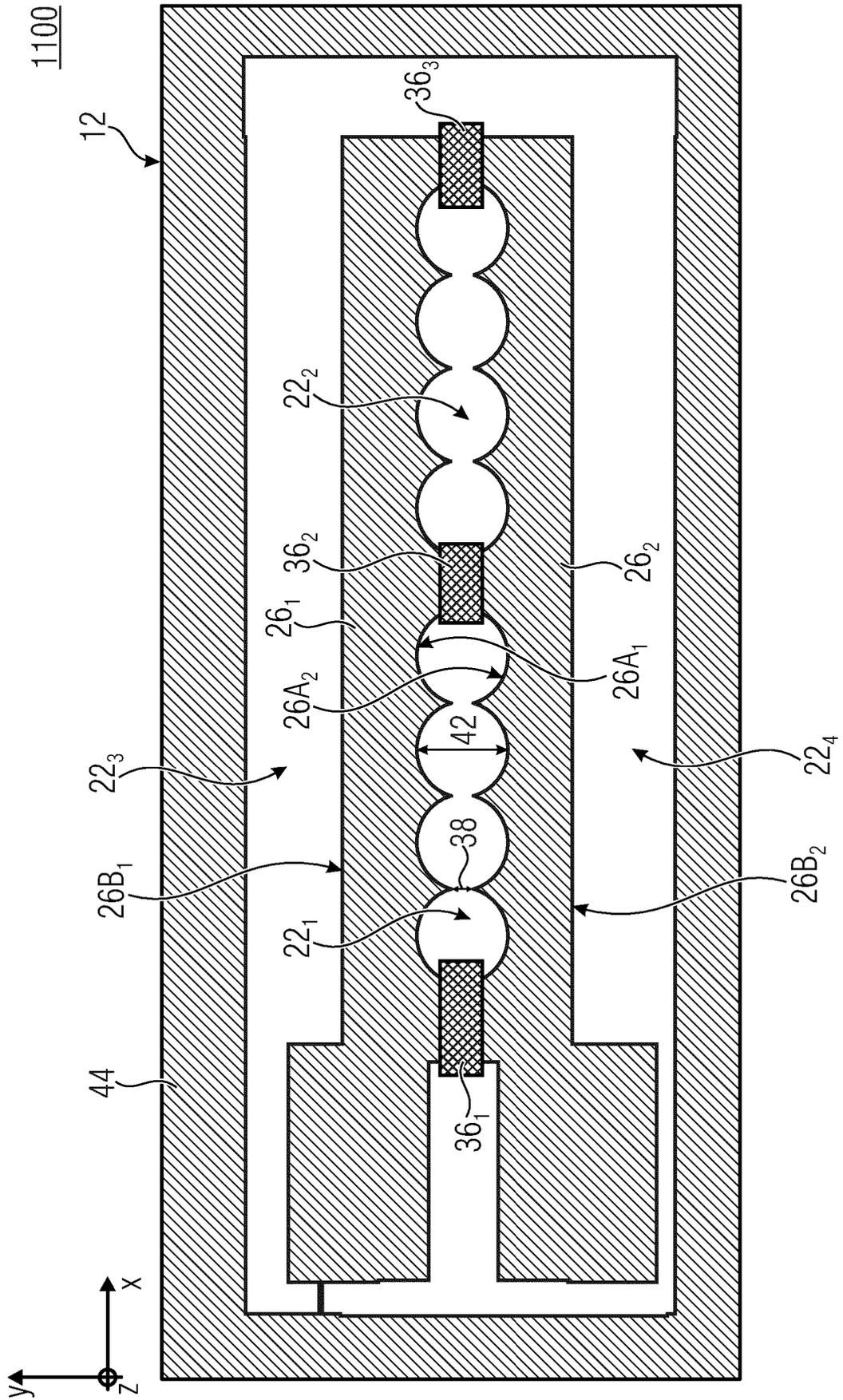


Fig. 11

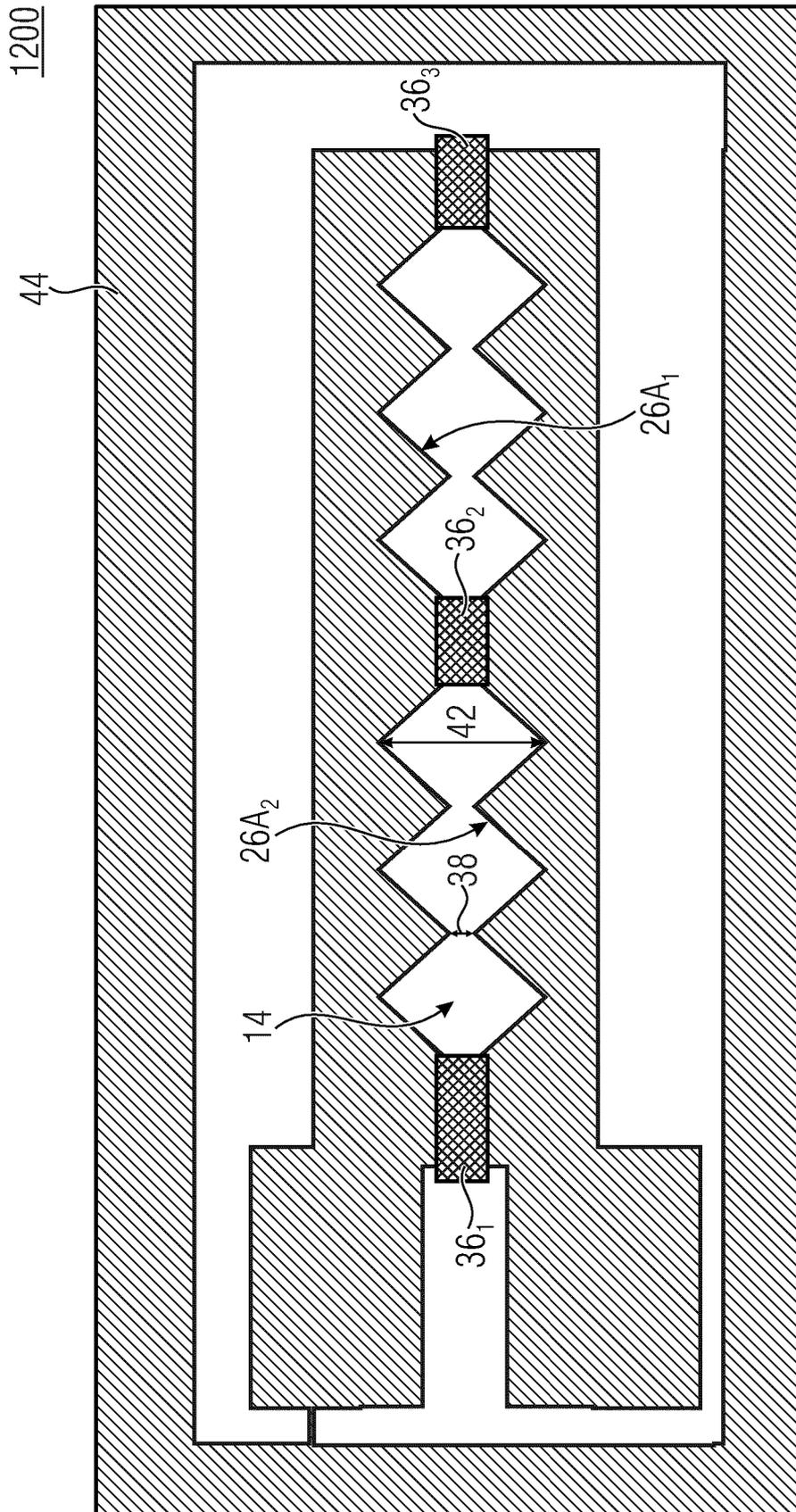


Fig. 12

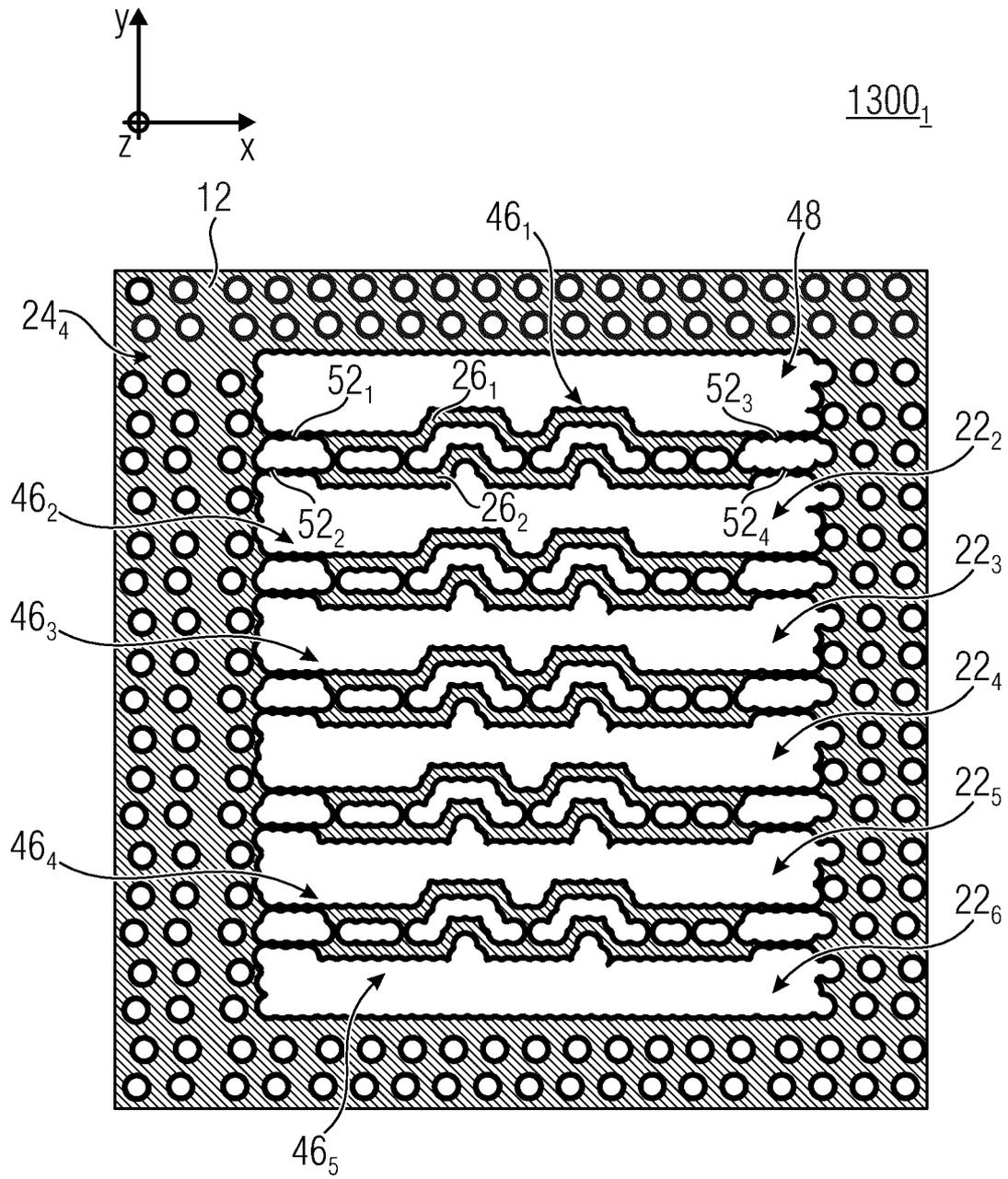


Fig. 13a

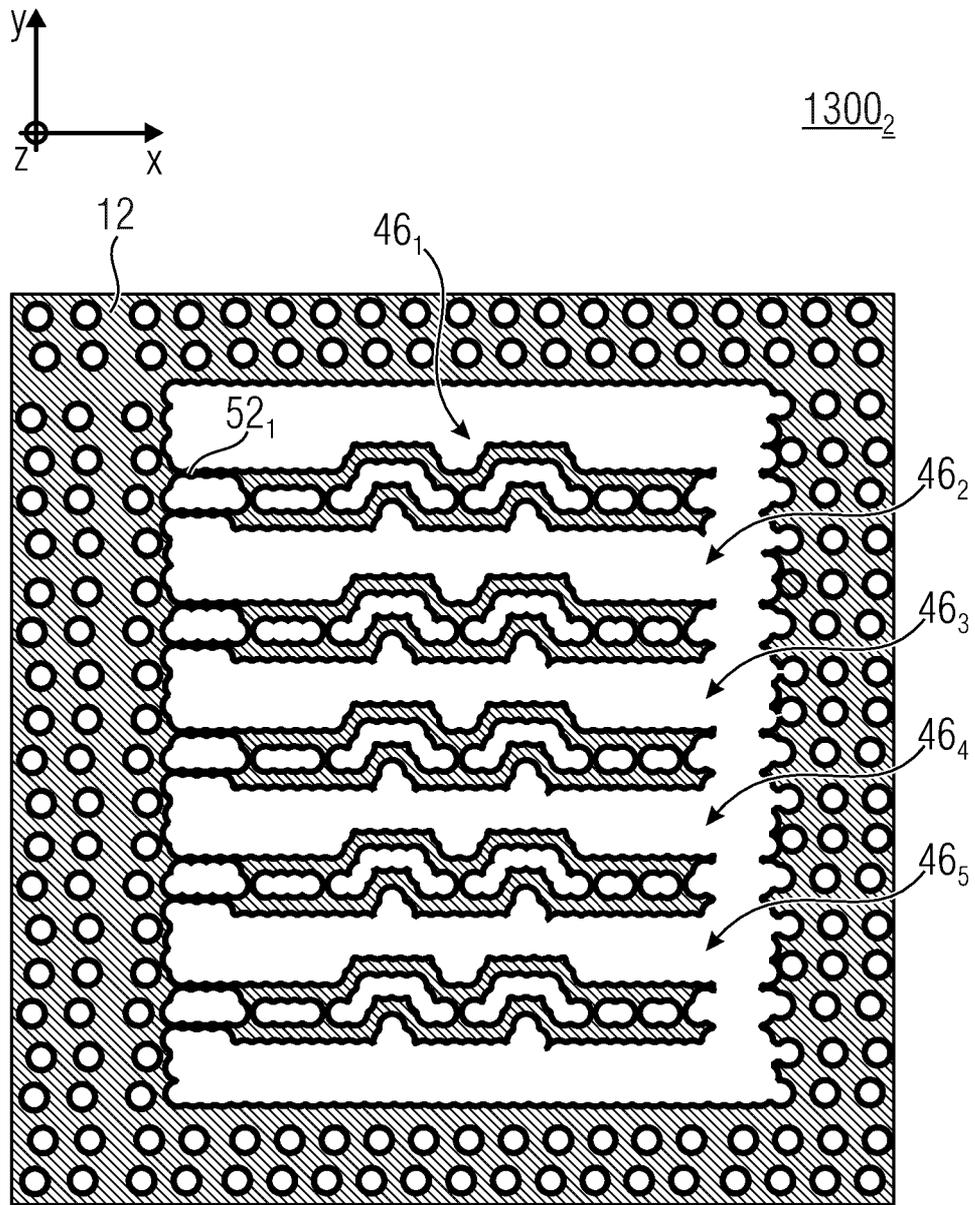


Fig. 13b

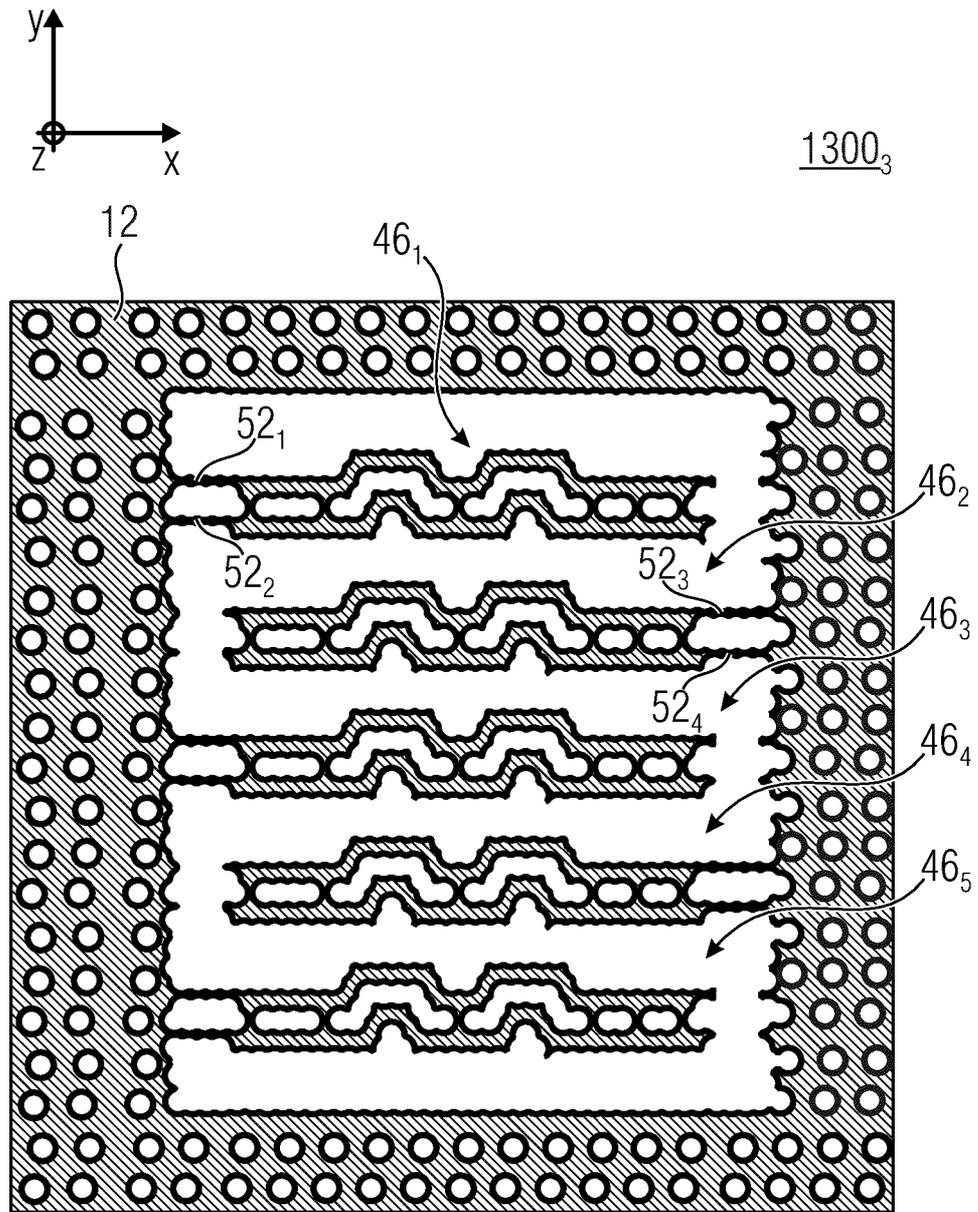


Fig. 13c

1400

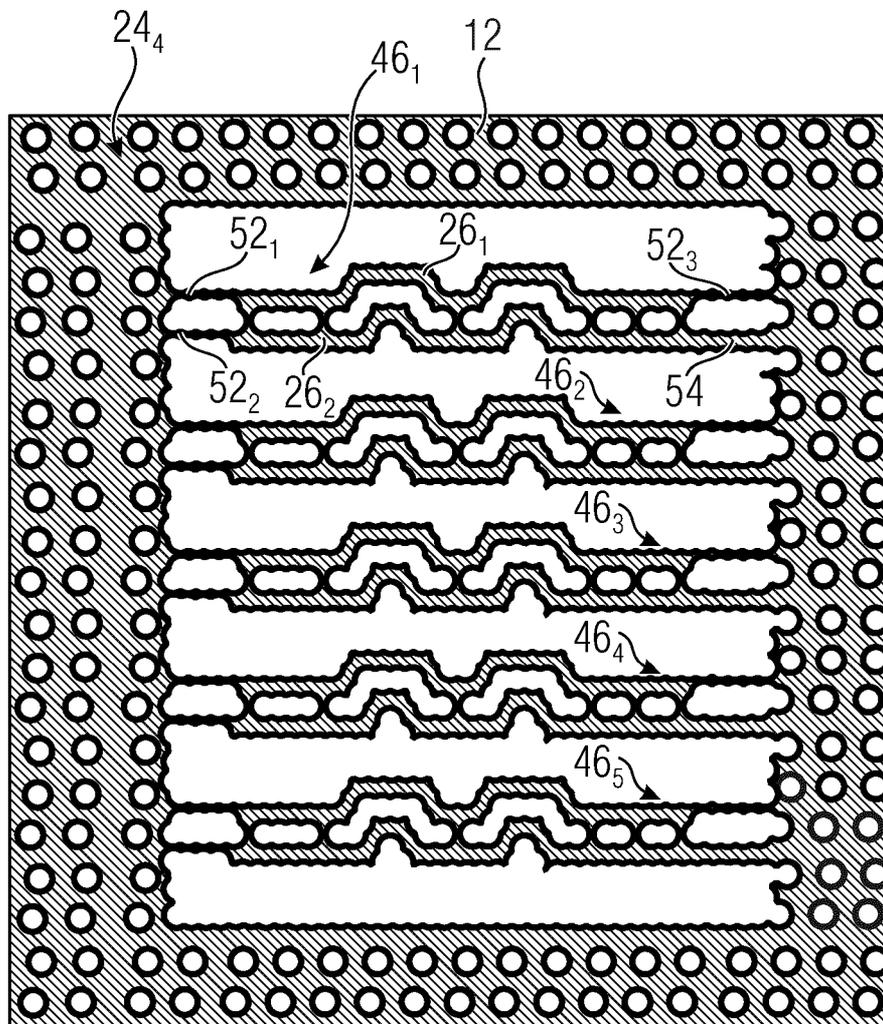
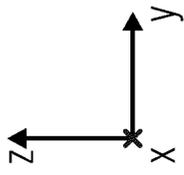
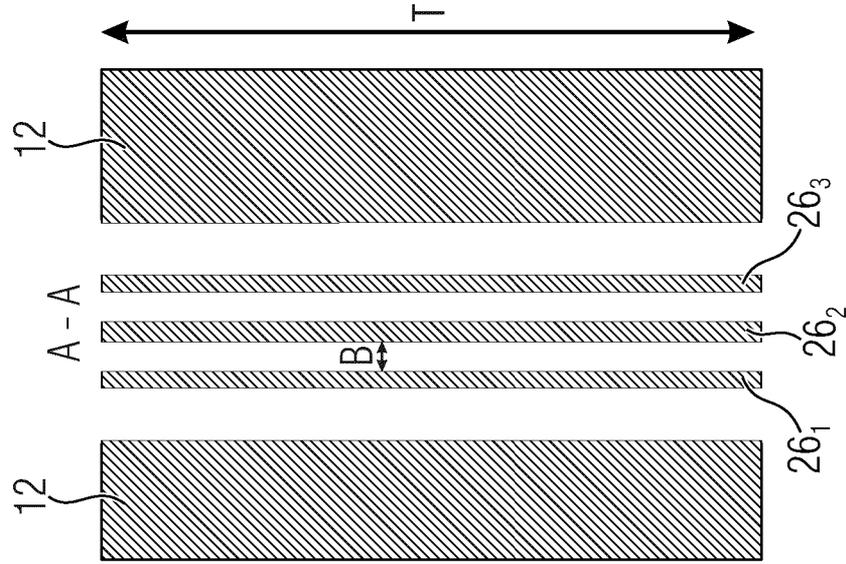


Fig. 14



1500



1500

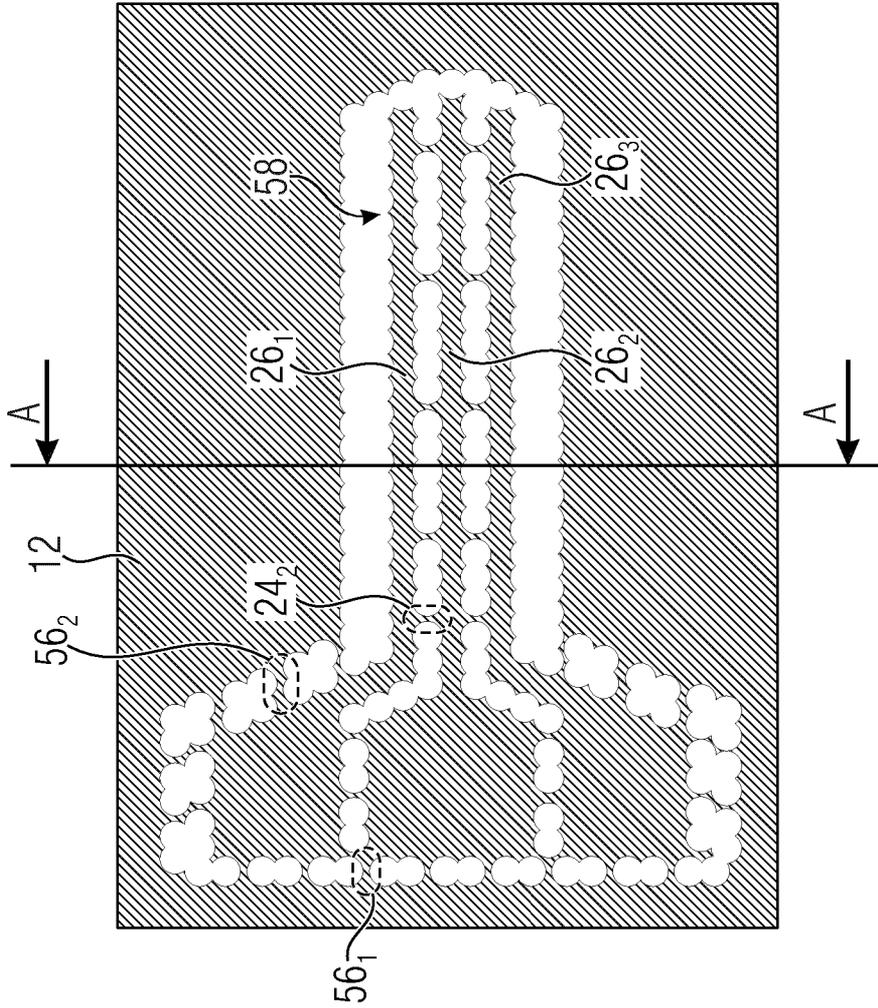
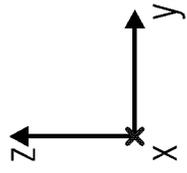


Fig. 15b

Fig. 15a



1600

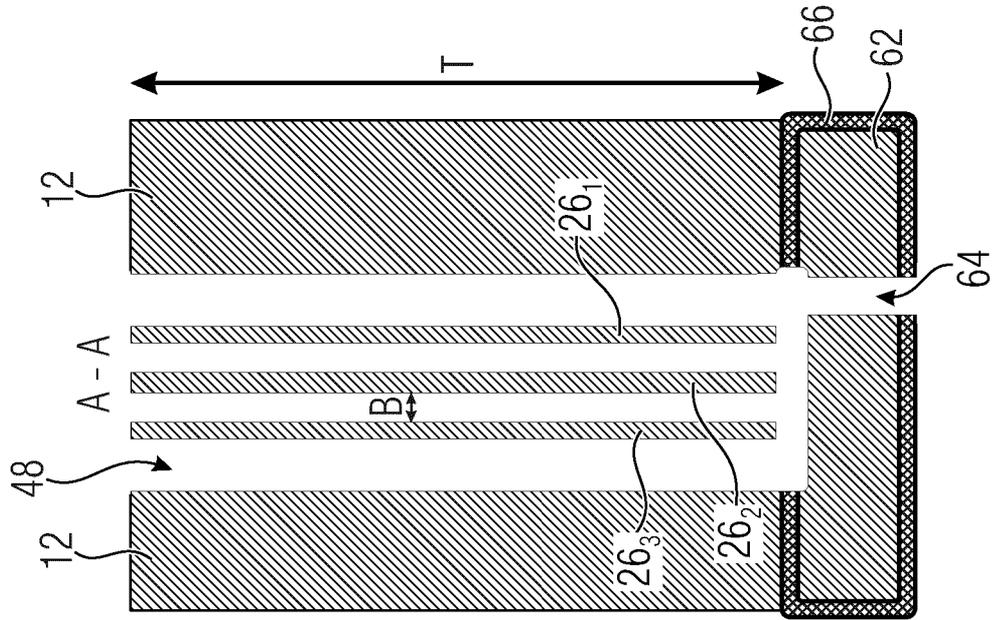
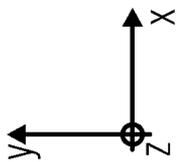


Fig. 16b



1600

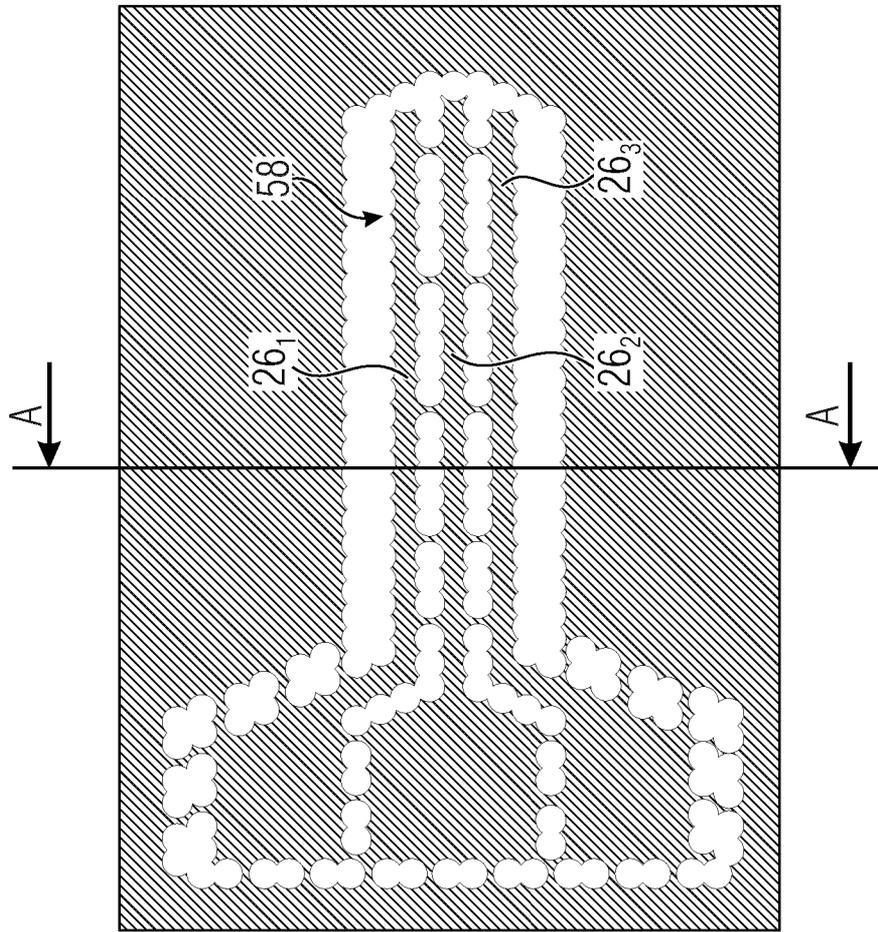


Fig. 16a

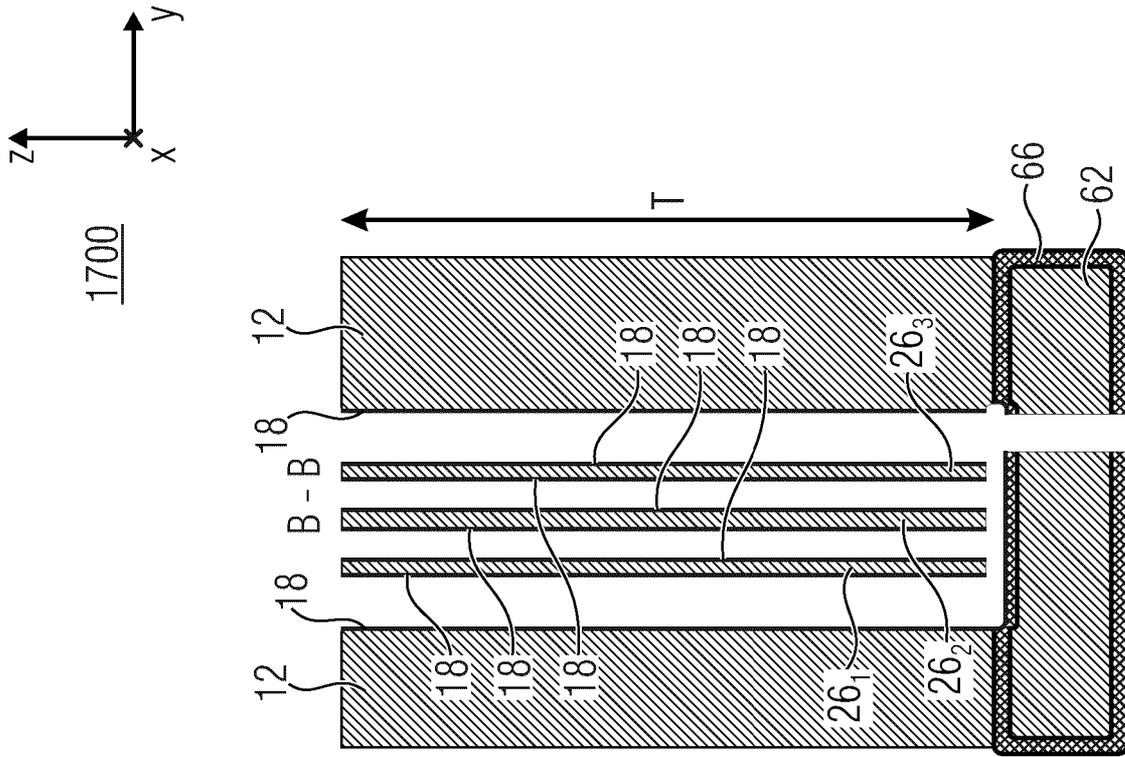


Fig. 17a

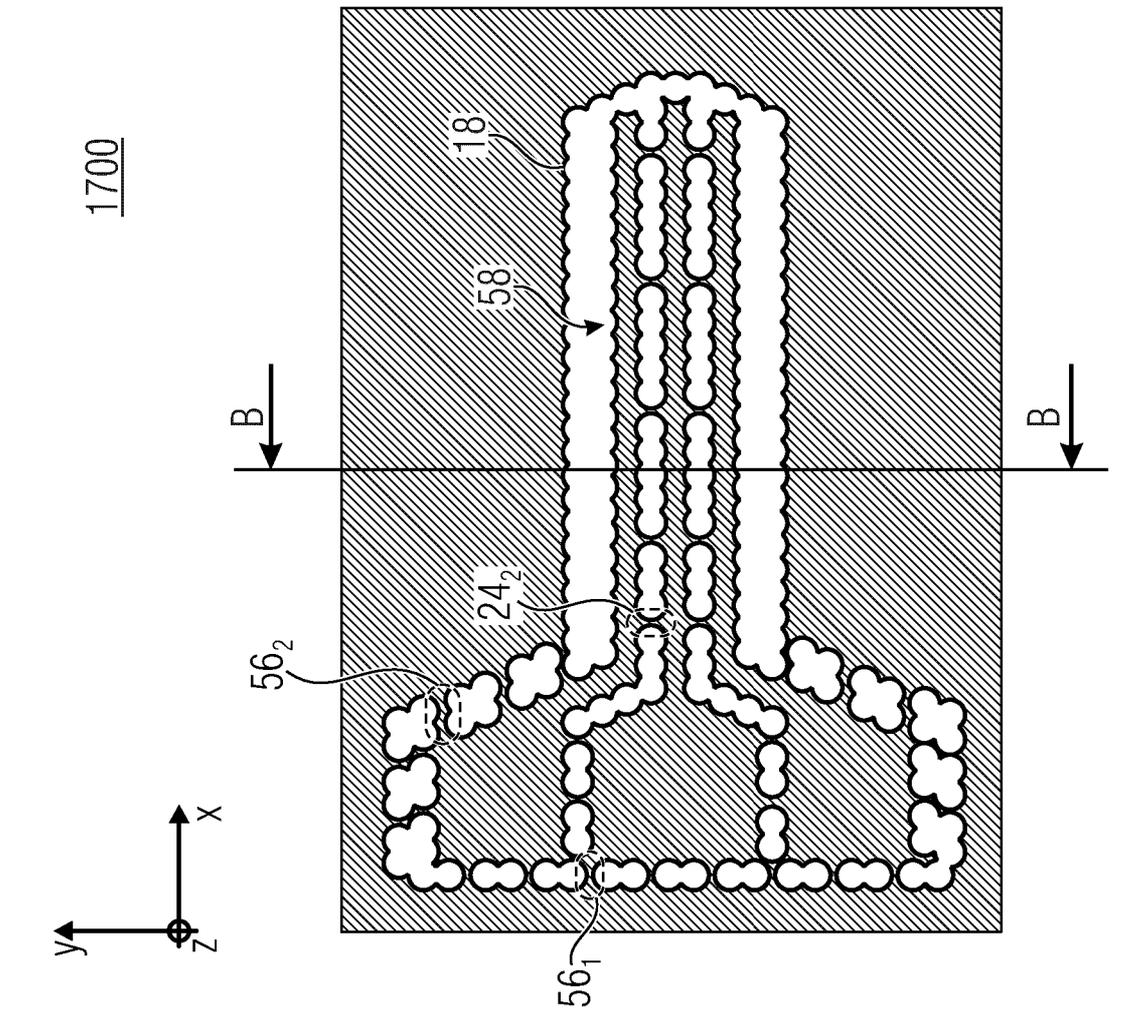


Fig. 17b

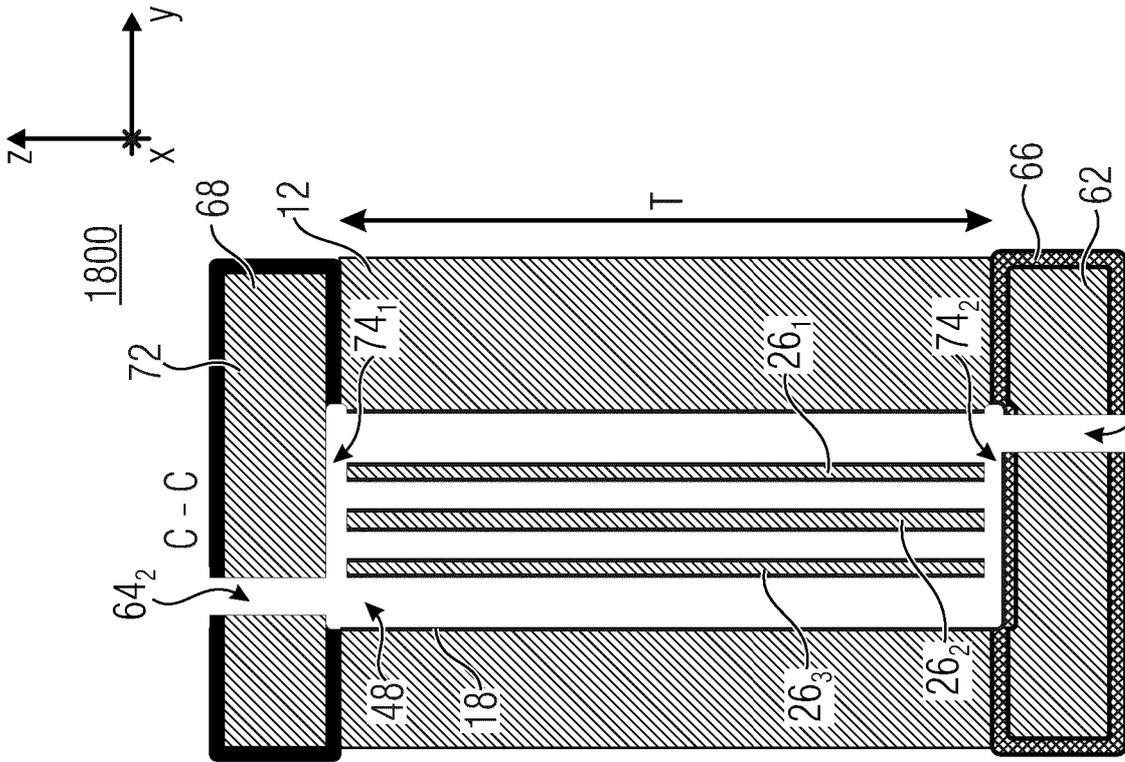


Fig. 18a

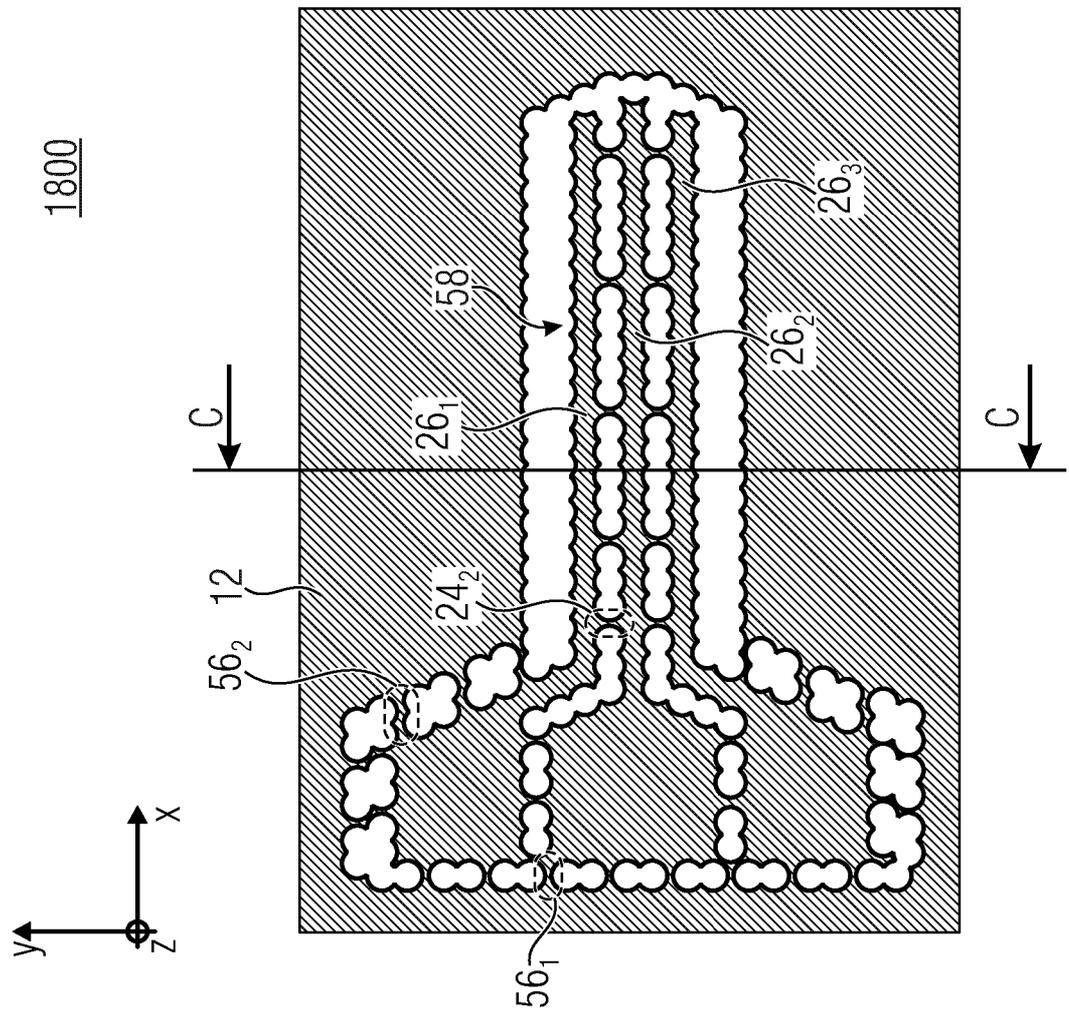


Fig. 18b

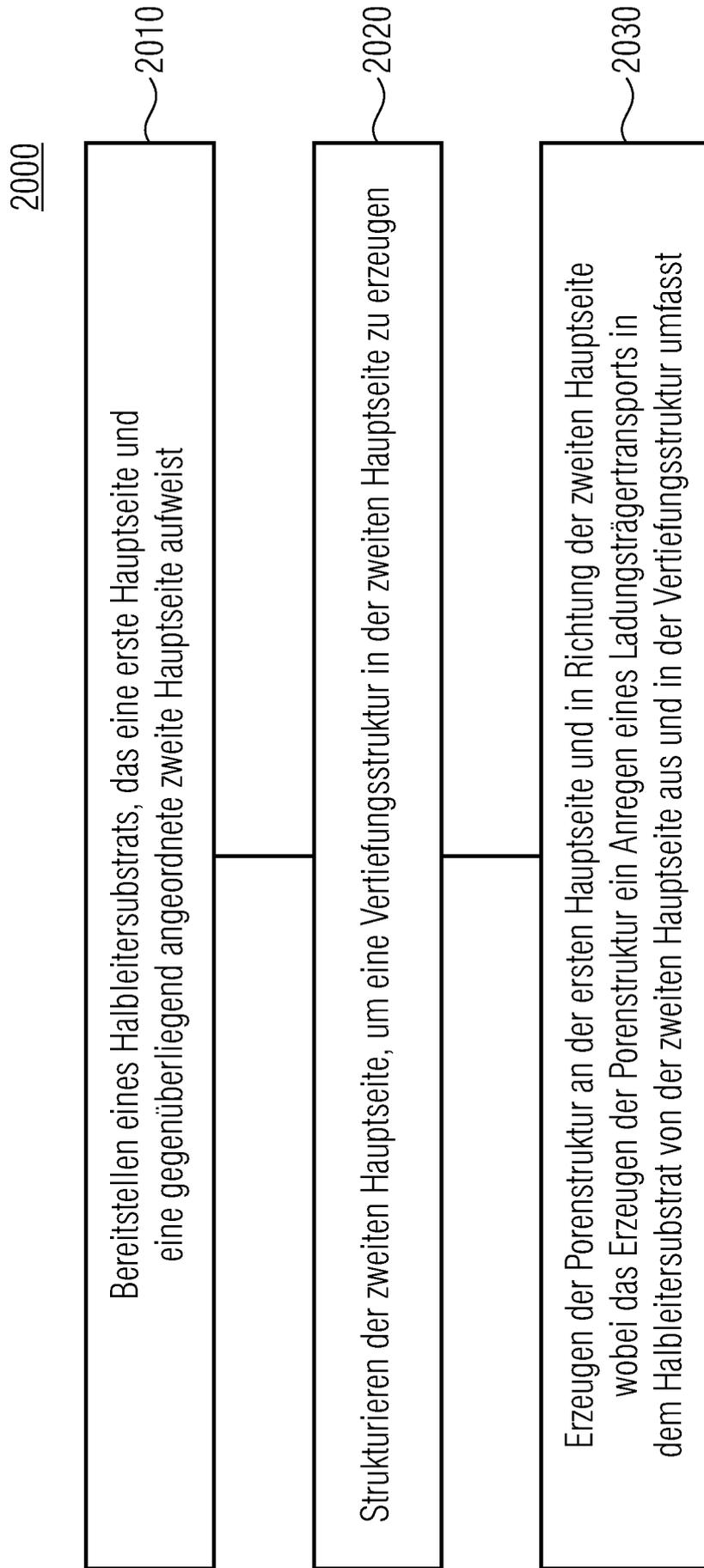


Fig. 19

2100

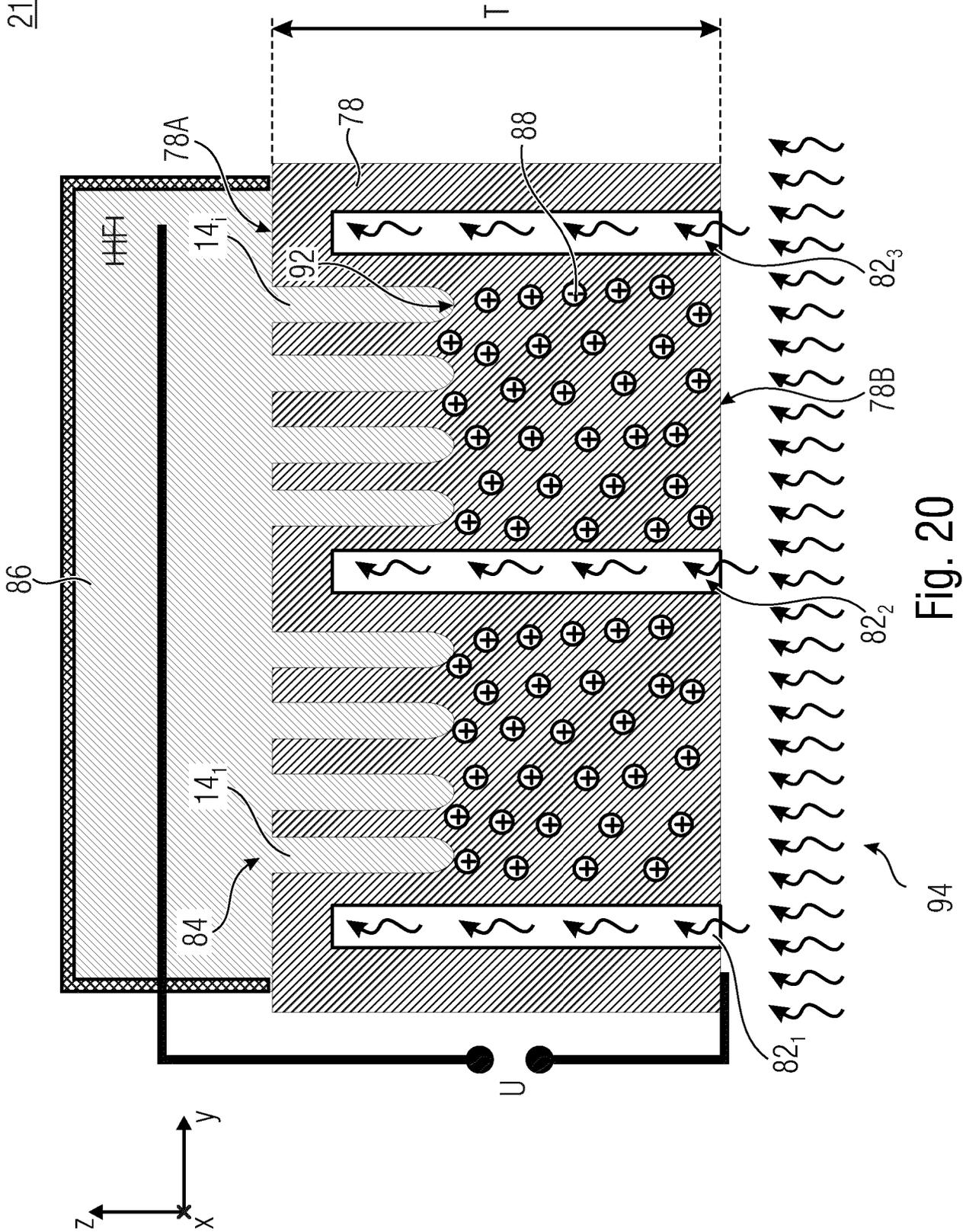


Fig. 20

94

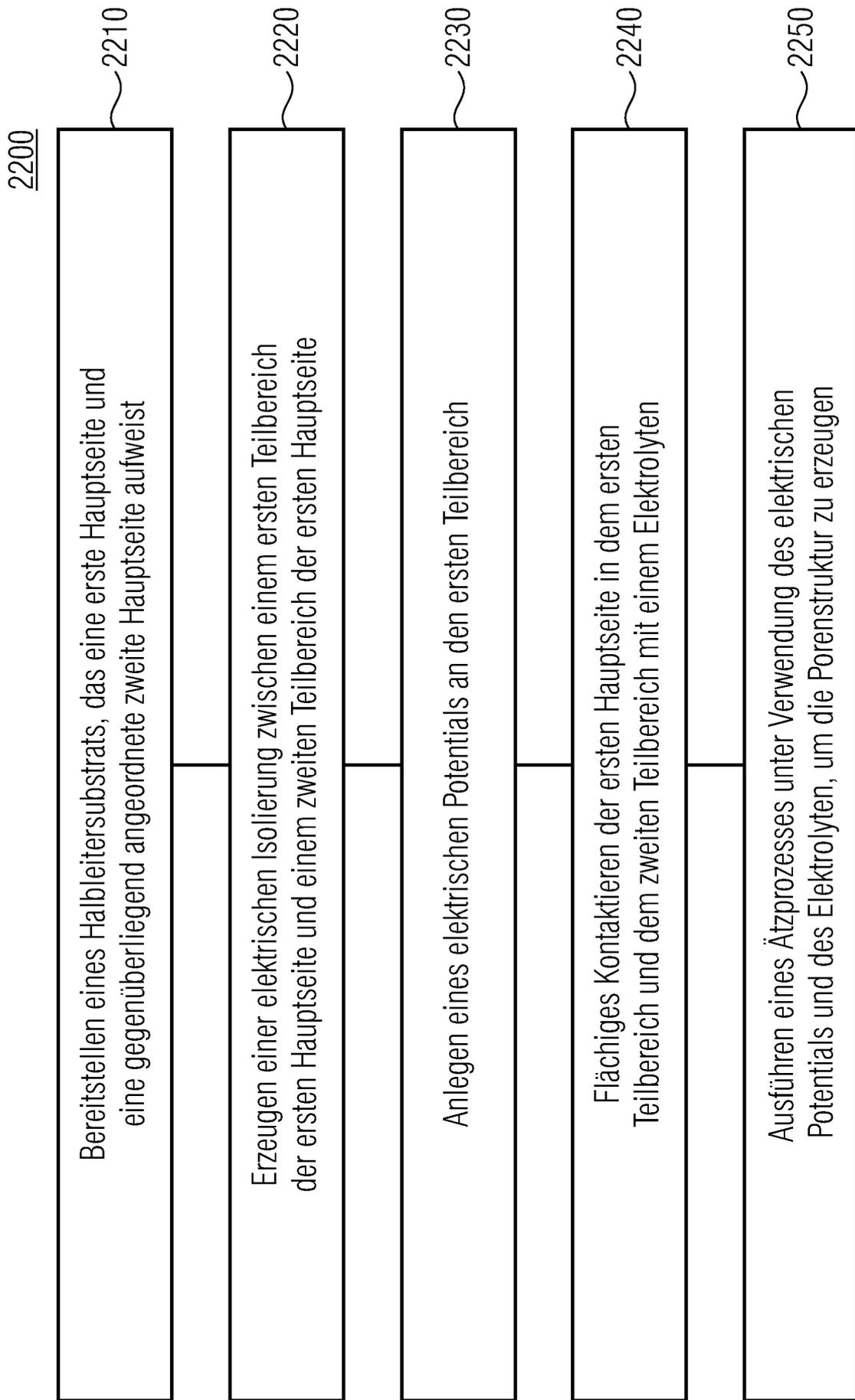


Fig. 21

2300

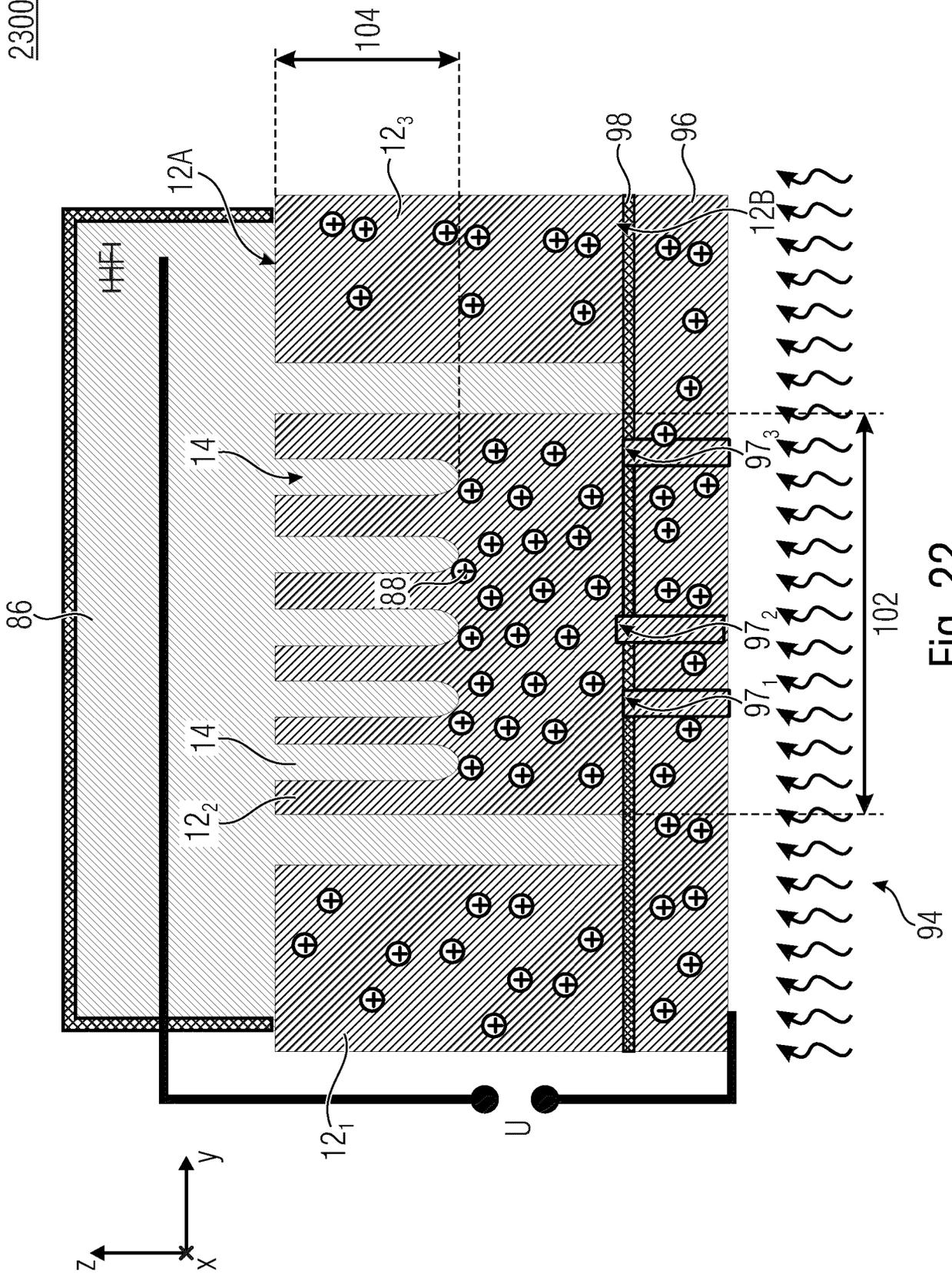


Fig. 22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2021/051743

A. CLASSIFICATION OF SUBJECT MATTER		
<i>B81C 1/00</i> (2006.01)i; <i>H01L 21/306</i> (2006.01)i; <i>H01L 21/3063</i> (2006.01)i; <i>H01L 21/3065</i> (2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) B81C; B81B; H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 102006007729 A1 (BOSCH GMBH ROBERT [DE]) 23 August 2007 (2007-08-23) paragraphs [0016] - [0024]; figure 1	1-31
X	CN 104282547 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MFG CORP) 14 January 2015 (2015-01-14)	1,2,4,7-12,14, 16-20,25-31
Y	paragraphs [0003] - [0042]; figures 1-8	3,5,6,13,15
A		21-24
X	US 2013301101 A1 (CONRAD HOLGER [DE] ET AL) 14 November 2013 (2013-11-14)	20-29
Y	paragraphs [0117] - [0151]; figure 14	3,5,6,13,15
A		1,2,4,7-12,14, 16-19,30,31
A	US 7427526 B2 (PENN STATE RES FOUND [US]) 23 September 2008 (2008-09-23) figure 9	1-31
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 29 April 2021		Date of mailing of the international search report 02 July 2021
Name and mailing address of the ISA/EP European Patent Office p.b. 5818, Patentlaan 2, 2280 HV Rijswijk Netherlands Telephone No. (+31-70)340-2040 Facsimile No. (+31-70)340-3016		Authorized officer Simeonov, Dobri Telephone No.

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

1. claims: 1-31

Method for producing a semiconductor structure with a cavity and the resulting semiconductor structure.

2. claims: 32-52

Method for producing a semiconductor structure with a pore structure and the resulting semiconductor structure.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: **1-31**

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/EP2021/051743

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
DE	102006007729	A1	23 August 2007	NONE	
CN	104282547	A	14 January 2015	NONE	
US	2013301101	A1	14 November 2013	EP 2664058 A1	20 November 2013
				JP 5951640 B2	13 July 2016
				JP 2014508648 A	10 April 2014
				US 2013301101 A1	14 November 2013
				WO 2012095185 A1	19 July 2012
US	7427526	B2	23 September 2008	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES INV. B81C1/00 H01L21/306 H01L21/3063 H01L21/3065 ADD.		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE		
Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) B81C B81B H01L		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 10 2006 007729 A1 (BOSCH GMBH ROBERT [DE]) 23. August 2007 (2007-08-23) Absätze [0016] - [0024]; Abbildung 1 -----	1-31
X	CN 104 282 547 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MFG CORP) 14. Januar 2015 (2015-01-14)	1,2,4, 7-12,14, 16-20, 25-31
Y	Absätze [0003] - [0042]; Abbildungen 1-8	3,5,6, 13,15
A	----- -/--	21-24
<input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche	Absenddatum des internationalen Recherchenberichts	
29. April 2021	02/07/2021	
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter Simeonov, Dobri	

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2013/301101 A1 (CONRAD HOLGER [DE] ET	20-29
Y	AL) 14. November 2013 (2013-11-14)	
A	Absätze [0117] - [0151]; Abbildung 14	3,5,6,
A		13,15
A		1,2,4,
A		7-12,14,
A		16-19,
A		30,31
A	----- US 7 427 526 B2 (PENN STATE RES FOUND	1-31
A	[US]) 23. September 2008 (2008-09-23)	
A	Abbildung 9 -----	

Feld Nr. II Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein internationaler Recherchenbericht erstellt:

1. Ansprüche Nr.
weil sie sich auf Gegenstände beziehen, zu deren Recherche diese Behörde nicht verpflichtet ist, nämlich

2. Ansprüche Nr.
weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, dass eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich

3. Ansprüche Nr.
weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefasst sind.

Feld Nr. III Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)

Diese Internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1. Da der Anmelder alle erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.

2. Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der zusätzliche Recherchegebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung solcher Gebühren aufgefordert.

3. Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr.

4. Der Anmelder hat die erforderlichen zusätzlichen Recherchegebühren nicht rechtzeitig entrichtet. Dieser internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfasst:
1-31

Bemerkungen hinsichtlich eines Widerspruchs

- Der Anmelder hat die zusätzlichen Recherchegebühren unter Widerspruch entrichtet und die gegebenenfalls erforderliche Widerspruchsgebühr gezahlt.
- Die zusätzlichen Recherchegebühren wurden vom Anmelder unter Widerspruch gezahlt, jedoch wurde die entsprechende Widerspruchsgebühr nicht innerhalb der in der Aufforderung angegebenen Frist entrichtet.
- Die Zahlung der zusätzlichen Recherchegebühren erfolgte ohne Widerspruch.

WEITERE ANGABEN

PCT/ISA/ 210

Die internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:

1. Ansprüche: 1-31

Verfahren zum Herstellen einer Halbleiterstruktur mit einer Kavität und die resultierende Halbleiterstruktur

2. Ansprüche: 32-52

Verfahren zum Herstellen einer Halbleiterstruktur mit einer Porenstruktur und die resultierende Halbleiterstruktur

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2021/051743

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 102006007729 A1	23-08-2007	KEINE	

CN 104282547 A	14-01-2015	KEINE	

US 2013301101 A1	14-11-2013	EP 2664058 A1	20-11-2013
		JP 5951640 B2	13-07-2016
		JP 2014508648 A	10-04-2014
		US 2013301101 A1	14-11-2013
		WO 2012095185 A1	19-07-2012

US 7427526 B2	23-09-2008	KEINE	
