

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4190791号
(P4190791)

(45) 発行日 平成20年12月3日(2008.12.3)

(24) 登録日 平成20年9月26日(2008.9.26)

(51) Int.Cl.

F I

HO 1 L 21/8242 (2006.01)	HO 1 L 27/10	6 2 1 C
HO 1 L 27/108 (2006.01)	HO 1 L 27/08	3 2 1 D
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08	3 2 1 K
HO 1 L 27/092 (2006.01)	HO 1 L 27/10	6 8 1 F
	HO 1 L 27/10	6 7 1 Z

請求項の数 3 (全 19 頁)

(21) 出願番号 特願2002-110628 (P2002-110628)
 (22) 出願日 平成14年4月12日(2002.4.12)
 (65) 公開番号 特開2003-303902 (P2003-303902A)
 (43) 公開日 平成15年10月24日(2003.10.24)
 審査請求日 平成17年3月29日(2005.3.29)

(73) 特許権者 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100123788
 弁理士 官崎 昭夫
 (74) 代理人 100106138
 弁理士 石橋 政幸
 (74) 代理人 100127454
 弁理士 緒方 雅昭
 (72) 発明者 橋本 ちえみ
 東京都小平市上水本町5丁目22番1号
 株式会社日立超エル・エス・アイ・システムズ内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

以下の工程を有する半導体集積回路装置の製造方法：

- (a) 半導体基板の主面の第1および第2領域にゲート絶縁膜を形成する工程、
- (b) 前記ゲート絶縁膜上に導電膜を形成する工程、
- (c) 前記導電膜をエッチングすることによって、前記第1領域の前記ゲート絶縁膜上に第1ゲート電極を形成し、前記第2領域の前記ゲート絶縁膜上に第2ゲート電極を形成する工程、
- (d) 前記(c)工程の後、前記半導体基板上にCVD法で酸化シリコン膜を形成し、次いで前記第2領域の前記酸化シリコン膜を除去する工程、
- (e) 前記(d)工程の後、前記半導体基板上にCVD法で窒化シリコン膜を形成し、次いで前記窒化シリコン膜と前記第1領域の前記酸化シリコン膜をエッチングすることによって、前記第1ゲート電極の側壁に前記酸化シリコン膜と前記窒化シリコン膜との積層膜からなる第1サイドウォールスペーサを形成し、前記第2ゲート電極の側壁に前記窒化シリコン膜からなる第2サイドウォールスペーサを形成する工程、
- (f) 前記(e)工程の後、前記半導体基板を熱処理することによって、前記第1ゲート電極の中心部の直下に形成された前記ゲート絶縁膜の膜厚を、前記第2ゲート電極の中心部の直下に形成された前記ゲート絶縁膜の膜厚よりも厚くする工程、
- (g) 前記(f)工程の後、前記第1領域に前記第1ゲート電極を有する第1MISFETを形成し、前記第2領域に前記第2ゲート電極を有する第2MISFETを形成する工

程。

【請求項2】

前記第1 M I S F E Tは、D R A Mのメモリセルを構成するM I S F E Tであり、前記第2 M I S F E Tは、前記D R A Mの周辺回路を構成するM I S F E Tであることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項3】

前記第1および第2ゲート電極は、シリコン膜とメタル膜の積層構造を有することを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、D R A M(Dynamic Random Access Memory)を有する半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】

近年の半導体デバイスは、同一半導体チップ内での多電源化が進んでいることから、薄い膜厚のゲート絶縁膜と厚い膜厚のゲート絶縁膜とを同一半導体チップ内に作り分ける、いわゆる2水準ゲート絶縁膜プロセスが実用化されている。

【0003】

上記2水準ゲート絶縁膜の標準的なプロセスでは、まず単結晶シリコンからなる半導体基板(以下、単に基板という)を湿式酸化してその表面に酸化シリコン膜を形成する。次に、厚いゲート絶縁膜を形成したい領域(第1領域)の絶縁膜をフォトレジスト膜で覆い、薄いゲート絶縁膜を形成したい領域(第2領域)の絶縁膜をエッチングで除去することによって、第2領域の基板表面を露出させる。

【0004】

次に、上記フォトレジスト膜を除去した後、基板をもう一度湿式酸化することによって、第2領域の基板表面に薄いゲート絶縁膜を形成する。このとき、第1領域の絶縁膜も成長してその膜厚が厚くなるので、第1領域には厚いゲート絶縁膜が形成される。

【0005】

また、例えば特開2000-188338号公報は、基板の第1領域と第2領域とに酸化シリコンからなるゲート絶縁膜と窒化シリコンからなるゲート絶縁膜とを作り分ける2水準ゲート絶縁膜プロセスを開示している。

【0006】

上記公報に記載されたプロセスでは、まず第1および第2領域の基板上に第1酸化シリコン膜を形成した後、第1領域の第1酸化シリコン膜をエッチングで選択的に除去し、第1領域の半導体基板表面を露出させる。次に、第1領域の基板上と第2領域の第1酸化シリコン膜上に窒化シリコン膜を形成した後、第2の窒化シリコン膜と第1酸化シリコン膜とをエッチングで選択的に除去し、第2領域の基板表面を露出させる。次に、基板を熱酸化し、第2領域の基板表面に第2酸化シリコン膜を形成することにより、第1領域の基板表面には窒化シリコンからなる第1ゲート絶縁膜が形成され、第2領域の半導体基板表面には、第2酸化シリコンからなる第2ゲート絶縁膜が形成される。

【0007】

【発明が解決しようとする課題】

大容量化が進むD R A Mは、メモリセルの微細化を実現するために、メモリセルを構成するM I S F E T(Metal Insulator Semiconductor Field Effect Transistor)のゲート長およびゲート電極間ピッチの狭小化を進めている。

【0008】

しかし、メモリセルを構成するM I S F E Tのゲート長を単純に短くしていくと、しきい値電圧が低下し、ひいてはメモリセルの動作信頼性が低下する。そこで、ゲート長を短くしても、しきい値電圧を一定水準以上に維持する方法として、チャンネル領域の不純物濃度

10

20

30

40

50

を高くすることが一般に行われている。

【0009】

ところが、メモリセルを構成するMISFETのチャネル不純物濃度を高くすると、ソース、ドレイン領域とチャネル領域との界面における電界強度が高くなるために、この界面におけるリーク電流が増大し、DRAMのリフレッシュ特性が低下するという別の問題を引き起こす。

【0010】

また、メモリセルを構成するMISFETのチャネル不純物濃度を低い水準に抑えながら、しきい値電圧を一定水準以上に維持する方法として、MISFETのゲート絶縁膜を厚膜化することが考えられる。しかし一方で、MISFETの高性能化および低電圧動作を実現するためには、MISFETの微細化に比例してゲート絶縁膜を薄膜化する必要があるため、周辺回路を構成するMISFETのゲート絶縁膜は、メモリセルを構成するMISFETのゲート絶縁膜よりも薄い膜厚にすることが要求される。

10

【0011】

このように、DRAMにおいても2水準ゲート絶縁膜プロセスの導入が不可欠となりつつあるが、同一基板の上に膜厚の異なる2種類のゲート絶縁膜を形成する従来の2水準ゲート絶縁膜プロセスは、フォトマスクの枚数および製造工程数が増えるために、DRAMの製造プロセスに2水準ゲート絶縁膜プロセスを導入すると、DRAMの製造コストの増大を引き起こす。

【0012】

本発明の目的は、製造工程数やフォトマスクの枚数を増やすことなく、DRAMの2水準ゲート絶縁膜プロセスを実現することのできる技術を提供することにある。

20

【0013】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】

本発明の半導体集積回路装置は、半導体基板の主面の第1領域に第1ゲート電極を有する複数の第1MISFETが形成され、前記半導体基板の主面の第2領域に前記第1ゲート電極よりもゲート長が長い第2ゲート電極を有する複数の第2MISFETが形成され、前記第1ゲート電極の中心部の直下に形成されたゲート絶縁膜の膜厚は、前記第2ゲート電極の中心部の直下に形成されたゲート絶縁膜の膜厚よりも厚く前記第1ゲート電極の側壁部の直下に形成されたゲート絶縁膜の膜厚と、前記第2ゲート電極の側壁部の直下に形成されたゲート絶縁膜の膜厚は、等しいものである。

30

【0016】

本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

(a) 半導体基板の主面の第1および第2領域にゲート絶縁膜を形成する工程、(b) 前記ゲート絶縁膜上に導電膜を形成する工程、

40

(c) 前記導電膜をエッチングすることによって、前記第1領域の前記ゲート絶縁膜上に第1ゲート電極を形成し、前記第2領域の前記ゲート絶縁膜上に前記第1ゲート電極よりもゲート長が長い第2ゲート電極を形成する工程、

(d) 前記半導体基板を熱処理することによって、前記第1ゲート電極の中心部の直下に形成された前記ゲート絶縁膜の膜厚を、前記第2ゲート電極の中心部の直下に形成された前記ゲート絶縁膜の膜厚よりも厚くする工程、

(e) 前記(d)工程の後、前記第1領域に前記第1ゲート電極を有する第1MISFETを形成し、前記第2領域に前記第2ゲート電極を有する第2MISFETを形成する工程。

50

【0017】

半導体基板上に膜厚の等しいゲート絶縁膜を介して、ゲート長の短い第1ゲート電極およびゲート長の長い第2ゲート電極を形成し、前記第1および第2ゲート電極のそれぞれの端部に位置する前記ゲート絶縁膜の膜厚を厚くするために、前記半導体基板に酸化処理を施すと同時に、前記第1ゲート電極のゲート長が短いことを利用して、前記第1ゲート電極の中心部に位置する前記ゲート絶縁膜の膜厚を前記第2ゲート電極の中心部に位置する前記ゲート絶縁膜の膜厚よりも厚くするものである。

【0018】

これにより、複雑なプロセスを経ることなく、膜厚の異なるゲート絶縁膜を有する2種類のMISFETを容易に提供することができる。また、基板濃度を高くすることなく、し

10

【0019】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0020】

(実施の形態1)

本実施の形態は、例えば256Mbit(メガビット)の記憶容量を有するDRAMに適用されたものであり、その製造工程は次の通りである。

20

【0021】

まず、図1および図2に示すように、p型単結晶シリコンからなる基板1の主面に素子分離溝2を形成する。図1に示すように、基板1は、主としてメモリアレイ領域(図の左側部分および中央部分)と周辺回路領域(図の右側部分)とに区画されており、メモリアレイ領域にはメモリセルを構成する複数のMISFET(メモリセル選択用MISFET)および情報蓄積用容量素子が形成され、周辺回路領域には周辺回路を構成する複数の相補型MISFET(nチャネル型MISFETおよびpチャネル型MISFET)が形成される。

【0022】

基板1に素子分離溝2を形成するには、例えば基板1をエッチングして深さ350nm程度の溝を形成し、続いてこの溝の内部および基板1上にCVD(Chemical Vapor Deposition)法で酸化シリコン膜5を堆積した後、溝の外部の不要な酸化シリコン膜5を化学的機械研磨(Chemical Mechanical Polishing; CMP)法によって除去する。図2に示すように、基板1に素子分離溝2を形成すると、メモリアレイ領域の基板1には、周囲を素子分離溝2によって囲まれた細長い島状の平面パターンを有する多数のアクティブ領域Lが形成される。メモリセルは、これらアクティブ領域Lのそれぞれに2個ずつ形成される。なお、前記図1の左側部分は、図2のA-A線に沿った基板1の断面図、中央部分は、B-B線に沿った基板1の断面図である。

30

【0023】

次に、図3に示すように、メモリアレイ領域の基板1と周辺回路領域の基板1の一部とにB(ホウ素)をイオン注入し、続いて周辺回路領域の基板1の他の一部にP(リン)をイオン注入した後、基板1を熱処理してこれらの不純物(B、P)を拡散させることにより、メモリアレイ領域の基板1にp型ウエル3を形成し、周辺回路領域の基板1にp型ウエル3とn型ウエル4を形成する。

40

【0024】

次に、図4に示すように、周辺回路領域の基板1の表面をフォトリソ膜100で覆い、メモリアレイ領域のp型ウエル3にB(またはBF₂)をイオン注入する。この不純物のイオン注入は、メモリセルの一部を構成するMISFET(メモリセル選択用MISFET)のしきい値電圧を制御するためのもので、本実施の形態では、例えば打ち込みエネルギー=45keV、ドーズ量=6.8×10¹²/cm²の条件で実施する。

50

【0025】

次に、フォトレジスト膜100を除去した後、図5に示すように、周辺回路領域のn型ウエル4の表面およびメモリアレイ領域のp型ウエル3の表面をフォトレジスト膜101で覆い、周辺回路領域のp型ウエル3に BF_2 をイオン注入する。このときの打ち込みエネルギーは、例えば45keV、ドーズ量は $1 \times 10^{12} / cm^2$ である。続いてフォトレジスト膜101を除去した後、図6に示すように、周辺回路領域のp型ウエル3の表面およびメモリアレイ領域のp型ウエル3の表面をフォトレジスト膜102で覆い、周辺回路領域のn型ウエル4に BF_2 をイオン注入する。このときの打ち込みエネルギーは、例えば45keV、ドーズ量は $4.5 \times 10^{12} / cm^2$ である。これら不純物のイオン注入は、周辺回路を構成する相補型MISFET（nチャネル型MISFETおよびpチャネル型MISFET）のしきい値電圧を制御するために行う。

10

【0026】

次に、フォトレジスト膜102を除去し、続いて基板1の表面をフッ酸で洗浄した後、図7に示すように、基板1を約800で湿式酸化することによって、基板1（p型ウエル3およびn型ウエル4）の表面に酸化シリコンからなるゲート絶縁膜6を形成する。ゲート絶縁膜6の膜厚は、例えば6.3nmであり、メモリアレイ領域と周辺回路領域とで同一の膜厚となっている。

【0027】

次に、図8に示すように、基板1上にCVD法で膜厚70nm程度の多結晶シリコン膜10を堆積し、続いてその上部にスパッタリング法で膜厚5nm程度のWN（窒化タングステン）膜11と膜厚80nm程度のW（タングステン）膜12とを堆積し、さらにその上部にCVD法で膜厚100nm程度の窒化シリコン膜8を堆積する。多結晶シリコン膜10は、その抵抗値を下げるために、成膜中にP（リン）をドーピングする。WN膜11は、多結晶シリコン膜10とW膜12との界面における両者の反応（シリサイド化反応）を防ぐバリア層として機能する。

20

【0028】

上記多結晶シリコン膜10とその上部に堆積したW膜12は、MISFETのゲート電極材料を構成する。すなわち、本実施の形態のDRAMは、MISFETのゲート電極の抵抗値を下げるために、ゲート電極材料を多結晶シリコン膜10とW膜12との積層膜（ポリメタル膜）によって構成する。

30

【0029】

次に、図9に示すように、窒化シリコン膜8の上部に形成したフォトレジスト膜103をマスクにして窒化シリコン膜8、W膜12、WN膜11および多結晶シリコン膜10をドライエッチングすることにより、メモリアレイ領域にゲート電極7Aを形成し、周辺回路領域にゲート電極7B、7Cを形成する。図10に示すように、メモリアレイ領域に形成されたゲート電極7Aは、アクティブ領域Lの長辺と直交する方向に延在し、アクティブ領域L以外の領域ではワード線WLを構成する。ゲート電極7A（ワード線WL）の幅（ゲート長）は、 $0.16 \mu m$ であり、周辺回路領域に形成されたゲート電極7B、7Cのゲート長は、 $0.25 \mu m$ である。

【0030】

次に、図11に示すように、ゲート電極7A、7B、7Cのエッチングに用いたフォトレジスト膜103を除去する。このとき、基板1の表面には、ゲート電極材料のエッチング残渣やフォトレジスト残渣などの異物が付着しているため、ゲート絶縁膜6を深く削らない程度に薄く希釈したフッ酸を使って基板1の表面を洗浄する。

40

【0031】

図12に示すように、ゲート電極7A、7B、7Cを形成するためのドライエッチングおよびその後のフッ酸洗浄を行うと、ゲート電極7A、7B、7Cの側壁下部や周辺領域のゲート絶縁膜6もある程度削られて膜厚が薄くなるので、そのままではゲート耐圧が低下するなどの不具合が生じる。

【0032】

50

そこで、上記フッ酸洗浄の後、基板 1 を熱処理（再酸化処理）することによって、薄くなったゲート絶縁膜 6 を厚膜化する。この再酸化処理は、ゲート電極 7 A、7 B、7 C の側壁に露出した W 膜 1 2 が酸化されて高抵抗の W 酸化物が生成するのを防ぐために、Si（シリコン）は酸化されるが、W は酸化されない雰囲気中で行う。本実施の形態では、例えば水素 90%、水蒸気 10% の混合ガスからなる 800 の還元性雰囲気中で基板 1 を約 20 分間熱処理する。

【0033】

図 1 3 に示すように、上記再酸化処理を行うと、メモリアレイ領域に形成されたゲート電極 7 A の側壁下部や周辺領域のゲート絶縁膜 6 が成長して厚い膜厚（約 9 nm）のゲート絶縁膜 6' となる。前述したように、メモリアレイ領域に形成されたゲート電極 7 A のゲート長は、0.16 μm と極めて短い。従って、ゲート電極 7 A の側壁下部に厚い膜厚のゲート絶縁膜 6' が形成されると、そのバースピークがゲート電極 7 A の中心部にまで入り込むため、ゲート電極 7 A の中心部直下には、再酸化処理前のゲート絶縁膜 6 より厚い膜厚（ $t_{\text{ox}1}$ = 約 9 nm）を有するゲート絶縁膜 6a が形成される。なお、ここで「ゲート電極の中心部」とは、ゲート電極のゲート長方向（チャンネル方向）における中心部を意味している。

【0034】

また、図 1 4 に示すように、上記再酸化処理を行うことにより、周辺回路の n 型ウエル 4 上に形成されたゲート電極 7 C の側壁下部や周辺領域のゲート絶縁膜 6 も成長して厚い膜厚（約 9 nm）のゲート絶縁膜 6' となる。また図示は省略するが、周辺回路の p 型ウエル 3 上に形成されたゲート電極 7 B の側壁下部や周辺領域のゲート絶縁膜 6 も成長して厚いゲート絶縁膜 6' となる。

【0035】

ところが、周辺回路領域に形成されたゲート電極 7 B、7 C のゲート長は、メモリアレイ領域に形成されたゲート電極 7 A のゲート長よりも長い（0.25 μm ）ため、ゲート電極 7 B、7 C の側壁下部に厚いゲート絶縁膜 6' が形成されても、そのバースピークがゲート電極 7 B、7 C の中心部にまで入り込むことはない。従って、ゲート電極 7 B、7 C の中心部直下におけるゲート絶縁膜 6 の膜厚（ $t_{\text{ox}2}$ ）は、再酸化処理前とほぼ同じ膜厚（約 6.3 nm）となる。

【0036】

このように、メモリアレイ領域にゲート長の短いゲート電極 7 A を形成し、周辺回路領域にゲート長の長いゲート電極 7 B、7 C を形成した後、ゲート電極 7 A、7 B、7 C の側壁端部のゲート絶縁膜 6 を厚膜化するための再酸化処理を行うと、メモリアレイ領域のゲート電極 7 A の側壁端部および中心部の直下には、厚い膜厚（ $t_{\text{ox}1}$ = 約 9 nm）のゲート絶縁膜 6'、6a が形成される。一方、周辺回路領域のゲート電極 7 B、7 C の側壁端部にも厚い膜厚（約 9 nm）のゲート絶縁膜 6' が形成されるが、中心部の直下には再酸化処理前とほぼ同じ薄い膜厚（ $t_{\text{ox}2}$ = 約 6.3 nm）のゲート絶縁膜 6 が残る。すなわち、上記再酸化処理を行うと、ゲート電極 7 A の中心部直下のゲート絶縁膜 6a と側壁部直下のゲート絶縁膜 6' との膜厚差は、ゲート電極 7 B、7 C の中心部直下のゲート絶縁膜 6 と側壁部直下のゲート絶縁膜 6' との膜厚差よりも大きくなる。

【0037】

図 1 5 は、ゲート電極の中心部直下に位置するゲート絶縁膜の膜厚（ $t_{\text{ox-a}}$ ）と MISFET のしきい値電圧（ V_{th} ）との関係をシミュレーションした結果を示すグラフである。MISFET は、図 1 6 に示すように、ゲート長は同じ（0.16 μm ）であるが、ゲート電極の側壁端部と中心部直下に位置するゲート絶縁膜の膜厚が異なる 5 種類の MISFET（A ~ E）を用意した。すなわち、MISFET（A）は、ゲート電極の中心部直下に位置するゲート絶縁膜の膜厚（ $t_{\text{ox-a}}$ ）が 7 nm、ゲート電極側壁端部に位置するゲート絶縁膜の膜厚（ $t_{\text{ox-b}}$ ）が 7 nm である。また、MISFET（B）は、 $t_{\text{ox-a}} = 10$ nm、 $t_{\text{ox-b}} = 10$ nm、MISFET（C）は、 $t_{\text{ox-a}} = 13$ nm、 $t_{\text{ox-b}} = 13$ nm、MISFET（D）は、 $t_{\text{ox-a}} = 7$ nm、 $t_{\text{ox-b}} = 9.4$ nm、MISFET（E）

10

20

30

40

50

は、 $t_{ox-a} = 10 \text{ nm}$ 、 $t_{ox-b} = 12.4 \text{ nm}$ である。ここで、MISFET(A)とMISFET(D)は、 t_{ox-a} が同じ(7 nm)で t_{ox-b} が異なっている。また、MISFET(B)とMISFET(E)も、 t_{ox-a} が同じ(10 nm)で t_{ox-b} が異なっている。

【0038】

図15に示すように、 t_{ox-b} は異なるが、 t_{ox-a} が同じ(7 nm)2種類のMISFET(A)、(D)は、それらのしきい値電圧(V_{th})が同じであった。また、同じく t_{ox-b} は異なるが、 t_{ox-a} が同じ(10 nm)2種類のMISFET(B)、(E)も、それらのしきい値電圧(V_{th})が同じであった。このことから、一般にMISFETのしきい値電圧(V_{th})は、ゲート電極側壁端部に位置するゲート絶縁膜の膜厚(t_{ox-b})ではなく、ゲート電極の中心部直下に位置するゲート絶縁膜の膜厚(t_{ox-a})によって決まることが判る。

10

【0039】

前記のように、周辺回路領域に形成されたゲート電極7B、7Cの直下におけるゲート絶縁膜の膜厚と、メモリアレイ領域に形成されたゲート電極7Aの直下におけるゲート絶縁膜の膜厚とを比較した場合、ゲート電極側壁端部におけるそれらの膜厚は同じである。一方、ゲート電極の中心部直下における膜厚は、メモリアレイ領域に形成されたゲート絶縁膜6aの方が周辺回路領域に形成されたゲート絶縁膜6よりも厚い。従って、上記のシミュレーション結果から、メモリアレイ領域に形成されるメモリセル選択用MISFETのしきい値電圧は、周辺回路領域に形成される相補型MISFET(nチャネル型MISFETおよびpチャネル型MISFET)のしきい値電圧よりも高くなることが判る。

20

【0040】

図17は、上記再酸化処理を行った後、メモリアレイ領域にメモリセル選択用MISFETQtを形成し、周辺回路領域にnチャネル型MISFETQnおよびpチャネル型MISFETQpを形成した状態を示している。これらのMISFET(Qt、Qn、Qp)を形成するには、まずp型ウエル3にAs(ヒ素)をイオン注入することによって、ゲート電極7A、7Bの両側のp型ウエル3にn⁻型半導体領域13を形成し、n型ウエル4にB(ホウ素)をイオン注入することによって、ゲート電極7Cの両側のn型ウエル4にp⁻型半導体領域14を形成した後、基板1上にCVD法で窒化シリコン膜15を堆積する。そして、周辺回路領域の窒化シリコン膜15を異方的にエッチングすることによって、ゲート電極7B、7Cの側壁にサイドウォールスペーサ15sを形成する。続いて、周辺回路領域のp型ウエル3にAs(ヒ素)またはP(リン)をイオン注入することによって、ゲート電極7Bの両側のp型ウエル3に高不純物濃度のn⁺型半導体領域(ソース、ドレイン)16を形成し、n型ウエル4にB(ホウ素)をイオン注入することによって、ゲート電極7Cの両側のn型ウエル4に高不純物濃度のp⁺型半導体領域(ソース、ドレイン)17を形成する。

30

【0041】

図18は、メモリセル選択用MISFETのチャネル領域にイオン注入する不純物のドーズ量と拡散層(ソース、ドレイン)の電界およびリフレッシュ特性(相対tREF)の関係を示すグラフである。ここで、図中の黒丸は、チャネル領域にイオン注入する不純物のドーズ量を示しており、黒丸(A)は、本実施の形態の不純物ドーズ量($= 6.8 \times 10^{12} / \text{cm}^2$)、黒丸(B)は、本実施の形態の適用前、すなわちしきい値電圧を一定水準以上に維持するために、不純物ドーズ量を $1.3 \times 10^{13} / \text{cm}^2$ まで高くした場合である。また、図中の白丸は、拡散層(ソース、ドレイン)の電界を示している。

40

【0042】

図示のように、本実施の形態によれば、チャネル領域の不純物ドーズ量を低くしたことによって拡散層(ソース、ドレイン)の電界強度が下がり、その結果として、本実施の形態の適用前に比べてメモリセルのリフレッシュ特性(相対tREF)が約1.6倍程度向上した。

【0043】

50

このように、本実施の形態によれば、メモリセル選択用MISFET Q_t のゲート絶縁膜6aを厚膜化してしきい値電圧を高くすることにより、チャネル領域の不純物ドーズ量を下げることが可能となるので、メモリセルのリフレッシュ特性を向上させることができる。一方、周辺回路を構成するnチャネル型MISFET Q_n およびpチャネル型MISFET Q_p のゲート絶縁膜6を薄膜化することができるので、これらのMISFET(Q_n 、 Q_p)の高性能化および低電圧動作を実現することができる。

【0044】

また、本実施の形態によれば、ゲート電極7A、7B、7Cを形成した後の再酸化処理プロセスを利用して膜厚の異なる2種類のゲート絶縁膜6、6aを形成するので、製造工程数やフォトリソの枚数を増やすことなく、DRAMの2水準ゲート絶縁膜プロセスを実現することが可能となり、2水準ゲート絶縁膜プロセスの導入に伴う製造コストの増大を防ぐことができる。

10

【0045】

図19および図20は、上記MISFET(Q_t 、 Q_n 、 Q_p)を形成した後のDRAMプロセスを簡略化して示したものであり、図19は、MISFET(Q_t 、 Q_n 、 Q_p)の上部に絶縁膜20、21を介してビット線BLおよび周辺回路の第1層配線30~33を形成した段階を示している。ビット線BLおよび第1層配線30~33は、絶縁膜21の上部に堆積したW膜をパターンニングすることによって形成する。図20は、ビット線BLの上部にメモリセルの情報蓄積用容量素子Cを形成した段階を示している。情報蓄積用容量素子Cは、ビット線BLの上部の厚い層間絶縁膜46に溝47を形成した後、この溝47の内部に多結晶シリコン膜からなる下部電極48、酸化タンタル膜からなる容量絶縁膜49およびTiN(窒化チタン)膜からなる上部電極50を積層することによって形成する。

20

【0046】

(実施の形態2)

本実施の形態によるDRAMの製造方法を図21~図25を用いて説明する。まず、図21に示すように、基板1上にゲート電極材料および窒化シリコン膜8を堆積した後、フォトリソ膜103をマスクにして窒化シリコン膜8およびゲート電極材料をドライエッチングすることにより、メモリアレイ領域にゲート電極7Aを形成し、周辺回路領域にゲート電極7B、7Cを形成する。ここまでの工程は、前記実施の形態1の図1~図9に示した工程と同一である。

30

【0047】

次に、フォトリソ膜103を除去した後、前記実施の形態1では、再酸化処理を行ったが、本実施の形態では、図22に示すように、基板1上にCVD法で酸化シリコン膜34を堆積し、続いて図23に示すように、メモリアレイ領域をフォトリソ膜(図示せず)で覆い、周辺回路領域の酸化シリコン膜34をエッチングして除去することにより、メモリアレイ領域のみに酸化シリコン膜34を残す。

【0048】

次に、図24に示すように、基板1上にCVD法で堆積した窒化シリコン膜を異方性エッチングすることによって、ゲート電極7A、7B、7Cの側壁にサイドウォールスペーサ35を形成する。図25に拡大して示すように、上記サイドウォールスペーサ35を形成すると、メモリアレイ領域に形成したゲート電極7Aの側壁下端部には、CVD法で堆積した酸化シリコン膜34の一端が露出する。一方、周辺回路領域は、あらかじめ酸化シリコン膜34を除去してあるので、ゲート電極7B、7Cの側壁は、その下端部も含めて、窒化シリコン膜からなるサイドウォールスペーサで覆われる。

40

【0049】

次に、この状態で再酸化処理を行う。再酸化の条件は、前記実施の形態1と同じでよい。前述したように、メモリアレイ領域に形成したゲート電極7Aの側壁下端部には、CVD法で堆積した酸化シリコン膜34の一端が露出している。一般に、CVD法で堆積した酸化シリコン膜は、熱酸化処理によって形成した酸化シリコン膜に比べて膜中に空隙が多く

50

、緻密性が低いという特徴がある。そのため、再酸化処理を行うと、図26に示すように、雰囲気中の酸化種がゲート電極7Aの側壁下端部に露出した酸化シリコン膜34の一端を通じてゲート電極7Aの中心部に侵入する。そのため、ゲート電極7Aの側壁下部に厚い膜厚のゲート絶縁膜6'が形成されると、そのバズピークがゲート電極7Aの中心部にまで入り込み、ゲート電極7Aの中心部直下に厚い膜厚を有するゲート絶縁膜6aが形成される。

【0050】

一方、周辺回路領域に形成されたゲート電極7B、7Cの側壁は、酸化シリコン膜よりも緻密な窒化シリコン膜からなるサイドウォールスペーサ35によって覆われているため、雰囲気中の酸化種がゲート電極7Aの下部に侵入し難い。そのため、ゲート電極7B、7Cの周辺部に厚いゲート絶縁膜6'が形成されても、そのバズピークがゲート電極7B、7Cの中心部にまで入り込むことはない。従って、ゲート電極7B、7Cの中心部直下におけるゲート絶縁膜6の膜厚は、再酸化処理前とほぼ同じ膜厚となる。

10

【0051】

このように、本実施の形態によれば、フォトマスクの枚数を増やすことなく、DRAMの2水準ゲート絶縁膜プロセスを実現することができるので、2水準ゲート絶縁膜プロセスの導入に伴う製造コストの増大を防ぐことができる。

【0052】

DRAMの微細化がさらに進むと、メモリアレイ領域に形成されるゲート電極7Aだけでなく、周辺回路領域に形成されるゲート電極7B、7Cのゲート長も極めて短くなる。この場合は、再酸化処理を行うとゲート電極7B、7Cの中心部直下のゲート絶縁膜も厚膜化してしまうため、前記実施の形態1の方法では、2水準ゲート絶縁膜プロセスを実現することが困難になる。これに対し、本実施の形態の方法によれば、ゲート電極7A、7B、7Cのゲート長に関係なく、2水準ゲート絶縁膜プロセスを実現することができる。

20

【0053】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0054】

前記実施の形態では、ゲート絶縁膜を酸化シリコン膜で構成した場合について説明したが、これに限定されるものではなく、部分的に窒化処理された酸化シリコン膜や、酸化シリコン膜と他の高誘電体膜との積層膜でゲート絶縁膜を構成する場合にも適用することができる。

30

【0055】

前記実施の形態の形態では、周辺回路を構成する全てのMISFETが同一の膜厚のゲート絶縁膜を有するDRAMについて説明したが、周辺回路を構成するMISFETが薄い膜厚のゲート絶縁膜を有するMISFETと厚い膜厚のゲート絶縁膜を有するMISFETとで構成されているDRAMにも適用することができる。このようなDRAMに本発明を適用した場合は、メモリセルを構成するゲート電極の中心部の直下に形成されたゲート絶縁膜の膜厚は、周辺回路の薄いゲート絶縁膜を有するMISFETのゲート電極の中心部直下に形成されたゲート絶縁膜の膜厚よりも厚くなり、かつ周辺回路の厚いゲート絶縁膜を有するMISFETのゲート電極の中心部直下に形成されたゲート絶縁膜の膜厚よりも厚くなる。

40

【0056】

本発明は、汎用DRAMのみならず、DRAM-ロジック混載LSIに適用することもできる。

【0057】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

50

【 0 0 5 8 】

製造工程数やフォトマスクの枚数を増やすことなく、D R A Mの2水準ゲート絶縁膜プロセスを実現することができるので、製造コストを増やすことなくD R A Mの性能を向上させることができる。

【 図面の簡単な説明 】

【 図 1 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

【 図 2 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部平面図である。

【 図 3 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

10

【 図 4 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

【 図 5 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

【 図 6 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

【 図 7 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

【 図 8 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

20

【 図 9 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

【 図 1 0 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部平面図である。

【 図 1 1 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

【 図 1 2 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部拡大断面図である。

【 図 1 3 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部拡大断面図である。

30

【 図 1 4 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部拡大断面図である。

【 図 1 5 】ゲート電極の中心部直下に位置するゲート絶縁膜の膜厚とM I S F E Tのしきい値電圧との関係をシミュレーションした結果を示すグラフである。

【 図 1 6 】図 1 5 に示すシミュレーションに用いたM I S F E Tのゲート長を説明する図である。

【 図 1 7 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

【 図 1 8 】メモリセル選択用M I S F E Tのチャネル領域にイオン注入する不純物のドーピング量と拡散層の電界およびリフレッシュ特性の関係を示すグラフである。

40

【 図 1 9 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

【 図 2 0 】本発明の一実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

【 図 2 1 】本発明の他の実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

【 図 2 2 】本発明の他の実施の形態であるD R A Mの製造方法を示す半導体基板の要部断面図である。

【 図 2 3 】本発明の他の実施の形態であるD R A Mの製造方法を示す半導体基板の要部断

50

面図である。

【図24】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図25】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部拡大断面図である。

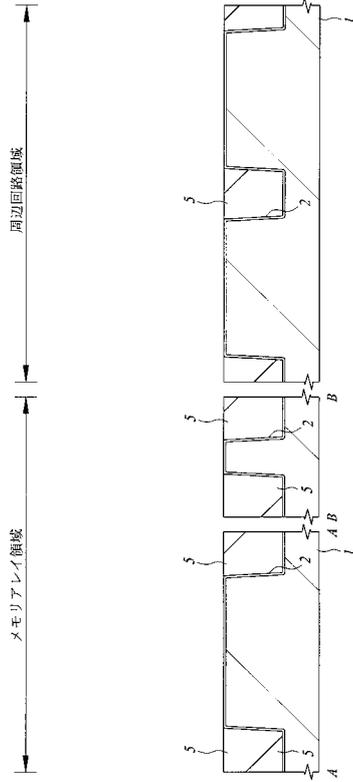
【図26】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部拡大断面図である。

【符号の説明】

1	半導体基板	
2	素子分離溝	10
3	p型ウエル	
4	n型ウエル	
5	酸化シリコン膜	
6、6a、6'	ゲート絶縁膜	
7A、7B、7C	ゲート電極	
8	窒化シリコン膜	
10	多結晶シリコン膜	
11	WN膜	
12	W膜	
13	n ⁻ 型半導体領域	20
14	p ⁻ 型半導体領域	
15	窒化シリコン膜	
15s	サイドウォールスペーサ	
16	n ⁺ 型半導体領域(ソース、ドレイン)	
17	p ⁺ 型半導体領域(ソース、ドレイン)	
20、21	絶縁膜	
30~33	第1層配線	
34	酸化シリコン膜	
35	サイドウォールスペーサ	
46	層間絶縁膜	30
47	溝	
48	下部電極	
49	容量絶縁膜	
50	上部電極	
100~103	フォトリソ膜	
BL	ビット線	
L	アクティブ領域	
C	容量素子	
Qn	nチャネル型MISFET	
Qp	pチャネル型MISFET	40
Qt	メモリセル選択用MISFET	
WL	ワード線	

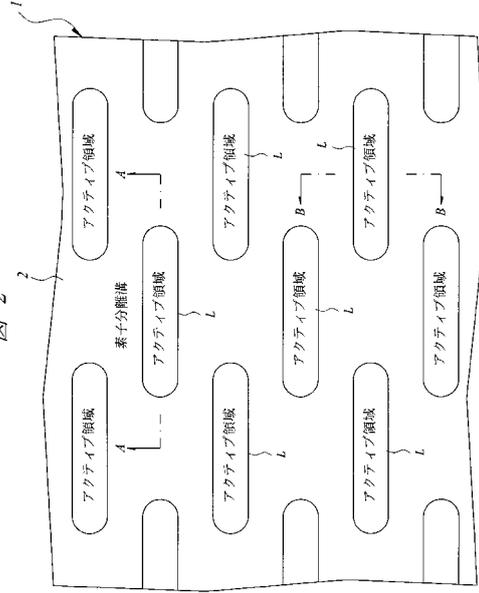
【図 1】

図 1



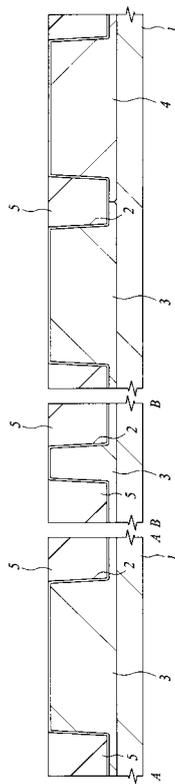
【図 2】

図 2



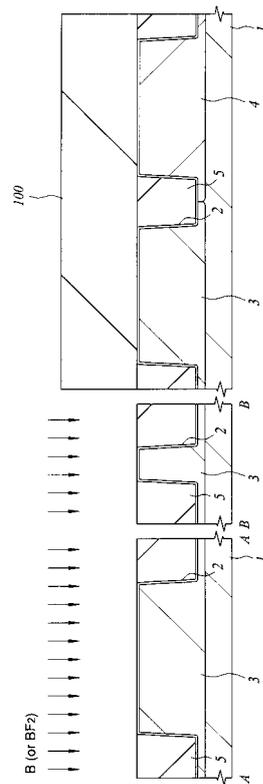
【図 3】

図 3

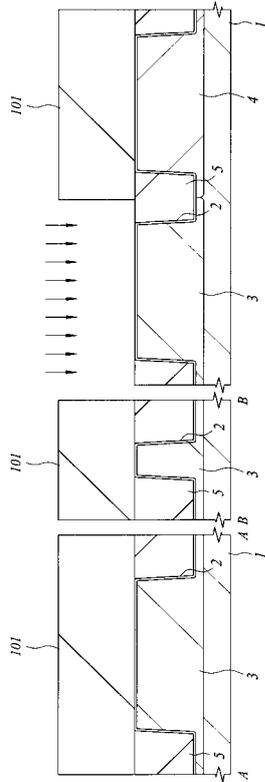


【図 4】

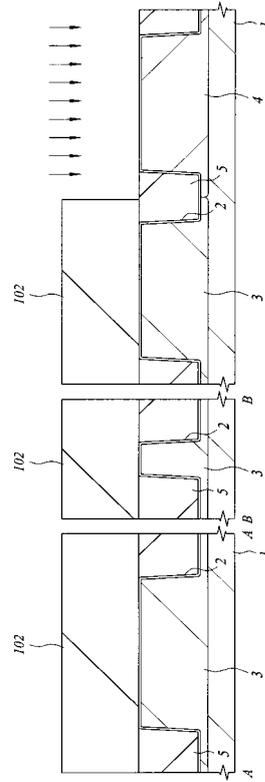
図 4



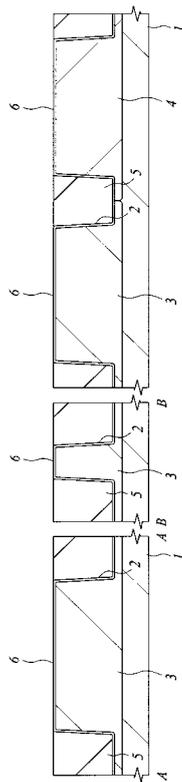
【図 5】



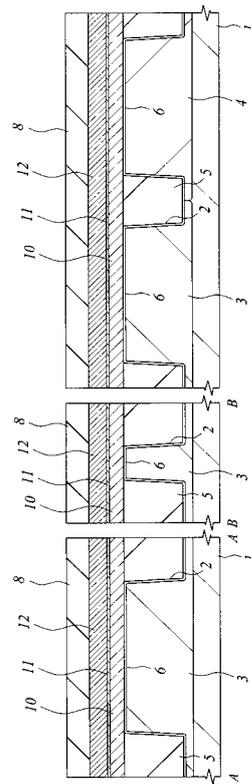
【図 6】



【図 7】

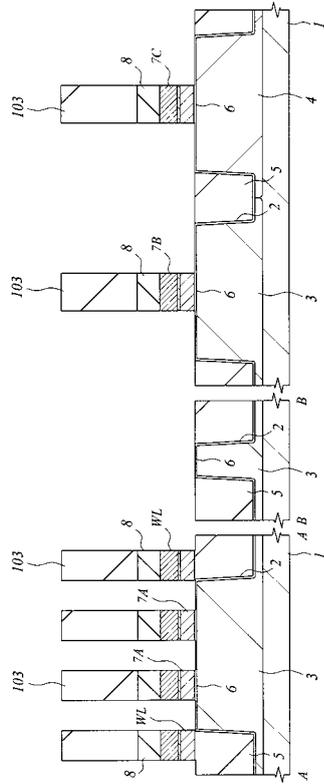


【図 8】



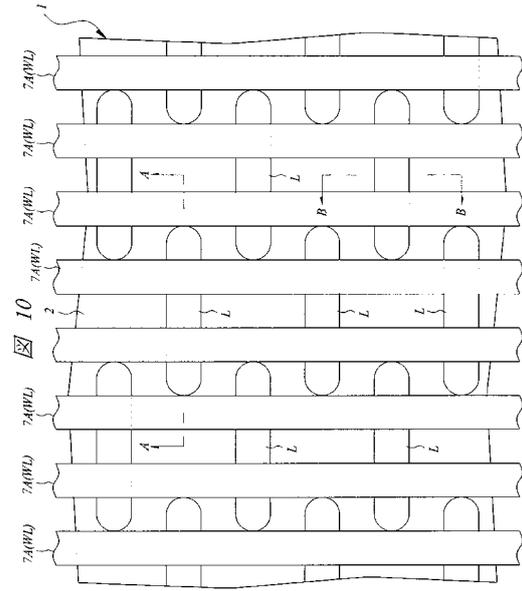
【 図 9 】

図 9



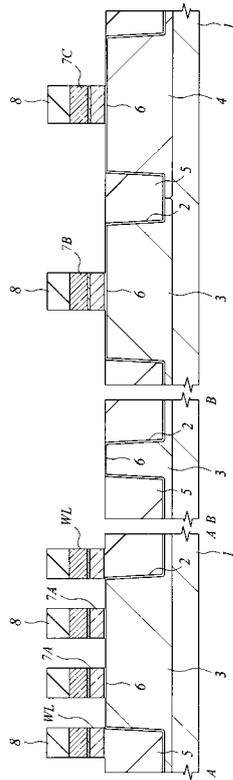
【 図 10 】

図 10



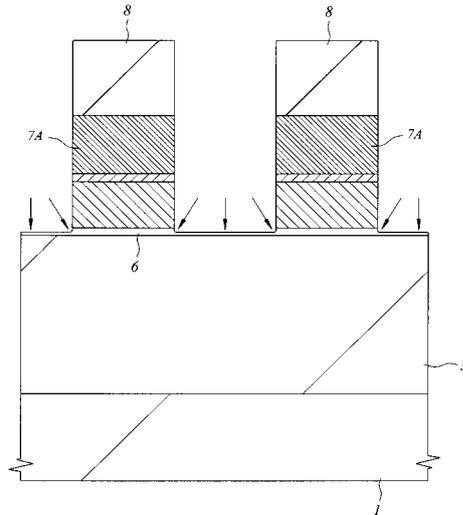
【 図 11 】

図 11

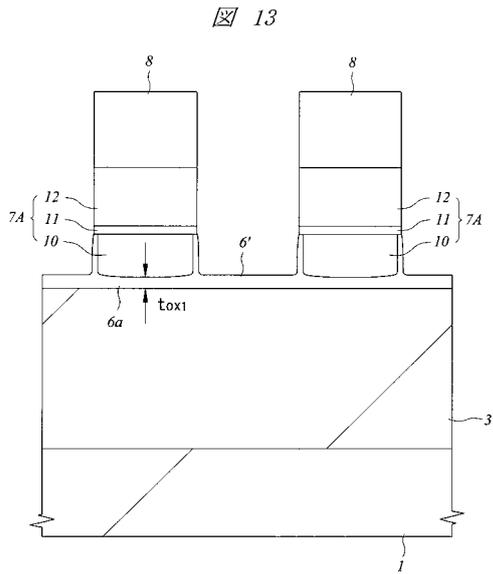


【 図 12 】

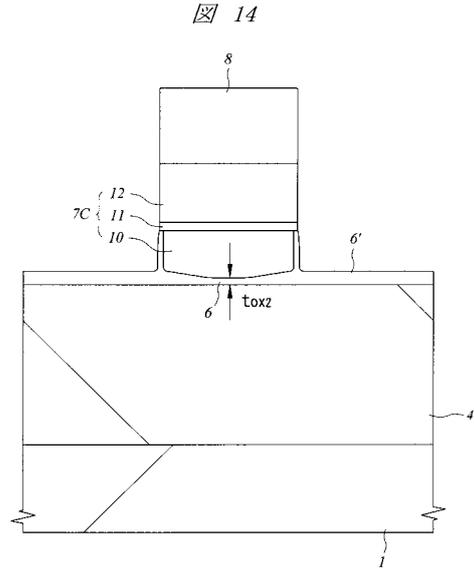
図 12



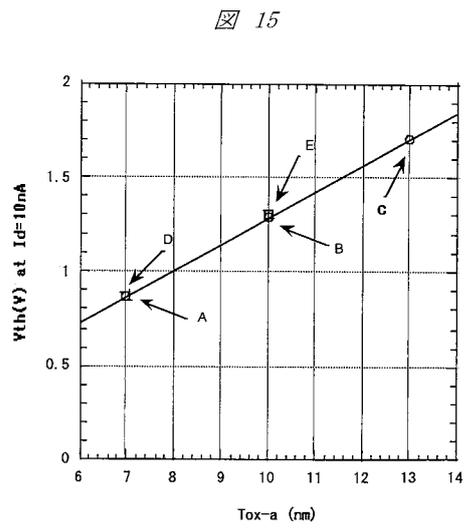
【図13】



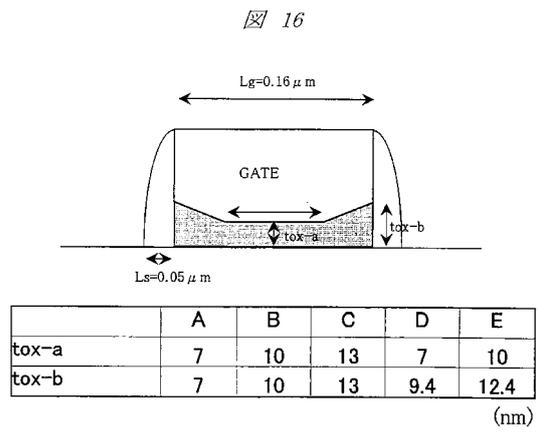
【図14】



【図15】

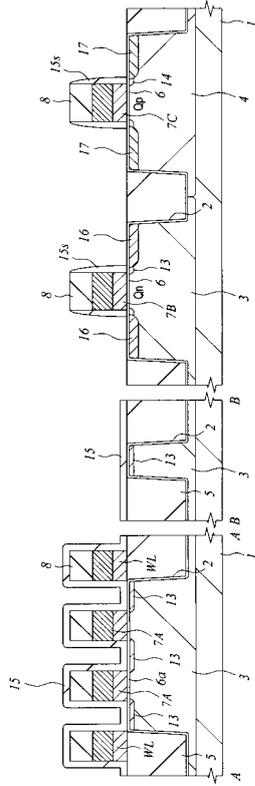


【図16】



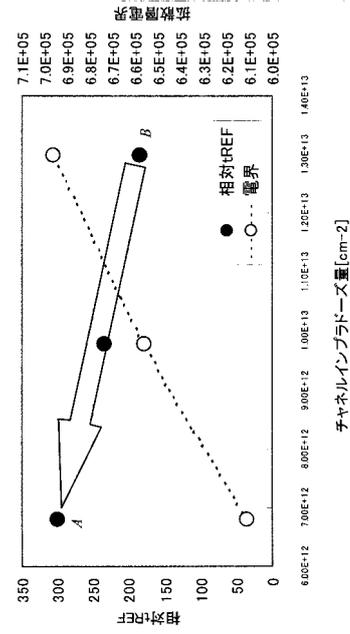
【図 17】

図 17



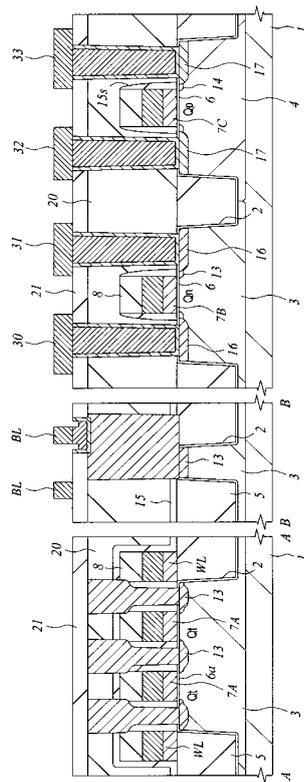
【図 18】

図 18



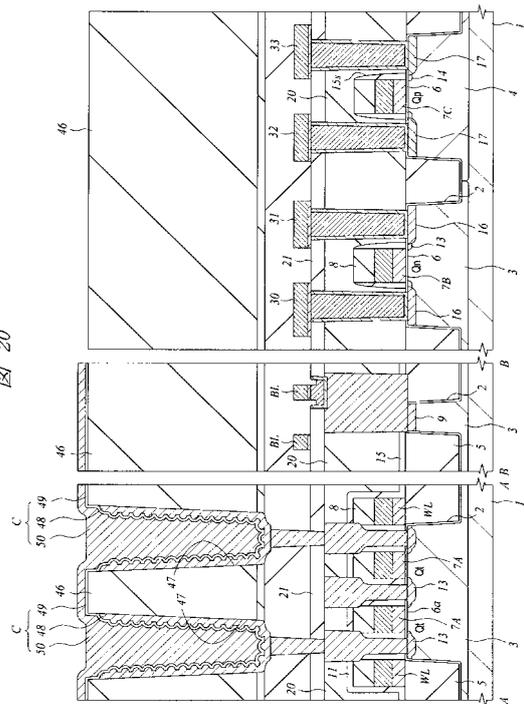
【図 19】

図 19



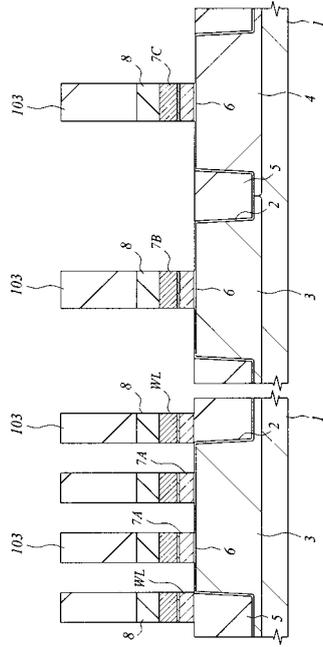
【図 20】

図 20



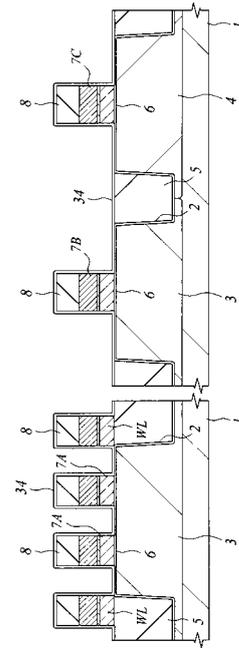
【図 21】

図 21



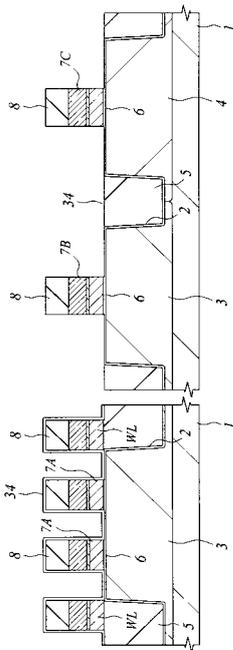
【図 22】

図 22



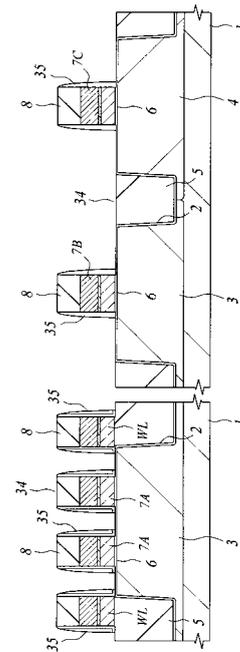
【図 23】

図 23

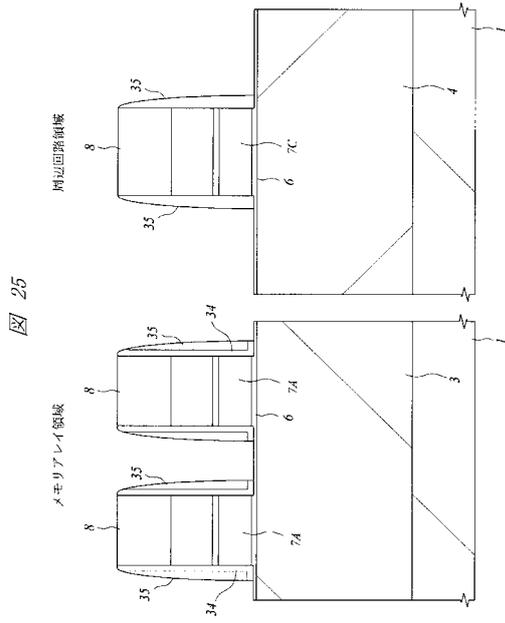


【図 24】

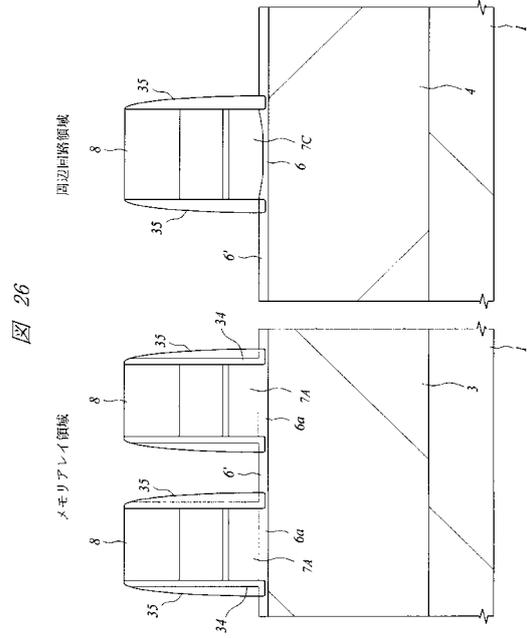
図 24



【図 25】



【図 26】



フロントページの続き

- (72)発明者 川嶋 泰彦
東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 川北 恵三
東京都中央区八重洲二丁目2-1 エルピーダメモリ株式会社内
- (72)発明者 茂庭 昌弘
東京都小平市上水本町五丁目2番1号 株式会社日立製作所 半導体グループ内
- (72)発明者 石塚 裕康
東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 清水 昭博
東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内

審査官 小川 将之

- (56)参考文献 特開平11-274313(JP,A)
特開平10-335652(JP,A)
特開2001-203275(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242
H01L 21/8238
H01L 27/092
H01L 27/108