



(12)发明专利

(10)授权公告号 CN 104184638 B

(45)授权公告日 2018.02.13

(21)申请号 201410469437.X

(22)申请日 2014.09.15

(65)同一申请的已公布的文献号
申请公布号 CN 104184638 A

(43)申请公布日 2014.12.03

(73)专利权人 杭州万高科技股份有限公司
地址 310053 浙江省杭州市滨江区六和路
368号一幢(北)四楼B4004室

(72)发明人 钟书鹏 林玲

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 王宝筠

(51)Int.Cl.
H04L 12/40(2006.01)

(56)对比文件

CN 1342938 A,2002.04.03,
CN 2657297 Y,2004.11.17,
CN 201341158 Y,2009.11.04,
CN 103746889 A,2014.04.23,
EP 2672392 A1,2013.12.11,

审查员 付苗

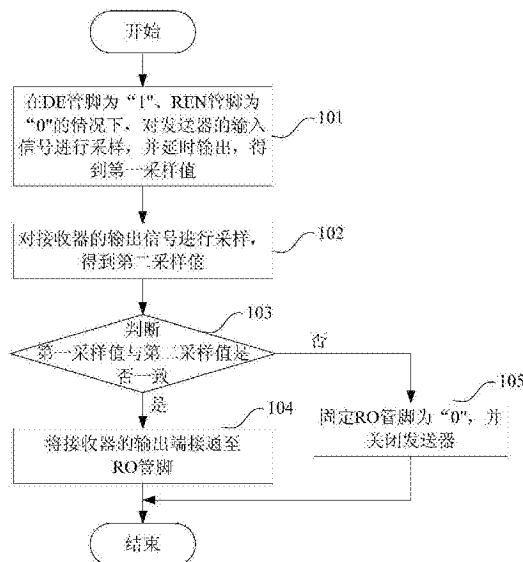
权利要求书2页 说明书6页 附图4页

(54)发明名称

RS-485总线防冲突方法、接口芯片及其通信网络

(57)摘要

本申请公开了一种RS-485总线防冲突方法、接口芯片及其通信网络,该方法包括:在RS-485接口芯片的DE管脚为高电平逻辑“1”、REN管脚为低电平逻辑“0”的情况下,对所述RS-485接口芯片中的发送器的输入信号进行采样,并延时输出,得到第一采样值;对所述RS-485接口芯片中的接收器的输出信号进行采样,得到第二采样值;判断所述第一采样值与所述第二采样值是否一致;若一致,将所述接收器的输出端接通至所述RS-485接口芯片的RO管脚;反之,固定所述RO管脚为低电平逻辑“0”,并关闭所述发送器,以实现在避免总线上信号冲突的前提下,解决从机有紧急情况却不能及时上报给主机的问题。



1. 一种RS-485总线防冲突方法,其特征在于,包括:

在RS-485接口芯片的DE管脚为高电平逻辑“1”、REN管脚为低电平逻辑“0”的情况下,对所述RS-485接口芯片中的发送器的输入信号进行采样,并延时输出,得到第一采样值;

对所述RS-485接口芯片中的接收器的输出信号进行采样,得到第二采样值;

判断所述第一采样值与所述第二采样值是否一致;

当所述第一采样值与所述第二采样值一致时,将所述接收器的输出端接通至所述RS-485接口芯片的R0管脚;反之,通过断开所述接收器的输出端与所述R0管脚的连接来固定所述R0管脚为低电平逻辑“0”,并关闭所述发送器。

2. 根据权利要求1所述的RS-485总线防冲突方法,其特征在于,所述第一采样值延时输出的时长等于信号在所述发送器和所述接收器上的延时之和。

3. 根据权利要求1所述的RS-485总线防冲突方法,其特征在于,所述对所述RS-485接口芯片中的发送器的输入信号进行采样,并延时输出,包括:

采用数字采样延时方式,对所述RS-485接口芯片中的发送器的输入信号进行采样,并延时输出。

4. 根据权利要求1所述的RS-485总线防冲突方法,其特征在于,所述对所述RS-485接口芯片中的发送器的输入信号进行采样,并延时输出,包括:

采用模拟RC滤波延时方式,对所述RS-485接口芯片中的发送器的输入信号进行采样,并延时输出。

5. 一种RS-485接口芯片,包括发送器和接收器,其中所述发送器的输出端和所述接收器的输入端均连接至所述RS-485接口芯片的A/B引脚,其特征在于,还包括:

连接在所述RS-485接口芯片的R0管脚与所述接收器的输出端之间,并与所述发送器相连的RS-485总线防冲突模块,用于在所述RS-485接口芯片的DE管脚为高电平逻辑“1”、REN管脚为低电平逻辑“0”的情况下,对所述发送器的输入信号进行采样,并延时输出,得到第一采样值;对所述接收器的输出信号进行采样,得到第二采样值;判断所述第一采样值与所述第二采样值是否一致;当所述第一采样值与所述第二采样值一致时,将所述接收器的输出端接通至所述R0管脚;反之,通过断开所述接收器的输出端与所述R0管脚的连接来固定所述R0管脚为低电平逻辑“0”,并关闭所述发送器。

6. 根据权利要求5所述的RS-485接口芯片,其特征在于,所述RS-485总线防冲突模块包括延时模块、检测模块、反相器、第一可控开关和第二可控开关,其中:

所述第一可控开关连接于所述R0管脚与所述接收器的输出端之间;所述第二可控开关连接于所述R0管脚与地之间;

所述检测模块具有两路输入和三路输出,用于在所述RS-485接口芯片的DE管脚为高电平逻辑“1”、REN管脚为低电平逻辑“0”的情况下,若是检测到两路输入信号一致,则分三路输出高电平逻辑“1”,若不一致,则分三路输出低电平逻辑“0”;所述检测模块的第一路输入接所述接收器的输出端,其第二路输入经所述延时模块接所述发送器的输入端,其第一路输出接所述发送器的控制端,其第二路输出接经所述反相器接所述第一可控开关的控制端,其第三路输出接所述第二可控开关的控制端。

7. 根据权利要求6所述的RS-485接口芯片,其特征在于,所述延时模块的延时时长等于信号在所述发送器和所述接收器上的延时之和。

8. 根据权利要求6所述的RS-485接口芯片,其特征在于,所述延时模块为采用数字采样延时方式的延时模块。

9. 根据权利要求6所述的RS-485接口芯片,其特征在于,所述延时模块为采用模拟RC滤波延时方式的延时模块。

10. 一种RS-485通信网络,包括主机及其与所述主机相连的多个从机,其特征在于,每一个从机具有权利要求5-9中任一项所述的RS-485接口芯片。

RS-485总线防冲突方法、接口芯片及其通信网络

技术领域

[0001] 本发明涉及通信技术领域,更具体地说,涉及RS-485总线防冲突方法、RS-485接口芯片及其RS-485通信网络。

背景技术

[0002] RS-485支持一主多从的半双工通信模式。在RS-485通信网络中,主机逐一轮询总线上的从机,从机按照轮询机制回应主机方能完成通信,从而避免了RS-485通信网络中的多个主体同时处于发送状态而造成总线上信号的冲突。但是,这套防冲突机制存在如下弊端:

[0003] 由于从机没有主动发送权限,因此即便从机有紧急情况需要上报给主机,也必须等待主机按照既定的流程和时间,查询到该从机时才能上报,致使信息传递不及时。

发明内容

[0004] 有鉴于此,本发明提供RS-485总线防冲突方法、接口芯片及其通信网络,以实现在避免总线上信号冲突的前提下,解决从机有紧急情况却不能及时上报给主机的问题。

[0005] 一种RS-485总线防冲突方法,包括:

[0006] 在RS-485接口芯片的DE管脚为高电平逻辑“1”、REN管脚为低电平逻辑“0”的情况下,对所述RS-485接口芯片中的发送器的输入信号进行采样,并延时输出,得到第一采样值;

[0007] 对所述RS-485接口芯片中的接收器的输出信号进行采样,得到第二采样值;

[0008] 判断所述第一采样值与所述第二采样值是否一致;

[0009] 当所述第一采样值与所述第二采样值一致时,将所述接收器的输出端接通至所述RS-485接口芯片的R0管脚;反之,固定所述R0管脚为低电平逻辑“0”,并关闭所述发送器。

[0010] 其中,所述第一采样值延时输出的时长等于信号在所述发送器和所述接收器上的延时之和。

[0011] 其中,所述对所述RS-485接口芯片中的发送器的输入信号进行采样,并延时输出,包括:采用数字采样延时方式,对所述RS-485接口芯片中的发送器的输入信号进行采样,并延时输出。

[0012] 其中,所述对所述RS-485接口芯片中的发送器的输入信号进行采样,并延时输出,包括:采用模拟RC滤波延时方式,对所述RS-485接口芯片中的发送器的输入信号进行采样,并延时输出。

[0013] 一种RS-485接口芯片,包括发送器和接收器,其中所述发送器的输出端和所述接收器的输入端均连接至所述RS-485接口芯片的A/B引脚,此外,还包括:

[0014] 连接在所述RS-485接口芯片的R0管脚与所述接收器的输出端之间,并与所述发送器相连的RS-485总线防冲突模块,用于在所述RS-485接口芯片的DE管脚为高电平逻辑“1”、REN管脚为低电平逻辑“0”的情况下,对所述发送器的输入信号进行采样,并延时输出,得到

第一采样值;对所述接收器的输出信号进行采样,得到第二采样值;判断所述第一采样值与所述第二采样值是否一致;当所述第一采样值与所述第二采样值一致时,将所述接收器的输出端接通至所述R0管脚;反之,固定所述R0管脚为低电平逻辑“0”,并关闭所述发送器。

[0015] 其中,所述RS-485总线防冲突模块包括延时模块、检测模块、反相器、第一可控开关和第二可控开关,其中:

[0016] 所述第一可控开关连接于所述R0管脚与所述接收器的输出端之间;所述第二可控开关连接于所述R0管脚与地之间;

[0017] 所述检测模块具有两路输入和三路输出,用于在所述RS-485接口芯片的DE管脚为高电平逻辑“1”、REN管脚为低电平逻辑“0”的情况下,若是检测到两路输入信号一致,则分三路输出高电平逻辑“1”,若不一致,则分三路输出低电平逻辑“0”;所述检测模块的第一路输入接所述接收器的输出端,其第二路输入经所述延时模块接所述发送器的输入端,其第一路输出接所述发送器的控制端,其第二路输出接经所述反相器接所述第一可控开关的控制端,其第三路输出接所述第二可控开关的控制端。

[0018] 其中,所述延时模块的延时时长等于信号在所述发送器和所述接收器上的延时之和。

[0019] 其中,所述延时模块为采用数字采样延时方式的延时模块。

[0020] 其中,所述延时模块为采用模拟RC滤波延时方式的延时模块。

[0021] 一种RS-485通信网络,包括主机及其与所述主机相连的多个从机,所述每一个从机具有上述任一种RS-485接口芯片。

[0022] 从上述的技术方案可以看出,本发明赋予所有从机主动发送权限,当某一从机RS-485接口芯片中的发送器的输入信号与接收器的输出信号一致时,说明总线上无信号冲突,此时发送器可以继续向主机发送信号;若不一致,则说明总线上有信号冲突且该从机自身驱动能力较弱,此时应该禁止接收器将信号输出到R0管脚,并关闭发送器以避免在后续通信过程中影响其他主体间的正常通信。从而,只需将有紧急情况的从机视为驱动能力较强的主体,那么该主体无需等待主机的查询就可将信号及时上报给主机,且总线上不存在信号的冲突。

附图说明

[0023] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据提供的附图获得其他的附图。

[0024] 图1为本发明实施例公开的一种RS-485总线防冲突方法流程图;

[0025] 图2为现有技术公开的一种RS-485接口芯片的管脚定义图;

[0026] 图3为现有技术公开的一种RS-485通讯网络结构示意图;

[0027] 图4为本发明实施例公开的一种RS-485接口芯片结构示意图;

[0028] 图5为本发明实施例公开的一种RS-485通信网络结构示意图。

具体实施方式

[0029] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0030] 参见图1,本发明实施例公开了一种RS-485总线防冲突方法,以实现在避免总线上信号冲突的前提下,解决从机有紧急情况却不能及时上报给主机的问题,包括:

[0031] 步骤101:在RS-485接口芯片的DE管脚为高电平逻辑“1”、REN管脚为低电平逻辑“0”的情况下,对所述RS-485接口芯片中的发送器的输入信号进行采样,并延时输出,得到第一采样值;

[0032] 步骤102:对所述RS-485接口芯片中的接收器的输出信号进行采样,得到第二采样值;

[0033] 步骤103:判断所述第一采样值与所述第二采样值是否一致,若一致,进入步骤104,反之进入步骤105;

[0034] 步骤104:将所述接收器的输出端接通至所述RS-485接口芯片的R0管脚。

[0035] 步骤105:固定所述R0管脚为低电平逻辑“0”,并关闭所述发送器。

[0036] 本实施例赋予所有从机主动发送权限,当某一从机RS-485接口芯片中的发送器的输入信号与接收器的输出信号一致时,说明总线上无信号冲突,此时发送器可以继续向主机发送信号;若不一致,则说明总线上有信号冲突且该从机自身驱动能力较弱,此时应该禁止接收器将信号输出到R0管脚,并关闭该发送器以避免在后续通信过程中影响其他主体间的正常通信。从而,只需将有紧急情况的从机视为驱动能力较强的主体,那么该主体无需等待主机的查询就可将信号及时上报给主机,且总线上不会出现信号的冲突。

[0037] 为了清楚地描述本实施例所述的技术方案,下面从RS-485接口芯片的结构和工作原理入手,对本技术方案进行详述。

[0038] 已知RS-485接口芯片的管脚定义如图2所示,包括:

[0039] Ro:接收器输出信号;

[0040] REN:接收器禁止信号;

[0041] DE:发送器使能信号;

[0042] DI:发送器信号输入;

[0043] GND:地;

[0044] VCC:电源;

[0045] A/B:信号引脚;当DE和REN都为高电平逻辑“1”时,A/B作为发送器的输出引脚;当DE/REN都为低电平逻辑“0”时,A/B作为接收器的输入引脚;当DE为高电平逻辑“1”、REN为低电平逻辑“0”时,A/B同时作为发送器的输出和接收器的输入。

[0046] 其中,发送器和接收器均属于RS-485接口芯片内部原有的模块,发送器的输入端接DI管脚,发送器的输出端和接收器的输入端均连接至A/B引脚,接收器的输出端接R0管脚。

[0047] RS-485接口芯片可应用在一主一从或一主多从的通信网络中,如图3所示,该RS-485通信网络包括1个主机RS-485接口芯片#0和N个从机RS-485接口芯片#1~#N,其中, $N \geq 1$ 。

[0048] 在RS-485通信网络中,由于信号的发送和接收都要通过A/B引脚实现,因此只能工作在半双工通信模式。现有的RS-485通信网络遵循“主机逐一轮询总线上的从机,从机按照轮询机制回应主机方能完成通信”的防冲突机制,即:在现有的RS-485通信网络里,同一时刻仅有一个主体处于发送状态;从机没有主动发送权限,只能聆听主机的召唤,当主机查询到某一从机时,该从机才能获得发送权限,将信号发送给主机,虽避免了多个主体同时处于发送状态造成总线上信号的冲突,但是也存在从机有紧急情况却不能及时上报给主机的弊端。

[0049] 究其原因,就在于为避免总线上信号冲突,从机不设置主动发送权限。为解决该问题,本实施例令从机RS-485接口芯片中的发送器和接收器均处于工作状态(即令DE为高电平逻辑“1”、REN为低电平逻辑“0”),之后,将采样得到的同一从机RS-485接口芯片中的发送器的输入信号与接收器的输出信号作对比。

[0050] 若总线上无信号冲突,则接收器的输出信号就是发送器的输入信号,可直接通过R0管脚输出,且发送器继续保持在工作状态。其中,考虑到信号在发送器和接收器上传输时会有一定的延时,若直接采样发送器的输入信号与接收器的输出信号作对比必然会使检测结果不准确,因此本实施例在采样到发送器的输入信号后进行延时输出,其延时时长应与信号在发送器和接收器上的延时之和相当(优选为相等),约在微秒级;该延时可采用多种方式实现,如数字采样延时方式或模拟RC滤波延时方式等,并不局限。

[0051] 若总线上有信号冲突且从机自身驱动能力较弱(总线上的信号由驱动能力强的主体决定),则接收器的输出信号与发送器的输入信号不符,此时应断开接收器的输出端与R0管脚的连接以禁止接收器将信号输出到R0管脚,同时关闭发送器以避免在后续通信过程中影响其他主体间的正常通信。从机的MCU(Micro Control Unit,微控制单元)在检测到R0管脚在一定时间内持续为低电平逻辑“0”后,即可认识到自身的发送未成功,将等待一段时间后重新发送。

[0052] 从而,本实施例只需将有紧急情况的从机视为驱动能力较强的主体,那么该从机无需等待主机的查询就可将信号及时上报给主机,且总线上不会出现信号的冲突,解决了现有技术存在的问题。此外,由于主机无需再轮询各个从机,因此降低了主机的工作负担。

[0053] 参见图4,本发明实施例公开了一种RS-485接口芯片,以实现在避免总线上信号冲突的前提下,解决从机有紧急情况却不能及时上报给主机的问题,包括:

[0054] 发送器10;

[0055] 接收器20,其中,发送器10的输出端和接收器20的输入端均连接至所述RS-485接口芯片的A/B引脚;

[0056] 以及连接在所述RS-485接口芯片的R0管脚与接收器20的输出端之间,并与发送器10相连的RS-485总线防冲突模块30,用于在所述RS-485接口芯片的DE管脚为高电平逻辑“1”、REN管脚为低电平逻辑“0”的情况下,对发送器10的输入信号进行采样,并延时输出,得到第一采样值;对接收器20的输出信号进行采样,得到第二采样值;判断所述第一采样值与所述第二采样值是否一致;当所述第一采样值与所述第二采样值一致时,将接收器20的输出端接通至所述R0管脚;反之,固定所述R0管脚为低电平逻辑“0”,并关闭发送器10。

[0057] 其中,仍参见图4,所述RS-485总线防冲突模块具体包括:延时模块31、检测模块32、反相器33、第一可控开关S1和第二可控开关S2,其中:

[0058] 第一可控开关S1连接于R0管脚与接收器20的输出端之间;第二可控开关S2连接于R0管脚与地之间;

[0059] 检测模块32具有两路输入和三路输出,用于在所述RS-485接口芯片的DE管脚为高电平逻辑“1”、REN管脚为低电平逻辑“0”的情况下,若是检测到两路输入信号一致时,则分三路输出高电平逻辑“1”,若不一致,则分三路输出低电平逻辑“0”;

[0060] 检测模块32的第一路输入接接收器20的输出端,其第二路输入经延时模块31接发送器10的输入端,其第一路输出接发送器10的控制端ENN,其第二路输出接经反相器33接第一可控开关S1的控制端,其第三路输出接第二可控开关S2的控制端。

[0061] 分析可知,当检测模块32的三路输出均为高电平逻辑“1”时,第一可控开关S1闭合、第二可控开关S2断开,从而使接收器10的输出端接通至R0管脚;同时,发送器10的控制端ENN保持在高电平,使发送器10能够继续保持在工作状态。而当检测模块32的三路输出均为低电平逻辑“0”时,第一可控开关S1断开、第二可控开关S2闭合,从而使R0管脚固定为低电平逻辑“0”,从机的MCU(Micro Control Unit,微控制单元)在检测到R0管脚在一定时间内持续为低电平逻辑“0”后,即可认识到自身的发送未成功,将等待一段时间后重新发送;同时,发送器10的控制端ENN被拉低,发送器10被关闭,A/B两个引脚输出高组态,将总线释放给驱动能力较强的主体,以免在后续通讯过程中干扰其他主体的正常通信。

[0062] 其中,延时模块31的延时时长等于信号在发送器10和接收器20上的延时之和。

[0063] 其中,延时模块31可以是采用数字采样延时方式的延时模块,也可以是采用模拟RC滤波延时方式的延时模块,并不局限。

[0064] 此外,参见图5,本发明实施例还公开了一种RS-485通信网络,包括主机及其与所述主机相连的多个从机,其中,所述每一个从机具有上述任一种RS-485接口芯片。当然,为便于统一管理,所述主机也可采用与从机相同的RS-485接口芯片。

[0065] 与图3相比,可设定所述每一个从机的RS-485接口芯片的REN管脚固定接地,让接收器一直处于工作状态(如图5所示);此外,也可以设定所述每一个从机的RS-485接口芯片的REN管脚单独通过光耦连接至MCU,由MCU控制REN管脚的电平值。

[0066] 综上所述,本发明赋予所有从机主动发送权限,当某一从机RS-485接口芯片中的发送器的输入信号与接收器的输出信号一致时,说明总线上无信号冲突,此时发送器可以继续向主机发送信号;若不一致,则说明总线上有信号冲突且该从机自身驱动能力较弱,此时应该禁止接收器将信号输出到R0管脚,并关闭发送器以避免在后续通信过程中影响其他主体间的正常通信。从而,只需将有紧急情况的从机视为驱动能力较强的主体,那么该主体无需等待主机的查询就可将信号及时上报给主机,且总线上不存在信号的冲突。

[0067] 本说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分互相参见即可。对于实施例公开的RS-485接口芯片而言,由于其与实施例公开的方法相对应,所以描述的比较简单,相关之处参见方法部分说明即可。

[0068] 对所公开的实施例的上述说明,使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和新颖特点相一

致的最宽的范围。

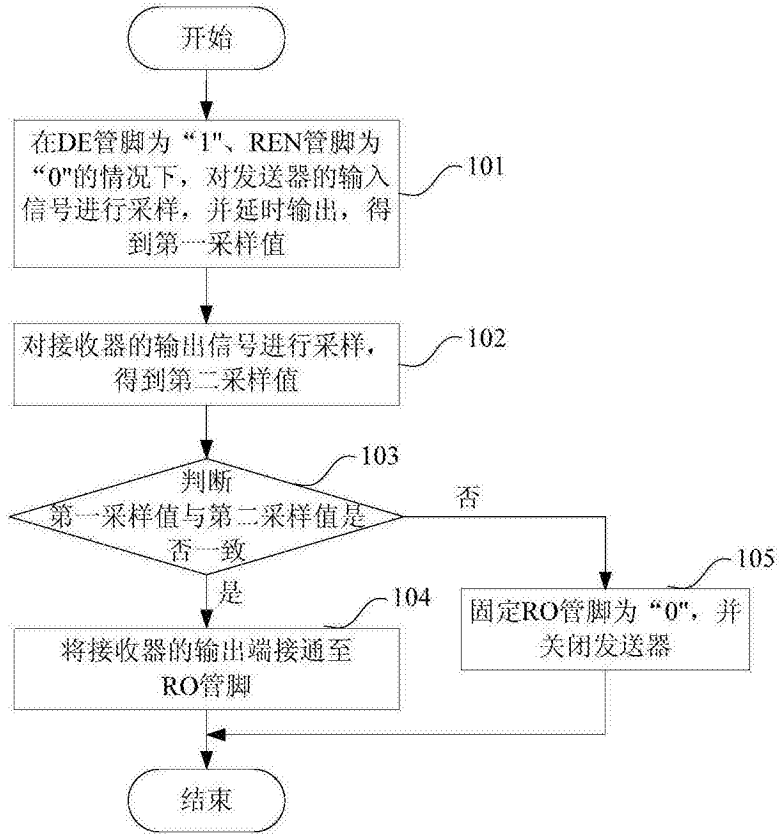


图1

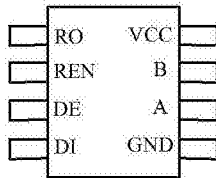


图2

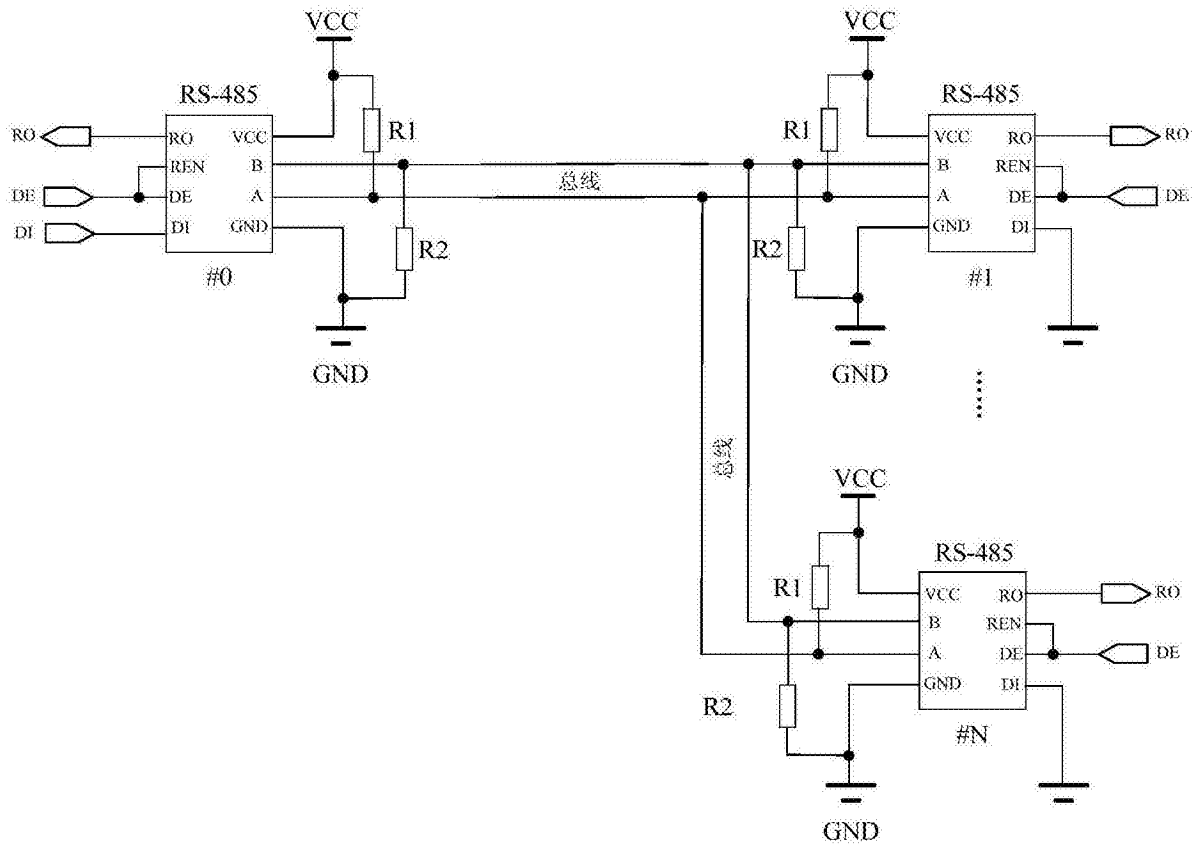


图3

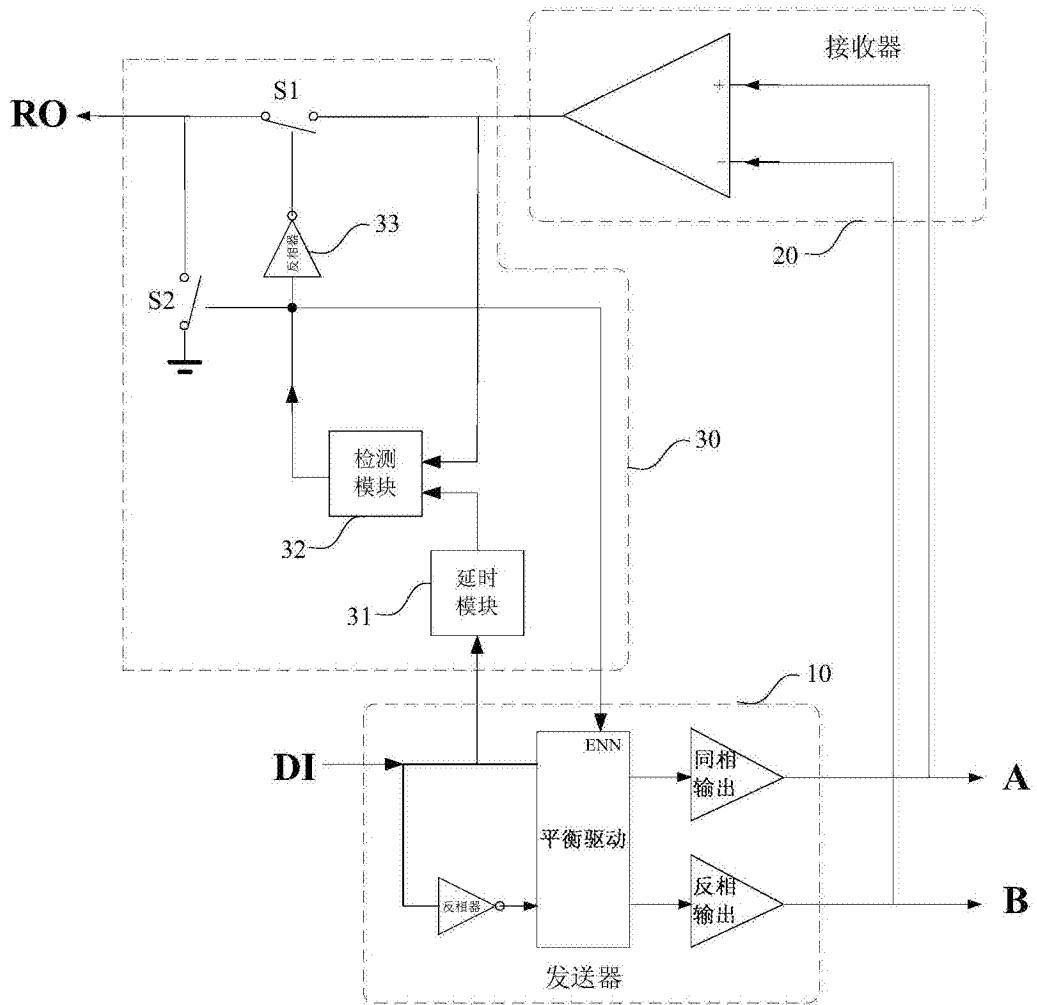


图4

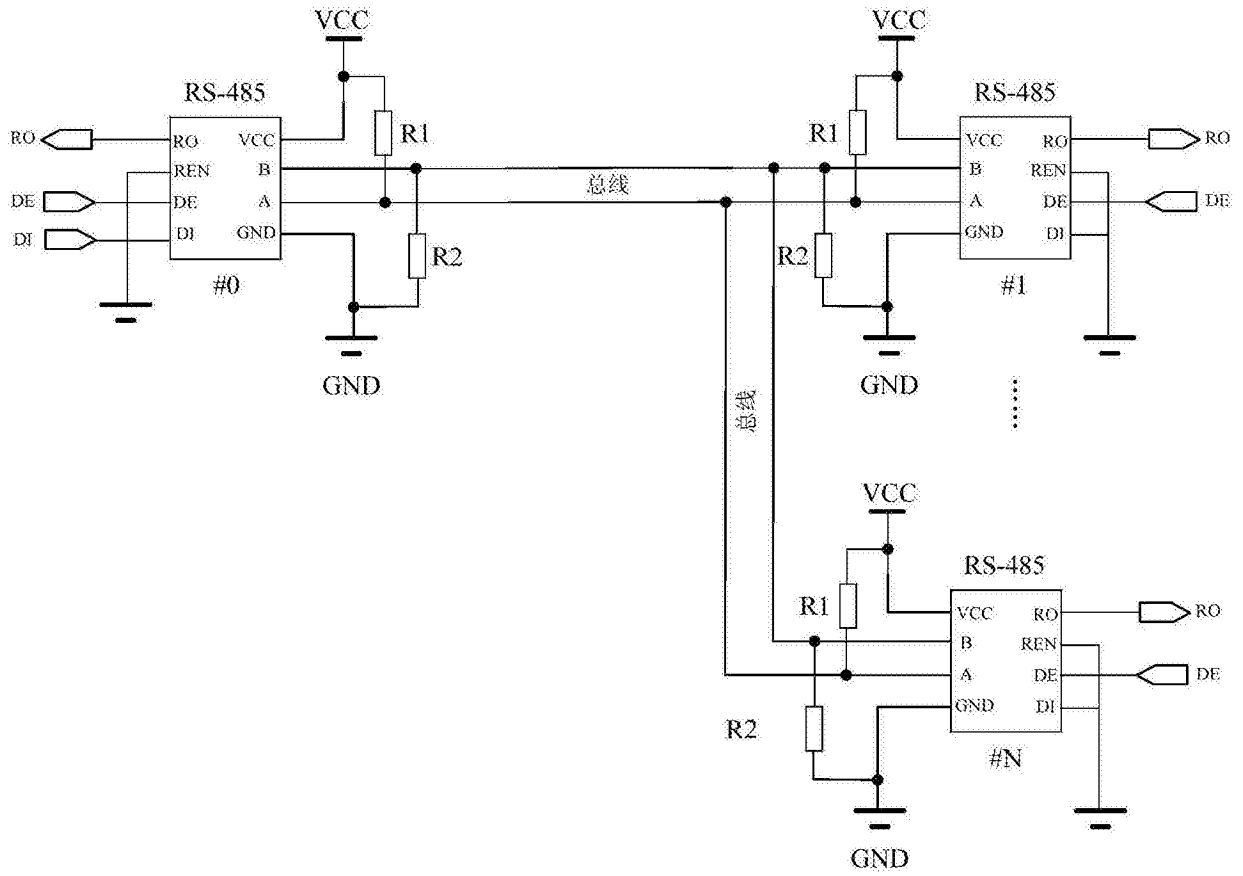


图5