

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4558121号
(P4558121)

(45) 発行日 平成22年10月6日(2010.10.6)

(24) 登録日 平成22年7月30日(2010.7.30)

(51) Int.Cl.		F I		
HO 1 L	21/336	(2006.01)	HO 1 L	29/78 6 1 7 S
HO 1 L	29/786	(2006.01)	HO 1 L	29/78 6 1 2 B
GO 2 F	1/1368	(2006.01)	GO 2 F	1/1368

請求項の数 10 (全 37 頁)

(21) 出願番号	特願2000-690 (P2000-690)	(73) 特許権者	000153878
(22) 出願日	平成12年1月6日(2000.1.6)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2000-269511 (P2000-269511A)		神奈川県厚木市長谷398番地
(43) 公開日	平成12年9月29日(2000.9.29)	(72) 発明者	山崎 舜平
審査請求日	平成18年12月26日(2006.12.26)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願平11-4701		半導体エネルギー研究所内
(32) 優先日	平成11年1月11日(1999.1.11)	(72) 発明者	小山 潤
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	柴田 寛
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	福永 健司
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【特許請求の範囲】

【請求項1】

第1の薄膜トランジスタと、第2の薄膜トランジスタと、前記第1の薄膜トランジスタのドレインと下部電極が電気的に接続された保持容量と、を有し、

前記第1の薄膜トランジスタは、第1の半導体膜と、前記第1の半導体膜上の第1の絶縁膜と、前記第1の絶縁膜上の第1の配線と、を有し、

前記第2の薄膜トランジスタは、第2の半導体膜と、前記第2の半導体膜上の第2の絶縁膜と、前記第2の絶縁膜上の第2の配線と、を有し、

前記保持容量は、第3の半導体膜と、前記第3の半導体膜上の第3の絶縁膜と、前記第3の絶縁膜上の第3の配線と、を有し、

前記第2及び第3の絶縁膜は、前記第1の絶縁膜よりも薄い熱酸化膜であり、

前記第2の半導体膜における前記第2の配線の乗り越え部には、前記第1の絶縁膜と同一層の絶縁膜が設けられており、

前記第3の半導体膜における前記第3の配線の乗り越え部には、前記第1の絶縁膜と同一層の絶縁膜が設けられていることを特徴とする半導体装置。

【請求項2】

請求項1において、

前記第1の半導体膜の下には導電性の遮光膜が設けられており、

前記導電性の遮光膜は、基板上に形成される回路全体の最低電源電位又は前記最低電源電位よりも低い電位に設定されることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

第 3 の薄膜トランジスタを有し、

前記第 3 の薄膜トランジスタは、第 4 の半導体膜と、前記第 4 の半導体膜上の第 4 の絶縁膜と、前記第 4 の絶縁膜上の第 4 の配線と、を有し、

前記第 4 の絶縁膜は、前記第 1 の絶縁膜と同時に形成された絶縁膜であり、

前記第 1 の薄膜トランジスタ及び前記保持容量は画素部に配置されており、

前記第 2 の薄膜トランジスタは、シフトレジスタ回路に配置されており、

前記第 3 の薄膜トランジスタは、レベルシフト回路、パッファ回路、又はサンプリング回路に配置されていることを特徴とする半導体装置。

10

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 3 の半導体膜は、前記第 1 の半導体膜から延長されて形成されていることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 2 及び第 3 の絶縁膜は、前記第 1 の絶縁膜を形成した後に形成されたものであることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか一項に記載の半導体装置の作製方法であって、

前記第 1 の絶縁膜を形成した後に前記第 2 及び第 3 の絶縁膜を形成することを特徴とする半導体装置の作製方法。

20

【請求項 7】

第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタと、前記第 1 の薄膜トランジスタのドレインと下部電極が電氣的に接続された保持容量と、を有し、

前記第 1 の薄膜トランジスタは、第 1 の半導体膜と、前記第 1 の半導体膜上の第 1 の絶縁膜と、前記第 1 の絶縁膜上の第 1 の配線と、を有し、

前記第 2 の薄膜トランジスタは、第 2 の半導体膜と、前記第 2 の半導体膜上の第 2 の絶縁膜と、前記第 2 の絶縁膜上の第 2 の配線と、を有し、

前記保持容量は、第 3 の半導体膜と、前記第 3 の半導体膜上の第 3 の絶縁膜と、前記第 3 の絶縁膜上の第 3 の配線と、を有する半導体装置の作製方法であって、

前記第 1 乃至前記第 3 の半導体膜を形成し、

前記第 1 の半導体膜上に前記第 1 の絶縁膜を選択的に形成すると同時に、前記第 2 の半導体膜における前記第 2 の配線の乗り越え部に第 1 の絶縁膜と同一層の絶縁膜を選択的に形成し、且つ、前記第 3 の半導体膜における前記第 3 の配線の乗り越え部に第 1 の絶縁膜と同一層の絶縁膜を選択的に形成し、

前記第 2 及び第 3 の半導体膜を熱酸化して前記第 2 及び第 3 の絶縁膜を形成し、

前記第 1 乃至第 3 の絶縁膜上にそれぞれ前記第 1 乃至第 3 の配線を形成することを特徴とする半導体装置の作製方法。

30

【請求項 8】

請求項 7 において、

前記第 1 の半導体膜の下には導電性の遮光膜が設けられており、

前記導電性の遮光膜は、基板上に形成される回路全体の最低電源電位又は前記最低電源電位よりも低い電位に設定されることを特徴とする半導体装置の作製方法。

40

【請求項 9】

請求項 7 又は請求項 8 において、

第 3 の薄膜トランジスタを有し、

前記第 3 の薄膜トランジスタは、第 4 の半導体膜と、前記第 4 の半導体膜上の第 4 の絶縁膜と、前記第 4 の絶縁膜上の第 4 の配線と、を有し、

前記第 4 の絶縁膜は、前記第 1 の絶縁膜と同時に形成された絶縁膜であり、

50

前記第 1 の薄膜トランジスタ及び前記保持容量は画素部に配置されており、
 前記第 2 の薄膜トランジスタは、シフトレジスタ回路に配置されており、
 前記第 3 の薄膜トランジスタは、レベルシフト回路、バッファ回路、又はサンプリング回路に配置されていることを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 7 乃至請求項 9 のいずれか一項において、
 前記第 3 の半導体膜は、前記第 1 の半導体膜から延長されて形成されていることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置に関する。例えば、液晶表示装置やEL表示装置に代表される電気光学装置、半導体回路及び本願発明の電気光学装置または半導体回路を用いた電気器具（電子機器）の構成に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電気器具は全て半導体装置である。

【0003】

【従来の技術】

薄膜トランジスタ（以下、TFTという）は透明基板上に形成することができるので、アクティブマトリクス型液晶ディスプレイ（以下、AM-LCDという）への応用開発が積極的に進められてきた。結晶質半導体膜（代表的にはポリシリコン膜）を利用したTFTは高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

【0004】

基本的にAM-LCDは画像を表示する画素部（画素マトリクス回路ともいう）と、画素部に配列された各画素のTFTを駆動するゲート駆動回路（ゲートドライバー回路ともいう）、各TFTへ画像信号を送るソース駆動回路（ソースドライバー回路ともいう）またはデータ駆動回路（データドライバー回路ともいう）が同一基板上に形成されてなる。

【0005】

近年では、これら画素部と駆動回路（ドライバー回路ともいう）の他に、信号分割回路や補正回路などといった信号処理回路をも同一基板上に設けたシステム・オン・パネルが提案されている。

【0006】

しかしながら、画素部と駆動回路とでは回路が要求する性能が異なるため、同一構造のTFTで全ての回路仕様を満足させることは困難である。即ち、高速動作を重視するシフトレジスタ回路等の駆動回路と、高耐圧特性を重視する画素部を構成するTFT（以下、画素TFTという）とを同時に満足させるTFT構造は確立されていないのが現状である。

【0007】

そこで本出願人は駆動回路を構成するTFT（以下、駆動TFTまたはドライバーTFTという）と画素TFTとでゲート絶縁膜の膜厚を異ならせるという構成を出願済みである（特開平10-056184号公報、米国特許出願番号第08/862,895）。具体的には、駆動TFTのゲート絶縁膜を画素TFTのゲート絶縁膜よりも薄くするというものである。

【0008】

【発明が解決しようとする課題】

本願発明では、上記公報に記載された構成を基本として、さらに画素部に関する改善を行っている。具体的には、小さい面積で大容量を確保しうる保持容量を形成するための構造を提供するものである。

10

20

30

40

50

【 0 0 0 9 】

そして、AM-LCDに代表される電気光学装置の各回路を機能に応じて適切な構造のTFTでもって形成し、高い信頼性を有する電気光学装置を提供することを課題とする。延いては、そのような電気光学装置を表示部として有する半導体装置（電気器具）の信頼性を高めることを課題とする。

【 0 0 1 0 】

【課題を解決するための手段】

本明細書で開示する発明の構成は、

同一基板上に駆動回路部と画素部とを有する半導体装置において、

前記駆動回路部の駆動TFTと前記画素部の画素TFTとは互いにゲート絶縁膜の膜厚が異なり、前記画素部に形成された保持容量の誘電体の膜厚は、前記駆動TFTのゲート絶縁膜の膜厚と同一であることを特徴とする。

10

【 0 0 1 1 】

具体的には、同一基板上に駆動回路部と画素部とを有する半導体装置において、

前記駆動回路部の駆動TFTのゲート絶縁膜の膜厚は、前記画素部の画素TFTのゲート絶縁膜の膜厚よりも薄く、

前記画素部に形成された保持容量の誘電体の膜厚は、前記駆動TFTのゲート絶縁膜の膜厚と同一であることを特徴とする。

【 0 0 1 2 】

また、他の発明の構成は、

基板上に非晶質半導体膜を形成する第1工程と、

前記非晶質半導体膜をニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄または銅から選ばれた元素を用いた固相成長により結晶質半導体膜を形成する第2工程と、

前記結晶質半導体膜をパターニングして活性層を形成する第3工程と、

前記活性層の表面に絶縁膜を形成する第4工程と、

前記第4工程の後、熱酸化処理により前記活性層を酸化する第5工程と、

前記第5工程を経た活性層に周期表の15族に属する元素または周期表の13族に属する元素を添加する第6工程と、

前記第6工程の後、750～1150の温度で熱処理を行う第7工程と、

を含むことを特徴とする。

20

30

【 0 0 1 3 】

また、他の発明の構成は、

同一基板上に駆動TFT及び画素TFTを含む半導体装置の作製方法であって、

基板上に非晶質半導体膜を形成する第1工程と、

前記非晶質半導体膜をニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄または銅から選ばれた元素を用いた固相成長により結晶質半導体膜を形成する第2工程と、

前記結晶質半導体膜をパターニングして前記駆動TFTの活性層及び前記画素TFTの活性層を形成する第3工程と、

前記駆動TFTの活性層及び前記画素TFTの活性層の上に第1絶縁膜を形成する第4工程と、

前記第1絶縁膜をエッチングし、前記駆動TFTの活性層の全部及び前記画素TFTの活性層の一部を露呈させる第5工程と、

熱酸化処理により前記第5工程で露呈された活性層の表面に第2絶縁膜を形成する第6工程と、

前記第1絶縁膜及び前記第2絶縁膜の上に配線を形成する第7工程と、

前記配線をマスクとして活性層に周期表の15族に属する元素または周期表の13族に属する元素を添加する第8工程と、

前記第8工程の後、750～1150の温度で熱処理を行う第9工程と、

を含むことを特徴とする。

40

【 0 0 1 4 】

50

また、他の発明の構成は、
 基板上に非晶質半導体膜を形成する第1工程と、
 前記非晶質半導体膜をニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄または銅から選ばれた元素を用いた固相成長により結晶質半導体膜を形成する第2工程と、
 前記結晶質半導体膜に周期表の15族に属する元素を添加する第3工程と、
 前記第3工程の後、結晶質半導体膜に500～650の熱処理を行う第4工程と、
 前記第4工程を経た結晶質半導体膜をパターニングして活性層を形成する第5工程と、
 前記活性層の表面に絶縁膜を形成する第6工程と、
 前記第6工程の後、熱酸化処理により前記活性層を酸化する第7工程と、
 前記第7工程を経た活性層に周期表の15族に属する元素または周期表の13族に属する元素を添加する第8工程と、
 前記第8工程の後、750～1150の温度で熱処理を行う第9工程と、
 を含むことを特徴とする。

【0015】

また、他の発明の構成は、
 同一基板上に駆動TFE及び画素TFEを含む半導体装置の作製方法であって、
 基板上に非晶質半導体膜を形成する第1工程と、
 前記非晶質半導体膜をニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄または銅から選ばれた元素を用いた固相成長により結晶質半導体膜を形成する第2工程と、
 前記結晶質半導体膜に周期表の15族に属する元素を添加する第3工程と、
 前記第3工程の後、結晶質半導体膜に500～650の熱処理を行う第4工程と、
 前記第4工程を経た結晶質半導体膜をパターニングして前記駆動TFEの活性層及び前記画素TFEの活性層を形成する第5工程と、
 前記駆動TFEの活性層及び前記画素TFEの活性層の上に第1絶縁膜を形成する第6工程と、
 前記第1絶縁膜をエッチングし、前記駆動TFEの活性層の全部及び前記画素TFEの活性層の一部を露呈させる第7工程と、
 熱酸化処理により前記第7工程で露呈された活性層の表面に第2絶縁膜を形成する第8工程と、
 前記第1絶縁膜及び前記第2絶縁膜の上に配線を形成する第9工程と、
 前記配線をマスクとして活性層に周期表の15族に属する元素または周期表の13族に属する元素を添加する第10工程と、
 前記第10工程の後、750～1150の温度で熱処理を行う第11工程と、
 を含むことを特徴とする。

【0016】

また、他の発明の構成は、
 同一基板上に駆動回路部と画素部とを有する半導体装置の作製方法であって、
 基板上に、ニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄または銅から選ばれた元素を用いて半導体膜を形成する第1工程と、
 前記半導体膜の上にゲート絶縁膜を形成する第2工程と、
 前記ゲート絶縁膜の一部を除去し、前記活性層の一部を露呈させる第3工程と、
 熱酸化処理により前記第3工程で露呈された活性層の一部に酸化膜を形成する第4工程と、
 前記ゲート絶縁膜および前記酸化膜の上にゲート配線を形成する第5工程と、
 前記ゲート配線の側面にサイドウォールを形成する第6工程と、
 前記ゲート配線及び前記サイドウォールをマスクとして前記活性層に対して周期表の15族に属する元素を添加する第7工程と、
 前記サイドウォールを除去する第8工程と、
 前記ゲート配線をマスクとして前記活性層に対して周期表の15族に属する元素を添加する第9工程と、

後にNTFTとなる領域上にレジストマスクを形成し、周期表の13族に属する元素を添加する第10工程と、

前記第4の工程と同じ温度または該温度より高い温度にて熱処理を行い、前記触媒元素を前記第7工程にて前記周期表の15族に属する元素が添加された領域に移動させる第11工程と、

を有することを特徴とする。

【0017】

また、他の発明の構成は、

同一基板上に駆動回路部と画素部とを有する半導体装置の作製方法であって、

基板上に、ニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄または銅から選ばれた元素を用いて半導体膜を形成する第1工程と、

前記半導体膜に対して選択的に周期表の15族に属する元素を添加する第2工程と、熱処理により前記触媒元素を前記周期表の15族に属する元素が添加された領域に移動させる第3工程と、

前記半導体膜の上にゲート絶縁膜を形成する第4工程と、

前記ゲート絶縁膜の一部を除去し、前記活性層の一部を露呈させる第5工程と、

熱酸化処理により前記第5工程で露呈された活性層の一部に酸化膜を形成する第6工程と、

前記ゲート絶縁膜および前記酸化膜の上にゲート配線を形成する第7工程と、

前記ゲート配線の側面にサイドウォールを形成する第8工程と、

前記ゲート配線および前記サイドウォールをマスクとして前記活性層に対して周期表の15族に属する元素を添加する第9工程と、

前記サイドウォールを除去する第10工程と、

前記ゲート配線をマスクとして前記活性層に対して周期表の15族に属する元素を添加する第11工程と、

後にNTFTとなる領域上にレジストマスクを形成し、13族に属する元素を添加する第12工程と、

を有することを特徴とする。

【0018】

【発明の実施の形態】

本願発明の実施形態について、図1を用いて説明する。図1は同一基板上に駆動回路部と画素部とを一体形成したAM-LCDの断面図を示している。なお、ここでは駆動回路部を構成する基本回路としてCMOS回路を示し、画素TFTとしてはダブルゲート構造のTFTを示している。勿論、ダブルゲート構造に限らずトリプルゲート構造やシングルゲート構造などとしても良い。

【0019】

図1において、101は耐熱性を有する基板であり、石英基板、シリコン基板、セラミックス基板、金属基板（代表的にはステンレス基板）を用いれば良い。どの基板を用いる場合においても、必要に応じて下地膜（好ましくは珪素を主成分とする絶縁膜）を設けても構わない。

【0020】

102は下地膜として設けた酸化珪素膜であり、その上に駆動TFTの活性層、画素TFTの活性層および保持容量の下部電極となる半導体膜が形成される。なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電気的接続を行う箇所、または半導体膜と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「配線」という文言に「電極」は常に含まれているものとする。

【0021】

図1において、駆動TFTの活性層は、Nチャンネル型TFT（以下、NTFTという）のソース領域103、ドレイン領域104、LDD（ライトドープドレイン）領域105およびチャンネル形成領域106、並びにPチャンネル型TFT（以下、PTFTという）の

10

20

30

40

50

ソース領域107、ドレイン領域108およびチャネル形成領域109で形成される。

【0022】

また、画素TF T（ここではNTFTを用いる。）の活性層は、ソース領域110、ドレイン領域111、LDD領域112a、112bおよびチャネル形成領域113a、113bで形成される。さらに、ドレイン領域111から延長された半導体膜を保持容量の下部電極114として用いる。

【0023】

そして、活性層および保持容量の下部電極を覆ってゲート絶縁膜が形成されるが、本願発明では駆動TF Tのゲート絶縁膜115（NTFT側）、116（PTFT側）が、画素TF Tのゲート絶縁膜117よりも薄く形成される。代表的には、ゲート絶縁膜115、116の膜厚は5～50nm（好ましくは10～30nm）とし、ゲート絶縁膜117の膜厚は50～200nm（好ましくは100～150nm）とすれば良い。

10

【0024】

なお、駆動TF Tのゲート絶縁膜は一種類の膜厚である必要はない。即ち、駆動回路内に異なる膜厚の絶縁膜を有する駆動TF Tが存在していても構わない。その場合、同一基板上に異なる膜厚のゲート絶縁膜を有するTF Tが少なくとも三種類以上存在することになる。また、駆動TF Tのゲート絶縁膜の膜厚と保持容量の誘電体の膜厚が異なり、且つ、それらが画素TF Tのゲート絶縁膜の膜厚と異なるという場合もありうる。例えば、駆動TF T（特に高速動作を必要とする回路）が5～10nm、画素TF Tが100～150nmのゲート絶縁膜を有し、保持容量の誘電体が30～50nmという場合もある。

20

【0025】

また、もう一つの特徴は、保持容量の誘電体118が駆動TF Tのゲート絶縁膜115、116と同時に形成された絶縁膜で形成される点である。即ち、駆動TF Tのゲート絶縁膜と保持容量の誘電体が同じ膜厚の同一絶縁膜で形成された構成となる。

【0026】

このように保持容量の誘電体を薄くすることで、容量を形成する面積を大きくすることなくキャパシティを稼ぐことができる。この保持容量の構成は前述の特開平10-056184号公報にはない。また、TF Tの作製工程を増やすこともないという利点が見られる。

【0027】

次に、ゲート絶縁膜115、116、117の上には駆動TF Tのゲート配線119、120と、画素TF Tのゲート配線121が形成される。また、同時に保持容量の誘電体118の上には保持容量の上部電極122が形成される。ゲート配線119～121および保持容量の上部電極122の形成材料としては、800～1150（好ましくは900～1100）の温度に耐える耐熱性を有する導電膜を用いる。

30

【0028】

代表的には、導電性を有する珪素膜（例えばリンドーブシリコン膜、ボロドーブシリコン膜等）や金属膜（例えばタングステン膜、タンタル膜、モリブデン膜、チタン膜等）でも良いし、前記金属膜をシリサイド化したシリサイド膜、窒化した窒化膜（窒化タンタル膜、窒化タングステン膜、窒化チタン膜等）でも良い。また、これらを自由に組み合わせ

40

【0029】

また、前記金属膜を用いる場合には、金属膜の酸化を防止するために珪素膜との積層構造とすることが望ましい。また、酸化防止という意味では、金属膜を窒化珪素膜で覆った構造が有効である。図1では窒化珪素膜123を設けてゲート配線の酸化を防ぐ。

【0030】

次に、124は第1層間絶縁膜であり、珪素を含む絶縁膜（単層または積層）で形成される。珪素を含む絶縁膜としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜（酸素よりも窒素の含有量の方が多い）、窒化酸化珪素膜（窒素よりも酸素の含有量の方が多い）を用いることができる。

50

【0031】

そして、第1層間絶縁膜124にはコンタクトホールが設けられ、駆動TFTのソース配線125、126、ドレイン配線127、および画素TFTのソース配線128、ドレイン配線129が形成される。その上にはパッシベーション膜130、第2層間絶縁膜131が形成され、さらにその上にはブラックマスク(遮光膜)132が形成される。さらに、ブラックマスク132の上には第3層間絶縁膜133が形成され、コンタクトホールを設けた後、画素電極134が形成される。

【0032】

第2層間絶縁膜131や第3層間絶縁膜133としては、比誘電率の小さい樹脂膜が好ましい。樹脂膜としては、ポリイミド膜、アクリル膜、ポリアミド膜、BCB(ベンゾシクロブテン)膜などを用いることができる。

10

【0033】

また、画素電極134としては、透過型AM-LCDを作製するのであればITO膜に代表される透明導電膜を、反射型AM-LCDを作製するのであればアルミニウム膜に代表される反射率の高い金属膜を用いれば良い。

【0034】

なお、図1では画素電極134がドレイン電極129を介して画素TFTのドレイン領域107と電気的に接続されているが、画素電極134とドレイン領域107とが直接的に接続するような構造としても良い。

【0035】

以上のような構造でなるAM-LCDは、駆動TFTのゲート絶縁膜が画素TFTのゲート絶縁膜よりも薄く、且つ、保持容量の誘電体と駆動TFTのゲート絶縁膜とが同時に形成された同じ膜厚の絶縁膜で形成されている点に特徴がある。こうすることで、回路の性能に応じた最適なTFTを配置することが可能となり、小面積で大きな容量を確保しうる保持容量を実現することが可能である。

20

【0036】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0037】

【実施例】

30

[実施例1]

本実施例では、「発明の実施の形態」で説明した図1の構造を実現するための作製工程について説明する。説明には図2、3を用いる。

【0038】

まず、基板として石英基板201を用意し、その上に20nm厚の酸化珪素膜202と非晶質珪素膜(図示せず)とを大気解放しないまま連続的に成膜する。こうすることで非晶質珪素膜の下表面に大気中に含まれるボロン等の不純物が吸着することを防ぐことができる。

【0039】

なお、本実施例では非晶質珪素(アモルファスシリコン)膜を用いるが、他の半導体膜であっても構わない。微結晶質珪素(マイクロクリスタルシリコン)膜でも良いし、非晶質シリコンゲルマニウム膜でも良い。

40

【0040】

次に、非晶質珪素膜の結晶化を行う。本実施例では結晶化手段として、特開平9-312260号公報に記載された技術を用いる。同公報に記載された技術は、結晶化を助長する触媒元素としてニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄または銅から選ばれた元素を用いた固相成長により非晶質珪素膜の結晶化を行う。

【0041】

本実施例では触媒元素としてニッケルを選択し、非晶質珪素膜上にニッケルを含んだ層を形成し、550-14時間の熱処理を行って結晶化する。そして、形成された結晶質珪素

50

(ポリシリコン)膜をパターンニングして、駆動TF Tの活性層(半導体膜)203、画素TF Tの活性層(半導体膜)204を形成する。

【0042】

なお、駆動TF Tおよび画素TF Tの活性層を形成する前後に、結晶質珪素膜に対してTF Tのしきい値電圧を制御するための不純物元素(リンまたはボロン)を添加しても良い。この工程はNTFTまたはPTFTのみに行っても良いし、双方に行っても良い。

【0043】

次に、プラズマCVD法またはスパッタ法によりゲート絶縁膜(第1絶縁膜)205を形成する。このゲート絶縁膜205は画素TF Tのゲート絶縁膜として機能することになる絶縁膜であり、膜厚は50~200nmとする。本実施例では100nm厚の酸化珪素膜を用いる。

10

【0044】

また、酸化珪素膜のみでなく酸化珪素膜の上に窒化珪素膜を設けた積層構造とすることもできるし、酸化珪素膜に窒素を添加した酸化窒化珪素膜を用いても構わない。

【0045】

ゲート絶縁膜205を形成したら、レジストマスク(図示せず)を設けてゲート絶縁膜205を選択的に除去する。この時、画素TF Tの上にゲート絶縁膜205を残し、駆動TF Tおよび保持容量となる領域の上は除去する。こうして図2(A)の状態が得られる。

【0046】

次に、800~1150(好ましくは900~1100)の温度で15分~8時間(好ましくは30分~2時間)の熱処理工程を、酸化性雰囲気下で行う(熱酸化工程)。本実施例では酸素雰囲気中で950 30分の熱酸化処理を行う。

20

【0047】

なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体膜中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、酸素雰囲気中にハロゲン元素を含ませた雰囲気でも良い。このハロゲン元素を含ませた雰囲気による熱酸化工程では、ニッケルを除去する効果も期待できるので有効である。

【0048】

こうして熱酸化処理を行うことにより駆動TF Tと保持容量となる領域において露呈した半導体膜の表面には、5~50nm(好ましくは10~30nm)の酸化珪素膜(酸化膜ともいう)206、207が形成される。最終的に、酸化珪素膜206は駆動TF Tのゲート絶縁膜(第2絶縁膜)として機能し、酸化珪素膜207は保持容量の誘電体として機能する。

30

【0049】

また、画素TF Tに残存した酸化珪素膜でなるゲート絶縁膜205と、その下の半導体膜204との界面においても酸化反応が進行する。そのため、最終的に画素TF Tのゲート絶縁膜205の膜厚は50~200nm(好ましくは100~150nm)となる。

【0050】

こうして熱酸化工程を終了したら、次に駆動TF Tのゲート配線209(NTFT側)、210(PTFT側)、画素TF Tのゲート配線211、保持容量の上部配線(上部電極とも言える)212を形成する。なお、ゲート配線211は画素TF Tがダブルゲート構造であるためゲート配線を2本記載しているが、実際には同一配線である。

40

【0051】

また、本実施例ではゲート配線209~211および保持容量の上部配線212として、下層から珪素膜(導電性を持たせたもの)/窒化タングステン膜/タングステン膜(または下層から珪素膜/タングステンシリサイド膜)という積層膜を用いる。勿論、「発明の実施の形態」で説明した他の導電膜を用いることも可能であることは言うまでもない。また、本実施例では、各ゲート配線の膜厚は250nmとする。

【0052】

なお、本実施例では最下層の珪素膜を、減圧熱CVD法を用いて形成する。駆動回路のゲ

50

ート絶縁膜は5～50nmと薄いため、スパッタ法やプラズマCVD法を用いた場合、条件によっては半導体膜（活性層）へダメージを与える恐れがある。従って、化学的気相反応で成膜できる熱CVD法が好ましい。

【0053】

次に、ゲート配線209～211および保持容量の上部配線212を覆って25nm厚の窒化珪素膜213を形成する。この窒化珪素膜213はゲート配線209～211および保持容量の上部配線212の酸化を防ぐと同時に、後に珪素膜でなるサイドウォールを除去する際にエッチングストッパーとして機能する。

【0054】

この時、窒化珪素膜213を形成する前処理として水素を含むガス（本実施例ではアンモニアガス）を用いたプラズマ処理を行うことは有効である。この前処理によりプラズマによって活性化した（励起した）水素が活性層（半導体膜）内に閉じこめられるため、効果的に水素終端が行われる。

【0055】

さらに、水素を含むガスに加えて亜酸化窒素ガスを加えると、発生した水分によって被処理体の表面が洗浄され、特に大気中に含まれるボロン等による汚染を効果的に防ぐことができる。

【0056】

こうして図2（B）の状態を得る。次に、非晶質珪素膜（図示せず）を形成し、塩素系ガスによる異方性エッチングを行ってサイドウォール214～218を形成する。サイドウォール214～218を形成したら、活性層203、204に対して周期表の15族に属する元素（本実施例ではリン）の添加工程を行う。

【0057】

この時、ゲート配線209～211、保持容量の上部電極212およびサイドウォール214～218がマスクとなり、自己整合的に不純物領域219～223が形成される。不純物領域219～223に添加されるリンの濃度は $5 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³となるように調節する。本明細書中ではこの時のリン濃度を（n+）で表す。（図2（C））

【0058】

この工程は、ゲート絶縁膜の膜厚が薄い駆動TFETおよび保持容量となる領域と、ゲート絶縁膜の膜厚が厚い画素TFETとなる領域とで分けて行っても良いし、同時に行っても良い。また、リンの添加工程は質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーピング量の条件等は実施者が最適値を設定すれば良い。

【0059】

こうして図2（C）の状態を得たら、サイドウォール214～218を除去し、再びリンの添加工程を行う。この工程は先のリンの添加工程よりも低いドーピング量で添加する。こうして先ほどはサイドウォール214～218がマスクとなってリンが添加されなかった領域には低濃度不純物領域が形成される。この低濃度不純物領域に添加されるリンの濃度は $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³となるように調節する。本明細書中ではこの時のリン濃度を（n-）で表す。（図2（D））

【0060】

勿論、この工程もゲート絶縁膜の膜厚が薄い駆動TFETおよび保持容量となる領域と、ゲート絶縁膜の膜厚が厚い画素TFETとなる領域とで分けて行っても良いし、同時に行っても良い。また、リンの添加工程は質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーピング量の条件等は実施者が最適値を設定すれば良い。

【0061】

但し、この低濃度不純物領域はLDD領域として機能することになるため、リンの濃度制御は慎重に行う必要がある。そこで本実施例では、プラズマドーピング法を用い、添加し

10

20

30

40

50

たリンの濃度分布（濃度プロファイル）が図15に示すような設定とする。

【0062】

図15において、駆動回路側のゲート絶縁膜83と画素部側のゲート絶縁膜84とは膜厚が異なっている。そのため、添加されるリンの深さ方向の濃度分布が異なるものとなる。

【0063】

本実施例では、駆動回路側で85で示される濃度分布をもち、且つ、画素部側で86で示される濃度分布をもつようにリンの添加条件（加速電圧等）を調節する。この場合、深さ方向の濃度分布は異なるが、結果的に形成される低濃度不純物領域87、88のリン濃度はほぼ等しくなる。

【0064】

なお、この図15に示した工程は、本明細書中に記載される全ての不純物添加工程において用いることができる。

【0065】

この工程によりCMOS回路を形成するNTFTのソース領域224、LDD領域225、チャンネル形成領域226が画定する。また、画素FTTのソース領域227、ドレイン領域228、LDD領域229a、229b、チャンネル形成領域230a、230bが画定する。さらに、保持容量の下部電極231が画定する。本実施例の場合、保持容量の下部電極231はチャンネル形成領域230aまたは230bと同一組成の半導体領域で形成され、真性または実質的に真性となっている。

【0066】

また、CMOS回路のPTFTとなる領域にもNTFTと同様に低濃度不純物領域232が形成される。

【0067】

次に、CMOS回路のPTFTとなる領域以外をレジストマスク233、234で隠し、13族に属する元素（本実施例ではボロン）の添加工程を行う。この工程は既に添加されているリンよりも高濃度の不純物領域を形成するようなドーズ量で添加する。具体的には、 $1 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度でボロンが添加されるように調節する。本明細書中ではこの時のボロン濃度を（p++）で表す。その結果、PTFTとなる領域に形成されていたN型導電性を呈する不純物領域は、全てボロンによって導電型が反転し、P型導電性を呈する不純物領域となる。（図3（A））

【0068】

勿論、この工程も質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0069】

この工程によりCMOS回路を形成するPTFTのソース領域235、ドレイン領域236、チャンネル形成領域237が画定する。また、CMOS回路のNTFTのドレイン領域238が画定する。

【0070】

こうして全ての不純物領域を形成し終わったら、レジストマスク233、234を除去する。そして、750～1150の温度範囲で20分～12時間の熱処理工程を行う。本実施例では、950で2時間の熱処理を不活性雰囲気中において行う。（図3（B））

【0071】

この工程では各不純物領域に添加されたリンまたはボロンを活性化すると同時に、チャンネル形成領域に残存していたニッケル（結晶化時に用いた触媒元素）をリンのゲッタリング作用によってソース領域およびドレイン領域へと移動させる（ゲッタリングする）工程を兼ねている。

【0072】

処理温度が高い理由は、結晶化工程からゲッタリング工程に至るまでに半導体膜が受けた熱履歴の中で最も高い温度から±50程度の温度を加えないと、リンのゲッタリング作

10

20

30

40

50

用が有効に働かないからである。本実施例の場合、ゲート絶縁膜形成のために950の熱履歴を通してしているので、900~1000の熱処理が有効である。

【0073】

この工程ではニッケルが図3(B)の矢印の方向に移動し、ソース領域またはドレイン領域に含まれるリンによってゲッターリング(捕獲)される。これによりチャネル形成領域238~241および保持容量の下部電極242に含まれるニッケルの濃度は 2×10^{17} atoms/cm³以下(好ましくは 1×10^{16} atoms/cm³以下)にまで低減される。従って、TF Tの動作には全く影響しない。

【0074】

また、逆に、ソース領域243~245およびドレイン領域246~248にはニッケルが集中し、 1×10^{19} atoms/cm³以上(代表的には 3×10^{19} ~ 1×10^{21} atoms/cm³)の濃度で存在する。

10

【0075】

こうして図3(B)の状態が得られたら、第1層間絶縁膜249を形成する。本実施例では、プラズマCVD法により形成した1μm厚の酸化珪素膜を用いる。そして、コンタクトホールを形成した後、ソース配線250~252、ドレイン配線253、254を形成する。これらの配線はアルミニウムを主成分とする導電膜をチタン膜で挟んだ積層膜で形成する。

【0076】

この時、ドレイン配線253はCMOS回路を形成するNTFTおよびPTFTに共通の配線として用いられる。また、前述のようにソース領域およびドレイン領域には高濃度にニッケルが含まれるため、ソース配線およびドレイン配線との良好なオーミックコンタクトが実現できる。

20

【0077】

その後、パッシベーション膜255を形成する。パッシベーション膜255としては、酸化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、またはこれらの絶縁膜と酸化珪素膜との積層膜を用いることができる。本実施例では300nm厚の窒化珪素膜をパッシベーション膜として用いる。

【0078】

なお、本実施例では窒化珪素膜を形成する前処理として、アンモニアガスを用いたプラズマ処理を行い、そのままパッシベーション膜255を形成する。この前処理によりプラズマで活性化した(励起した)水素がパッシベーション膜255によって閉じこめられるため、TF Tの活性層(半導体膜)の水素終端を促進させることができる。

30

【0079】

さらに、水素を含むガスに加えて亜酸化窒素ガスを加えると、発生した水分によって被処理体の表面が洗浄され、特に大気中に含まれるボロン等による汚染を効果的に防ぐことができる。

【0080】

パッシベーション膜255を形成したら、第2層間絶縁膜256として0.5μm厚の酸化珪素膜、0.2μm厚の窒化酸化珪素膜及び0.5μm厚のアクリル膜を形成する。そして、その上にチタン膜を200nmの厚さに形成してパターンニングを行い、ブラックマスク257を形成する。

40

【0081】

次に、第3層間絶縁膜258として再び1μm厚のアクリル膜を形成してコンタクトホールを形成し、ITO膜でなる画素電極259を形成する。こうして図3(C)に示すような構造のAM-LCDが完成する。

【0082】

本願発明のAM-LCDは、同一基板上に形成された駆動回路(または信号処理回路)と画素部とでゲート絶縁膜の膜厚が異なる。代表的には、駆動回路に用いられる駆動TF Tの方が画素部に用いられる画素TF Tよりも薄いゲート絶縁膜を有する。

50

【 0 0 8 3 】

さらに、駆動 T F T のゲート絶縁膜と、画素部に設けられる保持容量の誘電体は同時に形成され、同一膜厚である点にも特徴がある。

【 0 0 8 4 】

このように本願発明は、駆動 T F T のゲート絶縁膜を薄く形成するための工程を、保持容量の誘電体を薄くするための工程と兼ねる点に特徴がある。このような構成により面積を広げることなく保持容量のキャパシティを増加させることが可能となる。

【 0 0 8 5 】

また、本実施例の作製工程に従うと、最終的な T F T の活性層（半導体膜）は、結晶格子に連続性を持つ特異な結晶構造の結晶質珪素膜で形成される。その特徴について以下に説明する。

10

【 0 0 8 6 】

上記作製工程に従って形成した活性層は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことは T E M（透過型電子顕微鏡法）による観察で容易に確認できた。

【 0 0 8 7 】

また、電子線回折及びエックス線（X線）回折を利用すると活性層の表面（チャンネルを形成する部分）が、結晶軸に多少のずれが含まれているものの主たる配向面として { 1 1 0 } 面を有することを確認できた。即ち、本出願人がスポット径約 1.5 μm の電子線回折写真を詳細に観察した結果、{ 1 1 0 } 面に対応する回折斑点がきれいに現れていることが確認され、さらに各斑点は同心円上に分布を持っていることが確認された。

20

【 0 0 8 8 】

また、本出願人は個々の棒状結晶が接して形成する結晶粒界を H R - T E M（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できた。

【 0 0 8 9 】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi , Japanese Journal of Applied Physics vol.27 , No.5 , pp.751-758 , 1988」に記載された「Planar boundary」である。

30

【 0 0 9 0 】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊な twist 粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【 0 0 9 1 】

特に結晶軸（結晶面に垂直な軸）が 1 1 0 軸である場合、{ 2 1 1 } 双晶粒界は 3 の対応粒界とも呼ばれる。値は対応粒界の整合性の程度を示す指針となるパラメータであり、値が小さいほど整合性の良い粒界であることが知られている。

40

【 0 0 9 2 】

本実施例を実施して得た結晶質珪素膜において、結晶軸が 1 1 0 である二つの結晶粒の間に形成された結晶粒界を H R - T E M で観察すると、隣接する結晶粒の各格子縞が約 70.5° の角度で連続しているものが多い。従って、その結晶粒界は 3 の対応粒界、即ち { 2 1 1 } 双晶粒界であると推測できる。

【 0 0 9 3 】

このことから本出願人が本実施例を実施して得た結晶質珪素膜は、結晶粒界の殆ど（90%以上、典型的には95%以上）が 3 の対応粒界、即ち { 2 1 1 } 双晶粒界であると推測される。

50

【 0 0 9 4 】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

【 0 0 9 5 】

またさらに、700～1150 という高い温度での熱処理工程（本実施例における熱酸化工程またはゲッタリング工程にあたる）によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

10

【 0 0 9 6 】

この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製された結晶質珪素膜のスピン密度は少なくとも 5×10^{17} spins/cm³以下（好ましくは 3×10^{17} spins/cm³以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【 0 0 9 7 】

以上の事から、本実施例を実施することで得られた結晶質珪素膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考える良い。

20

【 0 0 9 8 】

（TFETの電気特性に関する知見）

本実施例で作製したTFETは、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFET（但し、活性層の膜厚は30nm、ゲート絶縁膜の膜厚は100nm）からは次に示す様なデータが得られている。

【 0 0 9 9 】

（1）スイッチング性能（オン/オフ動作切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型TFETおよびPチャネル型TFETともに60～100mV/decade（代表的には60～85mV/decade）と小さい。

30

（2）TFETの動作速度の指標となる電界効果移動度（ μ_{FE} ）が、Nチャネル型TFETで200～650cm²/Vs（代表的には300～500cm²/Vs）、Pチャネル型TFETで100～300cm²/Vs（代表的には150～200cm²/Vs）と大きい。

（3）TFETの駆動電圧の指標となるしきい値電圧（ V_{th} ）が、Nチャネル型TFETで-0.5～1.5V、Pチャネル型TFETで-1.5～0.5Vと小さい。

【 0 1 0 0 】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【 0 1 0 1 】

（回路特性に関する知見）

40

次に、本実施例を実施して形成したTFETを用いて作製されたリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数：9段

TFETのゲート絶縁膜の膜厚：30nm及び50nm

TFETのゲート長（チャネル長）：0.6μm

【 0 1 0 2 】

このリングオシレータによって発振周波数を調べた結果、最大値で約1GHzの発振周波数を得ることができた。また、実際にLSI回路のTEGの一つであるシフトレジスタを

50

作製して動作周波数を確認した。その結果、ゲイト絶縁膜の膜厚30nm、ゲイト長 0.6 μm 、電源電圧 5 V、段数 50 段のシフトレジスタ回路において動作周波数 100 MHz の出力パルスが得られた。

【0103】

以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、本実施例の T F T が M O S F E T に匹敵する、若しくは凌駕する性能（電気特性）を有することを示している。

【0104】

〔実施例2〕

本実施例では、具体的にどのような回路にどのような構造の T F T を配置するかを図4を用いて説明する。

10

【0105】

A M - L C D は、回路によって最低限必要な動作電圧（電源電圧）が異なる。例えば、画素部では液晶に印加する電圧と画素 T F T を駆動するための電圧とを考慮すると、14 ~ 20 V もの動作電圧となる。そのため、そのような高電圧が印加されても耐えうる程度の T F T を用いなければならない。

【0106】

また、ソース駆動回路やゲート駆動回路に用いられるシフトレジスタ回路などは、5 ~ 10 V 程度の動作電圧で十分である。動作電圧が低いほど外部信号との互換性もあり、さらに消費電力を抑えられるという利点がある。ところが、前述の高耐压型 T F T は耐压特性が良い代わりに動作速度が犠牲なるため、シフトレジスタ回路のように高速動作が求められる回路には不適當である。

20

【0107】

このように、基板上に形成される回路は、目的に応じて耐压特性を重視した T F T を求める回路と動作速度を重視した T F T を求める回路とに分かれる。

【0108】

ここで具体的に本実施例の構成を図4に示す。図4(A)に示したのは、A M - L C D のブロック図を上面から見た図である。401は画素部であり、画像表示部として機能する。また、402aはシフトレジスタ回路、402bはレベルシフト回路、402cはバッファ回路である。これらでなる回路が全体としてゲート駆動回路を形成している。

30

【0109】

なお、図4(A)に示した A M - L C D ではゲート駆動回路を、画素部を挟んで設け、それぞれで同一ゲート配線を共有している、即ち、どちらか片方のゲートドライバに不良が発生してもゲート配線に電圧を印加することができるという冗長性を持たせている。

【0110】

また、403aはシフトレジスタ回路、403bはレベルシフト回路、403cはバッファ回路、403dはサンプリング回路であり、これらでなる回路が全体としてソース駆動回路を形成している。画素部を挟んでソース駆動回路と反対側にはプリチャージ回路404が設けられている。

【0111】

このような構成でなる A M - L C D において、シフトレジスタ回路402a、403aは高速動作を求める回路であり、動作電圧が3.3 ~ 10 V（代表的には3.3 ~ 5 V）と低く、高耐压特性は特に要求されない。従って、ゲート絶縁膜の膜厚は5 ~ 50 nm（好ましくは10 ~ 30 nm）と薄くした方が良い。

40

【0112】

図4(B)に示したのは主としてシフトレジスタ回路やその他の信号処理回路のように高速動作を求められる回路に用いるべき C M O S 回路の概略図である。なお、図4(B)において、405aは N T F T のゲート絶縁膜、405bは P T F T のゲート絶縁膜であり、膜厚を5 ~ 50 nm（好ましくは10 ~ 30 nm）と薄く設計している。

【0113】

50

次に、図4(C)に示すCMOS回路は、主としてレベルシフト回路402b、403b、バッファ回路402c、403c、サンプリング回路403d、プリチャージ回路404に適している。これらの回路は大電流を流す必要があるため、動作電圧は14~16Vと高い。特にゲートドライバ側では場合によっては19Vといった動作電圧を必要とする場合もある。従って、非常に良い耐圧特性(高耐圧特性)を有するTFTが必要となる。

【0114】

この時、図4(C)に示したCMOS回路において、NTFTのゲート絶縁膜406a、PTFTのゲート絶縁膜406bの膜厚は、50~200nm(好ましくは100~150nm)に設計されている。このように良い耐圧特性を要求する回路は、図4(B)に示したシフトレジスタ回路などのTFTよりもゲート絶縁膜の膜厚を厚くしておくことが好ましい。

10

【0115】

次に、図4(D)は画素部401の概略図を示している。画素TFTは液晶に印加する電圧分も加味されるため、14~16Vの動作電圧を必要とする。また、液晶及び保持容量に蓄積された電荷を1フレーム期間保持しなければならないため、極力オフ電流は小さくなければならない。

【0116】

そういった理由から、本実施例ではNTFTを用いたダブルゲート構造とし、ゲート絶縁膜407の膜厚を50~200nm(好ましくは100~150nm)としている。この膜厚は図4(C)に示したCMOS回路と同じ膜厚であっても良いし、異なる膜厚であっても良い。

20

【0117】

また、同時に保持容量の誘電体408の膜厚は、図4(B)に示したCMOS回路のゲート絶縁膜と同じ膜厚となるため、5~50nm(好ましくは10~30nm)である。

【0118】

以上のように、AM-LCDを例にとっても同一基板には様々な回路が設けられ、回路によって必要とする動作電圧(電源電圧)が異なることがある。この場合には本願発明のようにゲート絶縁膜の膜厚を異ならせたTFTを配置するなどの使い分けが必要となる。

【0119】

〔実施例3〕

実施例1において、ゲート絶縁膜205を選択的に除去する工程に際し、駆動TFTや保持容量となる領域での除去は図5に示すように行うことが望ましい。図5において、501は活性層、502はゲート絶縁膜205の端部、503、504はゲート配線である。図5に示すように、ゲート配線が活性層を乗り越える部分505では、活性層501の端部にゲート絶縁膜205を残しておくことが望ましい。

30

【0120】

活性層501の端部は後に熱酸化工程を行った際にエッジシニングと呼ばれる現象が起こる。これは、活性層端部の下に潜り込むように酸化反応が進行し、端部が薄くなると同時に上へ盛り上がる現象である。そのため、エッジシニング現象が起こるとゲート配線が乗り越え時に断線しやすいという問題が生じる。

40

【0121】

しかしながら、図5に示したような構造となるようにゲート絶縁膜205を除去しておけば、ゲート配線が乗り越える部分505においてエッジシニング現象を防ぐことができる。そのため、ゲート配線の断線といった問題を未然に防ぐことが可能である。

【0122】

〔実施例4〕

本実施例では、図1に示した構造のAM-LCDにおいて、TFTの下に遮光膜を設けた構造について図6を用いて説明する。

【0123】

図6(A)に示した構造は、基本的には図1と同じ構造であるが、各TFTの下に遮光膜

50

601～604が設けられている点のみ異なっている。また、図6(B)は保持容量の下にも遮光膜605が設けられた構造である。遮光膜601～605としては、ゲート配線と同様の材料を用いることができる。

【0124】

本実施例ではテーパー形状を得やすいように250nm厚のタンタル膜を用い、遮光膜形成後に窒化珪素膜(図示せず)で覆って酸化防止の対策をとる。勿論、ゲート配線と同一材料としても構わない。例えば、n型ポリシリコン膜とタングステンシリサイド膜とを積層した構造としても良い。

【0125】

また、図6(B)の構造の場合、遮光膜605を保持容量の電極として用いることも可能である。この場合、保持容量の上部配線606と遮光膜605とを固定電位にしておけば良い。双方の固定電位を同電位としておいても良い。

10

【0126】

また、図6(A)、(B)において、画素TFTの下に設けられた遮光膜603、604はフローティング状態にしておくか、固定電位としておけば良い。固定電位としては、少なくともビデオ信号の最低電位よりも低い電位、好ましくは基板上に形成される回路全体の最低電源電位または最低電源電位よりも低い電位に設定しておくことが望ましい。

【0127】

例えば、AM-LCDの場合、駆動回路やその他の信号処理回路と画素部とで様々な電源供給線が形成され、それぞれに所定の電位が与えられている。即ち、ある基準となる最低電位があり、それを基準として様々な電圧が形成される。最低電源電位とは、それら回路の全てにおいて基準となる最低電位を指す。

20

【0128】

このように画素TFTの下に設けられた遮光膜603、604をフローティング状態か固定電位とすることで、TFT動作に影響を与えない(寄生容量等を殆ど形成しない)遮光膜を得ることができる。

【0129】

また、駆動回路ではNTFT、PTFTともに遮光膜601、602が設けられている。なお、NTFTもしくはPTFTのいずれか一方または両方において遮光膜を設けない構造とすることも可能である。この時、遮光膜601、602は前述の画素TFTの遮光膜603、604と同様にフローティング状態か固定電位(好ましくは最低電源電位)に設定しておくことが望ましい。即ち、単なる遮光膜としての目的で用いることが望ましい。

30

【0130】

以上のように、本実施例の構造とすることで基板側からの迷光などによる光リーク電流の発生を防ぐことができる。なお、本実施例の構成は実施例3の構成と組み合わせても良い。

【0131】

〔実施例5〕

本実施例では、実施例1と異なる工程でAM-LCDを作製する場合の例について図7、図8を用いて説明する。

40

【0132】

まず、実施例1の作製工程に従って、石英基板201上に酸化珪素膜(下地膜)と非晶質珪素膜(図示せず)を連続成膜し、非晶質珪素膜の結晶化した後、結晶質珪素膜でなる活性層203、204を形成する。

【0133】

活性層まで形成したら、図7(A)に示すように、活性層の上にレジストマスク701～703を形成し、周期表の15族に属する元素(本実施例ではリン)の添加工程を行う。こうしてリンが添加された領域(以下、リンドープ領域という)704～708が形成される。

【0134】

50

なお、レジストマスク701～703を形成する前に活性層表面を酸化しておくことが好ましい。酸化珪素膜を設けておくことで、活性層とレジストマスクとの密着性を高められる他、活性層が有機物で汚染されることを防げる。

【0135】

レジストマスク701、702は駆動TF Tの活性層の上に設けられ、後にソース領域またはドレイン領域となる領域の一部（または全部）を露呈させるようにして配置される。また、レジストマスク703は画素TF Tのソース領域またはドレイン領域の一部（または全部）を露呈させるようにして配置される。この時、保持容量の下部電極となる領域は全面的に露呈され、リンドープ領域708となる。

【0136】

また、添加するリンの濃度は $5 \times 10^{18} \sim 1 \times 10^{20} \text{atoms/cm}^3$ （好ましくは $1 \times 10^{19} \sim 5 \times 10^{19} \text{atoms/cm}^3$ ）が好ましい。但し、添加すべきリンの濃度は、後のゲッターリング工程の温度、時間、さらにはリンドープ領域の面積によって変化するため、この濃度範囲に限定されるものではない。

【0137】

次に、レジストマスク701～703を除去して、500～650の熱処理を2～16時間加え、珪素膜の結晶化に用いた触媒元素（本実施例ではニッケル）のゲッターリング工程を行う。実施例1にも述べたように、ゲッターリング作用を奏するためには熱履歴の最高温度から ± 50 程度の温度が必要であるが、結晶化のための熱処理が550～600で行われるため、500～650の熱処理で十分にゲッターリング作用を奏することができる。

【0138】

本実施例では600、8時間の熱処理を加えることによってニッケルが矢印の方向、即ちリンドープ領域704～708に移動する。このことはニッケルがリンドープ領域704～708にゲッターリングされると表現しても良い。こうしてゲッターリング領域709～713が形成される。このゲッターリング領域は、709～712はTF Tのソース領域またはドレイン領域の一部または全部として残り、713は保持容量の下部電極として残る。（図7（B））

【0139】

こうして図7（B）のゲッターリング工程まで行ったらゲート絶縁膜（図示せず）を形成してパターニングを行い、画素TF Tのゲート絶縁膜205を形成する。この工程から先は実施例1の工程に従えば良いので説明は省略する。

【0140】

以上のようにして、図8に示すようなAM-LCDが完成する。図8に示すAM-LCDの断面構造は、図1に示したAM-LCDの断面構造と同じである。本実施例で異なる点は、駆動回路のソース領域103、107、およびドレイン領域104、108の一部に、ニッケルを含む領域801～803が存在する点である。

【0141】

このニッケルを含む領域801～803には、 $1 \times 10^{19} \text{atoms/cm}^3$ 以上（代表的には $3 \times 10^{19} \sim 1 \times 10^{21} \text{atoms/cm}^3$ ）の濃度でニッケルが存在する。しかしながら、ニッケルは非常に安定した状態で存在するため、TF T特性の不安定材料とはならない。

【0142】

また、本実施例（図8）ではドレイン配線127と、NTF Tのドレイン領域104およびPTF Tのドレイン領域108とが接する接触部がニッケルを含む領域802となっている。このような構成であると、金属でなるニッケルの存在により良いオーミック接触を得ることができる。おそらくニッケルの存在によりシリサイド化しているためと推測される。

【0143】

また、図8ではソース領域103とソース配線125（またはソース領域107とソース配線126）とがニッケルを含む領域を介さないで接しているが、ドレイン配線と同様に

10

20

30

40

50

、ニッケルを含む領域を介して接するようになることも可能であることは言うまでもない。

【0144】

以上のことは画素部のソース領域110、ドレイン領域111に対しても同様である。これらの領域の一部にもニッケルを含む領域804、805が存在する。

【0145】

本実施例の特徴のもう一つは、保持容量の下部電極114には $5 \times 10^{18} \sim 1 \times 10^{20}$ atoms/cm³ (好ましくは $1 \times 10^{19} \sim 5 \times 10^{19}$ atoms/cm³) の濃度でリンが存在し、且つ、 1×10^{19} atoms/cm³以上 (代表的には $3 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³) の濃度でニッケルが存在する。即ち、保持容量の上部配線122に電圧を印加しなくても、そのまま電極として用いることが可能となっているため、AM-LCDの消費電力の低減に有効である。

10

【0146】

以上のように本実施例の作製工程の特徴として、ゲッタリング工程のために行われるリンの添加工程が、保持容量の下部電極に導電性を持たせるために行われるリンの添加工程を兼ねている点が挙げられる。こうすることで作製工程を増やすことなく、消費電力を低減することが可能である。

【0147】

なお、本実施例の構成は、実施例1~4のいずれの実施例とも自由に組み合わせることが可能である。

20

【0148】

〔実施例6〕

実施例5の図7(A)の作製工程において、レジストマスク701~703を形成する前に、活性層を覆って予め画素TF-T用のゲート絶縁膜(図7(C)のゲート絶縁膜205に相当する。)を形成しておくこともできる。

【0149】

即ち、図7(A)のリンの添加工程は50~200nmの膜厚で設けられたゲート絶縁膜を介したスルードーピングで行われることになる。そして、レジストマスク701~703を除去した後、ゲート絶縁膜で活性層が覆われたままゲッタリング工程が行われる。ゲッタリング工程が終了したら、ゲート絶縁膜のパターニングを行い、図7(C)と同様の構造となる。

30

【0150】

本実施例の利点は、ゲッタリング工程の際に、活性層が露呈していない点である。活性層が露呈している場合、処理温度、処理雰囲気等の条件によってはリンドーピング領域704~708に存在するリンが雰囲気中を拡散し、後にチャネル形成領域となる領域にまで添加されてしまう恐れがある。しかしながら、本実施例のようにゲート絶縁膜で覆っていればそういった問題は起こらない。

【0151】

なお、本実施例の構成は、実施例1~4のいずれの実施例とも自由に組み合わせることが可能である。また、最終的に完成したAM-LCDの特徴に関しては実施例5で説明した図8と同様であるので説明は省略する。

40

【0152】

〔実施例7〕

本実施例では、実施例1に示した作製工程で基板上にTF-Tを形成し、実際にAM-LCDを作製した場合について説明する。

【0153】

図3(C)の状態が得られたら、画素電極259上に配向膜を80nmの厚さに形成する。次に、対向基板としてガラス基板上にカラーフィルタ、透明電極(対向電極)、配向膜を形成したものを準備し、それぞれの配向膜に対してラビング処理を行い、シール材(封止材)を用いてTF-Tが形成された基板と対向基板とを貼り合わせる。そして、その間に液

50

晶を保持させる。このセル組み工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0154】

なお、セルギャップを維持するためのスペーサは必要に応じて設ければ良い。従って、対角1インチ以下のAM-LCDのようにスペーサがなくてもセルギャップを維持できる場合は特に設けなくても良い。

【0155】

次に、以上のようにして作製したAM-LCDの外観を図9に示す。アクティブマトリクス基板(TFTが形成された基板を指す)901には画素部902、ソース駆動回路903、ゲート駆動回路904、信号処理回路(信号分割回路、D/Aコンバータ回路、補正回路、差動増幅回路等)905が形成され、FPC(フレキシブルプリントサーキット)906が取り付けられている。なお、907は対向基板である。

10

【0156】

なお、本実施例は実施例1~6のいずれの構成とも自由に組み合わせることが可能である。

【0157】

〔実施例8〕

本実施例では、実施例1において結晶質珪素膜の形成に他の手段を用いた場合について説明する。

【0158】

具体的には、非晶質珪素膜の結晶化に特開平7-130652号公報(米国特許出願番号08/329,644に対応)の実施例2に記載された技術を用いる。同公報に記載された技術は、結晶化を促進する触媒元素(代表的にはニッケル)を非晶質珪素膜の表面に選択的に保持させ、その部分を核成長の種として結晶化を行う技術である。

20

【0159】

この技術によれば、結晶成長に特定の方向性を持たせることができるので非常に結晶性の高い結晶質珪素膜を形成することが可能である。

【0160】

なお、本実施例の構成は実施例1~7のいずれの構成とも自由に組み合わせることが可能である。

30

【0161】

〔実施例9〕

本実施例では、実施例1とは異なる順序で13族または周期表の15族に属する元素を添加してソース領域およびドレイン領域を形成する例を説明する。説明には図10を用いる。

【0162】

まず、実施例1の工程に従って図2(B)の状態を得る。次に、リンの添加工程を行い、低濃度不純物領域11a~11fを得る。この時、添加されるリン濃度は(n-)であり、低濃度不純物領域11a~11fには $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度でリンが添加されている。(図10(A))

40

【0163】

次に、実施例1と同様にしてサイドウォール12a~12eを形成し、再びリンの添加工程を行う。この時、添加されるリンの濃度は(n+)である。こうして、駆動回路のNTFTのソース領域13、LDD領域14およびチャネル形成領域15が画定し、画素部のソース領域16、ドレイン領域17、LDD領域18a、18bおよびチャネル形成領域19a、19b、保持容量の下部電極20が画定する。(図10(B))

【0164】

次に、レジストマスク21a、21bを形成し、ボロンの添加工程を行う。この時、添加されるボロンの濃度は(p++)である。こうして、駆動回路のNTFTのドレイン領域22、PTFTのソース領域23、ドレイン領域24およびチャネル形成領域25が画定する

50

。(図10(C))

【0165】

以下の工程は実施例1の作製工程に従えば良い。本実施例の構成は実施例2~8のいずれの実施例とも自由に組み合わせることが可能である。

【0166】

〔実施例10〕

本実施例では、実施例1とは異なる順序で13族または周期表の15族に属する元素を添加してソース領域およびドレイン領域を形成する例を説明する。説明には図11を用いる。

【0167】

まず、実施例1の工程に従って図2(B)の状態を得た後、レジストマスク27a、27bを形成する。そして、ボロンの添加工程を行う。この時、添加されるボロンの濃度は(p++)である。こうして、駆動回路のPTFTのソース領域28、ドレイン領域29およびチャンネル形成領域30が画定する。(図11(A))

【0168】

次に、レジストマスク27a、27bを除去し、実施例1と同様にしてサイドウォール31a~31eを形成する。そして、リンの添加工程を行う。この時、添加されるリンの濃度は(n+)である。こうして、 $5 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³の濃度でリンが添加された不純物領域32a~32dが形成される。(図11(B))

【0169】

次に、サイドウォール31a~31eを除去し、再度リンの添加工程を行う。この時、添加されるリン濃度は(n-)である。こうして、駆動回路のNTFTのソース領域33、ドレイン領域34、LDD領域35およびチャンネル形成領域36が画定し、画素部のソース領域37、ドレイン領域38、LDD領域39a、39bおよびチャンネル形成領域40a、40b、保持容量の下部電極41が画定する。(図11(C))

【0170】

以下の工程は実施例1の作製工程に従えば良い。本実施例の構成は実施例2~8のいずれの実施例とも自由に組み合わせることが可能である。

【0171】

〔実施例11〕

本実施例では、実施例1とは異なる順序で13族または周期表の15族に属する元素を添加してソース領域およびドレイン領域を形成する例を説明する。説明には図12を用いる。

【0172】

まず、実施例1の工程に従って図2(B)の状態を得た後、レジストマスク27a、27bを形成する。そして、ボロンの添加工程を行う。この時、添加されるボロンの濃度は(p++)である。こうして、駆動回路のPTFTのソース領域28、ドレイン領域29およびチャンネル形成領域30が画定する。ここまでは実施例10と同じである。(図12(A))

【0173】

次に、レジストマスク27a、27bを除去し、リンの添加工程を行う。この時、添加されるリンの濃度は(n-)である。こうして、 $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³の濃度でリンが添加された低濃度不純物領域43a~43eが形成される。(図12(B))

【0174】

次に、実施例1と同様にしてサイドウォール44a~44eを形成する。そして、再びリンの添加工程を行う。この時、添加されるリンの濃度は(n+)である。こうして、駆動回路のNTFTのソース領域45、ドレイン領域46、LDD領域47およびチャンネル形成領域48が画定し、画素部のソース領域49、ドレイン領域50、LDD領域51a、51bおよびチャンネル形成領域52a、52b、保持容量の下部電極53が画定する。(図12(C))

10

20

30

40

50

【 0 1 7 5 】

以下の工程は実施例 1 の作製工程に従えば良い。本実施例の構成は実施例 2 ~ 8 のいずれの実施例とも自由に組み合わせることが可能である。

【 0 1 7 6 】

〔実施例 1 2〕

本実施例では、実施例 1 とは異なる順序で 1 3 族または周期表の 1 5 族に属する元素を添加してソース領域およびドレイン領域を形成する例を説明する。説明には図 1 3 を用いる。

【 0 1 7 7 】

まず、実施例 1 の工程に従って図 2 (C) の状態を得る。この状態を図 1 3 (A) に示す。

10

【 0 1 7 8 】

次に、サイドウォール 2 1 4 ~ 2 1 6 を除去した後、レジストマスク 5 5 a、5 5 b を形成する。そして、ボロンの添加工程を行う。この時、添加されるボロンの濃度は (p++) である。こうして、駆動回路の P T F T のソース領域 5 6、ドレイン領域 5 7 およびチャンネル形成領域 5 8 が画定する。(図 1 3 (B))

【 0 1 7 9 】

次に、レジストマスク 5 5 a、5 5 b を除去し、再びリンの添加工程を行う。この時、添加されるリンの濃度は (n-) である。こうして、駆動回路の N T F T のソース領域 5 9、ドレイン領域 6 0、L D D 領域 6 1 およびチャンネル形成領域 6 2 が画定し、画素部のソース領域 6 3、ドレイン領域 6 4、L D D 領域 6 5 a、6 5 b およびチャンネル形成領域 6 6 a、6 6 b、保持容量の下部電極 6 7 が画定する。(図 1 3 (C))

20

【 0 1 8 0 】

以下の工程は実施例 1 の作製工程に従えば良い。本実施例の構成は実施例 2 ~ 8 のいずれの実施例とも自由に組み合わせることが可能である。

【 0 1 8 1 】

〔実施例 1 3〕

本実施例では、実施例 1 とは異なる順序で 1 3 族または周期表の 1 5 族に属する元素を添加してソース領域およびドレイン領域を形成する例を説明する。説明には図 1 4 を用いる。

30

【 0 1 8 2 】

まず、実施例 1 の工程に従って図 2 (B) の状態を得る。次に、リンの添加工程を行い、低濃度不純物領域 1 1 a ~ 1 1 f を得る。この時、添加されるリン濃度は (n-) であり、低濃度不純物領域 1 1 a ~ 1 1 f には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でリンが添加されている。(図 1 4 (A))

【 0 1 8 3 】

次に、レジストマスク 6 8 a、6 8 b を形成し、ボロンの添加工程を行う。この時、添加されるボロンの濃度は (p++) である。こうして、駆動回路の P T F T のソース領域 6 9、ドレイン領域 7 0 およびチャンネル形成領域 7 1 が画定する。(図 1 4 (B))

【 0 1 8 4 】

次に、実施例 1 と同様にしてサイドウォール 7 2 a ~ 7 2 e を形成し、再びリンの添加工程を行う。この時、添加されるリンの濃度は (n+) である。こうして、駆動回路の N T F T のソース領域 7 3、ドレイン領域 7 4、L D D 領域 7 5 およびチャンネル形成領域 7 6 が画定し、画素部のソース領域 7 7、ドレイン領域 7 8、L D D 領域 7 9 a、7 9 b およびチャンネル形成領域 8 0 a、8 0 b、保持容量の下部電極 8 1 が画定する。(図 1 4 (C))

40

【 0 1 8 5 】

以下の工程は実施例 1 の作製工程に従えば良い。本実施例の構成は実施例 2 ~ 8 のいずれの実施例とも自由に組み合わせることが可能である。

【 0 1 8 6 】

〔実施例 1 4〕

50

実施例 1、5、6、8～13 に示した作製工程では、LDD 領域の形成にサイドウォールを用いているが、通常のレジストマスクを用いたパターニングによって LDD 領域を形成することも可能である。

【0187】

この場合、サイドウォールを用いた場合に比べて LDD 領域の幅（長さ）を自由に設計することができる。従って、LDD 領域の幅を $0.1 \mu\text{m}$ 以上に設計するような場合には有効な技術と言える。

【0188】

〔実施例 15〕

本実施例では、実施例 4 と異なる工程で AM-LCD を作製する場合の例について図 16 を用いて説明する。なお、実施例 4 と同一の部分には同じ符号を付して説明する。

【0189】

まず、実施例 1 の作製工程に従って、石英基板 201 上に非晶質珪素膜（図示せず）を成膜し、非晶質珪素膜の結晶化した後、結晶質珪素膜でなる活性層を形成する。活性層まで形成したら、図 16（A）に示すように、活性層の上に酸化珪素膜からなるマスク 1601a～1601c を形成し、周期表の 15 族に属する元素（本実施例ではリン）の添加工程を行う。添加する周期表の 15 族に属する元素の濃度は実施例 4 を参照すれば良い。（図 16（A））

【0190】

こうしてリンドープ領域 704～708 が形成される。なお、マスク 1601a～1601c の形成に用いたレジストマスク（図示せず）を残して上記周期表の 15 族に属する元素の添加工程を行っても良い。

【0191】

マスク 1601a、1601b は駆動 TFT の活性層の上に設けられ、後にソース領域またはドレイン領域となる領域の一部を露呈させるようにして配置される。また、マスク 1601c は画素 TFT のソース領域またはドレイン領域の一部を露呈させるようにして配置される。この時、保持容量の下部電極となる領域は一部が露呈される。

【0192】

次に、マスク 1601a～1601c を残したまま、 $500 \sim 650$ の熱処理を 2～16 時間加え、ニッケルのゲッターリング工程を行う。本実施例では 600、12 時間の熱処理を加えることによってニッケルが矢印の方向、即ちリンドープ領域 704～708 に移動する。こうしてゲッターリング領域 709～713 が形成される。（図 16（B））

【0193】

こうして図 16（B）のゲッターリング工程まで行ったら、次にマスク 1601a～1601c をマスクとしてゲッターリング領域 709～713 を除去する。この工程はフッ素系ガスを用いたドライエッチング法で行えば良い。こうしてニッケルの低減または除去された結晶質珪素膜 1602～1604 が形成される。（図 16（C））

【0194】

結晶質珪素膜 1602、1603 はパターニングすることにより駆動 TFT の活性層となり、結晶質珪素膜 1604 はパターニングすることにより画素 TFT の活性層及び保持容量の下部電極となる。このあとは、実施例 4 の図 7（B）以降の工程に従えば良い。

【0195】

なお、本実施例の構成は、実施例 1～14 のいずれの実施例とも自由に組み合わせることが可能である。

【0196】

〔実施例 16〕

本実施例では実施例 1 とは異なる方法で第 1 層間絶縁膜を形成する例について説明する。説明には図 17 を用いる。

【0197】

まず、実施例 1 の作製工程に従って図 3（B）に示したゲッターリング工程までを終了させ

10

20

30

40

50

る。次に、50～100nm（本実施例では70nm）の窒化酸化珪素膜（A）1701を形成し、その上に600nm～1μm（本実施例では800nm）の窒化酸化珪素膜（B）1702を形成する。さらに、その上にレジストマスク1703を形成する。（図17（A））

【0198】

なお、窒化酸化珪素膜（A）1701と窒化酸化珪素膜（B）1702とでは含有される窒素、酸素、水素及び珪素の組成比が異なる。窒化酸化珪素膜（A）1701は窒素7%、酸素59%、水素2%、珪素32%となっており、窒化酸化珪素膜（B）1702は窒素33%、酸素15%、水素23%、珪素29%となっている。勿論、この組成比に限定されるものではない。

10

【0199】

また、レジストマスク1703は膜厚が厚いため、窒化酸化珪素膜（B）1702の表面の起伏を完全に平坦化することができる。

【0200】

次に、四フッ化炭素と酸素との混合ガスを用いたドライエッチング法によりレジストマスク1703及び窒化酸化珪素膜（B）1702のエッチングを行う。本実施例の場合、四フッ化炭素と酸素との混合ガスを用いたドライエッチングにおいて、窒化酸化珪素膜（B）1702とレジストマスク1703のエッチングレートがほぼ等しい。

【0201】

このエッチング工程により図17（B）に示すようにレジストマスク1703は完全に除去され、窒化酸化珪素膜（B）1702の一部（本実施例では表面から深さ300nmまで）がエッチングされる。その結果、レジストマスク1703の表面の平坦度がそのままエッチングされた窒化酸化珪素膜（B）の表面の平坦度に反映される。

20

【0202】

こうして極めて平坦性の高い第1層間絶縁膜1704を得る。本実施例の場合、第1層間絶縁膜1704の膜厚は500nmとなる。このあとの工程は実施例1の作製工程を参照すれば良い。

【0203】

なお、本実施例の構成は、実施例1～15のいずれの実施例とも自由に組み合わせることが可能である。

30

【0204】

〔実施例17〕

本実施例では、本願発明を用いてEL（エレクトロルミネッセンス）表示装置を作製した例について説明する。なお、図18（A）は本願発明のEL表示装置の上面図であり、図18（B）はその断面図である。

【0205】

図18（A）において、3001は基板、3002は画素部、3003はソース側駆動回路、3004はゲート側駆動回路であり、それぞれの駆動回路は配線3005を経てFPC（フレキシブルプリントサーキット）3006に至り、外部機器へと接続される。

【0206】

このとき、画素部3002、ソース側駆動回路3003及びゲート側駆動回路3004を囲むようにして第1シール材3101、カバー材3102、充填材3103及び第2シール材3104が設けられている。

40

【0207】

また、図18（B）は図18（A）をA-A'で切断した断面図に相当し、基板3001の上にソース側駆動回路3003に含まれる駆動TFET（但し、ここではnチャンネル型TFETとpチャンネル型TFETを図示している。）3201及び画素部3002に含まれる画素TFET（但し、ここではEL素子への電流を制御するTFETを図示している。）3202が形成されている。

【0208】

50

本実施例では、駆動TF T 3 2 0 1には図1の駆動回路と同じ構造のTF Tが用いられる。また、画素TF T 3 2 0 2には図1の画素部と同じ構造のTF Tが用いられる。

【0209】

駆動TF T 3 2 0 1及び画素TF T 3 2 0 2の上には樹脂材料でなる層間絶縁膜（平坦化膜）3 3 0 1が形成され、その上に画素TF T 3 2 0 2のドレインと電氣的に接続する画素電極（陰極）3 3 0 2が形成される。画素電極3 3 0 2としては遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）を用いることができる。本実施例ではアルミニウム合金を画素電極として用いる。

【0210】

そして、画素電極3 3 0 2の上には絶縁膜3 3 0 3が形成され、絶縁膜3 3 0 3は画素電極3 3 0 2の上に開口部が形成されている。この開口部において、画素電極3 3 0 2の上にはEL（エレクトロルミネッセンス）層3 3 0 4が形成される。EL層3 3 0 4は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0211】

EL層3 3 0 4の形成方法は公知の技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0212】

EL層3 3 0 4の上には透明導電膜からなる陽極3 3 0 5が形成される。透明導電膜としては、酸化インジウムと酸化スズとの化合物または酸化インジウムと酸化亜鉛との化合物を用いることができる。また、陽極3 3 0 5とEL層3 3 0 4の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層3 3 0 4を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陽極3 3 0 5を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0213】

そして陽極3 3 0 5は3 3 0 6で示される領域において配線3 0 0 5に電氣的に接続される。配線3 0 0 5は陽極3 3 0 5に所定の電圧を与えるための配線であり、導電性材料3 3 0 7を介してFPC 3 0 0 6に電氣的に接続される。

【0214】

以上のようにして、画素電極（陰極）3 3 0 2、EL層3 3 0 4及び陽極3 3 0 5からなるEL素子が形成される。このEL素子は、第1シール材3 1 0 1及び第1シール材3 1 0 1によって基板3 0 0 1に貼り合わされたカバー材3 1 0 2で囲まれ、充填材3 1 0 3により封入されている。

【0215】

カバー材3 1 0 2としては、ガラス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。本実施例の場合、EL素子からの光の放射方向がカバー材3 1 0 2の方へ向かうため透光性材料を用いる。

【0216】

但し、EL素子からの光の放射方向がカバー材とは反対側に向かう場合には透光性材料を用いる必要はなく、金属板（代表的にはステンレス板）、セラミックス板、またはアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることができる。

【0217】

また、充填材3 1 0 3としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂

10

20

30

40

50

、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材3103の内部に吸湿性物質（好ましくは酸化バリウム）を設けておくとEL素子の劣化を抑制できる。なお、本実施例ではEL素子からの光が充填材3103を通過できるように、透明な材料を用いる。

【0218】

また、充填材3103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陽極3305上に樹脂膜を設けることも有効である。

【0219】

また、配線3005は導電性材料3307を介してFPC3006に電氣的に接続される。配線3005は画素部3002、ソース側駆動回路3003及びゲート側駆動回路3004に送られる信号をFPC3006に伝え、FPC3006により外部機器と電氣的に接続される。

【0220】

また、本実施例では第1シール材3101の露呈部及びFPC3006の一部を覆うように第2シール材3104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図18（B）の断面構造を有するEL表示装置となる。なお、本実施例のEL表示装置は実施例1乃至6または8乃至16のいずれの構成を組み合わせて作製しても構わない。

【0221】

〔実施例18〕

本実施例では、実施例17に示したEL表示装置の画素部に用いることができる画素構造の例を図19（A）～（C）に示す。なお、本実施例において、3401はスイッチング用TFT3402のソース配線、3403はスイッチング用TFT3402のゲート配線、3404は電流制御用TFT、3405はコンデンサ、3406、3408は電流供給線、3407はEL素子とする。

【0222】

図19（A）は、二つの画素間で電流供給線3406を共通とした場合の例である。即ち、二つの画素が電流供給線3406を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0223】

また、図19（B）は、電流供給線3408をゲート配線3403と平行に設けた場合の例である。なお、図19（B）では電流供給線3408とゲート配線3403とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線3408とゲート配線3403とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0224】

また、図19（C）は、図19（B）の構造と同様に電流供給線3408をゲート配線3403と平行に設け、さらに、二つの画素を電流供給線3408を中心に線対称となるように形成する点に特徴がある。また、電流供給線3408をゲート配線3403のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0225】

〔実施例19〕

本願発明の電気光学装置、具体的には本願発明の液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Display Exhibiting Fast Response Time

10

20

30

40

50

and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0226】

また、等方相 - コレステリック相 - カイラルスメクティック相転移系列を示す強誘電性液晶 (FLC) を用い、DC電圧を印加しながらコレステリック相 - カイラルスメクティック相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定FLCの電気光学特性を図20に示す。

10

【0227】

図20に示すような強誘電性液晶による表示モードは「Half-V字スイッチングモード」と呼ばれている。図20に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。「Half-V字スイッチングモード」については、寺田らの「Half-V字スイッチングモードFLCD」、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの「強誘電性液晶による時分割フルカラーLCD」、液晶第3巻第3号第190頁に詳しい。

【0228】

図20に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることわかる。本願発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

20

【0229】

また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶 (AFLC) という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度(セル厚約1μm~2μm)のものも見出されている。

【0230】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

30

【0231】

なお、このような無しきい値反強誘電性混合液晶を本願発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

【0232】

なお、本実施例に示す液晶は、実施例1~16のいずれの構成を有する液晶表示装置においても用いることが可能である。

【0233】

〔実施例20〕

本願発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、半導体回路上に反射型AM-LCDに代表される電気光学装置が形成された三次元構造の半導体装置を実現することも可能である。また、前記半導体回路はSIMOX、Smart-Cut (SOITEC社の登録商標)、ELTRAN (キャノン株式会社の登録商標) などのSOI基板上に形成されたものであっても良い。

40

【0234】

なお、本実施例を実施するにあたって、実施例1~19のいずれの構成を組み合わせても構わない。

【0235】

50

〔実施例 2 1〕

本願発明の電気光学装置や半導体回路は電気器具の表示部や信号処理回路として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図 2 1 ~ 2 3 に示す。

【 0 2 3 6 】

図 2 1 (A) は携帯電話であり、本体 2 0 0 1、音声出力部 2 0 0 2、音声入力部 2 0 0 3、表示部 2 0 0 4、操作スイッチ 2 0 0 5、アンテナ 2 0 0 6 で構成される。本願発明の電気光学装置は表示部 2 0 0 4 に、本願発明の半導体回路は音声出力部 2 0 0 2、音声入力部 2 0 0 3 または CPU やメモリ等に用いることができる。

10

【 0 2 3 7 】

図 2 1 (B) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 で構成される。本願発明の電気光学装置は表示部 2 1 0 2 に、本願発明の半導体回路は音声入力部 2 1 0 3 または CPU やメモリ等に用いることができる。

【 0 2 3 8 】

図 2 1 (C) はモバイルコンピュータ（モバイルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 で構成される。本願発明の電気光学装置は表示部 2 2 0 5 に、本願発明の半導体回路は CPU やメモリ等に用いることができる。

20

【 0 2 3 9 】

図 2 1 (D) はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 で構成される。本願発明の電気光学装置は表示部 2 3 0 2 に、本願発明の半導体回路は CPU やメモリ等に用いることができる。

【 0 2 4 0 】

図 2 1 (E) はリアプロジェクター（プロジェクションTV）であり、本体 2 4 0 1、光源 2 4 0 2、液晶表示装置 2 4 0 3、偏光ビームスプリッター 2 4 0 4、リフレクター 2 4 0 5、2 4 0 6、スクリーン 2 4 0 7 で構成される。本発明は液晶表示装置 2 4 0 3 に用いることができ、本願発明の半導体回路は CPU やメモリ等に用いることができる。

30

【 0 2 4 1 】

図 2 1 (F) はフロントプロジェクターであり、本体 2 5 0 1、光源 2 5 0 2、液晶表示装置 2 5 0 3、光学系 2 5 0 4、スクリーン 2 5 0 5 で構成される。本発明は液晶表示装置 2 5 0 3 に用いることができ、本願発明の半導体回路は CPU やメモリ等に用いることができる。

【 0 2 4 2 】

図 2 2 (A) はパーソナルコンピュータであり、本体 2 6 0 1、映像入力部 2 6 0 2、表示部 2 6 0 3、キーボード 2 6 0 4 等を含む。本願発明の電気光学装置は表示部 2 6 0 3 に、本願発明の半導体回路は CPU やメモリ等に用いることができる。

40

【 0 2 4 3 】

図 2 2 (B) は電子遊戯機器（ゲーム機器）であり、本体 2 7 0 1、記録媒体 2 7 0 2、表示部 2 7 0 3 及びコントローラー 2 7 0 4 を含む。この電子遊戯機器から出力された音声や映像は筐体 2 7 0 5 及び表示部 2 7 0 6 を含む表示ディスプレイにて再生される。コントローラー 2 7 0 4 と本体 2 7 0 1 との間の通信手段または電子遊戯機器と表示ディスプレイとの間の通信手段は、有線通信、無線通信もしくは光通信が使える。本実施例では赤外線センサ部 2 7 0 7、2 7 0 8 で検知する構成となっている。本願発明の電気光学装置は表示部 2 7 0 3、2 7 0 6 に、本願発明の半導体回路は CPU やメモリ等に用いることができる。

50

【0244】

図22(C)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤー(画像再生装置)であり、本体2801、表示部2802、スピーカ部2803、記録媒体2804及び操作スイッチ2805を含む。なお、この画像再生装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明の電気光学装置は表示部2802やCPUやメモリ等に用いることができる。

【0245】

図22(D)はデジタルカメラであり、本体2901、表示部2902、接眼部2903、操作スイッチ2904、受像部(図示せず)を含む。本願発明の電気光学装置は表示部2902やCPUやメモリ等に用いることができる。

10

【0246】

なお、図21(E)のリアプロジェクターや図21(F)のフロントプロジェクターに用いることのできる光学エンジンについての詳細な説明を図23に示す。なお、図23(A)は光学エンジンであり、図23(B)は光学エンジンに内蔵される光源光学系である。

【0247】

図23(A)に示す光学エンジンは、光源光学系3001、ミラー3002、3005~3007、ダイクロイックミラー3003、3004、光学レンズ3008a~3008c、プリズム3011、液晶表示装置3010、投射光学系3012を含む。投射光学系3012は、投射レンズを備えた光学系である。本実施例は液晶表示装置3010を三つ使用する三板式の例を示したが、単板式であってもよい。また、図23(A)中において矢印で示した光路には、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルムもしくはIRフィルム等を設けてもよい。

20

【0248】

また、図23(B)に示すように、光源光学系3001は、光源3013、3014、合成プリズム3015、コリメータレンズ3016、3020、レンズアレイ3017、3018、偏光変換素子3019を含む。なお、図23(B)に示した光源光学系は光源を2つ用いたが、一つでも良いし、三つ以上としてもよい。また、光源光学系の光路のどこかに、光学レンズ、偏光機能を有するフィルム、位相差を調節するフィルムもしくはIRフィルム等を設けてもよい。

30

【0249】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例1~20のどのような組み合わせからなる構成を用いても実現することができる。

【0250】

【発明の効果】

本願発明を用いることで同一基板上に、異なる膜厚のゲート絶縁膜を有するTFTを形成することができる。そのため、AM-LCDに代表される電気光学装置や、そのような電気光学装置を表示部として有する電気器具を含む半導体装置において、回路が要求する仕様に応じて適切な性能の回路を配置することが可能となり、半導体装置の性能や信頼性を大幅に向上させることができる。

40

【0251】

また、電気光学装置の画素部において、工程数を増やすことなく保持容量の誘電体を薄くすることができ、小さい面積で大きなキャパシティを有する保持容量を形成することができる。そのため、対角1インチ以下の電気光学装置においても開口率を低下させることなく、十分な保持容量を確保することが可能となる。

【図面の簡単な説明】

【図1】 AM-LCDの断面構造を示す図。

【図2】 AM-LCDの作製工程を示す図。

【図3】 AM-LCDの作製工程を示す図。

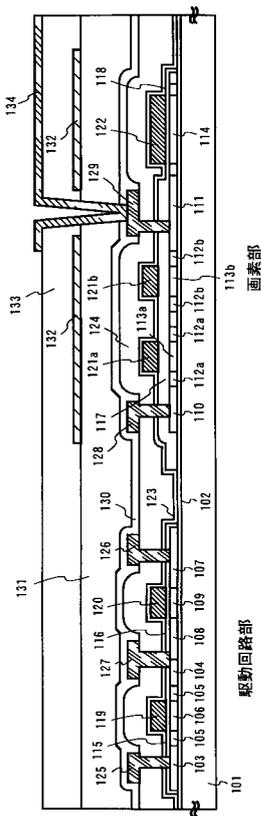
50

- 【図4】 AM-LCDのブロック図および回路配置を示す図。
- 【図5】 駆動TFT(CMOS回路)の構造を示す図。
- 【図6】 AM-LCDの断面構造を示す図。
- 【図7】 AM-LCDの作製工程を示す図。
- 【図8】 AM-LCDの断面構造を示す図。
- 【図9】 AM-LCDの外観を示す図。
- 【図10】 AM-LCDの作製工程を示す図。
- 【図11】 AM-LCDの作製工程を示す図。
- 【図12】 AM-LCDの作製工程を示す図。
- 【図13】 AM-LCDの作製工程を示す図。
- 【図14】 AM-LCDの作製工程を示す図。
- 【図15】 不純物元素を添加する際の濃度分布の関係を示す図。
- 【図16】 AM-LCDの作製工程を示す図。
- 【図17】 AM-LCDの作製工程を示す図。
- 【図18】 EL表示装置の上面構造及び断面構造を示す図。
- 【図19】 EL表示装置の画素部の構造を示す図。
- 【図20】 液晶の光学応答特性を示す図。
- 【図21】 電気器具の一例を示す図。
- 【図22】 電気器具の一例を示す図。
- 【図23】 光学エンジンの構成を示す図。

10

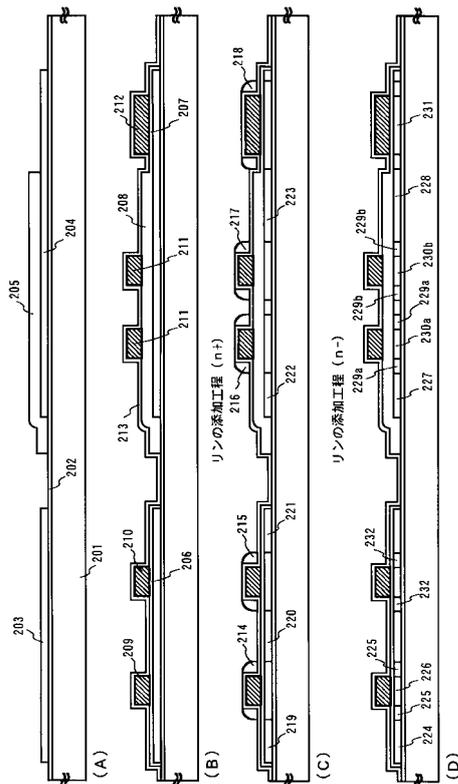
20

【図1】



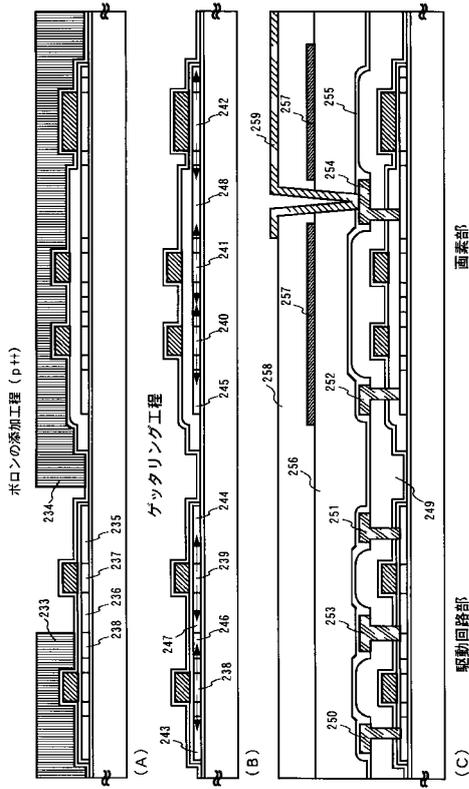
101:基板 102:下地膜 103,107,110:ゲート領域 104,108,111:ドレイフ領域 105,112a,112b:LiD領域
 106,109,113a,113b:半導体層 114:保持容量の下部電極 115,116,117:ゲート絶縁膜 118:保持容量の上部電極
 119,120,121a,121b:ゲート配線 122:保持容量の上部配線 123:酸化珪素膜 124:第1層間絶縁膜
 125,126,128:ゲート配線 127,129:ドレイフ領域 130:ゲートパターンの膜 131:第2層間絶縁膜 132:リフトオフ層
 133:第3層間絶縁膜 134:画素電極

【図2】



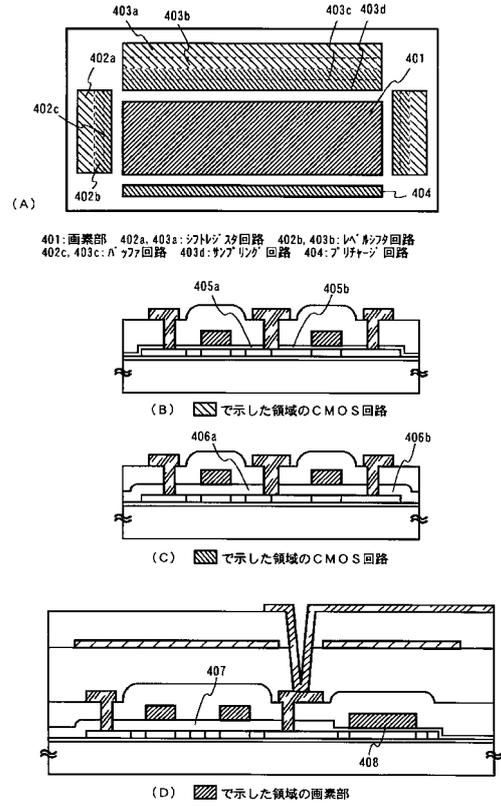
201:石英基板 202:酸化珪素膜 203,204:半導体層 205:ゲート絶縁膜 206,207:熱酸化膜(ゲート絶縁膜)
 208:ゲート絶縁膜 209~211:ゲート配線 212:保持容量の上部配線 213:酸化珪素膜 214~218:リフトオフ層
 219~223:不純物領域 224,227:ゲート配線 225,229a,229b:LiD領域 226,230a,230b:半導体層領域
 228:ドレイフ領域 231:保持容量の下部電極 232:低濃度不純物領域

【図3】



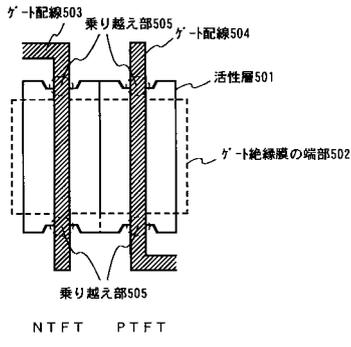
233. 234. シフトトランジスタのゲート絶縁膜 235. フォトリソグレイム 236. 238. 下層形成領域 237. 材料形成領域 238-241. 材料形成領域
 242. 保持容量の下部電極 243. 244. 245. フォトリソグレイム 246. 247. 248. トリプル層形成領域 249. 第1層形成領域
 250. 第1層形成領域 251. フォトリソグレイム 252. フォトリソグレイム 253. フォトリソグレイム 254. フォトリソグレイム
 255. 第2層形成領域 256. 第2層形成領域 257. フォトリソグレイム 258. 第3層形成領域 259. 第3層形成領域

【図4】

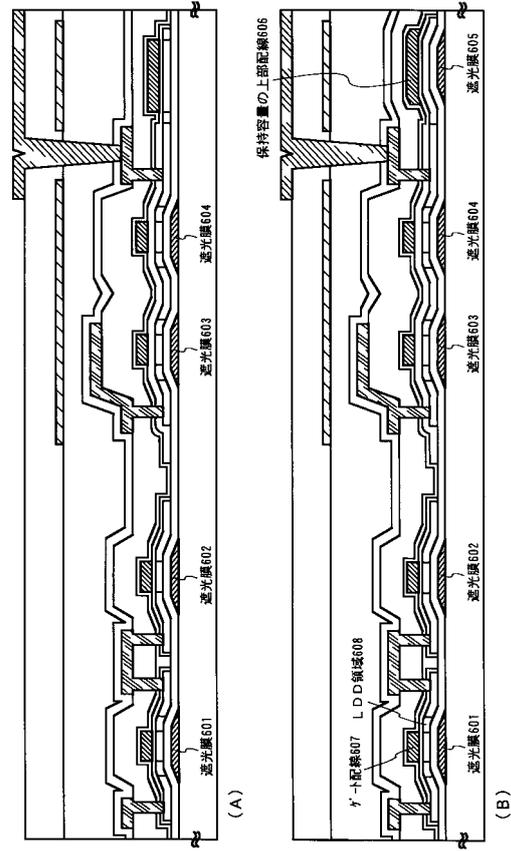


401: 画素部 402a, 403a: シフトレジスタ回路 402b, 403b: 1V_{th} 制御回路
 402c, 403c: A₁ フォトリソグレイム回路 403d: フォトリソグレイム回路 404: フォトリソグレイム回路

【図5】



【図6】



保持容量の上部配線606

遮光膜605

遮光膜604

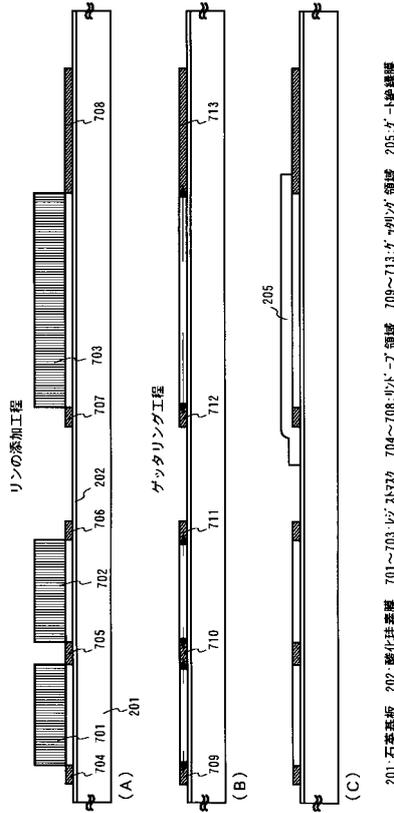
遮光膜603

遮光膜602

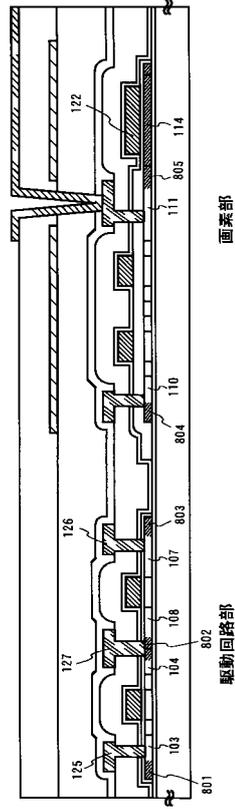
遮光膜601

ゲート配線607 LDD領域608

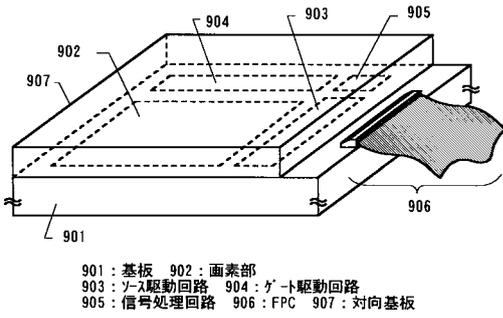
【図7】



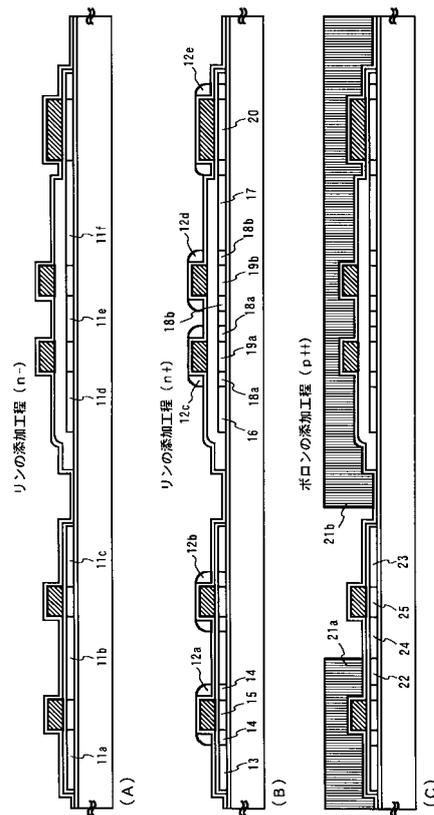
【図8】



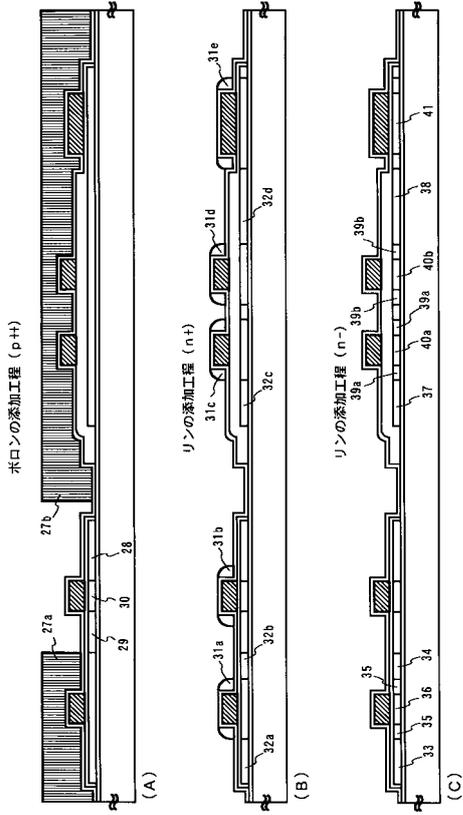
【図9】



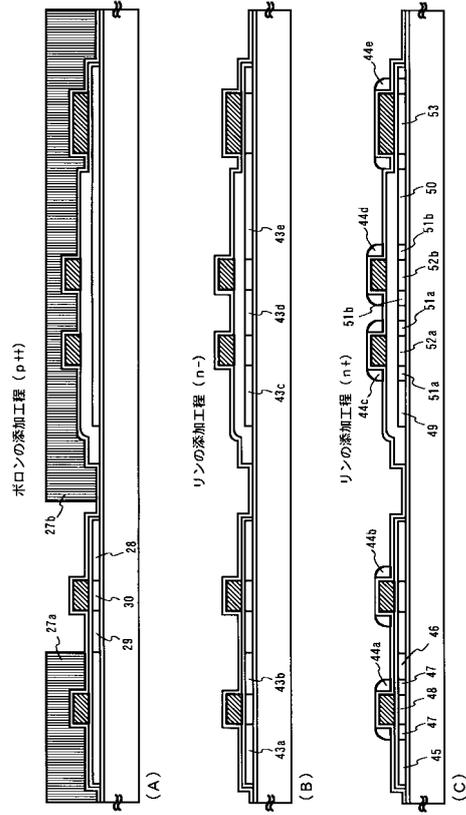
【図10】



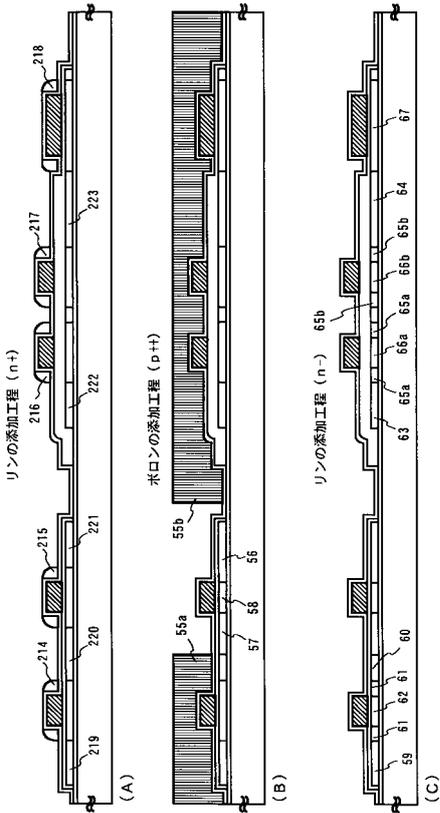
【図 1 1】



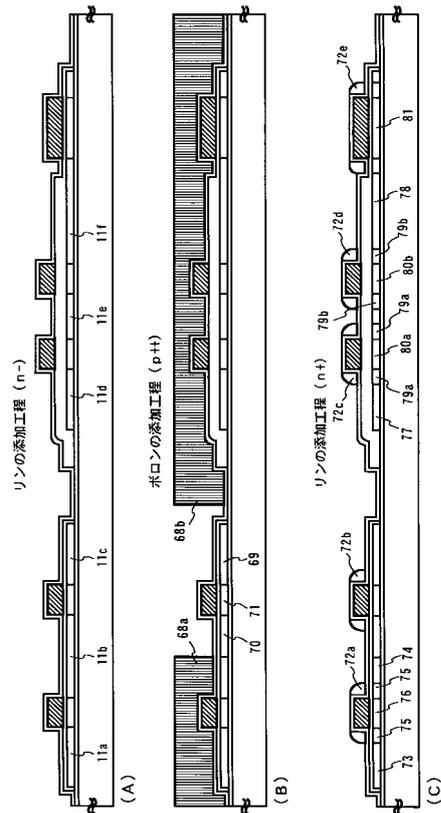
【図 1 2】



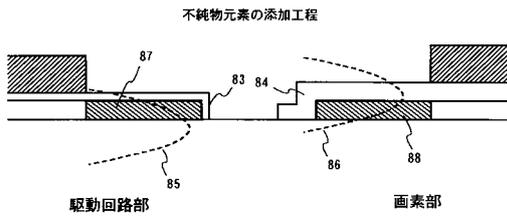
【図 1 3】



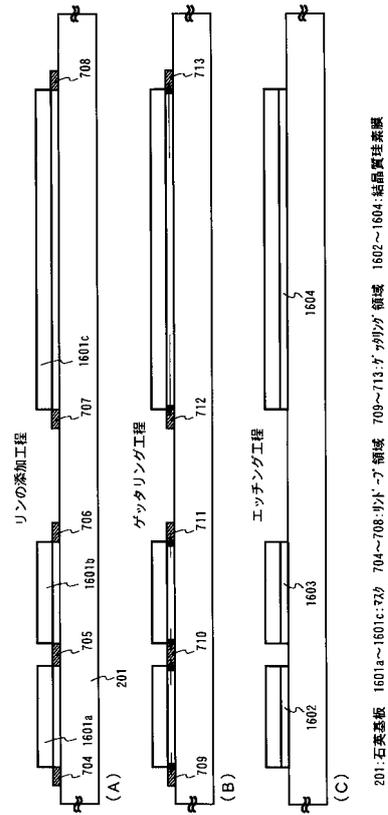
【図 1 4】



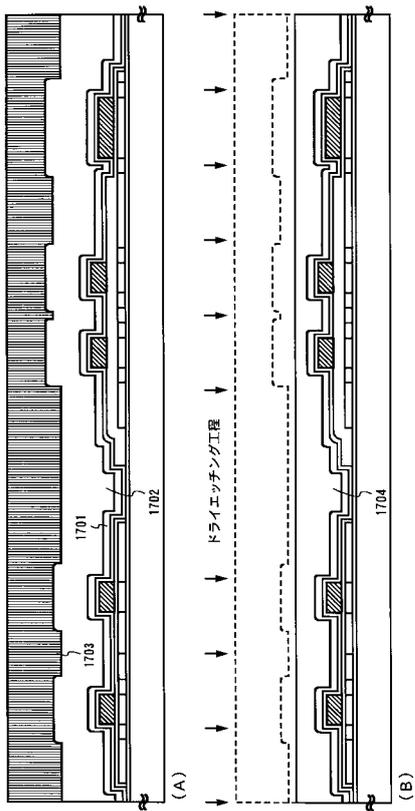
【図15】



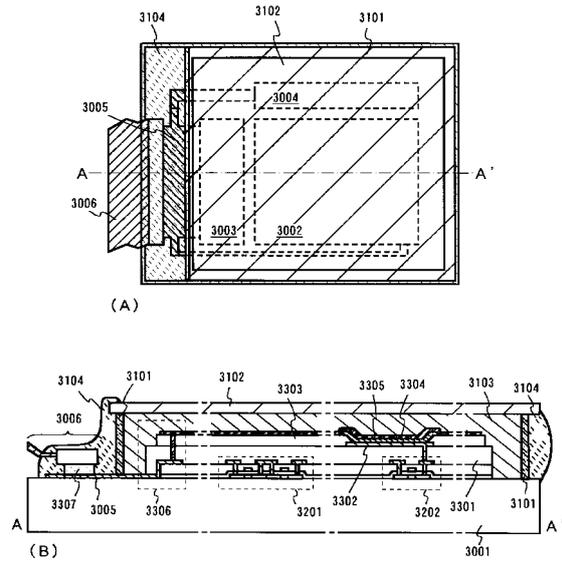
【図16】



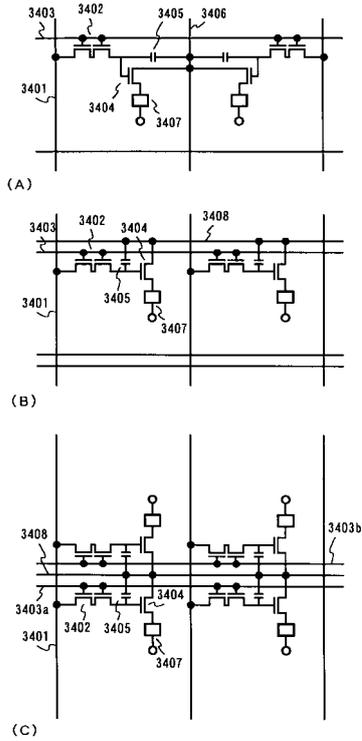
【図17】



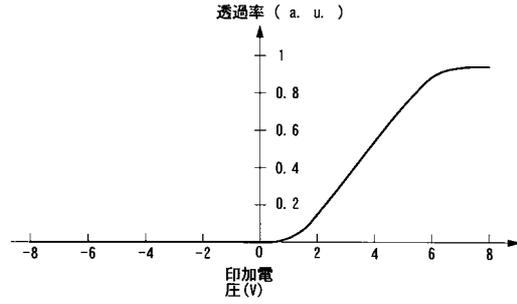
【図18】



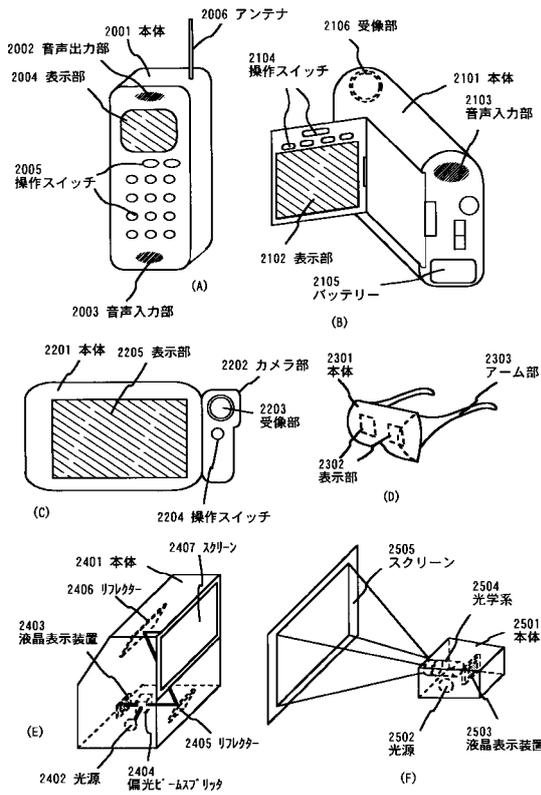
【図19】



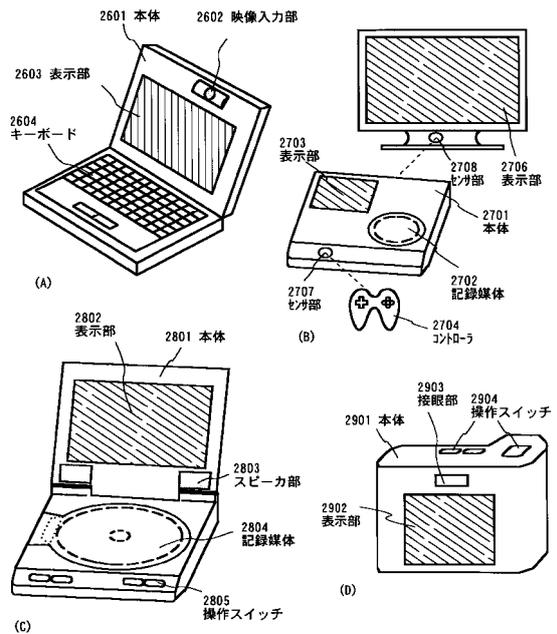
【図20】



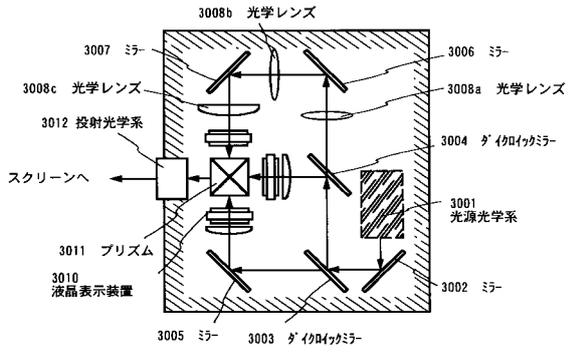
【図21】



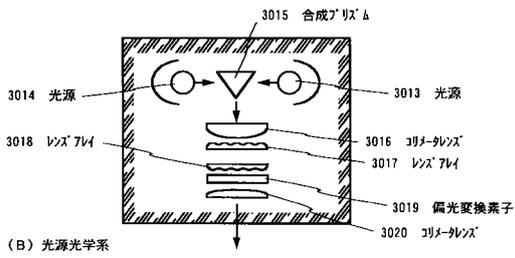
【図22】



【図23】



(A) 光学エンジン (三板式)



(B) 光源光学系

フロントページの続き

審査官 河本 充雄

- (56)参考文献 特開平10-056184(JP,A)
特開平04-219736(JP,A)
特開平06-175154(JP,A)
特開平03-280018(JP,A)
特開平10-048663(JP,A)
特開平09-307117(JP,A)
特開平10-268350(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786
H01L 21/336
G02F 1/1368