



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년03월28일  
(11) 등록번호 10-2515429  
(24) 등록일자 2023년03월24일

(51) 국제특허분류(Int. Cl.)  
H10B 12/00 (2023.01) H01L 21/28 (2006.01)  
H01L 21/768 (2006.01)  
(52) CPC특허분류  
H10B 12/00 (2023.02)  
H01L 21/28158 (2013.01)  
(21) 출원번호 10-2017-0161292  
(22) 출원일자 2017년11월29일  
심사청구일자 2020년10월06일  
(65) 공개번호 10-2019-0062766  
(43) 공개일자 2019년06월07일  
(56) 선행기술조사문헌  
KR1020160073143 A  
KR1020150090669 A  
KR1020140073705 A  
JP2009164612 A

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
문준석  
경기도 성남시 분당구 미금일로 58, 415동 1001호  
(구미동, 까치마을롯데, 선경아파트)  
공동식  
경기도 화성시 동탄하나1길 47-6, 313호 (능동,  
삼성씨티오피스텔)  
(뒷면에 계속)  
(74) 대리인  
특허법인가산

전체 청구항 수 : 총 9 항

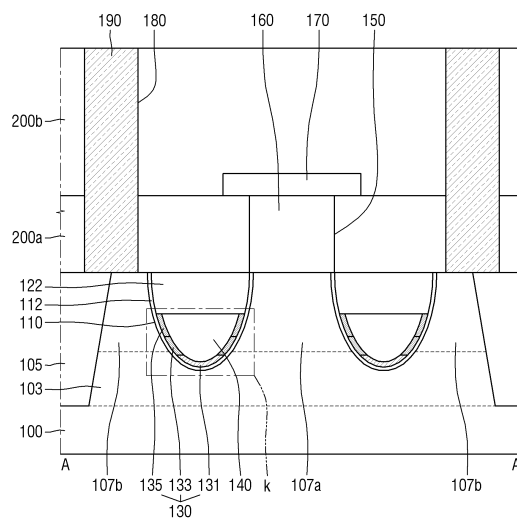
심사관 : 김종호

(54) 발명의 명칭 반도체 장치

(57) 요약

반도체 장치가 제공된다. 반도체 장치는, 소자 분리막과 소자 분리막에 의해 정의되는 액티브 영역을 포함하는 기판, 액티브 영역 내의 게이트 트렌치, 게이트 트렌치의 측벽 및 바닥면을 따라 배치되는 게이트 절연막, 게이트 절연막 상에 배치되어 트렌치의 적어도 일부를 채우고, 제1 부분, 제1 부분 상의 제2 부분, 및 제2 부분 상의 제3 부분을 포함하는 게이트 전극, 게이트 전극의 제1 부분과 게이트 절연막 사이에 배치되고, 제1 일함수를 갖는 제1 배리어막, 게이트 전극의 제2 부분과 게이트 절연막 사이에 배치되고, 제2 일함수를 갖는 제2 배리어막, 및 게이트 전극의 제3 부분과 게이트 절연막 사이에 배치되고, 제3 일함수를 갖는 제3 배리어막을 포함하고, 제1 일함수는, 제3 일함수보다 크고 제2 일함수보다 작다.

대표도 - 도2



(52) CPC특허분류

*H01L 21/76816* (2013.01)

*H01L 21/76829* (2013.01)

(72) 발명자

**유성원**

경기도 수원시 영통구 신원로136번길 28-1, L동  
304호 (신동, 우크빌)

**주희선**

서울특별시 서초구 효령로49길 57, 202동 105호 (서초동, 서초2차이편한세상)

**채교석**

경기도 수원시 영통구 웰빙타운로 20, 8320동 301호 (이의동, 호반가든하임)

**명세서**

**청구범위**

**청구항 1**

소자 분리막과 상기 소자 분리막에 의해 정의되는 액티브 영역을 포함하는 기판;

상기 액티브 영역 내의 게이트 트렌치;

상기 게이트 트렌치의 측벽 및 바닥면을 따라 배치되는 게이트 절연막;

상기 게이트 절연막 상에 배치되어 상기 트렌치의 적어도 일부를 채우고, 제1 부분, 상기 제1 부분 상의 제2 부분, 및 상기 제2 부분 상의 제3 부분을 포함하는 게이트 전극;

상기 게이트 전극의 제1 부분과 상기 게이트 절연막 사이에 배치되고, 제1 일함수를 갖는 제1 배리어막;

상기 게이트 전극의 제2 부분과 상기 게이트 절연막 사이에 배치되고, 제2 일함수를 갖는 제2 배리어막; 및

상기 게이트 전극의 제3 부분과 상기 게이트 절연막 사이에 배치되고, 제3 일함수를 갖는 제3 배리어막을 포함하고,

상기 제1 일함수는, 상기 제3 일함수보다 크고 상기 제2 일함수보다 작은 반도체 장치.

**청구항 2**

삭제

**청구항 3**

제 1항에 있어서,

상기 제2 및 제3 배리어막은, 상기 게이트 전극 내로 비연장되는 반도체 장치.

**청구항 4**

제 1항에 있어서,

상기 제2 및 제3 배리어막은, 상기 게이트 전극의 제1 부분과 상기 제1 배리어막 사이로 비연장되는 반도체 장치.

**청구항 5**

제 1항에 있어서,

상기 제2 배리어막은, 상기 게이트 전극의 제1 부분과 상기 게이트 전극의 제2 부분 사이로 더 연장되는 반도체 장치.

**청구항 6**

제 1항에 있어서,

상기 제3 배리어막은, 상기 게이트 전극의 제2 부분과 상기 게이트 전극의 제3 부분 사이로 더 연장되는 반도체 장치.

**청구항 7**

소자 분리막과 상기 소자 분리막에 의해 정의되는 액티브 영역을 포함하는 기판;

상기 액티브 영역 내의 게이트 트렌치;

상기 게이트 트렌치의 측벽 및 바닥면을 따라 배치되는 게이트 절연막;

상기 게이트 절연막 상에 배치되어 상기 트랜치의 적어도 일부를 채우고, 제1 부분, 상기 제1 부분 상의 제2 부분, 및 상기 제2 부분 상의 제3 부분을 포함하는 게이트 전극;

상기 게이트 전극의 제1 부분과 상기 게이트 절연막 사이에 배치되고, 제1 물질을 포함하는 제1 배리어막;

상기 게이트 전극의 제2 부분과 상기 게이트 절연막 사이에 배치되고, 제2 물질을 포함하는 제2 배리어막; 및

상기 게이트 전극의 제3 부분과 상기 게이트 절연막 사이에 배치되고, 제3 물질을 포함하는 제3 배리어막을 포함하고,

상기 제2 물질의 산소 면밀도(Oxygen Areal Density)는, 상기 제1 물질의 산소 면밀도보다 큰 반도체 장치.

#### 청구항 8

제 7항에 있어서,

상기 제3 물질의 산소 면밀도는, 상기 제2 물질의 산소 면밀도보다 작은 반도체 장치.

#### 청구항 9

제 7항에 있어서,

상기 제1 배리어막의 제1 일함수는, 상기 제3 배리어막의 제3 일함수보다 크고 상기 제2 배리어막의 제2 일함수보다 작은 반도체 장치.

#### 청구항 10

제 7항에 있어서,

상기 제2 및 제3 배리어막은, 상기 게이트 전극 내로 비연장되는 반도체 장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 반도체 장치에 관한 것이다.

#### 배경 기술

[0002] 매립 채널 어레이 트랜지스터(Buried Channel Array Transistor, BCAT)는 트랜치 내에 매립된 게이트 전극을 포함하여, DRAM 구조의 단채널 효과(short channel effect)를 극복할 수 있다.

[0003] 한편, DRAM 장치가 소형화되고 초고도로 집적화 됨에 따라, 인접한 워드 라인의 누설 전류에 의한 영향이 증가되었다. 또한, 워드 라인에 고전압이 인가되었을 때, 차징(charging)되어 있던 전하가 누설되는 경우, 셀 센싱이 부정확할 수 있다.

#### 발명의 내용

##### 해결하려는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는 세 개의 배리어 메탈 각각의 일함수 크기를 상이하게 함으로써, 반도체 장치의 신뢰성을 향상시킬 수 있는 반도체 장치를 제공하는 것이다.

[0005] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

##### 과제의 해결 수단

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예들에 따른 반도체 장치는, 소자 분리막과 소자 분리막에 의해 정의되는 액티브 영역을 포함하는 기판, 액티브 영역 내의 게이트 트랜치, 게이트 트랜치의 측벽 및 바닥면을 따라 배치되는 게이트 절연막, 게이트 절연막 상에 배치되어 트랜치의 적어도 일부를 채우고, 제1 부분, 제1 부분 상의 제2 부분, 및 제2 부분 상의 제3 부분을 포함하는 게이트 전극, 게이트 전극의 제1 부분과 게이

트 절연막 사이에 배치되고, 제1 일함수를 갖는 제1 배리어막, 게이트 전극의 제2 부분과 게이트 절연막 사이에 배치되고, 제2 일함수를 갖는 제2 배리어막, 및 게이트 전극의 제3 부분과 게이트 절연막 사이에 배치되고, 제3 일함수를 갖는 제3 배리어막을 포함하고, 제1 일함수는, 제3 일함수보다 크고 제2 일함수보다 작다.

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예들에 따른 반도체 장치는, 소자 분리막과 상기 소자 분리막에 의해 정의되는 액티브 영역을 포함하는 기판, 상기 액티브 영역 내의 게이트 트렌치, 상기 게이트 트렌치의 측벽 및 바닥면을 따라 배치되는 게이트 절연막, 상기 게이트 절연막 상에 배치되어 상기 트렌치의 적어도 일부를 채우고, 제1 부분, 상기 제1 부분 상의 제2 부분, 및 상기 제2 부분 상의 제3 부분을 포함하는 게이트 전극, 상기 게이트 전극의 제1 부분과 상기 게이트 절연막 사이에 배치되고, 제1 물질을 포함하는 제1 배리어막, 상기 게이트 전극의 제2 부분과 상기 게이트 절연막 사이에 배치되고, 제2 물질을 포함하는 제2 배리어막 및 상기 게이트 전극의 제3 부분과 상기 게이트 절연막 사이에 배치되고, 제3 물질을 포함하는 제3 배리어막을 포함하고, 상기 제2 물질의 산소 면밀도(Oxygen Areal Density)는, 상기 제1 물질의 산소 면밀도보다 클 수 있다.

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예들에 따른 반도체 장치는, 소자 분리막과 상기 소자 분리막에 의해 정의되는 액티브 영역을 포함하는 기판, 상기 액티브 영역 내의 게이트 트렌치, 상기 게이트 트렌치의 바닥면 및 측벽의 적어도 일부를 따라 연장되는 배리어막 및 상기 게이트 트렌치의 적어도 일부를 채우고, 상기 배리어막 상에 배치되는 게이트 전극을 포함하고, 상기 배리어막은, 제1 물질을 포함하는 하부 배리어 패턴, 제2 물질을 포함하고 상기 하부 배리어 패턴 상에 배치되는 중부 배리어 패턴, 제3 물질을 포함하고 상기 중부 배리어 패턴 상에 배치되는 상부 배리어 패턴을 포함하고, 상기 중부 및 상부 배리어 패턴은, 상기 게이트 트렌치의 바닥면으로 비연장될 수 있다.

[0009] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**도면의 간단한 설명**

- [0010] 도 1은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.
- 도 2는 도 1의 A-A' 선을 따라 절단한 단면도이다.
- 도 3은 도 2의 k 영역의 확대도이다.
- 도 4는 본 발명의 몇몇 실시예에 따른 반도체 장치의 효과를 설명하기 위한 도면이다.
- 도 5는 도 1의 A-A' 선을 따라 절단한 단면도이다.
- 도 6은 도 5의 j 영역의 확대도이다.
- 도 7은 도 1의 A-A' 선을 따라 절단한 단면도이다.
- 도 8은 도 7의 m 영역의 확대도이다.
- 도 9는 도 1의 A-A' 선을 따라 절단한 단면도이다.
- 도 10은 도 9의 n 영역의 확대도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0011] 이하에서, 도 1 내지 도 5를 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 장치에 대해 설명한다.
- [0012] 도 1은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이다. 도 2는 도 1의 A-A' 선을 따라 절단한 단면도이다. 도 3은 도 2의 k 영역의 확대도이다.
- [0013] 도 1 내지 도 3을 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 기판(100), 액티브 영역(AC), 소자 분리 영역(ISO), 워드 라인(WL) 및 비트 라인(BL)을 포함한다.
- [0014] 기판(100)은 예를 들어, 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 기판(100)은 실리콘 기판일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘 게르마늄, 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수 있다. 또는, 기판(100)은 베이스 기판 상에 에피층이 형성된 것일 수도 있다. 기판(100)은 세라믹 기판, 석영 기판, 또는 디스플레이용 유리 기판 등일 수도 있고, SOI(Semiconductor On Insulator) 기판일 수도 있다. 이하에서는, 예시적으로 실리콘 기판을 예로 든다.

- [0015] 액티브 영역(AC)은 기판(100) 내에 소자 분리 영역(ISO)을 형성함으로써 정의된다. 액티브 영역(AC)은 제1 방향(DR1)을 길이 방향으로 하는 고립된 섬 형상을 가질 수 있다. 구체적으로 설명하면, 액티브 영역(AC)은 제1 방향(DR1)으로 연장되어 형성되고, 게이트 전극(즉, 워드 라인)(WL)은 제1 방향(DR1)과 제1 예각( $\theta_1$ )을 이루는 제2 방향(DR2)으로 연장되어 형성되고, 비트 라인(BL)은 제1 방향(DR1)과 제2 예각( $\theta_2$ )을 이루는 제3 방향(DR3)으로 연장되어 형성된다.
- [0016] 여기서, "특정 방향과 다른 특정 방향이 소정 각도를 이룬다"고 할 경우의 각도는, 2개의 방향들이 교차됨으로써 생기는 2개의 각도들 중 작은 각도를 의미한다. 예를 들어, 2개의 방향들이 교차됨으로써 생길 수 있는 각이  $120^\circ$  와,  $60^\circ$  일 경우,  $60^\circ$  를 의미한다. 따라서, 도 1에 도시된 바와 같이, 제1 방향(DR1)과 제2 방향(DR2)이 이루는 각은  $\theta_1$ 이고, 제1 방향(DR1)과 제3 방향(DR3)이 이루는 각은  $\theta_2$ 가 된다.
- [0017] 이와 같이,  $\theta_1$  및/또는  $\theta_2$ 가 예각을 이루도록 하는 이유는, 액티브 영역(AC)과 비트 라인(BL)을 연결하는 비트 라인 콘택(160)과, 액티브 영역(AC)과 스토리지 노드를 연결하는 스토리지 노드 콘택(190) 사이의 간격을 최대로 확보하기 위함이다.  $\theta_1$ ,  $\theta_2$ 는 예를 들어, 각각  $45^\circ$ ,  $45^\circ$  이거나,  $30^\circ$ ,  $60^\circ$  이거나,  $60^\circ$ ,  $30^\circ$  일 수 있으나, 이에 한정되는 것은 아니다.
- [0018] 각 액티브 영역(AC)들은 중심 부위의 상부면에 제1 콘택 영역(DC)과 양 가장자리의 상부면에 각각 제2 콘택 영역(BC)을 포함한다. 즉, 제1 콘택 영역(DC)은 비트 라인(BL)과 전기적으로 연결하기 위한 영역이 되고, 제2 콘택 영역(BC)은, 스토리지 노드와 전기적으로 연결하기 위한 영역이 된다. 제2 방향(DR2)으로 서로 이웃하는 액티브 영역(AC)은 각각, 제2 콘택 영역(BC)이 서로 인접하게 배치되도록 형성될 수 있다. 각 액티브 영역(AC)들 내에서 제1 콘택 영역(DC) 및 제2 콘택 영역(BC)은, 서로 오버랩되지 않고 각각 분리된 영역을 가질 수 있다.
- [0019] 소자 분리 영역(ISO)에는 소자 분리막(105)이 형성될 수 있다. 소자 분리막(105)은 기판(100) 내에 형성되어, 액티브 영역(AC)을 정의할 수 있다. 소자 분리막(105)은 소자 분리 특성이 우수하고 점유 면적이 작아 고집적화에 유리한 셸로우 트렌치 소자 분리(Shallow Trench Isolation; STI) 구조로 형성될 수 있으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 소자 분리막(105)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 및 이들의 조합 중 적어도 하나를 포함할 수 있다. 또한, 소자 분리막(105)은 실리콘 산화물 및 실리콘 질화물이 각각 1층 이상 적층된 구조를 가질 수 있다. 소자 분리 영역(ISO)이 형성되는 부위에 따라 소자 분리 영역(ISO)의 내부폭이 달라질 수 있고, 소자 분리 영역(ISO)의 내부 폭에 따라 소자 분리 영역(ISO)의 내부에 채워지는 소자 분리막(105)의 적층 구조가 달라질 수 있다.
- [0020] 게이트 트렌치(110)는 액티브 영역(103)의 기판(100) 내에 형성된다. 게이트 트렌치(110)의 형상은 여러 가지일 수 있다. 예를 들어, 게이트 트렌치(110)는 도시된 것처럼, 바닥면과 측벽의 연결 부분이 둥근 형상일 수 있다. 또는, 게이트 트렌치(110)는 측벽이 일정한 각도를 가지고 기울어진 형상일 수도 있다.
- [0021] 게이트 절연막(112)은 게이트 트렌치(110)의 측벽 및 바닥면을 따라 배치될 수 있다. 게이트 절연막(112)은, 예를 들어, 게이트 트렌치(110)의 내벽을 따라 콘포말하게(conformally) 형성될 수 있다.
- [0022] 게이트 절연막(112)은 예를 들어, 실리콘 산화물, 실리콘 질화물 또는 실리콘 산질화물을 포함하거나, 고유전율 물질을 포함할 수 있다. 고유전율 물질은 예를 들어, 하프늄 산화물(hafnium oxide), 하프늄 실리콘 산화물(hafnium silicon oxide), 란타넘 산화물(lanthanum oxide), 란타넘 알루미늄 산화물(lanthanum aluminum oxide), 지르코늄 산화물(zirconium oxide), 지르코늄 실리콘 산화물(zirconium silicon oxide), 탄탈륨 산화물(tantalum oxide), 티타늄 산화물(titanium oxide), 바륨 스트론튬 티타늄 산화물(barium strontium titanium oxide), 바륨 티타늄 산화물(barium titanium oxide), 스트론튬 티타늄 산화물(strontium titanium oxide), 이트륨 산화물(yttrium oxide), 알루미늄 산화물(Aluminum oxide), 납 스칸듐 탄탈륨 산화물(lead scandium tantalum oxide), 또는 납 아연 니오브산염(lead zinc niobate) 중에서 하나 이상을 포함하여 사용할 수 있으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0023] 제1 게이트 전극(140)은 게이트 절연막(112) 상에 배치되어, 게이트 트렌치(110)의 적어도 일부를 채울 수 있다. 다시 말해서 제1 게이트 전극(140)은, 리세스된 형태일 수 있다. 제1 게이트 전극(140)의 상면은, 기판(100)의 상면(표면)보다 낮을 수 있다.
- [0024] 제1 게이트 전극(140)은 제1 부분(140a), 제2 부분(140b), 및 제3 부분(140c)을 포함할 수 있다. 제1 게이트 전극(140)의 제1 내지 제3 부분(140a, 140b, 140c) 각각은, 제1 게이트 전극(140)의 하부, 중부 및 상부 부분일 수 있다. 예를 들어, 제1 게이트 전극(140)의 제2 부분(140b)은, 제1 게이트 전극(140)의 제1 부분(140a) 상에 배치되는, 제1 게이트 전극(140)의 일부분일 수 있다. 제1 게이트 전극(140)의 제3 부분(140c)은, 제1 게이

트 전극(140)의 제2 부분(140b) 상에 배치되는, 제1 게이트 전극(140)의 일부분일 수 있다.

- [0025] 몇몇 실시예에서, 제1 게이트 전극(140)의 제1 내지 제3 부분(140a, 140b, 140c)은 모두 동일한 물질을 포함할 수 있다. 제1 게이트 전극(140)의 제1 내지 제3 부분(140a, 140b, 140c)이 모두 동일한 물질을 포함하는 경우, 제1 게이트 전극(140)은 하나의 제1 게이트 전극(140)으로 보일 수 있다.
- [0026] 몇몇 실시예에서, 제1 게이트 전극(140)의 제1 내지 제3 부분(140a, 140b, 140c) 중 어느 하나는, 나머지 부분에 포함된 물질과 이종의 물질을 포함할 수 있다. 또는, 몇몇 실시예에서, 제1 게이트 전극(140)의 제1 내지 제3 부분(140a, 140b, 140c) 각각은, 서로 다른 물질을 포함할 수 있다. 이런 실시예들의 경우, 제1 게이트 전극(140)의 제1 부분(140a)과 제2 부분(140b) 사이, 및 제2 부분(140b)과 제3 부분(140c) 사이 중 적어도 어느 하나에 계면막이 배치될 수 있다.
- [0027] 계면막이 제1 게이트 전극(140)의 제1 부분(140a)과 제2 부분(140b) 사이에 배치되는 경우, 계면막은 제1 게이트 전극(140)의 제1 부분(140a) 상에 배치되어, 제1 부분(140a)과 제2 부분(140b) 사이에 게재될 수 있다. 이 경우 계면막은, 예를 들어, 제1 게이트 전극(140)의 제1 부분(140a)의 상면 전부를 덮도록 배치될 수 있다.
- [0028] 또는, 계면막이 제1 게이트 전극(140)의 제2 부분(140b)과 제3 부분(140c) 사이에 배치되는 경우, 계면막은 제1 게이트 전극(140)의 제2 부분(140b) 상에 배치되어, 제2 부분(140b)과 제3 부분(140c) 사이에 게재될 수 있다. 이 경우 계면막은, 예를 들어, 제1 게이트 전극(140)의 제2 부분(140b)의 상면 전부를 덮도록 배치될 수 있다.
- [0029] 계면막은 예를 들어, 텅스텐 질화물, 티타늄 질화물 및 코발트 실리사이드 등 낮은 저항성을 갖는 물질을 포함할 수 있다.
- [0030] 제1 게이트 전극(140)은 도전성 물질, 예를 들어, 금속을 포함할 수 있다. 예를 들어, 제1 게이트 전극(140)의 제1 내지 제3 부분(140a, 140b, 140c) 각각은, 텅스텐, 알루미늄, 구리, 몰리브덴, 티타늄, 탄탈륨 및 루테튬 중 어느 하나를 포함할 수 있다. 그러나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 예를 들어, 제1 게이트 전극(140)에 포함되는 물질은, 낮은 저항을 갖는 물질을 포함할 수 있다.
- [0031] 또는, 예를 들어, 제1 게이트 전극(140)의 제1 내지 제3 부분(140a, 140b, 140c) 중 적어도 어느 하나는, 불순물 도핑된 폴리 실리콘을 포함할 수 있다. 이 경우, 예를 들어, 제1 게이트 전극(140)의 제3 부분(140c)은 n+ 폴리 실리콘을 포함할 수 있고, 제2 부분(140b)은 p+ 폴리 실리콘을 포함할 수 있다.
- [0032] 도 2의 제1 게이트 전극(140)은 도 1의 워드 라인(WL)과 같은 구성 요소이지만, 편의상 다른 부호를 사용한다.
- [0033] 제1 배리어막(130)은 제1 게이트 전극(140)과 게이트 절연막(112) 사이에, 게이트 트렌치(110) 내에 배치될 수 있다. 제1 배리어막(130)은 게이트 트렌치(110)의 바닥면 및 측벽의 적어도 일부를 따라 연장될 수 있다. 제1 배리어막(130)은, 예를 들어, 캡핑 막(122)과 제1 게이트 전극(140)의 경계면까지 연장될 수 있다. 그러나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 제1 배리어막(130)은, 캡핑 막(122)과 제1 게이트 전극(140)의 경계면으로부터 돌출되도록, 게이트 트렌치(110)의 측벽을 따라 더 연장될 수도 있음은 물론이다.
- [0034] 제1 배리어막(130)은, 하부에 배치되는 제1 배리어 패턴(131), 중부에 배치되는 제2 배리어 패턴(133), 및 상부에 배치되는 제3 배리어 패턴(135)을 포함할 수 있다.
- [0035] 제1 배리어 패턴(131)은 제1 게이트 전극(140)의 제1 부분(140a)과 게이트 절연막(112) 사이에 배치될 수 있다. 제1 배리어 패턴(131)은 게이트 절연막(112) 상에, 게이트 절연막(112)의 상면의 일부를 따라 연장될 수 있다. 제1 배리어 패턴(131)은 게이트 트렌치(110)의 측벽의 일부 및 바닥면을 따라 배치될 수 있다. 즉, 제1 배리어 패턴(131)은 게이트 트렌치(110)의 바닥면을 중심으로, 게이트 트렌치(110)의 양 측벽의 일부를 따라 배치될 수 있다.
- [0036] 제1 게이트 전극(140)의 제1 부분(140a)은, 제1 배리어 패턴(131) 상에 배치될 수 있다. 다시 말해서 제1 게이트 전극(140)의 제1 부분(140a)은, 제1 배리어 패턴(131)이 배치된 부분과 대응되는 부분까지 배치될 수 있다. 예를 들어, 제1 배리어 패턴(131)의 상면과 제1 게이트 전극(140)의 제1 부분(140a)의 상면의 높이는 실질적으로 동일할 수 있다.
- [0037] 제2 배리어 패턴(133)은 제1 게이트 전극(140)의 제2 부분(140b)과 게이트 절연막(112) 사이에 배치될 수 있다.
- [0038] 몇몇 실시예에서, 제2 배리어 패턴(133)은 제1 배리어 패턴(131) 상에 배치되나, 제1 게이트 전극(140)의 제1 부분(140a) 상에는 배치되지 않을 수 있다. 제2 배리어 패턴(133)은, 제1 게이트 전극(140)의 제1 부분(140a)과 제1 게이트 전극(140)의 제2 부분(140b) 사이로 연장되지 않을 수 있다.

- [0039] 제2 배리어 패턴(133)은 게이트 트렌치(110)의 측벽의 일부를 따라 연장되어, 라이너(liner) 형태를 가질 수 있다. 즉, 제2 배리어 패턴(133)은 게이트 절연막(112)의 일부를 따라 배치될 수 있다. 제2 배리어 패턴(133)은 제1 배리어 패턴(131) 및 제1 게이트 전극(140)의 제1 부분(140a)의 상면을 중심으로, 게이트 트렌치(110)의 양 측벽의 일부를 따라 연장되도록 배치될 수 있다. 제2 배리어 패턴(133)은, 제1 게이트 전극(140)의 제1 부분(140a)과 제1 배리어 패턴(131) 사이로 연장되지 않을 수 있다. 제1 게이트 전극(140)의 제2 부분(140b)은, 제2 배리어 패턴(133)이 배치된 부분과 대응되는 부분까지 배치될 수 있다. 예를 들어, 제2 배리어 패턴(133)의 상면과 제1 게이트 전극(140)의 제2 부분(140b)의 상면의 높이는 실질적으로 동일할 수 있다.
- [0040] 제3 배리어 패턴(135)은 제1 게이트 전극(140)의 제3 부분(140c)과 게이트 절연막(112) 사이에 배치될 수 있다.
- [0041] 몇몇 실시예에서, 제3 배리어 패턴(135)은 제2 배리어 패턴(133) 상에 배치되나, 제1 게이트 전극(140)의 제2 부분(140b) 상에는 배치되지 않을 수 있다. 제3 배리어 패턴(135)은, 제1 게이트 전극(140)의 제1 부분(140a)과 제1 배리어 패턴(131) 사이로 연장되지 않을 수 있다. 또한, 제3 배리어 패턴(135)은, 제1 게이트 전극(140)의 제2 부분(140b)과 제1 게이트 전극(140)의 제3 부분(140c) 사이로 연장되지 않을 수 있다.
- [0042] 제3 배리어 패턴(135)은 게이트 트렌치(110)의 측벽의 일부를 따라 연장되어, 라이너 형태를 가질 수 있다. 즉, 제3 배리어 패턴(135)은 게이트 절연막(112)의 일부를 따라 배치될 수 있다. 제3 배리어 패턴(135)은 제2 배리어 패턴(133) 및 제1 게이트 전극(140)의 제2 부분(140b)의 상면을 중심으로, 게이트 트렌치(110)의 양 측벽의 일부를 따라 연장되도록 배치될 수 있다. 제3 배리어 패턴(135)은, 제1 게이트 전극(140)의 제1 부분(140a)과 제1 배리어 패턴(131) 사이로 연장되지 않을 수 있다. 제1 게이트 전극(140)의 제3 부분(140c)은, 제3 배리어 패턴(135)이 배치된 부분과 대응되는 부분까지 배치될 수 있다. 예를 들어, 제3 배리어 패턴(135)의 상면과 제1 게이트 전극(140)의 제3 부분(140c)의 상면의 높이는 실질적으로 동일할 수 있다.
- [0043] 제1 배리어 패턴(131), 제2 배리어 패턴(133), 및 제3 배리어 패턴(135) 각각은, 서로 다른 물질을 포함할 수 있다. 예를 들어, 제1 배리어 패턴(131), 제2 배리어 패턴(133), 및 제3 배리어 패턴(135) 각각에 포함되는 물질은, 서로 다른 산소 면밀도(Oxygen Areal Density)를 가질 수 있다.
- [0044] 제1 배리어 패턴(131)은 예를 들어, TiN, TaN, Ti, Ta, Mo 및 Al 중 적어도 하나를 포함할 수 있다.
- [0045] 제2 배리어 패턴(133)은, 제1 배리어 패턴(131)에 포함되는 제1 물질의 산소 면밀도보다 큰 산소 면밀도를 갖는 제2 물질을 포함할 수 있다. 다시 말해서, 제2 물질의 단위부피당 산소 함량은, 제1 물질의 단위부피당 산소 함량보다 클 수 있다.
- [0046] 제3 배리어 패턴(135)은, 제1 배리어 패턴(131)에 포함되는 제1 물질의 산소 면밀도보다 작은 산소 면밀도를 갖는 제3 물질을 포함할 수 있다. 다시 말해서, 제3 물질의 단위부피당 산소 함량은, 제1 물질의 단위부피당 산소 함량보다 작을 수 있다.
- [0047] 정리하면, 제1 물질의 산소 면밀도는, 제3 물질의 산소 면밀도보다 크고, 제2 물질의 산소 면밀도보다 작을 수 있다.
- [0048] 제2 배리어 패턴(133)은, 예를 들어, 알루미늄 산화물, 티타늄 산화물, hafnium 산화물, 지르코늄 산화물, 및 마그네슘 산화물 중 어느 하나를 포함할 수 있다.
- [0049] 제3 배리어 패턴(135)은, 예를 들어, 이트륨 산화물, 란타넘 산화물, 저마늄 산화물, 루테튬 산화물, 및 스트론튬 산화물 중 어느 하나를 포함할 수 있다.
- [0050] 제1 배리어 패턴(131)의 제1 일함수, 제2 배리어 패턴(133)의 제2 일함수, 및 제3 배리어 패턴(135)의 제3 일함수는 서로 상이할 수 있다. 예를 들어, 제1 일함수는, 제3 일함수보다 크고, 제2 일함수보다 작을 수 있다.
- [0051] 도 4는 본 발명의 몇몇 실시예에 따른 반도체 장치의 효과를 설명하기 위한 도면이다.
- [0052] 도 4의 그래프의 x 축은 제1 게이트 전극(140)의 제1 내지 제3 부분(140a, 140b, 140c) 각각에 대응되는 영역을 나타낼 수 있다. 예를 들어, 도 4의 그래프의 x 축의 제1 지점(P1)은, 제1 배리어 패턴(131)의 최하 지점에 대응될 수 있다.
- [0053] 도 4의 그래프의 x 축의 제2 지점(P2)은, 제1 게이트 전극(140)의 제1 부분(140a)과, 제1 게이트 전극(140)의 제2 부분(140b) 사이의 경계에 대응될 수 있다. 따라서, 도 4의 그래프의 x 축의 제1 구간(R1)은, 제1 게이트 전극(140)의 제1 부분(140a)과 제1 배리어 패턴(131)에 대응될 수 있다.



- [0054] 도 4의 그래프의 x 축의 제3 지점(P3)은, 제1 게이트 전극(140)의 제2 부분(140b)과, 제1 게이트 전극(140)의 제3 부분(140c) 사이의 경계에 대응될 수 있다. 따라서, 도 4의 그래프의 x 축의 제2 구간(R2)은, 제1 게이트 전극(140)의 제2 부분(140b)과 제2 배리어 패턴(133)에 대응될 수 있다.
- [0055] 도 4의 그래프의 x 축의 제4 지점(P4)은, 캡핑 막(122)과 제1 게이트 전극(140)간의 경계에 대응될 수 있다. 따라서, 도 4의 그래프의 x 축의 제3 구간(R3)은, 제1 게이트 전극(140)의 제3 부분(140c)과 제3 배리어 패턴(135)에 대응될 수 있다.
- [0056] 도 4의 그래프의 y 축은 제1 게이트 전극(140) 내의 전자의 농도(단위: AU(arbitrary unit))를 나타낼 수 있다.
- [0057] 도 4의 제1 그래프(G1)는, 세 개의 서로 다른 일함수를 갖는 배리어 패턴들을 포함하는 반도체 장치에 있어서, 중부 배리어 패턴의 일함수가 상부 배리어 패턴의 일함수보다 크고, 하부 배리어 패턴의 일함수보다 작은 경우, 각 구간에서의 전자 농도를 나타내는 그래프이다.
- [0058] 도 4의 제2 그래프(G2)는, 본 발명의 몇몇 실시예에 따른 반도체 장치에 있어서, 하부 배리어 패턴(즉, 제1 배리어 패턴(131))의 일함수가, 상부 배리어 패턴(즉, 제3 배리어 패턴(135))의 일함수보다 크고, 중부 배리어 패턴(즉, 제2 배리어 패턴(133))의 일함수보다 작은 경우, 각 구간에서의 전자 농도를 나타내는 그래프이다.
- [0059] 도 4를 참조하면, 워드 라인에 전압이 인가되면, 상부 배리어 패턴 부근(즉, 제3 구간(R3))에는 전자의 농도가 매우 높을 수 있다. 상부, 중부, 하부 배리어 패턴 중 상부 배리어 패턴의 일함수는 가장 낮으므로, 전자는 하부 배리어 패턴 부근(즉, 제1 구간(R1))쪽으로 이동될 수 있다.
- [0060] 이 때, 제1 그래프(G1)의 제2 구간(R2)에서, 중부 배리어 패턴의 일함수는 상대적으로 높지 않으므로, 상부 배리어 패턴 부근으로부터 내려오는 전자를 잡아둘 수 있는 확률도 낮을 수 있다.
- [0061] 한편, 본 발명의 몇몇 실시예에 따른 반도체 장치는 서로 다른 일함수를 갖는 제1 내지 제3 배리어 패턴(131, 133, 135)을 포함할 수 있다. 상술한 바와 같이, 제1 일함수는, 제3 일함수보다 크고, 제2 일함수보다 작을 수 있다. 제1 그래프(G1)의 제2 구간(R2)에서, 중부 배리어 패턴의 일함수는 상대적으로 높으므로, 상부 배리어 패턴으로부터 내려오는 전자를 잡아둘 수 있는 확률이 높을 수 있다.
- [0062] 따라서, 제2 구간(R2)의 제5 지점(P5)에서, 제1 그래프(G1)의 전자의 농도는 제2 그래프(G2)의 전자의 농도보다 높을 수 있다. 제1 그래프(G1)에 따르면, 상대적으로 많은 양의 전자가 하부 배리어 패턴 부근까지 이동될 수 있다. 이 경우, 전자들이 예상치 못한 경로로 흘러들어갈 확률이 높아지고, 이는 누설 전류를 야기시켜 반도체 장치의 신뢰성을 낮출 수 있다.
- [0063] 한편, 제2 그래프(G2)에 따르면, 상대적으로 적은 양의 전자가 하부 배리어 패턴(즉, 제1 배리어 패턴(131)) 부근까지 이동될 수 있다. 이 경우, 누설 전류가 야기될 가능성이 감소되어, 반도체 장치의 신뢰성이 향상될 수 있다.
- [0064] 다시 도 1 내지 도 3을 참조하면, 캡핑 막(122)은 제1 게이트 전극(140)이 형성된 게이트 트렌치(110)의 나머지를 채울 수 있다. 캡핑 막(122)은 예를 들어, 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물 중 적어도 하나를 포함할 수 있다.
- [0065] 제1 소스/드레인 영역(107a)은 두 개의 제1 게이트 전극(140) 사이에 배치될 수 있다. 제2 소스/드레인 영역(107b)은 제1 게이트 전극(140) 및 소자 분리막(105) 사이에 배치될 수 있다. 즉, 액티브 영역(103) 내에 2개의 트랜지스터가 형성될 수 있고, 이 때, 제1 소스/드레인 영역(107a)은 인접하는 두 개의 트랜지스터에 의해서 공유되고, 제2 소스/드레인 영역(107b)은 인접하는 두 개의 트랜지스터에 의해서 공유되지 않을 수 있다.
- [0066] 제1 층간 절연막(200a)은 기판(100) 상에 배치되어, 제1 게이트 전극(140) 및 소자 분리막(105)을 덮을 수 있다. 제1 층간 절연막(200a)은 예를 들어, 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물 중 적어도 하나를 포함할 수 있다. 제1 층간 절연막(200a)은 단일층 또는 다층일 수 있다.
- [0067] 제1 층간 절연막(200a)은 제1 소스/드레인 영역(107a)을 노출시키는 제1 콘택홀(150)을 포함할 수 있다. 즉, 제1 콘택홀(150)은 제1 층간 절연막(200a)을 관통할 수 있다.
- [0068] 제1 콘택홀(150) 내에 비트 라인 콘택(160)이 형성될 수 있다. 비트 라인 콘택(160)은 도전 물질을 포함할 수 있고, 예를 들어, 폴리실리콘, 금속 실리콘사이드 화합물, 도전성 금속 질화물 및 금속 중 적어도 하나를 포함할 수 있으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.

- [0069] 비트 라인 콘택(160) 상에, 비트 라인 콘택(160)과 전기적으로 연결되는 비트 라인(170)이 형성될 수 있다. 비트 라인(170)은 도전 물질을 포함할 수 있고, 예를 들어, 폴리실리콘, 금속 실리사이드 화합물, 도전성 금속 질화물 및 금속 중 적어도 하나를 포함할 수 있으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 도 2의 비트 라인(170)은 도 1의 비트 라인(BL)과 동일한 구성 요소이지만, 편의상 다른 부호를 사용한다.
- [0070] 제2 층간 절연막(200b)은 제1 층간 절연막(200a) 상에 배치되어, 비트 라인(170)을 덮을 수 있다. 제2 층간 절연막(200b)은 예를 들어, 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물 중 적어도 하나를 포함할 수 있다. 제2 층간 절연막(200b)은 단일층 또는 다층일 수 있다.
- [0071] 제2 콘택홀(180)은 제1 층간 절연막(200a) 및 제2 층간 절연막(200b)을 관통하여, 제2 소스/드레인 영역(107b)을 노출시킬 수 있다.
- [0072] 제2 콘택홀(180) 내에 스토리지 노드 콘택(190)이 형성될 수 있다. 스토리지 노드 콘택(190)은 제2 소스/드레인 영역(107b)과 전기적으로 연결될 수 있다. 스토리지 노드 콘택(190)은 도전 물질을 포함할 수 있고, 예를 들어, 폴리 실리콘, 금속 실리사이드 화합물, 도전성 금속 질화물 및 금속 중 적어도 하나를 포함할 수 있으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0073] 스토리지 노드 콘택(190) 상에는 정보 저장 요소가 형성될 수 있다. 스토리지 노드 콘택(190) 상에 형성되는 정보 저장 요소는 예를 들어, 캐패시터일 수 있고, 스토리지 노드 콘택(190)과 접하는 스토리지 노드를 포함할 수 있다. 또는 정보 저장 요소는 가변 저항체일 수 있고, 구체적으로 상변화 물질을 포함하거나, 자기 터널 접합 패턴일 수 있다.
- [0074] 이하에서, 도 1, 도 5 및 도 6을 참조하여 본 발명의 몇몇 실시예에 따른 반도체 장치에 대해 설명한다. 설명의 명확성을 위해 앞서 설명한 것과 중복되는 것은 간단히 하거나 생략한다.
- [0075] 도 5는 도 1의 A-A' 선을 따라 절단한 단면도이다. 도 6은 도 5의 j 영역의 확대도이다.
- [0076] 도 5 및 도 6을 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 제2 배리어막(230)과 제2 게이트 전극(240)을 포함할 수 있다.
- [0077] 제2 배리어막(230)은 제4 배리어 패턴(231), 제5 배리어 패턴(233) 및 제6 배리어 패턴(235)을 포함할 수 있다. 제2 게이트 전극(240)은 제4 부분(241), 제5 부분(243) 및 제6 부분(245)을 포함할 수 있다.
- [0078] 제4 배리어 패턴(231)은, 게이트 트렌치(110)의 측벽의 일부 및 바닥면을 따라 배치될 수 있다. 제4 배리어 패턴(231)은, 예를 들어, 상술한 제1 배리어 패턴(131)과 대응될 수 있다. 제2 게이트 전극(240)의 제4 부분(241)은, 제4 배리어 패턴(231) 상에 배치될 수 있다. 제2 게이트 전극(240)의 제4 부분(241)은, 예를 들어, 상술한 제1 게이트 전극(140)의 제1 부분(140a)과 대응될 수 있다.
- [0079] 제5 배리어 패턴(233)은, 제1 부분(233a)과 제2 부분(233b)을 포함할 수 있다. 제5 배리어 패턴(233)의 제1 부분(233a)은, 제4 배리어 패턴(231) 상에 배치되고, 게이트 절연막(112)의 측면의 일부(즉, 게이트 트렌치(110)의 측벽의 일부)를 따라 연장되는 부분일 수 있다. 제5 배리어 패턴(233)의 제1 부분(233a)은, 예를 들어, 상술한 제2 배리어 패턴(133)과 대응될 수 있다. 제5 배리어 패턴(233)의 제2 부분(233b)은, 제2 게이트 전극(240)의 제4 부분(241) 상에 배치되는 부분을 포함할 수 있다. 제5 배리어 패턴(233)의 제2 부분(233b)은, 제2 게이트 전극(240)의 제4 부분(241)과 제2 게이트 전극(240)의 제5 부분(243) 사이에 게재될 수 있다.
- [0080] 제2 게이트 전극(240)의 제5 부분(243)은, 제5 배리어 패턴(233) 상에 배치될 수 있다. 제2 게이트 전극(240)의 제5 부분(243)은, 예를 들어, 상술한 제1 게이트 전극(140)의 제2 부분(140b)과 대응될 수 있다. 그러나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 예를 들어, 제2 게이트 전극(240)의 제5 부분(243)은, 제2 게이트 전극(240)의 제4 부분(241)과 상이한 물질을 포함할 수도 있다.
- [0081] 제6 배리어 패턴(235)은, 제1 부분(235a)과 제2 부분(235b)을 포함할 수 있다. 제6 배리어 패턴(235)의 제1 부분(235a)은, 제5 배리어 패턴(233) 상에 배치되고, 게이트 절연막(112)의 측면의 일부(즉, 게이트 트렌치(110)의 측벽의 일부)를 따라 연장되는 부분일 수 있다. 제6 배리어 패턴(235)의 제1 부분(235a)은, 예를 들어, 상술한 제3 배리어 패턴(135)과 대응될 수 있다. 제6 배리어 패턴(235)의 제2 부분(235b)은, 제2 게이트 전극(240)의 제5 부분(243) 상에 배치되는 부분을 포함할 수 있다. 제6 배리어 패턴(235)의 제2 부분(235b)은, 제2 게이트 전극(240)의 제5 부분(243)과 제2 게이트 전극(240)의 제6 부분(245) 사이에 게재될 수 있다.
- [0082] 몇몇 실시예에서, 제6 배리어 패턴(235)의 제2 부분(235b)은, 제1 부분(235a)과 상이한 물질을 포함할 수 있다.

제6 배리어 패턴(235)의 제2 부분(235b)은 예를 들어, 텅스텐 질화물, 티타늄 질화물 및 코발트 실리사이드 등 낮은 저항성을 갖는 물질을 포함할 수 있다.

- [0083] 제2 게이트 전극(240)의 제6 부분(245)은, 제6 배리어 패턴(235) 상에 배치될 수 있다. 제2 게이트 전극(240)의 제6 부분(245)은, 예를 들어, 상술한 제1 게이트 전극(140)의 제3 부분(140c)과 대응될 수 있다. 그러나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 예를 들어, 제2 게이트 전극(240)의 제6 부분(245)은, 제2 게이트 전극(240)의 제4 부분(241) 및 제5 부분(243) 각각과 상이한 물질을 포함할 수도 있다.
- [0084] 제4 배리어 패턴(231)의 일함수는, 제5 배리어 패턴(233)의 일함수보다 작고, 제6 배리어 패턴(235)의 일함수보다 클 수 있다. 예를 들어, 제4 배리어 패턴(231)에 포함된 물질의 산소 면밀도는, 제5 배리어 패턴(233)에 포함된 물질의 산소 면밀도보다 작고, 제6 배리어 패턴(235)에 포함된 물질의 산소 면밀도보다 클 수 있다.
- [0085] 이하에서, 도 1, 도 7 및 도 8을 참조하여 본 발명의 몇몇 실시예에 따른 반도체 장치에 대해 설명한다. 설명의 명확성을 위해 앞서 설명한 것과 중복되는 것은 간단히 하거나 생략한다.
- [0086] 도 7은 도 1의 A-A' 선을 따라 절단한 단면도이다. 도 8은 도 7의 m 영역의 확대도이다.
- [0087] 도 7 및 도 8을 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 제3 배리어막(330)과 제3 게이트 전극(340)을 포함할 수 있다.
- [0088] 제3 배리어막(330)은 제7 배리어 패턴(331), 제8 배리어 패턴(333) 및 제9 배리어 패턴(335)을 포함할 수 있다. 제3 게이트 전극(340)은 제7 부분(341), 및 제8 부분(343)을 포함할 수 있다. 제3 게이트 전극(340)의 제7 부분(341)은, 제1 부분(341a)과 제2 부분(341b)을 포함할 수 있다.
- [0089] 제7 배리어 패턴(331)은, 게이트 트렌치(110)의 측벽의 일부 및 바닥면을 따라 배치될 수 있다. 제7 배리어 패턴(331)은, 예를 들어, 상술한 제1 배리어 패턴(131)과 대응될 수 있다.
- [0090] 제3 게이트 전극(340)의 제7 부분(341)은, 제7 배리어 패턴(331) 상에 배치될 수 있다. 제3 게이트 전극(340)의 제7 부분(341)의 제1 부분(341a)은, 예를 들어, 상술한 제1 게이트 전극(140)의 제1 부분(140a)과 대응될 수 있다.
- [0091] 제3 게이트 전극(340)의 제7 부분(341)의 제2 부분(341b)은, 제3 게이트 전극(340)의 제7 부분(341)의 제1 부분(341a) 상에 배치될 수 있다. 제3 게이트 전극(340)의 제7 부분(341)의 제2 부분(341b)은, 예를 들어, 상술한 제1 게이트 전극(140)의 제2 부분(140b)과 대응될 수 있다.
- [0092] 몇몇 실시예에서, 제3 게이트 전극(340)의 제7 부분(341)의 제1 부분(341a)은 제2 부분(341b)과 동일 물질을 포함할 수 있다.
- [0093] 몇몇 실시예에서, 제3 게이트 전극(340)의 제7 부분(341)의 제1 부분(341a)은 제2 부분(341b)과 이종 물질을 포함할 수 있다. 이 경우, 제1 부분(341a)과 제2 부분(341b) 사이에, 계면막이 더 배치될 수 있다.
- [0094] 제8 배리어 패턴(333)은, 제7 배리어 패턴(331) 상에 배치되고, 게이트 절연막(112)의 측면의 일부(즉, 게이트 트렌치(110)의 측벽의 일부)를 따라 연장되는 부분일 수 있다. 제8 배리어 패턴(333)은, 예를 들어, 상술한 제2 배리어 패턴(133)과 대응될 수 있다. 제8 배리어 패턴(333)은, 제3 게이트 전극(340)의 제7 부분(341)의 제1 부분(341a)과 제2 부분(341b) 사이로 연장되지 않을 수 있다. 제8 배리어 패턴(333)은, 게이트 절연막(112)과 제3 게이트 전극(340)의 제7 부분(341)의 제2 부분(341b) 사이에 배치될 수 있다.
- [0095] 제9 배리어 패턴(335)은, 제1 부분(335a)과 제2 부분(335b)을 포함할 수 있다. 제9 배리어 패턴(335)의 제1 부분(335a)은, 제6 배리어 패턴(235)의 제1 부분(235a)과 대응될 수 있다. 제9 배리어 패턴(335)의 제2 부분(335b)은, 제6 배리어 패턴(235)의 제2 부분(235b)과 대응될 수 있다. 예를 들어, 제9 배리어 패턴(335)의 제2 부분(335b)은, 제3 게이트 전극(340)의 제7 부분(341)의 제2 부분(341b)과 제3 게이트 전극(340)의 제8 부분(343) 사이로 연장될 수 있다.
- [0096] 몇몇 실시예에서, 제9 배리어 패턴(335)의 제1 부분(335a)과 제2 부분(335b)은, 동일 물질을 포함할 수 있다.
- [0097] 몇몇 실시예에서, 제9 배리어 패턴(335)의 제1 부분(335a)과 제2 부분(335b)은, 서로 상이한 물질을 포함할 수 있다. 이 경우, 제9 배리어 패턴(335)의 제2 부분(335b)은, 예를 들어, 텅스텐 질화물, 티타늄 질화물 및 코발트 실리사이드 등 낮은 저항성을 갖는 물질을 포함할 수 있다.
- [0098] 제3 게이트 전극(340)의 제8 부분(343)은, 제9 배리어 패턴(335) 상에 배치될 수 있다. 제3 게이트 전극(340)의

제8 부분(343)은, 예를 들어, 상술한 제1 게이트 전극(140)의 제3 부분(140c)과 대응될 수 있다. 그러나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 예를 들어, 제3 게이트 전극(340)의 제8 부분(343)은, 제3 게이트 전극(340)의 제7 부분(341)과 상이한 물질을 포함할 수도 있다.

- [0099] 제7 배리어 패턴(331)의 일함수는, 제8 배리어 패턴(333)의 일함수보다 작고, 제9 배리어 패턴(335)의 일함수보다 클 수 있다. 예를 들어, 제7 배리어 패턴(331)에 포함된 물질의 산소 면밀도는, 제8 배리어 패턴(333)에 포함된 물질의 산소 면밀도보다 작고, 제9 배리어 패턴(335)에 포함된 물질의 산소 면밀도보다 클 수 있다.
- [0100] 이하에서, 도 1, 도 9 및 도 10을 참조하여 본 발명의 몇몇 실시예에 따른 반도체 장치에 대해 설명한다. 설명의 명확성을 위해 앞서 설명한 것과 중복되는 것은 간단히 하거나 생략한다.
- [0101] 도 9는 도 1의 A-A' 선을 따라 절단한 단면도이다. 도 10은 도 9의 n 영역의 확대도이다.
- [0102] 도 9 및 도 10을 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 제4 배리어막(430)과 제4 게이트 전극(440)을 포함할 수 있다.
- [0103] 제4 배리어막(430)은 제10 배리어 패턴(431), 제11 배리어 패턴(433) 및 제12 배리어 패턴(435)을 포함할 수 있다. 제4 게이트 전극(440)은 제9 부분(441), 및 제10 부분(443)을 포함할 수 있다. 제4 게이트 전극(440)의 제10 부분(443)은, 제1 부분(443a)과 제2 부분(443b)을 포함할 수 있다.
- [0104] 제10 배리어 패턴(431)은, 게이트 트렌치(110)의 측벽의 일부 및 바닥면을 따라 배치될 수 있다. 제10 배리어 패턴(431)은, 예를 들어, 상술한 제1 배리어 패턴(131)과 대응될 수 있다.
- [0105] 제4 게이트 전극(440)의 제9 부분(441)은, 제10 배리어 패턴(431) 상에 배치될 수 있다. 제4 게이트 전극(440)의 제9 부분(441)은, 예를 들어, 상술한 제1 게이트 전극(140)의 제1 부분(140a)과 대응될 수 있다.
- [0106] 제11 배리어 패턴(433)은, 제1 부분(433a)과 제2 부분(433b)을 포함할 수 있다. 제11 배리어 패턴(433)의 제1 부분(433a)은, 제5 배리어 패턴(233)의 제1 부분(233a)과 대응될 수 있다. 제11 배리어 패턴(433)의 제2 부분(433b)은, 제5 배리어 패턴(233)의 제2 부분(233b)과 대응될 수 있다. 예를 들어, 제11 배리어 패턴(433)의 제2 부분(433b)은, 제4 게이트 전극(440)의 제9 부분(441)과, 제10 부분(443) 사이로 연장될 수 있다.
- [0107] 제12 배리어 패턴(435)은 제11 배리어 패턴(433) 상에 배치되고, 게이트 절연막(112)의 측면의 일부(즉, 게이트 트렌치(110)의 측벽의 일부)를 따라 연장되는 부분일 수 있다. 제12 배리어 패턴(435)은, 예를 들어, 상술한 제3 배리어 패턴(135)과 대응될 수 있다. 즉, 제12 배리어 패턴(435)은, 제4 게이트 전극(440)의 제10 부분(443)의 제2 부분(443b)과, 제1 부분(443a) 사이로 연장되지 않을 수 있다. 제12 배리어 패턴(435)은, 제4 게이트 전극(440)의 제10 부분(443)의 제2 부분(443b)과 게이트 절연막(112) 사이에 배치될 수 있다.
- [0108] 제4 게이트 전극(440)의 제10 부분(443)은, 제1 부분(443a)과 제2 부분(443b)을 포함할 수 있다. 제4 게이트 전극(440)의 제10 부분(443)의 제1 부분(443a)은, 제11 배리어 패턴(433) 상에 배치될 수 있다. 제4 게이트 전극(440)의 제10 부분(443)의 제1 부분(443a)의 상면은, 제11 배리어 패턴(433)의 상면과 실질적으로 동일 평면 상에 있을 수 있다. 제4 게이트 전극(440)의 제10 부분(443)의 제2 부분(443b)은, 제1 부분(443a) 상에 배치될 수 있다.
- [0109] 몇몇 실시예에서, 제4 게이트 전극(440)의 제10 부분(443)의 제1 부분(443a)과 제2 부분(443b)은 동일 물질을 포함할 수 있다.
- [0110] 몇몇 실시예에서, 제4 게이트 전극(440)의 제10 부분(443)의 제1 부분(443a)과 제2 부분(443b)은, 이종 물질을 포함할 수 있다. 이 경우, 제1 부분(443a)과 제2 부분(443b) 사이에, 계면막이 더 배치될 수 있다.
- [0111] 제10 배리어 패턴(431)의 일함수는, 제11 배리어 패턴(433)의 일함수보다 작고, 제12 배리어 패턴(435)의 일함수보다 클 수 있다. 예를 들어, 제10 배리어 패턴(431)에 포함된 물질의 산소 면밀도는, 제11 배리어 패턴(433)에 포함된 물질의 산소 면밀도보다 작고, 제12 배리어 패턴(435)에 포함된 물질의 산소 면밀도보다 클 수 있다.
- [0112] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

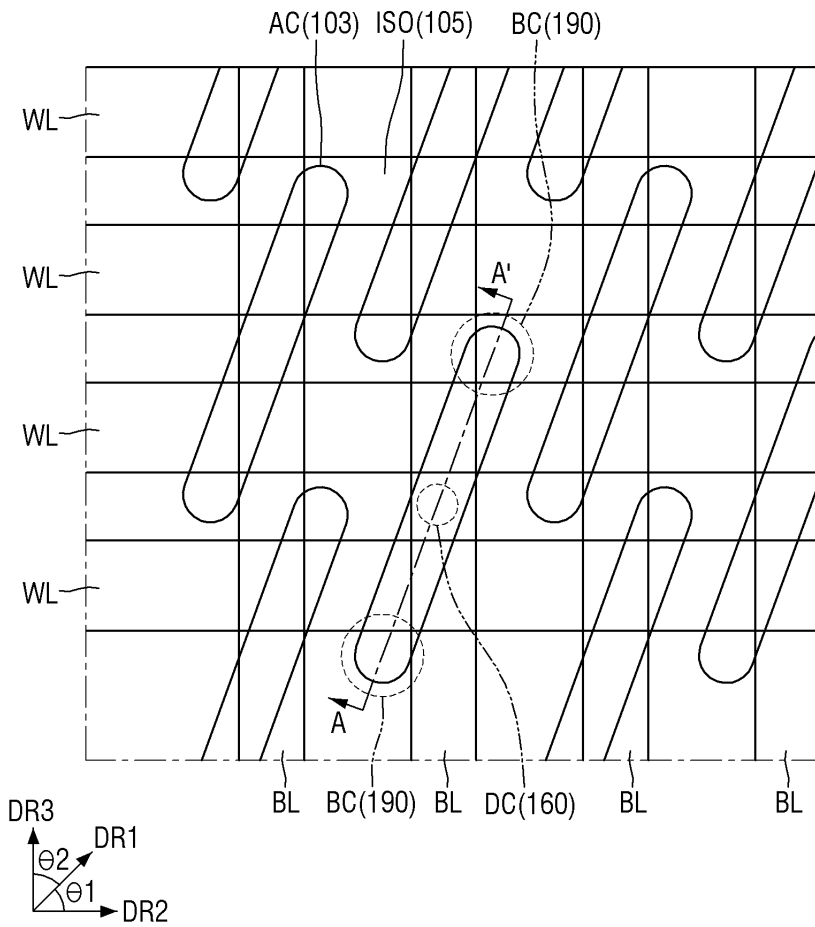
**부호의 설명**

[0113]

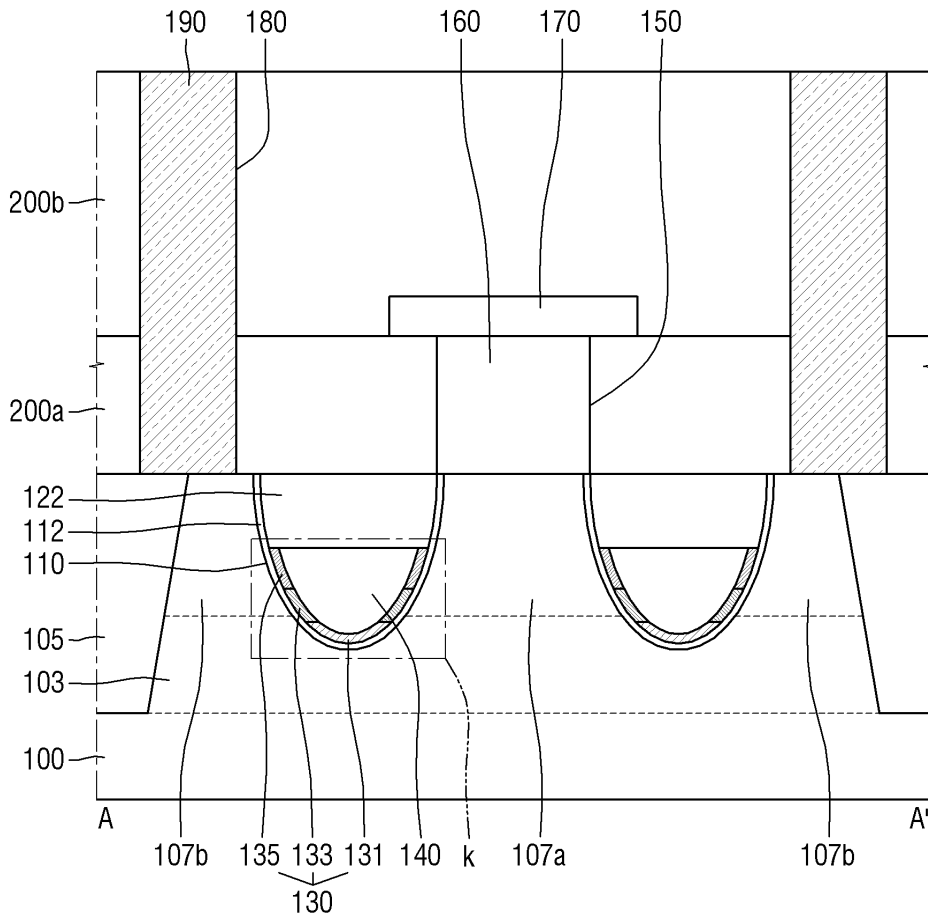
- |                |                |
|----------------|----------------|
| 100: 기판        | 105: 소자 분리막    |
| 110: 게이트 트렌치   |                |
| 112: 게이트 절연막   | 140: 제1 게이트 전극 |
| 131: 제1 배리어 패턴 | 133: 제2 배리어 패턴 |
| 135: 제3 배리어 패턴 |                |

**도면**

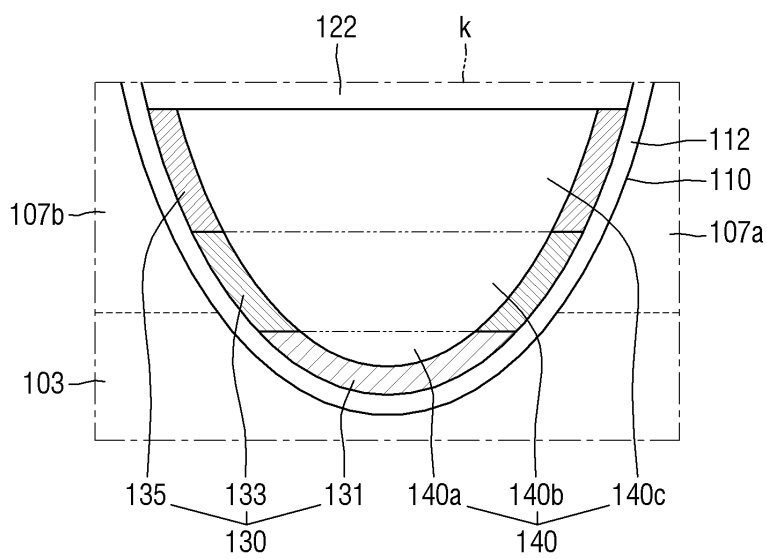
**도면1**



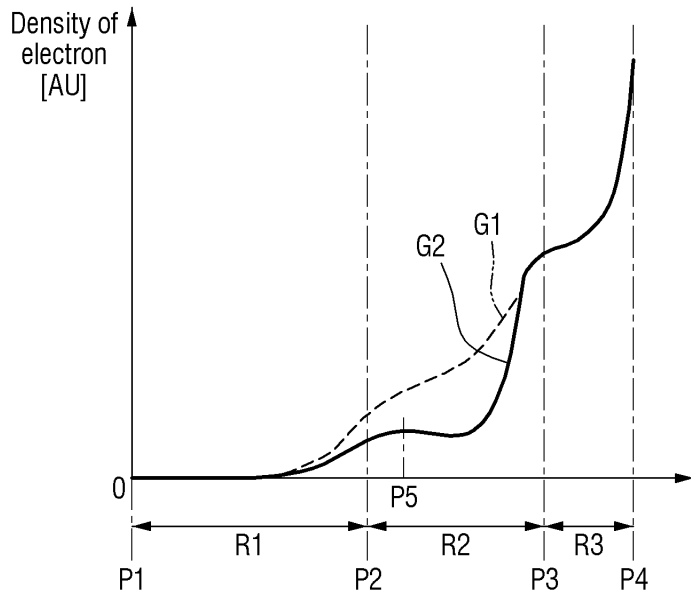
도면2



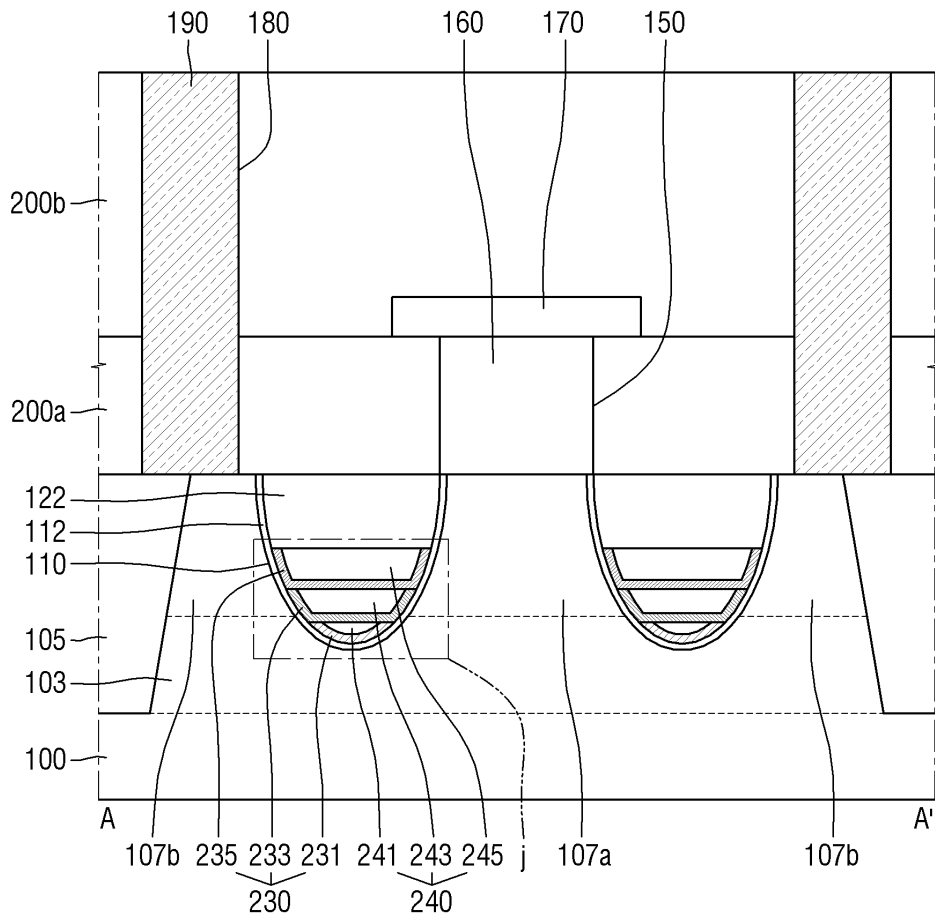
도면3



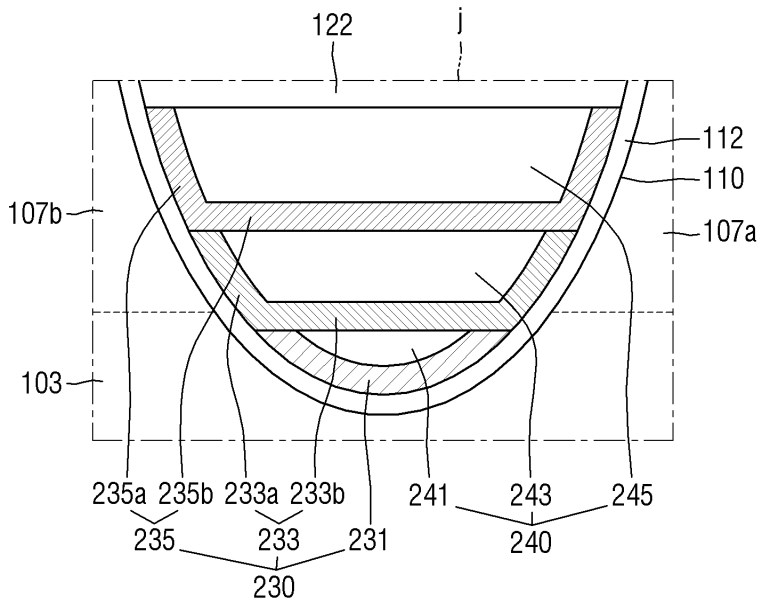
도면4



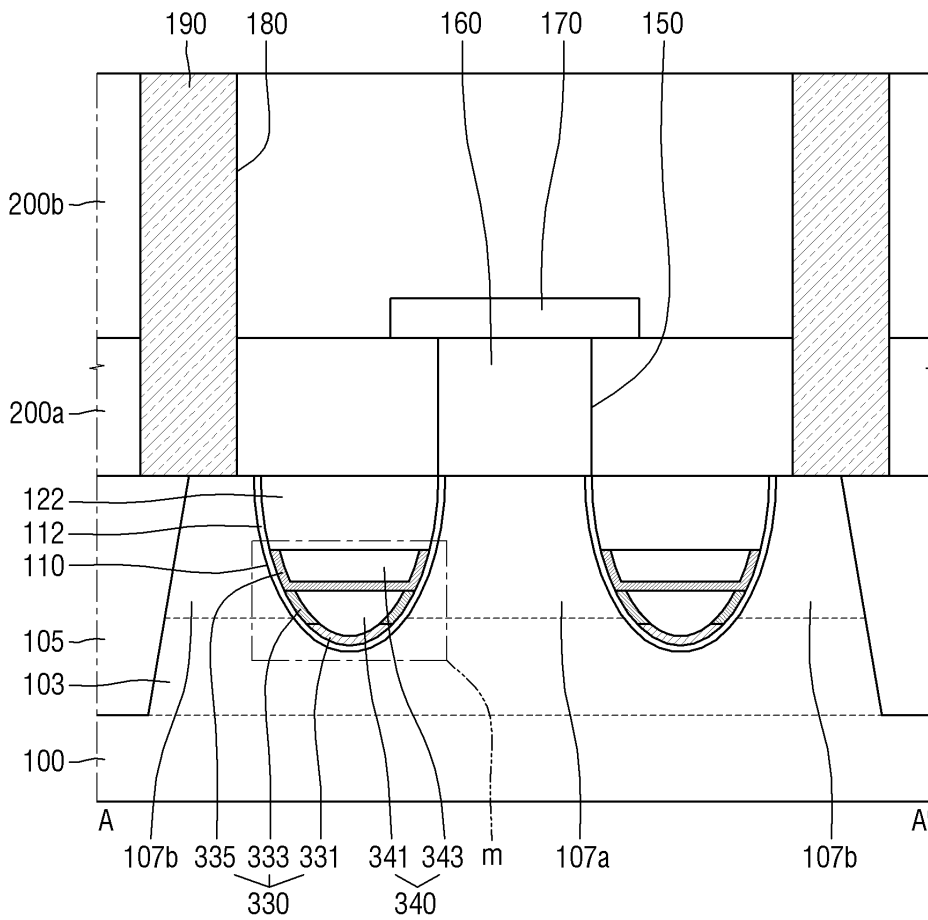
도면5



도면6

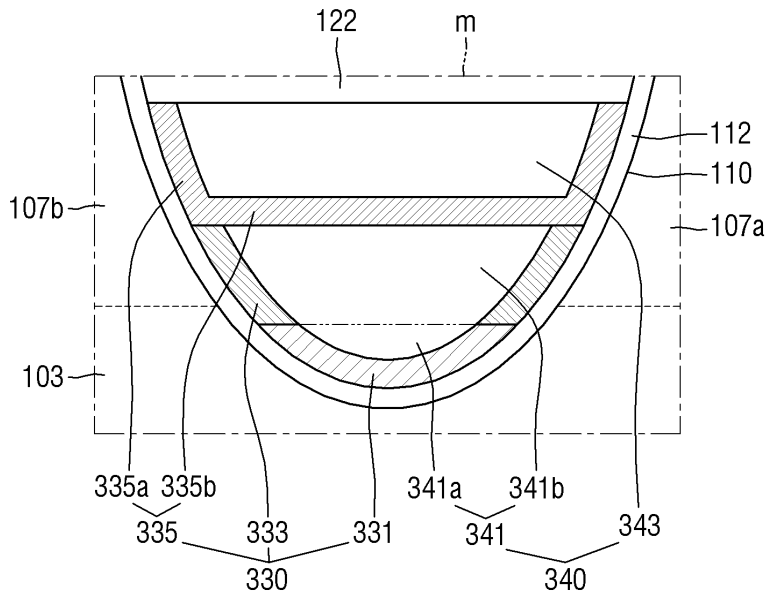


도면7

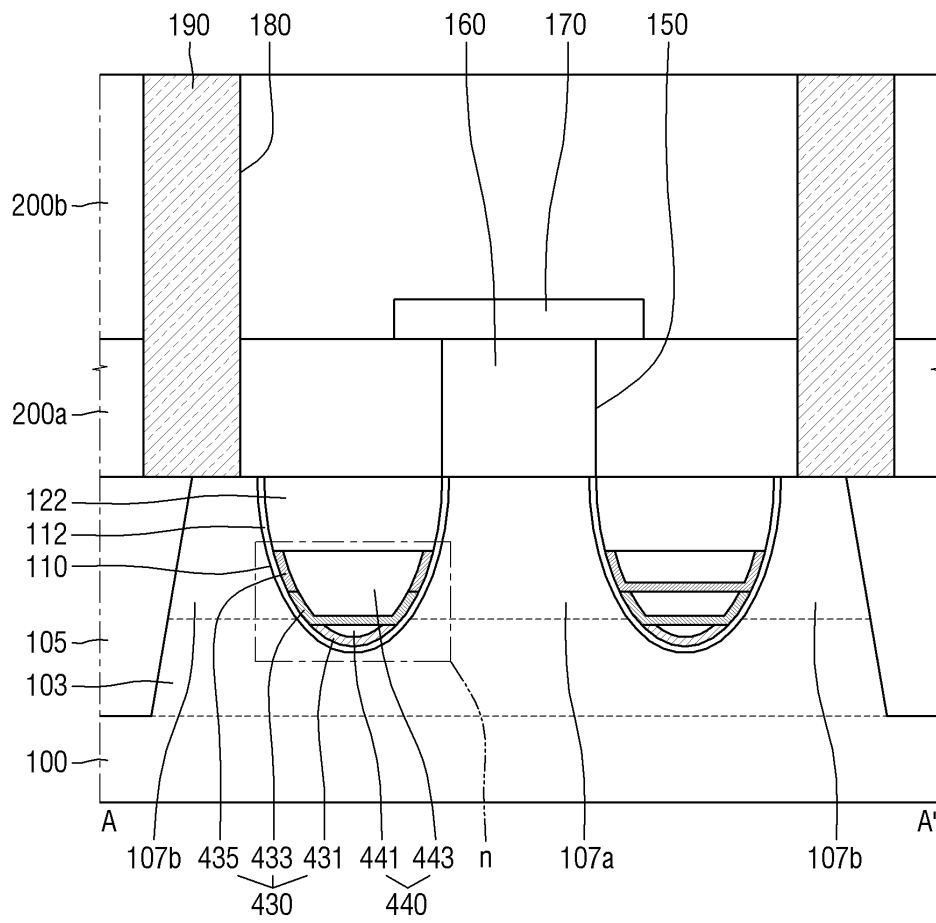




도면8



도면9



도면10

