



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년09월26일
 (11) 등록번호 10-1445025
 (24) 등록일자 2014년09월19일

(51) 국제특허분류(Int. Cl.)
 G06F 12/00 (2006.01) G06F 11/08 (2006.01)
 (21) 출원번호 10-2013-0013954
 (22) 출원일자 2013년02월07일
 심사청구일자 2013년02월07일
 (65) 공개번호 10-2013-0092482
 (43) 공개일자 2013년08월20일
 (30) 우선권주장
 1020120013076 2012년02월09일 대한민국(KR)
 (56) 선행기술조사문헌
 US20110041037 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 서울시립대학교 산학협력단
 서울특별시 동대문구 서울시립대로 163 (전농동, 서울시립대학교)
 (72) 발명자
 김재호
 서울 동대문구 전농로27길 30-9, 3층 (전농동)
 이종민
 서울 동대문구 서울시립대로 94, 5층 507호 (전농동)
 (뒷면에 계속)
 (74) 대리인
 특허법인 무한

전체 청구항 수 : 총 18 항

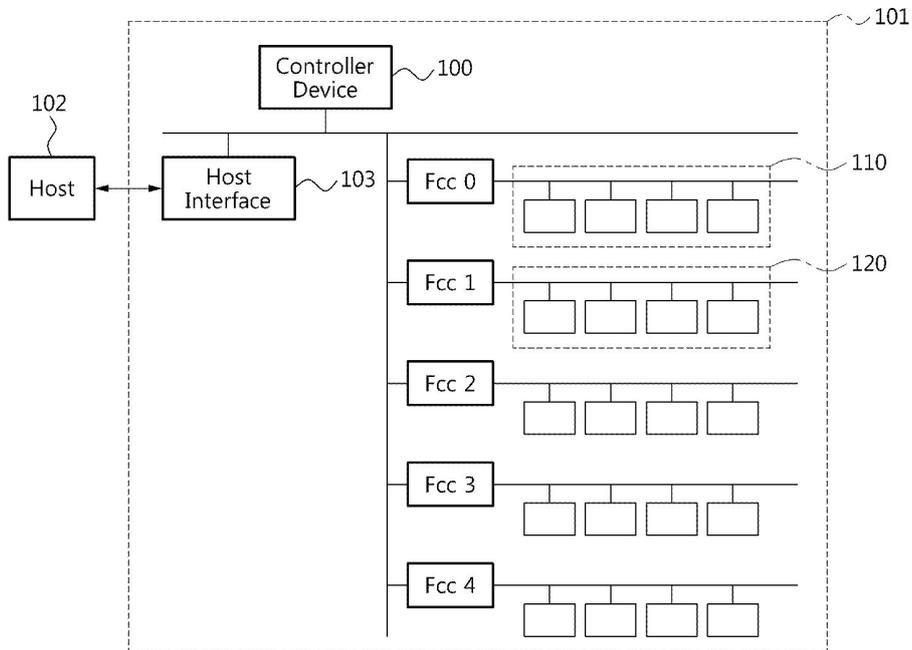
심사관 : 이명진

(54) 발명의 명칭 신뢰성 있는 SSD를 위한 효율적인 RAID 기법

(57) 요약

멀티 채널 인터리빙을 통해 구동되는 복수 개의 메모리 채널을 관리하는 제어 장치가 제공된다. 상기 장치는 상기 복수 개의 메모리 채널에 포함된 페이지들의 물리적 페이지 넘버에 따라 스트라이프를 구성하는 스트라이프 구성부 및 상기 구성된 스트라이프에 대한 패리티 데이터를 생성하는 패리티 생성부를 포함한다.

대표도



(72) 발명자

최중무

경기 용인시 수지구 수지로113번길 15, 208동 60
3호 (성복동, 성동마을엘지빌리지2차)

이동희

서울 동작구 여의대방로44길 10, 101동 802호 (대
방동, 대림아파트)

노삼혁

서울 마포구 와우산로 94, 컴퓨터공학과 T동 808
호 (상수동, 홍익대학교)

이 발명을 지원한 국가연구개발사업

과제고유번호 2012R1A2A2A01045733

부처명 교육과학기술부

연구관리전문기관 한국연구재단

연구사업명 이공분야기초연구사업 > 중견연구자지원사업 > 핵심연구지원사업 > 핵심개인연구

연구과제명 플래시 기반 임베디드 시스템에서 PCM의 실용적 적용을 위한 운영체제 개발

기여율 1/1

주관기관 홍익대학교 산학협력단

연구기간 2012.09.01 ~ 2015.08.31

특허청구의 범위

청구항 1

멀티 채널 인터리빙을 통해 구동되는 복수 개의 메모리 채널을 관리하는 제어 장치에 있어서,

상기 복수 개의 메모리 채널에 포함된 페이지들의 물리적 페이지 넘버에 따라 스트라이프를 구성하는 스트라이프 구성부;

상기 구성된 스트라이프에 대한 패리티 데이터를 생성하는 패리티 생성부; 및

마지막으로 처리된 제1 페이지 쓰기 요청이 처리된 이후 미리 지정된 임계시간이 경과하였는지의 여부를 판단하는 판단부

를 포함하고,

상기 패리티 생성부는, 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 미리 지정된 임계시간이 경과하는 경우, 제1 페이지 넘버에 대응하는 클린 페이지 비율을 고려하여, 상기 제1 페이지 쓰기 요청에 연관된 제1 물리적 페이지 넘버에 대한 부분 패리티 데이터를 생성하는 제어 장치.

청구항 2

제1항에 있어서,

복수 개의 페이지 데이터 쓰기 요청이 순차적으로 수신되는 경우, 상기 복수 개의 메모리 채널의 클린 페이지를 논리 블록 주소에 독립적으로 순차 쓰기하도록 상기 멀티 채널 인터리빙을 수행하는 제어 장치.

청구항 3

제1항에 있어서,

상기 복수 개의 페이지에 쓰여진 데이터의 클리닝의 경우, 상기 복수의 스트라이프를 포함하는 클리닝 블록을 생성하고, 상기 클리닝 블록 중 유효 페이지가 가장 적은 클리닝 블록을 상기 데이터 클리닝의 대상 블록으로 선택하여 상기 데이터 클리닝을 수행하는 클리닝부

를 더 포함하고,

상기 클리닝부는, 상기 데이터 클리닝의 대상 블록을 상기 멀티 채널 인터리빙에 연관되는 복수 개의 칩의 적어도 일부 블록으로 복사하고, 상기 데이터 클리닝의 대상 블록에 대해 상기 데이터 클리닝을 수행하는 제어 장치.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 패리티 생성부는, 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과하고 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 임계치 이상인 경우, 상기 부분 패리티 데이터를 생성하는 제어 장치.

청구항 6

제5항에 있어서,

상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간보다 큰 제2 임계시간이 경과한 경우, 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 상기 임계치 미만이라도 상기 부분 패리티 데이터를 생성하는 제어 장치.

청구항 7

제1항에 있어서,

상기 제1 물리적 페이지 넘버에 대응하는 클린 페이지 중 어느 하나의 클린 페이지에 생성된 상기 부분 패리티 데이터를 쓰도록 상기 멀티 채널 인터리빙을 제어하는 제어 장치.

청구항 8

제1항에 있어서,

상기 멀티 채널 인터리빙에 연관되는 복수 개의 칩의 적어도 일부 블록을 부분 패리티 저장 영역으로 할당하고, 상기 부분 패리티 저장 영역에 상기 부분 패리티 데이터를 쓰도록 상기 멀티 채널 인터리빙을 제어하는 제어 장치.

청구항 9

멀티 채널 인터리빙을 통해 페이지 데이터 쓰기가 처리되는 경우, 마지막으로 요청된 제1 페이지 쓰기 요청이 처리된 이후 제1 임계시간이 경과하였는지의 여부를 판단하는 판단부; 및

상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과한 경우, 제1 페이지 넘버에 대응하는 클린 페이지 비율을 고려하여 상기 제1 페이지 쓰기 요청에 연관된 제1 물리적 페이지 넘버에 대한 부분 패리티 데이터를 생성하는 패리티 생성부

를 포함하는 제어 장치.

청구항 10

제9항에 있어서,

상기 패리티 생성부는, 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과하고 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 임계치 이상인 경우, 상기 부분 패리티 데이터를 생성하는 제어 장치.

청구항 11

제10항에 있어서,

상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간보다 큰 제2 임계시간이 경과한 경우, 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 상기 임계치 미만이라도 상기 부분 패리티 데이터를 생성하는 제어 장치.

청구항 12

멀티 채널 인터리빙을 통해 구동되는 복수 개의 메모리 채널을 관리하는 제어 방법에 있어서,

상기 복수 개의 메모리 채널에 포함된 페이지들의 물리적 페이지 넘버에 따라 스트라이프를 구성하는 단계;

상기 구성된 스트라이프에 대한 패리티 데이터를 생성하는 단계; 및

마지막으로 처리된 제1 페이지 쓰기 요청이 처리된 이후 미리 지정된 임계시간이 경과하였는지의 여부를 판단하는 판단부

를 포함하고,

상기 패리티 데이터를 생성하는 단계는,

상기 제1 페이지 쓰기 요청이 처리된 이후 상기 미리 지정된 임계시간이 경과하는 경우에 제1 페이지 넘버에 대응하는 클린 페이지 비율을 고려하여, 상기 제1 페이지 쓰기 요청에 연관된 제1 물리적 페이지 넘버에 대한 부분 패리티 데이터를 생성하는 단계

를 포함하는 제어 방법.

청구항 13

제12항에 있어서,

복수 개의 페이지 데이터 쓰기 요청이 순차적으로 수신되는 경우, 상기 복수 개의 메모리 채널의 클린 페이지를 논리 블록 주소에 독립적으로 순차 쓰기하도록 상기 멀티 채널 인터리빙을 수행하는 제어 방법.

청구항 14

삭제

청구항 15

제12항에 있어서,

상기 패리티 데이터를 생성하는 단계는, 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과하고 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 임계치 이상인 경우, 상기 부분 패리티 데이터를 생성하고, 및

상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간보다 큰 제2 임계시간이 경과한 경우, 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 상기 임계치 미만이라도 상기 부분 패리티 데이터를 생성하는 제어 방법.

청구항 16

제12항에 있어서,

상기 제1 물리적 페이지 넘버에 대응하는 클린 페이지 중 어느 하나의 클린 페이지에 생성된 상기 부분 패리티 데이터를 쓰도록 상기 멀티 채널 인터리빙을 제어하는 제어 방법.

청구항 17

제12항에 있어서,

상기 멀티 채널 인터리빙에 연관되는 복수 개의 칩의 적어도 일부 블록을 부분 패리티 저장 영역으로 할당하고, 상기 부분 패리티 저장 영역에 상기 부분 패리티 데이터를 쓰도록 상기 멀티 채널 인터리빙을 제어하는 제어 방법.

청구항 18

멀티 채널 인터리빙을 통해 페이지 데이터 쓰기가 처리되는 경우, 마지막으로 요청된 제1 페이지 쓰기 요청이 처리된 이후 제1 임계시간이 경과하였는지의 여부를 판단하는 단계; 및

상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과한 경우, 제1 페이지 넘버에 대응하는 클린 페이지 비율을 고려하여 상기 제1 페이지 쓰기 요청에 연관된 제1 물리적 페이지 넘버에 대한 부분 패리티 데이터를 생성하는 단계

를 포함하는 제어 방법.

청구항 19

제18항에 있어서,

상기 패리티 데이터를 생성하는 단계는, 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과하고 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 임계치 이상인 경우, 상기 부분 패리티 데이터를 생성하고, 및

상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간보다 큰 제2 임계시간이 경과한 경우, 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 상기 임계치 미만이라도 상기 부분 패리티 데이터를 생성하는 제어 방법.

청구항 20

제12항 내지 제13항 및 제15항 내지 제19항 중 어느 한 항의 제어 방법을 수행하는 프로그램을 수록한 컴퓨터 판독 가능 기록 매체.

명세서

기술 분야

[0001] 본 발명은 SSD 장치의 신뢰성을 향상시키는 방법 및 장치에 연관되며, 보다 특정하게는 SSD 장치 내부에 RAID 기법을 적용하여 신뢰성을 향상시키는 방법 및 장치에 연관된다.

배경 기술

[0002] 플래시 메모리 기반 SSD는 저전력 소모, 높은 속도, 가벼운 무게 등 다양한 장점을 포함하기 때문에 노트북과 개인용 컴퓨터에서부터 서버와 클라우드 시스템으로까지 널리 사용되는 저장장치이다.

[0003] 그러나, 현재의 SSD는 안전성이 떨어진다는 점이 가장 큰 문제점으로 지적되고 있으며, 이로 인해 상기 SSD의 주요 컴포넌트인 플래시 메모리가 빈번한 에러를 발생시키며 한정된 소거 횟수를 갖는다는 사실에서 기인한다.

[0004] 최근에는, 한 셀에 두 개 이상의 비트를 저장하는 MLC(Multi Level Cell) 또는 TLC(Triple Level Cell) 플래시 메모리가 시장에서 널리 채택되면서 좀더 심각한 문제로 인식되고 있는 실정이다. 통상적으로 상기 SSD는 플래시 메모리의 OOB(Out Of Band)영역에 에러 검출 및 정정 코드를 적어놓고, 이를 이용하여 예기치 않은 에러에 대응한다. 그러나, 에러 검출 및 정정 코드로는 한 개의 페이지 입출력에서 발생하는 몇 개의 비트 에러에 대해서만 검출 및 정정이 가능하며, 블록이나 칩 레벨의 에러에는 어떠한 대응도, 심지어는 검출도 할 수 없다는 문제점을 포함하고 있다.

[0005] 또한, 상기 SSD 장치의 신뢰성을 향상 시키기 위하여 RAID 기법을 SSD 내부에 적용하는 종래의 방법이 있으나, RAID 기법의 전통적인 문제점인 작은 쓰기의 문제로 인해 플래시 메모리의 성능 저하와 수명을 감소 시키는 문제점이 있다.

[0006] 따라서, RAID 기법에서 상기 작은 쓰기 문제를 해결하고, 신뢰성 있는 SSD 장치를 설계할 필요가 있다.

발명의 내용

과제의 해결 수단

[0007] 일측에 따르면, 멀티 채널 인터리빙을 통해 구동되는 복수 개의 메모리 채널을 관리하는 제어 장치가 제공된다.

[0008] 일실시예에 따르면, 상기 제어 장치는 상기 복수 개의 메모리 채널에 포함된 페이지들의 물리적 페이지 넘버에 따라 스트라이프를 구성하는 스트라이프 구성부 및 상기 구성된 스트라이프에 대한 패리티 데이터를 생성하는 패리티 생성부를 포함할 수 있다.

[0009] 일실시예에 따르면, 상기 제어 장치는 복수 개의 페이지 데이터 쓰기 요청이 순차적으로 수신되는 경우, 상기 복수 개의 메모리 채널의 클린 페이지를 논리 블록 주소에 독립적으로 순차 쓰기하도록 상기 멀티 채널 인터리빙을 수행할 수 있다.

[0010] 일실시예에 따르면, 상기 제어 장치는 상기 복수 개의 페이지에 쓰여진 데이터의 클리닝의 경우, 상기 복수의 스트라이프를 포함하는 클리닝 블록을 생성하고, 상기 클리닝 블록 중 유효 페이지가 가장 적은 클리닝 블록을 상기 데이터 클리닝의 대상 블록으로 선택하여 상기 데이터 클리닝을 수행하는 클리닝부를 더 포함할 수 있다.

[0011] 일실시예에 따르면, 상기 클리닝부는 상기 데이터 클리닝의 대상 블록을 상기 멀티 채널 인터리빙에 연관되는 복수 개의 칩의 적어도 일부 블록으로 복사하고, 상기 데이터 클리닝의 대상 블록에 대해 상기 데이터 클리닝을 수행할 수 있다.

[0012] 일실시예에 따르면, 상기 제어 장치는 마지막으로 처리된 제1 페이지 쓰기 요청이 처리된 이후 제1 임계시간이 경과하였는지의 여부를 판단하는 판단부를 더 포함할 수 있다.

[0013] 일실시예에 따르면, 상기 패리티 생성부는 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경

과한 경우, 상기 제1 페이지 쓰기 요청에 연관된 제1 물리적 페이지 넘버에 대한 부분 패리티 데이터를 생성할 수 있다.

- [0014] 일실시예에 따르면, 상기 제어 장치의 상기 패리티 생성부는 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과하고 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 임계치 이상인 경우, 상기 부분 패리티 데이터를 생성할 수 있다.
- [0015] 일실시예에 따르면, 상기 패리티 생성부는 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간보다 큰 제2 임계시간이 경과한 경우, 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 상기 임계치 미만이라도 상기 부분 패리티 데이터를 생성할 수 있다.
- [0016] 일실시예에 따르면, 상기 제어 장치는 상기 제1 물리적 페이지 넘버에 대응하는 클린 페이지 중 어느 하나의 클린 페이지에 생성된 상기 부분 패리티 데이터를 쓰도록 상기 멀티 채널 인터리빙을 제어할 수 있다.
- [0017] 일실시예에 따르면, 상기 제어 장치는 상기 멀티 채널 인터리빙에 연관되는 복수 개의 칩의 적어도 일부 블록을 부분 패리티 저장 영역으로 할당하고, 상기 부분 패리티 저장 영역에 상기 부분 패리티 데이터를 쓰도록 상기 멀티 채널 인터리빙을 제어할 수 있다.
- [0018] 다른 일측에 따르면, 멀티 채널 인터리빙을 통해 페이지 데이터 쓰기가 처리되는 경우, 마지막으로 요청된 제1 페이지 쓰기 요청이 처리된 이후 제1 임계시간이 경과하였는지의 여부를 판단하는 판단부 및 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과한 경우, 상기 제1 페이지 쓰기 요청에 연관된 제1 물리적 페이지 넘버에 대한 부분 패리티 데이터를 생성하는 패리티 생성부를 포함하는 제어 장치가 제공된다.
- [0019] 일실시예에 따르면, 상기 제어 장치의 상기 패리티 생성부는 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과하고 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 임계치 이상인 경우, 상기 부분 패리티 데이터를 생성할 수 있다.
- [0020] 일실시예에 따르면, 상기 제어 장치의 상기 패리티 생성부는 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간보다 큰 제2 임계시간이 경과한 경우, 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 상기 임계치 미만이라도 상기 부분 패리티 데이터를 생성할 수 있다.
- [0021] 또 다른 일측에 따르면, 멀티 채널 인터리빙을 통해 구동되는 복수 개의 메모리 채널을 관리하는 제어 방법이 제공된다.
- [0022] 일실시예에 따르면, 상기 제어 방법은 상기 복수 개의 메모리 채널에 포함된 페이지들의 물리적 페이지 넘버에 따라 스트라이프를 구성하는 단계 및 상기 구성된 스트라이프에 대한 패리티 데이터를 생성하는 단계를 포함할 수 있다.
- [0023] 일실시예에 따르면, 상기 제어 방법은 복수 개의 페이지 데이터 쓰기 요청이 순차적으로 수신되는 경우, 상기 복수 개의 메모리 채널의 클린 페이지를 논리 블록 주소에 독립적으로 순차 쓰기하도록 상기 멀티 채널 인터리빙을 수행할 수 있다.
- [0024] 일실시예에 따르면, 상기 제어 방법은 마지막으로 처리된 제1 페이지 쓰기 요청이 처리된 이후 제1 임계시간이 경과하였는지의 여부를 판단하는 단계를 더 포함할 수 있고, 상기 제어 방법의 상기 패리티 데이터를 생성하는 단계는 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과한 경우, 상기 제1 페이지 쓰기 요청에 연관된 제1 물리적 페이지 넘버에 대한 부분 패리티 데이터를 생성할 수 있다.
- [0025] 일실시예에 따르면, 상기 제어 방법의 상기 패리티 데이터를 생성하는 단계는 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과하고 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 임계치 이상인 경우, 상기 부분 패리티 데이터를 생성하고, 및 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간보다 큰 제2 임계시간이 경과한 경우, 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 상기 임계치 미만이라도 상기 부분 패리티 데이터를 생성할 수 있다.
- [0026] 일실시예에 따르면, 상기 제어 방법은 상기 제1 물리적 페이지 넘버에 대응하는 클린 페이지 중 어느 하나의 클린 페이지에 생성된 상기 부분 패리티 데이터를 쓰도록 상기 멀티 채널 인터리빙을 제어할 수 있다.
- [0027] 일실시예에 따르면, 상기 제어 방법은 상기 멀티 채널 인터리빙에 연관되는 복수 개의 칩의 적어도 일부 블록을 부분 패리티 저장 영역으로 할당하고, 상기 부분 패리티 저장 영역에 상기 부분 패리티 데이터를 쓰도록 상기 멀티 채널 인터리빙을 제어할 수 있다.

[0028] 또 다른 일측에 따르면, 멀티 채널 인터리빙을 통해 페이지 데이터 쓰기가 처리되는 경우, 마지막으로 요청된 제1 페이지 쓰기 요청이 처리된 이후 제1 임계시간이 경과하였는지의 여부를 판단하는 단계 및 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과한 경우, 상기 제1 페이지 쓰기 요청에 연관된 제1 물리적 페이지 넘버에 대한 부분 패리티 데이터를 생성하는 단계를 포함하는 제어 방법이 제공된다.

[0029] 일실시예에 따르면, 상기 제어 방법의 상기 패리티 데이터를 생성하는 단계는 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과하고 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 임계치 이상인 경우, 상기 부분 패리티 데이터를 생성하고, 및 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간보다 큰 제2 임계시간이 경과한 경우, 상기 제1 페이지 넘버에 대응하는 클린 페이지 비율이 상기 임계치 미만이라도 상기 부분 패리티 데이터를 생성할 수 있다.

도면의 간단한 설명

- [0030] 도 1은 일실시예에 따른, 저장 장치의 구성도이다.
- 도 2는 일실시예에 따른, 상기 제어 장치의 블록도이다.
- 도 3은 일실시예에 따른, 상기 제어 장치에서 데이터 갱신이 발생하는 경우를 설명하는 도면이다.
- 도 4는 일실시예에 따른, 상기 제어 장치에서 부분 패리티가 생성될 수 있는 부분 스트라이프 패리티 풀을 설명하는 도면이다.
- 도 5는 일실시예에 따른, 상기 제어 장치에서 데이터 클리닝 수행 전을 설명하는 개념도이다.
- 도 6은 일실시예에 따른, 상기 제어 장치에서 상기 데이터 클리닝 수행 후를 설명하는 개념도이다.
- 도 7은 일실시예에 따른, 상기 제어 장치에서 멀티 채널 인터리빙을 통해 구동되는 복수 개의 메모리 채널을 관리하는 제어 방법의 흐름도이다.
- 도 8은 일실시예에 따른, 임계 시간에 따른 상기 제어 방법의 흐름도이다.
- 도 9은 일실시예에 따른, 상기 임계 시간 및 스트라이프의 클린 페이지 비율에 따른 상기 제어 방법의 흐름도이다.
- 도 10은 일실시예에 따른, 상기 제어 장치에서 상기 데이터 클리닝을 수행하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하에서, 일부 실시예들을, 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0032] 아래 설명에서 사용되는 용어는 본 발명에서의 기능을 고려하면서 가능한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 이는 당 분야에 종사하는 기술자의 의도 또는 관례, 새로운 기술의 출현 등에 따라 달라질 수 있다.
- [0033] 또한 특정한 경우는 이해를 돕거나 및/또는 설명의 편의를 위해 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친 내용을 토대로 이해되어야 한다.
- [0034] SSD(Solid-State Drive)는 다수의 플래시 메모리 칩과 입출력 채널 등으로 구성된다. 대부분의 SSD는 성능 향상을 위하여 각 플래시 메모리 칩이 병렬적으로 동작 하도록 데이터를 인터리빙 하는 RAID-0 구조를 취하며, 각 입출력 채널도 동시에 데이터를 전송할 수 있도록 한다. 상기 RAID는 종류별로 RAID-0, 1, 2, 3, 4, 5, 6 등 많이 존재하지만 RAID-5가 가장 많이 사용되고 있다.
- [0035] 상기 RAID-5를 상기 SSD에 도입하는 경우, HDD에서와는 다르게 플래시 메모리에서는 데이터가 제자리 갱신이 되지 않으므로 항상 다른 공간에 쓰기를 해야 하므로 빈번한 데이터 갱신은 많은 수의 패리티 쓰기를 수반하여 플래시 메모리의 클리닝 비용 증가와 수명을 단축시키는 결과를 초래한다. 또한, 데이터 갱신 과정 동안 패리티가 있는 칩은 다른 칩에 비하여 더욱 빈번한 쓰기가 많이 발생하므로 패리티를 포함하는 칩은 다른 칩에 비해 수명이 감소된다.
- [0036] 종래에서, 상기 SSD 장치가 수신하는 쓰기 요청은 LBN(Logical Block Number) 형태이며, 상기 LBN이 연속적이

고 큰 크기로 이루어지는 경우 상기 RAID의 작은 쓰기 문제는 발생하지 않지만 대부분의 쓰기 요청이 작은 크기이다.

- [0037] 그러므로, 본 발명에서는 상기 LBN이 연속적이지 않고 작은 크기라도 앞서 기술된 문제를 해결할 수 있는 데이터 제어 장치 및 방법이 제공된다. 또한 추가적으로 부분 스트라이프 패리티(Partial Stripe Parity)(또는, 부분 패리티)를 생성함으로써 상기 저장 장치(이를 테면, 상기 SSD와 같은)의 신뢰성을 향상시킬 수 있다.
- [0038] 도 1은 일실시예에 따른, 저장 장치(101)의 구성도이다. 상기 저장 장치는 제어 장치(100), 호스트 인터페이스(103) 및 플래시 메모리 칩(110, 120)을 포함할 수 있다.
- [0039] 일실시예에 따르면, 상기 저장 장치의 상기 호스트 인터페이스는 상기 저장 장치를 제어하는 상기 제어 장치와 외부의 호스트 컴퓨터(102) 사이에서 인터페이스를 제공할 수 있다. 상기 호스트 인터페이스는 이를 테면, PATA(Parallel ATA), SATA(Serial ATA), 또는 USB(Universal Serial Bus) 등의 통신 규격일 수 있다. 따라서, 상기 저장 장치는 상기 호스트 인터페이스를 통해 호스트(102)로부터 데이터 액세스(data access) 명령(이를 테면, 데이터 읽기, 데이터 쓰기 등)을 수신한다.
- [0040] 일실시예에 따르면, 상기 저장 장치의 상기 제어 장치는 상기 호스트와의 통신 및 상기 플래시 메모리에 연관되는 각 부분을 제어하는 역할을 한다. 또한, 상기 저장 장치는 복수의 플래시 메모리 칩(110, 120)과 입출력 채널 등으로 구성될 수 있다.
- [0041] 대부분의 SSD는 성능 향상을 위하여 상기 복수의 플래시 메모리 칩이 각각 병렬적으로 동작 하도록 데이터를 인터리빙 하는 구조를 취할 수 있으며, 각 입출력 채널도 동시에 데이터를 전송할 수 있다. 상기 복수의 플래시 메모리 칩에 연관되는 내용은 아래에서 더 상세히 후술된다.
- [0042] 도 2는 일실시예에 따른, 상기 제어 장치(100)의 블록도이다. 상기 제어 장치는 멀티 채널 인터리빙을 통해 구동되는 복수 개의 메모리 채널을 관리할 수 있다.
- [0043] 또한, 상기 제어 장치는 스트라이프 구성부(210), 패리티 생성부(220), 클리닝부(230) 및 판단부(240)를 포함할 수 있다.
- [0044] 일실시예에 따른 상기 제어 장치의 상기 스트라이프 구성부(210)는 상기 복수 개의 메모리 채널에 포함된 페이지들의 물리적 페이지 넘버에 따라 스트라이프를 구성할 수 있으며, 상기 패리티 생성부(220)는 상기 구성된 스트라이프에 대한 패리티 데이터를 생성할 수 있다.
- [0045] 일실시예에 따르면, 상기 제어 장치는 복수 개의 페이지 데이터 쓰기 요청이 순차적으로 수신되는 경우, 상기 복수 개의 메모리 채널의 클린 페이지를 논리 블록 주소에 독립적으로 순차 쓰기하도록 상기 멀티 채널 인터리빙을 수행할 수 있다.
- [0046] 일실시예에 따르면, 상기 제어 장치의 상기 클리닝부(230)는 데이터 클리닝의 경우, 상기 복수의 스트라이프를 포함하는 클리닝 블록을 생성하고, 상기 클리닝 블록 중 유효 페이지가 가장 적은 클리닝 블록을 상기 데이터 클리닝의 대상 블록으로 선택할 수 있다. 또한, 상기 클리닝부(230)는 상기 선택된 데이터 클리닝의 대상 블록에 대해 상기 데이터 클리닝을 수행할 수 있다.
- [0047] 게다가, 상기 클리닝부(230)는 상기 데이터 클리닝의 대상 블록을 상기 멀티 채널 인터리빙에 연관되는 복수 개의 칩의 적어도 일부 블록으로 복사하고, 상기 데이터 클리닝의 대상 블록에 대해 상기 데이터 클리닝을 수행할 수 있다.
- [0048] 일실시예에 따르면, 상기 제어 장치의 상기 판단부(240)는 마지막으로 처리된 제1 페이지 쓰기 요청이 처리된 이후 제1 임계시간이 경과하였는지의 여부를 판단할 수 있다.
- [0049] 또한, 상기 제어 장치의 상기 패리티 생성부(220)는 상기 제1 페이지 쓰기 요청이 처리된 후에 상기 제1 임계시간이 경과하면 상기 제1 페이지 쓰기 요청에 연관되는 제1 물리적 페이지 넘버에 대한 부분 패리티를 생성할 수 있다.
- [0050] 일실시예에 따른 상기 패리티 생성부(220)는 상기 제1 페이지 쓰기 요청이 처리된 후 상기 제1 임계시간이 경과한 후, 상기 제1 페이지 넘버에 대응하는 클린 페이지의 비율이 임계치 이상이면 상기 부분 패리티를 생성할 수 있다. 여기서, 상기 제1 임계시간 및 상기 클린 페이지의 비율의 임계치는 상기 제어 장치를 사용하는 사용자에게 의해 미리 정의될 수 있다.

- [0051] 일실시예에 따른 상기 패리티 생성부(220)는 상기 제1 페이지 쓰기 요청이 처리된 후에 상기 제1 페이지 넘버에 대응하는 클린 페이지(clean page)의 비율이 상기 임계치 미만이라도 상기 제1 임계시간보다 큰 제2 임계시간이 경과하면 상기 부분 패리티를 생성할 수 있다. 상기 제어 장치는 상기 스트라이프에 대한 폴 패리티를 생성하게 될 확률보다 페이지 데이터의 소실 또는 오류의 위험이 크다고 판단하기 때문에, 상기 제2 임계시간이 경과하는 경우 상기 클린 페이지가 조금 남아 있더라도(상기 임계치 미만이라도) 상기 마지막 쓰기 이후에 무조건 상기 부분 패리티의 쓰기를 수행할 수 있다.
- [0052] 일실시예에 따르면, 상기 패리티 생성부(220)는 상기 제1 물리적 페이지 넘버에 대응하는 상기 클린 페이지 중 어느 하나에 상기 클린 페이지에 생성된 상기 부분 패리티를 쓰도록 상기 멀티 채널 인터리빙을 제어할 수 있다.
- [0053] 일실시예에 따르면, 상기 제어 장치는 상기 멀티 채널 인터리빙에 연관되는 복수 개의 칩의 적어도 일부 블록을 부분 패리티 저장 영역으로 할당할 수 있으며, 상기 부분 패리티 저장 영역에 상기 부분 패리티 데이터를 쓰도록 제어할 수 있다. 상기 부분 패리티 저장 영역에 대한 내용은 아래에서 도면과 함께 더 상세히 후술된다.
- [0054] 도 3은 일실시예에 따른, 상기 데이터 처리 장치 데이터 갱신이 발생하는 경우의 도면이다.
- [0055] 일실시예에 따르면, 상기 제어 장치(100)는 상기 호스트와의 통신을 제어하고 및 상기 플래시 메모리에 연관되는 각 부분을 제어할 수 있다. 도 3에서 플래시 칩 컨트롤러(FCC: Flash Chip Controller)는 상기 제어 장치의 제어 하에 각각의 상기 플래시 메모리 칩을 제어할 수 있다.
- [0056] 일실시예에 따른 도 3에서는 5개의 플래시 메모리 칩(chip0, chip1, chip2, chip3 및 chip4)으로 구성되는 저장 장치(이를 테면, SSD와 같은) 내부를 도시한다. 여기서 PPN(Physical Page Number)은 물리적인 페이지 번호를 나타내고, PBN(Physical Block Number)은 물리적인 블록 번호를 나타낸다. 상기 PBN은 상기 각각의 플래시 메모리 칩에서 동일한 PPN 페이지를 포함할 수 있다.
- [0057] 일실시예에 따르면, $D_x(x=0, 1, 2, 3 \dots)$ 는 사용자의 데이터의 LBA(Logical Block Address)를 나타내고, $P_x(x=0, 1, 2, 3 \dots)$ 는 스트라이프(310)에 대한 패리티를 나타낸다.
- [0058] 일실시예에 따른 상기 스트라이프는 상기 각각의 플래시 메모리 칩의 동일한 상기 PPN의 페이지들로 구성되며, 이를 테면, 상기 스트라이프는 동적 스트라이프(DS: Dynamic Stripe)라고 불릴 수 있다. 종래의 스트라이프는 논리적인 주소를 기반으로 상기 스트라이프를 구성하기 때문에 스트라이프 맵 테이블(Stripe map table)에 의해 관리되었으나, 상기 제어 장치에 의해 구성되는 상기 스트라이프(이를 테면, 동적 스트라이프(DS))는 물리적인 주소를 기반으로 상기 스트라이프를 생성하기 때문에 상기 스트라이프 맵 테이블을 필요로 하지 않는다.
- [0059] 일실시예에 따르면, 상기 스트라이프에 상기 데이터 쓰기가 수행되는 경우, 상기 스트라이프의 상기 PPN 페이지가 상기 데이터로 인해 다 채워지기 전에 상기 SSD의 신뢰성 향상과 데이터 복구를 위해 상기 스트라이프에 대한 적어도 하나의 상기 폴 패리티 또는 상기 부분 패리티가 상기 스트라이프에 생성될 수 있다.
- [0060] 일실시예에 따른 도 3은 데이터 D1 및 D2에 대한 데이터 갱신 요청이 발생하는 경우의 실시예를 도시한다. 대부분의 상기 SSD는 10~16개 이상 복수의 플래시 메모리 칩으로 구성되지만 설명의 편의상 도 3에서는 5개의 플래시 메모리 칩(chip0, chip1, chip2, chip3 및 chip4)으로 구성되는 실시예를 도시한다.
- [0061] 일실시예에 따르면, 도 3에서는 D0~D7의 사용자 데이터가 상기 플래시 메모리 칩의 상기 PPN 0 및 PPN 1에 쓰여져 있다. 또한, 도 3은 상기 PPN 0의 동일한 페이지들로 구성되는 상기 스트라이프(310)에 대한 패리티(P0)와 상기 PPN 1의 동일한 페이지들로 구성되는 상기 스트라이프에 대한 패리티(P1)를 포함하는 초기 상태를 도시하고 있다. 앞서 기술된 바와 같이, 적어도 하나의 상기 스트라이프에는 적어도 하나의 폴 패리티를 포함한다.
- [0062] 일실시예에 따르면, 상기 초기 상태에서 D1 및 D2의 사용자 데이터가 갱신된다고 가정한다. 상기 데이터 D1 및 D2의 갱신 요청으로 인해 업데이트되어야 하는 D1' 및 D2'의 쓰기 요청이 발생하게 된다. 상기 컨트롤러 장치는 상기 갱신 요청에 따른 상기 쓰기 요청에 대해 상기 요청이 발생한 순서대로 각각의 플래시 메모리 칩의 동일한 상기 PPN 페이지에 인터리빙되어 쓰여질 수 있다.
- [0063] 종래에서는 논리적인 주소를 기준으로 상기 스트라이프를 구성하기 때문에, 상기 갱신 되는 데이터가 동일한 플래시 메모리 칩 내의 빈 페이지(초기에 쓰여진 플래시 메모리 칩의 빈 페이지)에 쓰여야만 했다. 설명의

편의를 위해 하나의 상기 사용자 데이터 D1에 대한 데이터 갱신을 먼저 설명한다.

- [0064] 일실시예에 따르면, 초기 상태에서 상기 사용자 데이터 D1(311)에 대해서만 데이터 갱신 요청이 발생한다고 가정한다. 종래에서는 업데이트되어야 하는 D1'의 사용자 데이터는 초기에 쓰여진 동일한 플래시 메모리 칩의 빈 페이지(312)에 쓰여지는 반면에, 상기 제어 장치는 상기 업데이트되어야 하는 D1'의 사용자 데이터를 빈 페이지에 순차대로 쓰기가 수행되도록 제어할 수 있다.
- [0065] 다시 말하면, 일실시예에 따른 상기 제어 장치는 물리적인 주소를 기준으로 스트라이프를 생성할 수 있기 때문에, 상기 업데이트되는 D1'의 사용자 데이터를 동일한 플래시 메모리 칩 내의 빈 페이지(312)에 쓰여지지 않는다.
- [0066] 일실시예에 따른 상기 제어 장치는 초기 상태에서 마지막 쓰기 요청에 의한 사용자 데이터 D7 페이지의 다음 페이지(301)에 상기 D1'이 쓰여지도록 제어할 수 있고, 상기 제어 장치는 초기 상태의 사용자 데이터 D1이 쓰여진 페이지(311)를 무효 페이지가 되도록 제어할 수 있다.
- [0067] 일반적으로 상기 제어 장치의 상기 패리티 생성부(220)는 상기 쓰기 요청으로 인해 적어도 하나의 스트라이프가 가득 차게 되면 상기 스트라이프에 대한 상기 풀 패리티를 생성할 수 있다.
- [0068] 그러나, 상기 제어 장치의 패리티 생성부(220)는 상기 스트라이프의 일부에서만 데이터 갱신이 이루어지는 경우 상기 스트라이프에 상기 사용자 데이터가 가득 찰 때까지 대기하지 않고 곧바로 갱신되는 데이터(또는 쓰기 요청에 의해 쓰여지는 데이터)에 대한 부분 패리티(Partial Parity)를 생성할 수 있다.
- [0069] 이를 테면, 초기 데이터 D1에 대한 데이터 갱신되는 실시예의 경우에서, 상기 제어 장치의 상기 스트라이프 생성부는 상기 업데이트되어야 하는(갱신되어야 하는) D1'은 물리적인 주소를 기준으로 페이지(301)에 쓰여지도록 하여 상기 스트라이프를 구성할 수 있다. 또한, 상기 제어 장치의 상기 패리티 생성부(220)는 상기 갱신된 D1'을 포함하는 해당 스트라이프가 가득 찰 때까지 대기하여 상기 풀 패리티를 생성하지 않고, 상기 갱신된 D1'의 페이지(301)의 다음 페이지(312)에 곧바로 상기 부분 패리티를 생성할 수 있다.
- [0070] 다른 일실시예에 따르면, 도 3과 같은 초기 상태에서 D1, D2 순서로 데이터가 갱신된다고 가정한다. 종래의 기술에 따르면, 업데이트되어야 하는 D1', D2'은 논리적인 주소를 기준으로 초기에 쓰여진 동일한 플래시 메모리 칩의 빈 페이지에 쓰기가 수행된다. 따라서, 종래 기술에서는 D1'은 칩1의 PPN 2 페이지(312)에 쓰여지며, D2'는 칩2의 PPN2 페이지(321)에 쓰여진다.
- [0071] 그러나, 상기 제어 장치의 상기 스트라이프 구성부(210)는 물리적인 주소를 기준으로 스트라이프를 구성하기 때문에, D1', D2'을 쓰기 요청이 발생한 순서대로 각각의 플래시 메모리 칩의 PPN 페이지에 인터리빙 되어 쓰여질 수 있도록 할 수 있다. 따라서, 상기 제어 장치의 상기 스트라이프 구성부(210)는 D1'이 칩0의 PPN2 페이지(301)에 쓰여지도록 제어하고, D2'는 칩1의 PPN2 페이지(312)에 쓰여지도록 제어할 수 있다. 또한, 상기 갱신되는 데이터의 쓰기가 이루어지면, 초기 상태의 사용자 데이터 D1, D2가 쓰여진 페이지는 무효 페이지가 된다.
- [0072] 위에서 기술된 바와 같이, 상기 쓰기 요청으로 인해 하나의 스트라이프가 가득 차게 되면 상기 스트라이프에 대한 풀 패리티를 생성할 수 있다. 그러나, 상기 제어 장치의 상기 패리티 생성부(220)는 상기 스트라이프의 일부에서만 데이터 갱신이 이루어지는 경우, 상기 스트라이프에 상기 사용자 데이터가 가득 찰 때까지 대기하지 않고 곧바로 갱신되는 데이터(또는 쓰기 요청에 의해 쓰여지는 데이터)에 대한 부분 패리티를 생성할 수 있다.
- [0073] 이를 테면, 앞서 기술된 바와 같이 초기 데이터 D1, D2에 대한 데이터 갱신이 발생하는 경우, 상기 업데이트되어야 하는(갱신되어야 하는) D1', D2'의 사용자 데이터는 물리적인 주소를 기준으로 각각 페이지(301) 및 페이지(312)에 쓰여질 수 있다. 또한, 상기 갱신된 D1', D2'을 포함하는 해당 스트라이프는 상기 해당 스트라이프가 가득 찰 때까지 대기하지 않고, 마지막으로 갱신된 D2'의 페이지(312)의 다음 페이지(321)에 업데이트된 D1', D2'에 대한 상기 부분 패리티가 생성될 수 있다.
- [0074] 그러므로, 상기 제어 장치는 상기 쓰기 요청이 발생한 데이터에 대해서만 동적으로 스트라이프를 구성할 수 있으며, 상기 스트라이프에 대한 패리티(또는, 풀 패리티)를 생성할 수 있기 때문에, 상기 갱신되는 데이터에 대한 패리티 생성을 위해 초기 상태에 쓰여진 데이터에 대한 별도의 읽기 연산이 필요하지 않고 상기 패리티 쓰기 횟수도 감소할 수 있다. 또한, 특정 플래시 메모리 칩에 대한 쓰기가 집중되는 현상도 제거되어 상기 플래시 메모리 칩의 수명을 단축시키는 문제도 완화될 수 있다.

- [0075] 또 다른 일실시예에 따르면, 위와 같이 D1', D'2의 갱신이 이루어지고 상기 갱신된 데이터에 대응하는 상기 부분 패리티가 생성된 후, 또 다른 쓰기 요청인 D8에 대한 데이터 쓰기 요청이 발생하는 경우 다음의 빈 페이지인 칩3의 PPN 2의 페이지에 상기 D8 데이터 쓰기가 수행될 수 있다. 또한, 마지막 페이지(칩4의 PPN 2 페이지)에 해당되는 전체 스트라이프에 대한 새로운 상기 풀 패리티를 생성할 수 있다.
- [0076] 이 시점에서는 상기 SSD의 쓰기 버퍼에 보관하고 있는 상기 D8를 이용하므로 상기 풀 패리티 생성을 위한 읽기 연산이 필요하지 않다. 이와 같이 상기 스트라이프의 크기보다 작은 쓰기 요청에 대하여 생성한 패리티를 상기 부분 패리티라고 부르며, 이를 통해 NVRAM과 같은 추가적인 하드웨어 없이 상기 SSD의 신뢰성을 보장할 수 있다.
- [0077] 또 다른 일실시예에 따르면, 상기 제어 장치의 판단부(240)는 마지막으로 처리된 쓰기 요청으로부터의 임계시간을 고려하여 부분 패리티의 생성 유무를 판단할 수 있다. 상기 제어 장치의 상기 패리티 생성부(220)는 도 3과 같이 D1', D'2의 갱신이 요청되어 상기 칩0의 PPN2 페이지와 상기 칩1의 PPN2 페이지에 각각 D1', D2'가 쓰여지게 되는 경우 바로 상기 부분 패리티를 생성하지 않고 또 다른 쓰기 요청이 수신되는 지를 제1 임계 시간 동안 대기할 수 있다.
- [0078] 만약, 상기 제1 임계 시간 내에 상기 또 다른 쓰기 요청이 수신되는 경우에는 상기 쓰기 요청의 순서대로 상기 스트라이프를 구성할 수 있으며, 상기 또 다른 쓰기 요청으로 상기 스트라이프가 다 채워지는 경우, 상기 패리티 생성부(220)는 상기 부분 패리티의 생성 없이 곧바로 전체 스트라이프에 대응하는 상기 풀 패리티를 생성할 수 있다.
- [0079] 반대로, 상기 제1 임계 시간 내에 상기 또 다른 쓰기 요청이 수신되지 않은 경우(해당 스트라이프도 다 채워지지 않고 더 이상의 또 다른 쓰기 요청이 수신되지 않은 경우), 상기 패리티 생성부(220)는 마지막 쓰기 요청에 의해 쓰여진 페이지의 다음 페이지에 곧바로 상기 부분 패리티를 생성함으로써 상기 저장 장치(상기 SSD)의 신뢰도를 향상시킬 수 있다.
- [0080] 또 다른 일실시예에 따르면, 상기 제어 장치의 판단부(240)는 상기 임계시간과 상기 클린 페이지의 비율을 고려하여 부분 패리티의 생성의 유무를 판단할 수 있다.
- [0081] 위에서 기술된 바와 같이 상기 제어 장치의 상기 패리티 생성부(220)는 D1', D'2의 갱신이 요청되어 상기 칩0의 PPN2 페이지와 상기 칩1의 PPN2 페이지에 각각 D1', D2'가 쓰여지게 되는 경우 곧바로 상기 부분 패리티를 생성하지 않고, 또 다른 쓰기 요청이 수신되는 지를 제1 임계 시간 동안 대기할 수 있다.
- [0082] 만약, 상기 제1 임계 시간 내에 상기 또 다른 쓰기 요청이 수신되는 경우 상기 쓰기 요청의 순서대로 상기 스트라이프를 구성할 수 있다. 또한, 상기 또 다른 쓰기 요청으로 상기 스트라이프가 다 채워지는 경우 상기 패리티 생성부(220)는 상기 부분 패리티의 생성 없이 곧바로 전체 스트라이프에 대응하는 상기 풀 패리티를 생성할 수 있다.
- [0083] 반대로, 상기 제1 임계 시간 내에 상기 또 다른 쓰기 요청이 수신되지 않은 경우(해당 스트라이프도 다 채워지지 않고 더 이상의 또 다른 쓰기 요청이 수신되지 않은 경우), 상기 제어 장치의 상기 판단부(240)는 상기 스트라이프 내에 클린 페이지(Clean page)가 충분히 존재하는지를 판단할 수 있다.
- [0084] 이를 테면, 상기 제어 장치의 상기 판단부(240)는 상기 쓰기 요청에 의해 데이터가 쓰여져야 하는 해당 스트라이프에서 상기 클린 페이지의 비율이 미리 정의된 임계치 이상이라고 판단되는 경우에는 아직 상기 해당 스트라이프에 여유 페이지가 존재하는 것으로 판단할 수 있다.
- [0085] 또한, 상기 판단부(240)가 상기 클린 페이지의 비율이 미리 정의된 임계치 이하이라고 판단되는 경우에는 상기 해당 스트라이프에 상기 여유 페이지가 존재하지 않는 것으로 판단하여, 상기 제1 임계시간보다 큰 제2 임계시간 동안 상기 또 다른 쓰기 요청을 위한 대기 시간을 갖도록 할 수 있다.
- [0086] 일실시예에 따르면, 상기 판단부(240)는 상기 제2 임계시간의 경과에도 불구하고, 상기 또 다른 쓰기 요청이 수신되지 않으면, 상기 클린 페이지의 비율이 상기 임계치 미만이라도 상기 스트라이프에 해당하는 상기 부분 패리티를 생성하도록 판단할 수 있다.
- [0087] 도 4는 일실시예에 따른, 상기 제어 장치에서 부분 패리티가 생성될 수 있는 부분 스트라이프 패리티 풀(Partial Stripe Parity Pool)을 설명하는 도면이다. 상기 제어 장치는 상기 멀티 채널 인터리빙에 연관되는 복수 개의 칩의 적어도 일부 블록을 부분 패리티 저장 영역(또는, 상기 부분 스트라이프 패리티 풀(Partial Stripe Parity Pool))으로 할당하고, 상기 부분 패리티 저장 영역에 상기 부분 패리티 데이터를 쓰도록 상기

멀티 채널 인터리빙을 제어할 수 있다.

- [0088] 앞에서 언급한 도 3의 경우, D1'과 D2'을 물리적인 주소를 기반으로 상기 페이지(301과 312)에 쓰기 동작을 수행한 후에, (경우에 따라 임계시간 및 클린 페이지의 비율을 고려하여) 상기 부분 패리티를 그 다음 페이지(321)에 기록할 수 있다. 그 후에, 또 다른 쓰기 요청인 D8의 쓰기 요청이 발생하면 그 다음 페이지(칩3의 PPN2 페이지)에 쓰기를 수행하고, 전체 스트라이프에 대한 패리티를 반드시 기록해야 하므로 마지막 페이지(칩4의 PPN2)에 상기 풀 패리티를 기록한다.
- [0089] 그러나, 도 4를 참조하면, 상기 제어 장치는 전체 스트라이프에 대한 풀 패리티를 기록하지 않고 다음의 쓰기 요청에 대한 쓰기를 수행하고 상기 부분 패리티 저장 영역에 상기 부분 패리티를 따로 기록할 수 있다.
- [0090] 만약, D1' 및 D2'의 데이터 갱신에 이어 D8과 D9에 이어서 연속적인 쓰기 요청이 온다고 하더라도, 적어도 하나의 스트라이프에서 적어도 하나의 패리티를 반드시 기록해야 하기 때문에, P2를 기록해야만 한다. 이 후에, D10의 데이터 쓰기 요청이 수신되면, 해당 데이터를 Chip0의 페이지 3에 쓰기를 수행하고, D10의 데이터 쓰기에 대한 부분 패리티(PP1)는 상기 부분 패리티 저장 영역(또는, 상기 부분 스트라이프 패리티 풀)의 칩 1(402)에 기록될 수 있다.
- [0091] 일실시예에 따르면, 그 후에 연속적인 쓰기 요청 D11, D12, D13, D14가 순차적으로 오는 경우, D11부터 순서대로 Chip1, 2, 3, 4에 쓰고 풀 패리티 P3을 Chip0의 PPN4에 기록할 수 있다. 일실시예에 따르면, D11 ~ D14가 하나의 풀 스트라이프로 간주되어 풀 패리티 P3이 쓰여질 수 있다.
- [0092] 일실시예에 따르면, 해당 스트라이프가 가득 차는 경우 상기 스트라이프에 적어도 하나의 풀 패리티를 기록할 수 있고, 반대로 해당 스트라이프가 가득 차지 않는 경우에는 상기 부분 패리티 저장 영역(410)에 상기 부분 패리티를 따로 기록할 수 있다. 이와 같이, 상기 부분 패리티(401, 402 및 403)를 상기 부분 패리티 저장 영역(또는 상기 부분 스트라이프 패리티 풀)(410)에 기록하는 이유는 RAID 특성상 하나의 스트라이프에 포함되는 데이터를 각각 다른 칩에 분산시킴으로써 특정 칩의 오류 발생시 분산된 데이터를 이용하여 복구할 수 있기 때문이다.
- [0093] 일실시예에 따르면, 상기 부분 패리티 또는 상기 풀 패리티는 상기 스트라이프를 구성하는 페이지 개수(도 3 내지 도 4에서는 5개) 마다 반드시 1개 이상 유지될 수 있다.
- [0094] 일실시예에 따른, 상기 패리티 저장 영역을 이용함으로써 상기 스트라이프를 구성하는 페이지 마다 유지되는 패리티 개수를 감소시키면서 특정 칩에서 발생하는 오류로부터 데이터를 복구할 수 있다.
- [0095] 도 5는 일실시예에 따른, 상기 제어 장치에서 클리닝 부에 의한 데이터 클리닝의 수행 전을 설명하는 개념도이다.
- [0096] 일실시예에 따른 상기 플래시 메모리 칩의 클리닝 연산은 블록 단위로 수행되기 때문에 여유 공간 생성 시, 상기 스트라이프가 포함되는 블록들이 동시에 클리닝 되어야 한다. 도 5 및 도 6에서 도시한 바와 같이 상기 스트라이프(이를 테면, 동적 스트라이프(DS))가 포함되는 블록들을 동적 스트라이프 그룹(DSG: Dynamic Stripe Group)이라고 한다.
- [0097] 일실시예에 따르면, 상기 클리닝의 대상이 되는 블록을 선택할 경우, 유효 페이지가 가장 적은 블록의 집합이 선택될 수 있다. 이를 테면, 도 5의 경우에는 DSG0의 유효 페이지의 개수는 5 개가 되며, DSG1의 유효 페이지 개수는 9개가 될 수 있다.
- [0098] 따라서, 상기 DSG1에 비해 상기 DSG0의 유효 페이지의 개수가 적기 때문에 상기 DSG0이 클리닝 수행의 대상이 되는 블록이 될 수 있다.
- [0099] 도 6은 일실시예에 따른, 상기 제어 장치에서 상기 클리닝부(230)에 의한 상기 데이터 클리닝 수행 후를 설명하는 개념도이다. 앞서 설명된 도 5에서, 상기 유효 페이지의 수가 적은 DSG를 선택하여 상기 클리닝 연산을 수행한다.
- [0100] 일실시예에 따르면, 상기 클리닝 부는 상기 클리닝 연산이 수행되는 상기 DSG0의 유효 페이지의 데이터 D0, D4, D7을 각각 플래시 칩 메모리 0, 플래시 칩 메모리 1 및 플래시 칩 메모리 2의 상기 PPN의 60 페이지에 복사할 수 있다.
- [0101] 또한, 상기 제어 장치는 상기 복사되는 D0, D4, D7에 대한 상기 풀 패리티 P60를 생성하여 플래시 메모리 칩 3의 PPN 60에 기록함으로써 새로운 상기 스트라이프(이를 테면, 동적 스트라이프)를 구성할 수 있다.

그리고, 나머지 유효 페이지의 데이터인 D8과 D10은 그 다음의 스트라이프에 쓰여지고, 위에서 언급한 바와 같이 상기 부분 패리티(PP)를 생성할 수 있다.

- [0102] 일실시예에 따르면, 모든 플래시 메모리 칩들이 동시에 클리닝이 수행되어야만 이와 같은 상기 스트라이프를 위해 여유 공간을 확보할 수 있다. 상기 각각의 플래시 메모리 칩들은 병렬적으로 상기 클리닝을 수행하므로 단일 플래시 메모리 칩에서의 클리닝과 비슷한 비용을 갖는다.
- [0103] 또한, 상기 데이터의 일관성을 보장하기 위해 상기 클리닝 시 다음과 같은 순서를 지켜야 한다. 1) 상기 클리닝 대상 블록들의 모든 유효 페이지를 여유 페이지로 복사한다. 2) 1)번을 수행하는 동안 상기 스트라이프를 동적으로 구성하여 패리티 쓰기도 완료한다. 3) 상기 클리닝 대상 블록들을 소거한다.
- [0104] 이와 같은 순서를 지켜야 하는 이유는 2)번의 상기 패리티 쓰기 도중에 오류가 발생하더라도 상기 클리닝 대상 블록들의 기존 데이터를 이용하여 복구할 수 있기 때문이다.
- [0105] 도 7은 일실시예에 따른, 상기 제어 장치에서 멀티 채널 인터리빙을 통해 구동되는 복수 개의 메모리 채널을 관리하는 제어 방법(700)의 흐름도이다.
- [0106] 일실시예에 따른 상기 제어 장치는 상기 초기 데이터(D1)에 대한 데이터 갱신 요청 명령을 수신한다(710). 상기 복수 개의 메모리 채널에 포함된 페이지들의 물리적 페이지 번호에 따라 상기 갱신되어야 하는(업데이트되어야 하는) 데이터(D1')을 제1 페이지에 프로그램하여 스트라이프를 구성할 수 있다(720). 또한, 상기 제어 장치는 상기 구성된 스트라이프에 대한 패리티 데이터를 생성할 수 있다.
- [0107] 도 8은 일실시예에 따른, 임계시간에 따른 상기 제어 방법의 흐름도이다. 앞서 설명된 도 7의 제어 방법에서 상기 임계시간을 고려하여 상기 부분 패리티의 생성 유무를 판단할 수 있다.
- [0108] 도 7에서 상기 복수 개의 메모리 채널에 포함된 페이지들의 물리적 페이지 번호에 따라 상기 갱신되어야 하는(업데이트되어야 하는) 데이터(D1')을 제1 페이지에 프로그램하여 스트라이프를 구성(720)한 후에, 상기 제어 장치의 판단부(240)는 마지막으로 처리된 상기 제1 페이지의 프로그램된 이후 제1 임계시간이 경과하였는지의 여부를 판단할 수 있다(810).
- [0109] 만약, 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과한 경우, 상기 제1 페이지 쓰기 요청에 연관된 제1 물리적 페이지 번호에 대한 부분 패리티 데이터를 생성할 수 있다(820).
- [0110] 도 9은 일실시예에 따른, 상기 임계 시간 및 스트라이프의 클린 페이지 비율에 따른 상기 제어 방법의 흐름도이다.
- [0111] 일실시예에 따르면, 상기 제어 장치의 판단부(240)는 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과하였는 지의 여부를 판단할 수 있다 (910).
- [0112] 일실시예에 따른 상기 제어 장치의 상기 판단부(240)는 상기 제1 페이지 쓰기 요청이 처리된 이후 상기 제1 임계시간이 경과하였는 지의 여부를 판단할 수 있다. 만약 상기 제1 페이지 쓰기 요청이 처리된 후 상기 제1 임계 시간이 경과하였다면, 상기 제1 페이지 번호에 대응하는 클린 페이지 비율이 임계치 이상인지의 여부를 판단하게 된다(920). 여기서, 상기 클린 페이지 비율이 임계치 이상인 경우에는 상기 부분 패리티(PP)를 생성하여 기록할 수 있다(940).
- [0113] 만약 상기 제1 페이지 쓰기 요청이 처리된 후 상기 제1 임계 시간이 경과하고, 상기 클린 페이지 비율이 임계치 미만인 경우에는 상기 제1 임계시간 보다 큰 상기 제2 임계시간의 경과 여부를 판단할 수 있다(930).
- [0114] 일실시예에 따르면, 상기 판단부(240)는 상기 제1 페이지 쓰기 요청이 처리되고 상기 제1 임계시간보다 큰 제2 임계시간이 경과하면 상기 제1 페이지 번호에 대응하는 상기 클린 페이지의 비율이 상기 임계치 미만인더라도 상기 패리티 생성부(220)가 상기 부분 패리티를 생성하도록 할 수 있다(940).
- [0115] 도 10은 일실시예에 따른, 상기 데이터 처리 장치에서 상기 데이터 클리닝을 수행하는 흐름도이다. 일실시예에 따른, 상기 제어 장치는 상기 스트라이프에 의해 상기 쓰기 요청이 발생한 순서대로 동적으로 스트라이프를 생성할 수 있으므로써 패리티 갱신의 비용을 줄일 수 있다.
- [0116] 일실시예에 따르면, 이와 같은 상기 쓰기 요청의 순서로 상기 각각의 플래시 메모리 칩에 인터리빙 하기 위해서는 상기 각각의 플래시 메모리 칩의 동일한 PPN 순으로 할당하는 것이 상기 플래시 메모리를 관리하기에 가장 적절한 방법일 수 있다.
- [0117] 따라서, 상기 제어 장치에서 상기 스트라이프는 상기 각각의 플래시 메모리 칩의 동일한 PPN 페이지들로 구성

될 수 있다. 상기 스트라이프 구성부(210)에 의해 상기 스트라이프를 구성하기 위해 상기 각각의 플래시 메모리 칩의 동일한 PPN 페이지가 여유 공간으로 확보되어야 하기 때문에, 상기 클리닝 연산 시 이와 같은 공간이 요구될 수 있다.

- [0118] 일실시예에 따르면, 상기 제어 장치의 상기 클리닝부(230)는 상기 플래시 메모리의 클리닝 연산을 블록 단위로 수행할 수 있다. 또한, 상기 스트라이프를 위한 여유 공간을 생성할 경우, 상기 스트라이프가 포함되는 블록들이 동시에 클리닝 되어야 한다. 앞에서 언급한 바와 같이, 상기 스트라이프가 포함되는 블록들은 동적 스트라이프 그룹(DSG: Dynamic Stripe Group)일 수 있다.
- [0119] 일실시예에 따른, 상기 스트라이프를 위한 공간을 확보하기 위해 모든 플래시 메모리 칩들이 동시에 클리닝 수행이 되어야 한다. 상기 각각의 플래시 메모리 칩들은 병렬적으로 클리닝을 수행하므로 단일 칩에서의 클리닝과 비슷한 비용을 수반할 수 있다.
- [0120] 그리고, 데이터의 일관성을 보장하기 위해서는 상기 데이터의 클리닝을 수행할 경우 도 10의 흐름도를 참조하여, 다음의 순서로 클리닝이 수행될 수 있다.
- [0121] 일실시예에 따르면, 상기 복수의 스트라이프를 포함하는 클리닝 블록을 생성하고 상기 클리닝 블록 중 유효 페이지가 가장 적은 클리닝 블록을 상기 데이터 클리닝의 대상 블록으로 선택할 수 있다(1010).
- [0122] 우선, 상기 데이터 클리닝의 대상 블록들의 모든 유효 페이지를 여유 페이지로 복사하고(1020), 이와 동시에 상기 스트라이프를 동적으로 구성하고 패리티 쓰기를 완료한다(1030). 이후에, 클리닝 대상 블록들을 소거할 수 있다(1040).
- [0123] 위와 같은 순서를 지켜야 하는 이유는, 상기 패리티 쓰기 도중 오류가 발생하더라도 상기 클리닝 대상 블록들의 기존 데이터를 이용하여 복구할 수 있기 때문이다.
- [0124] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 컨트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로 컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0125] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [0126] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것

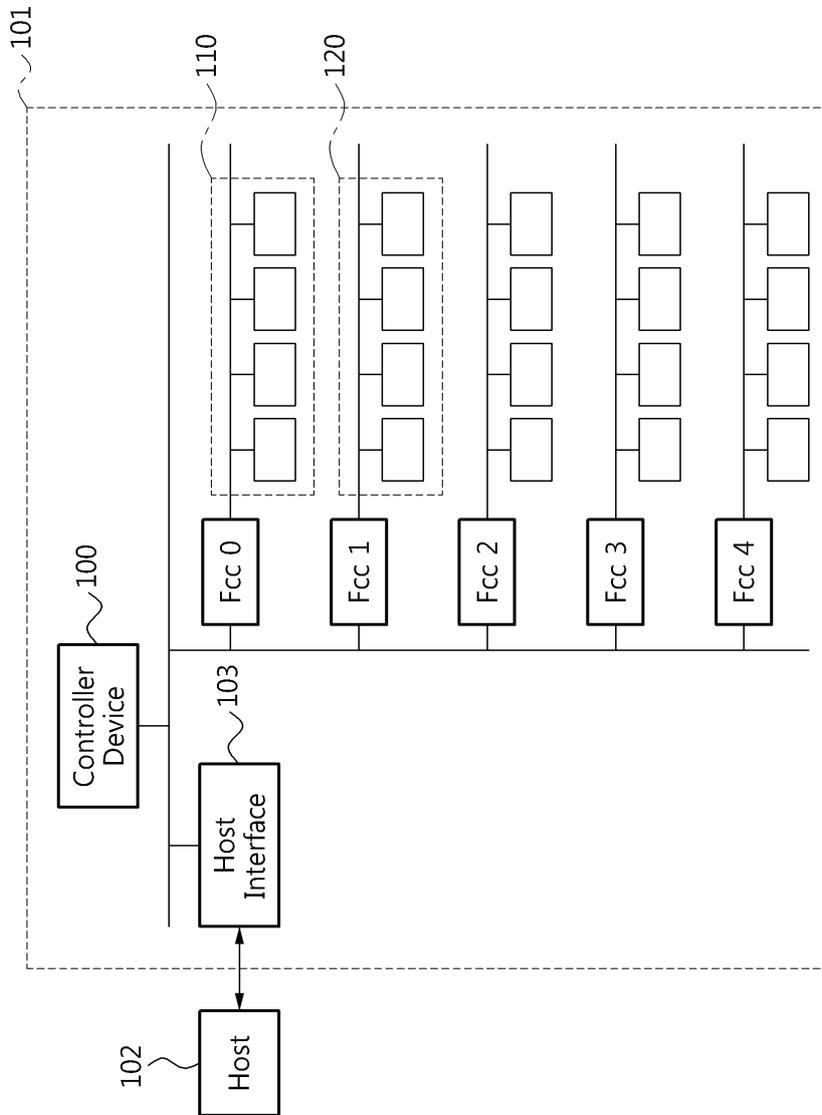
과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0127] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

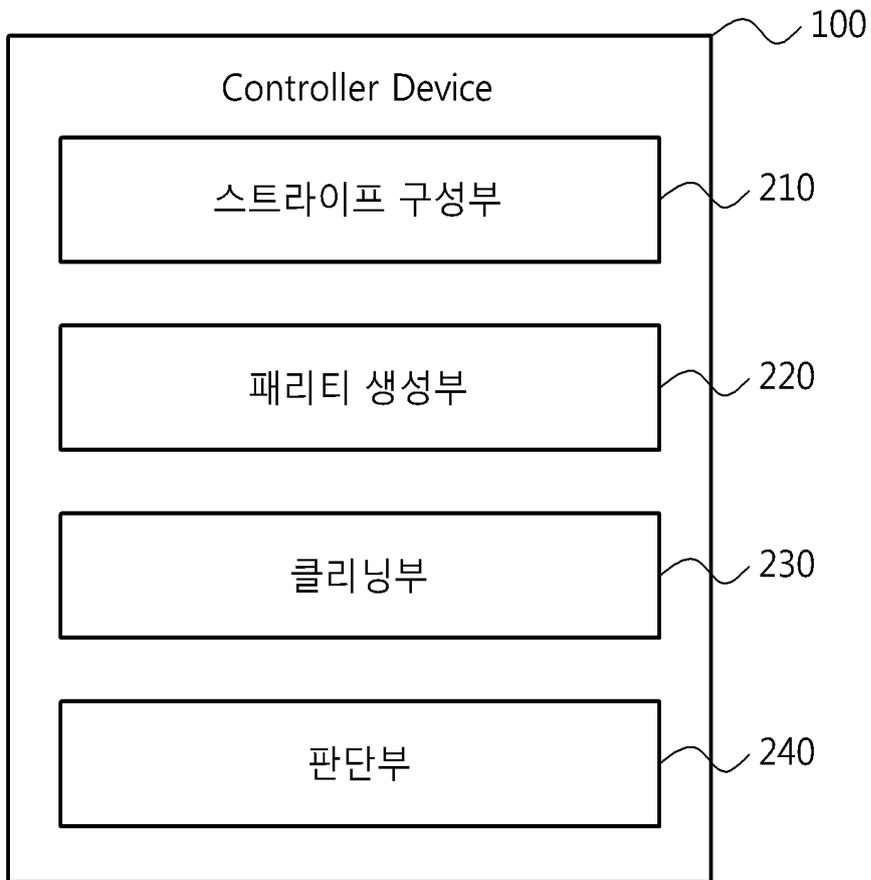
[0128] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

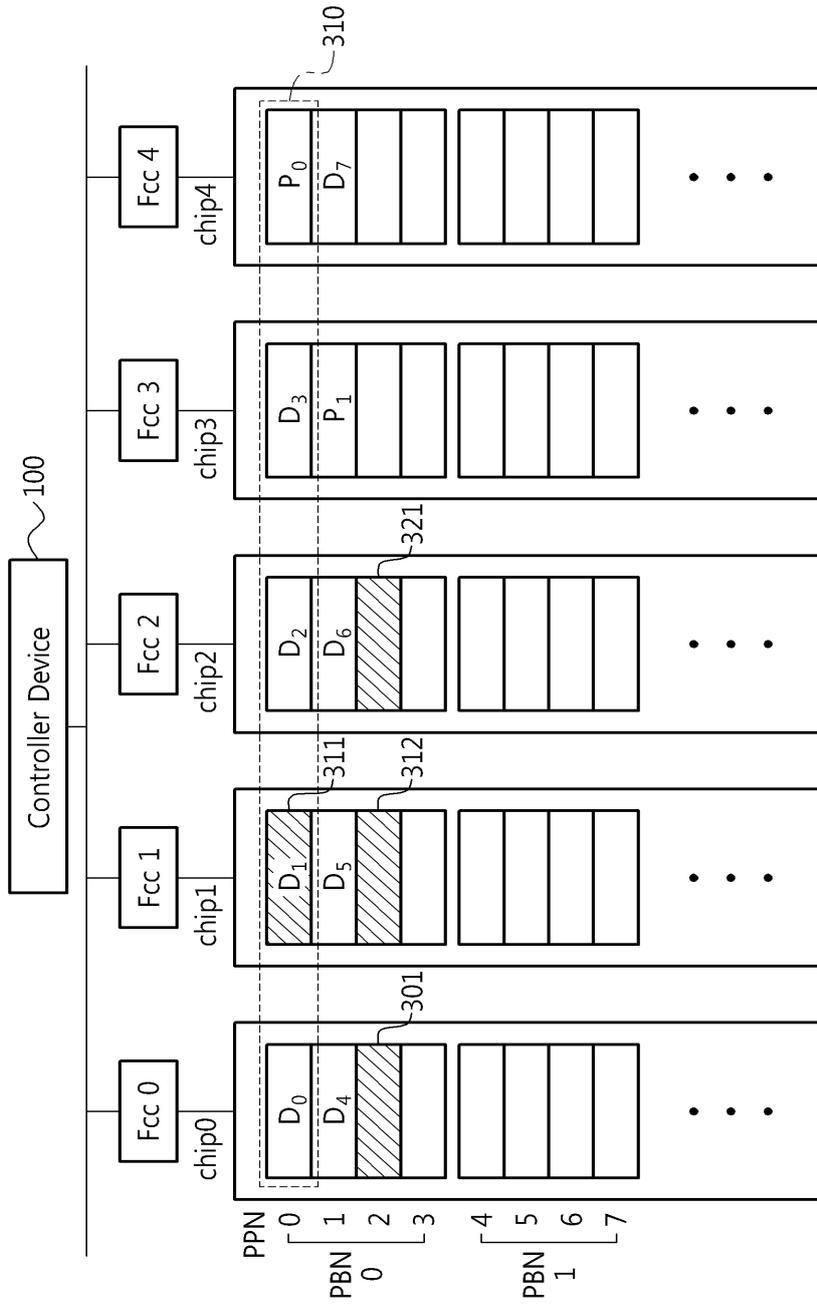
도면1



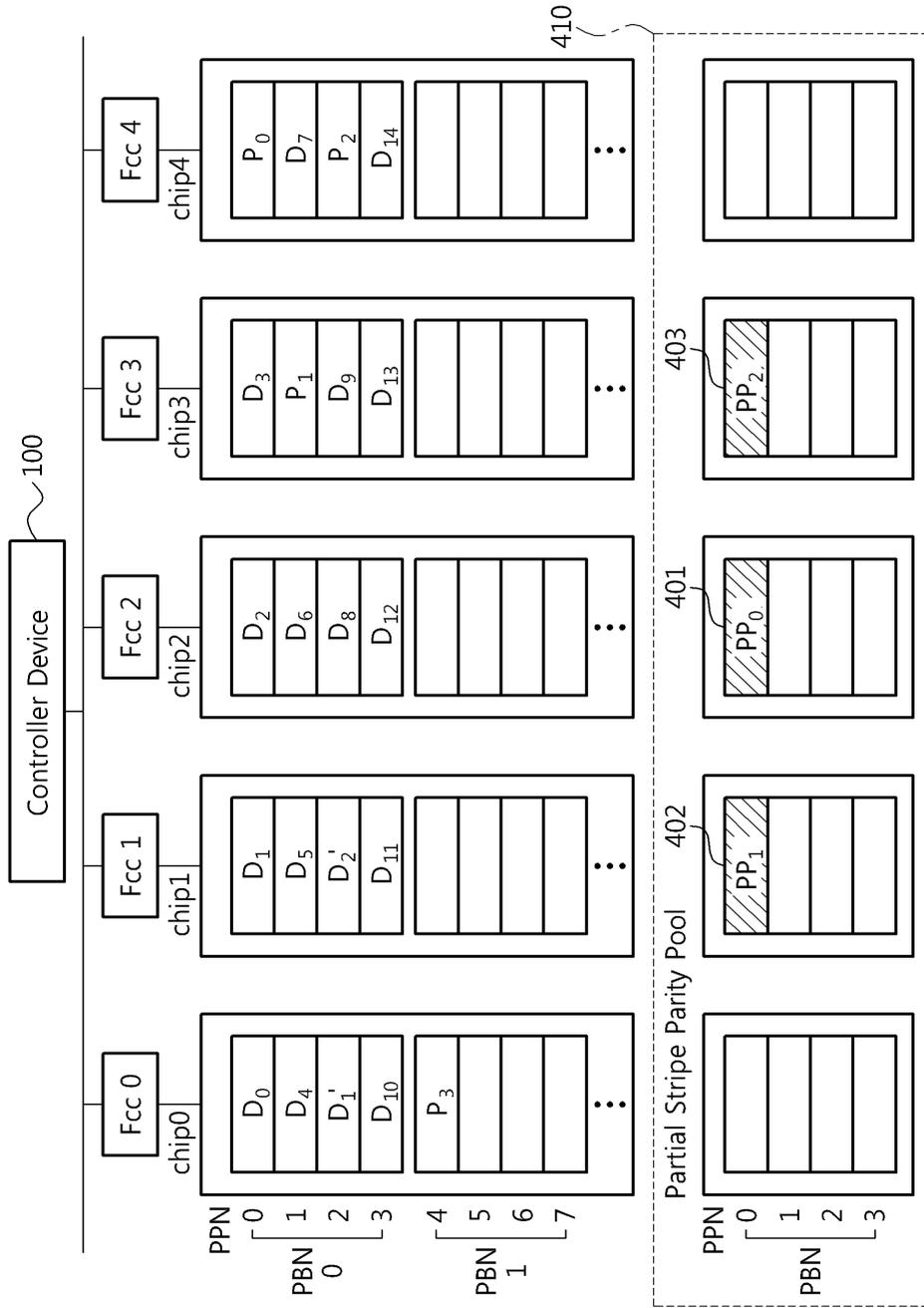
도면2



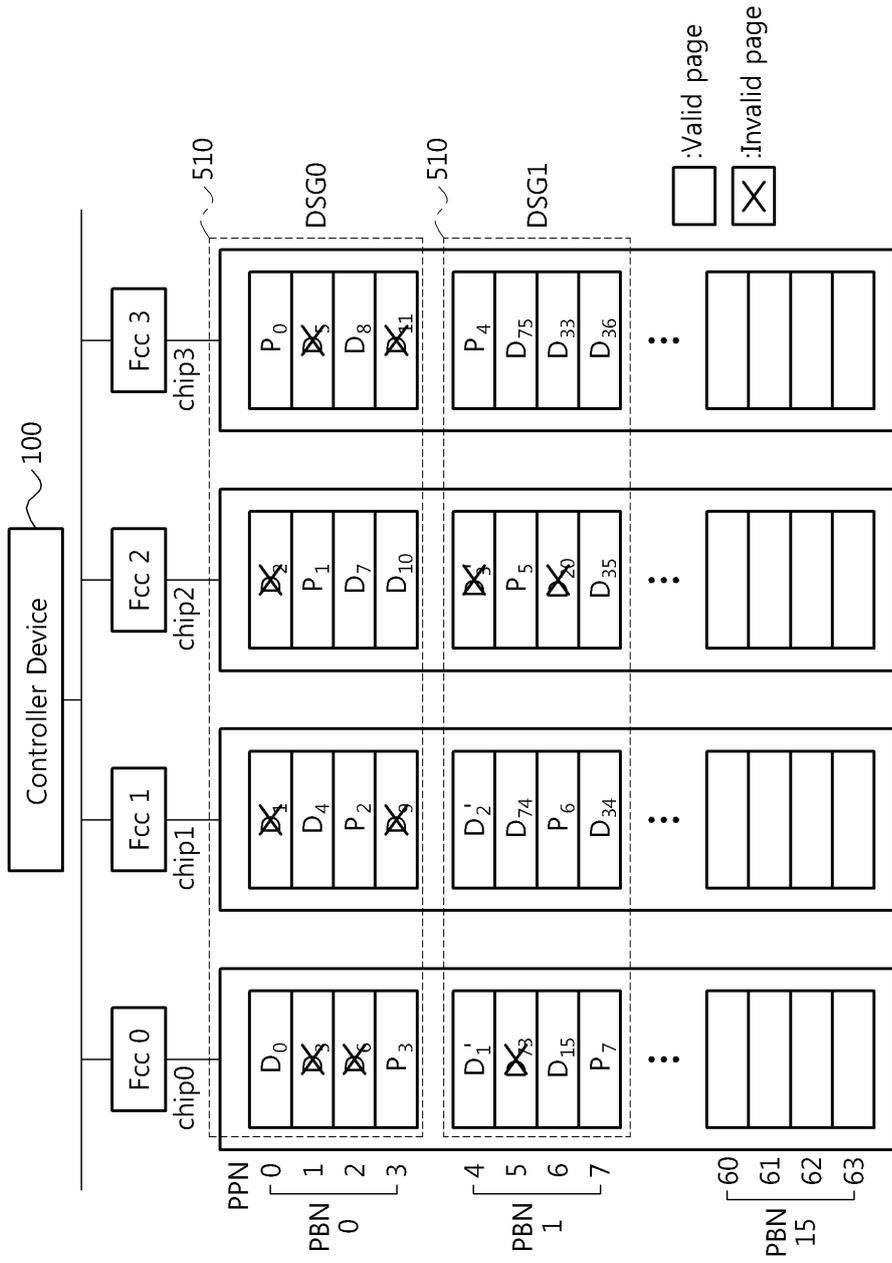
도면3



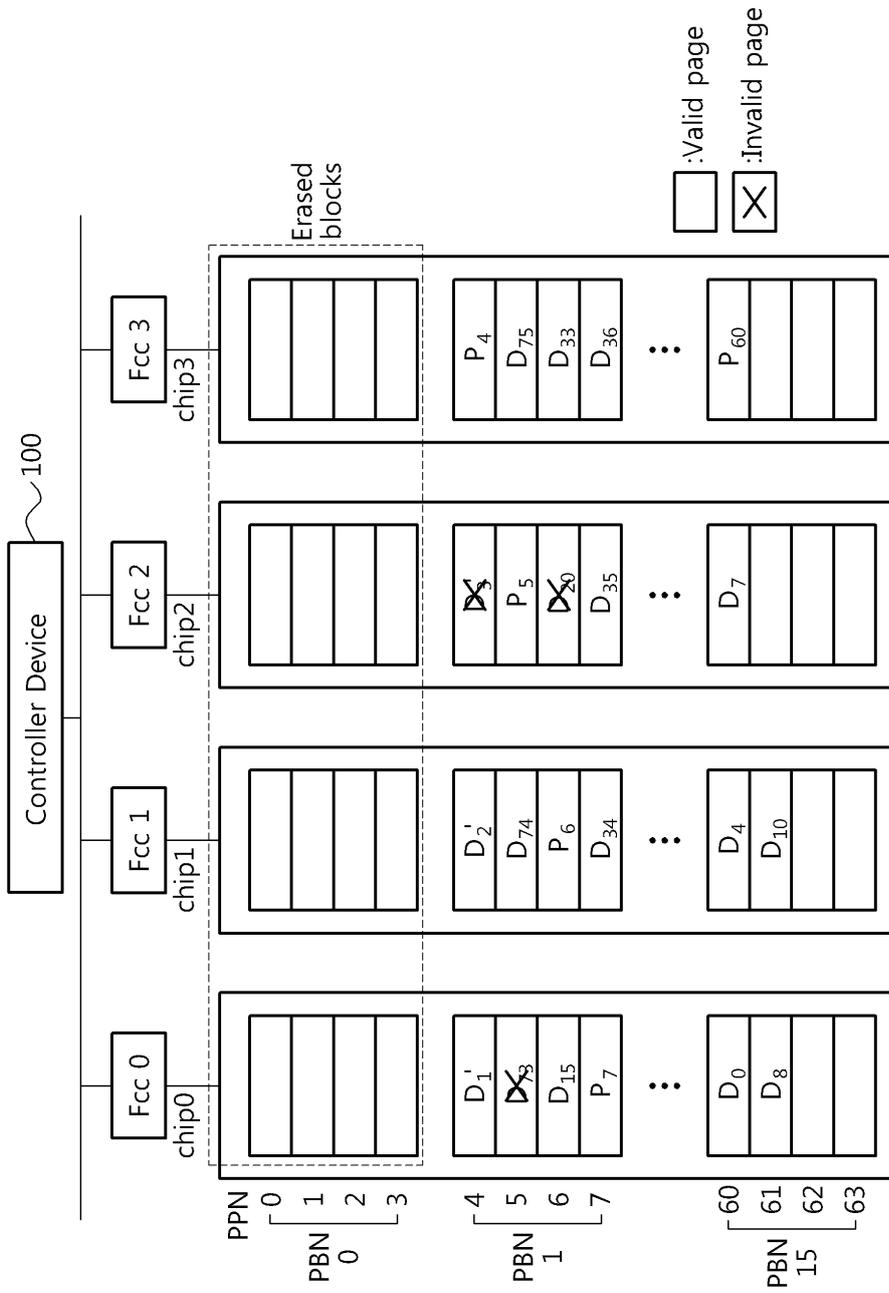
도면4



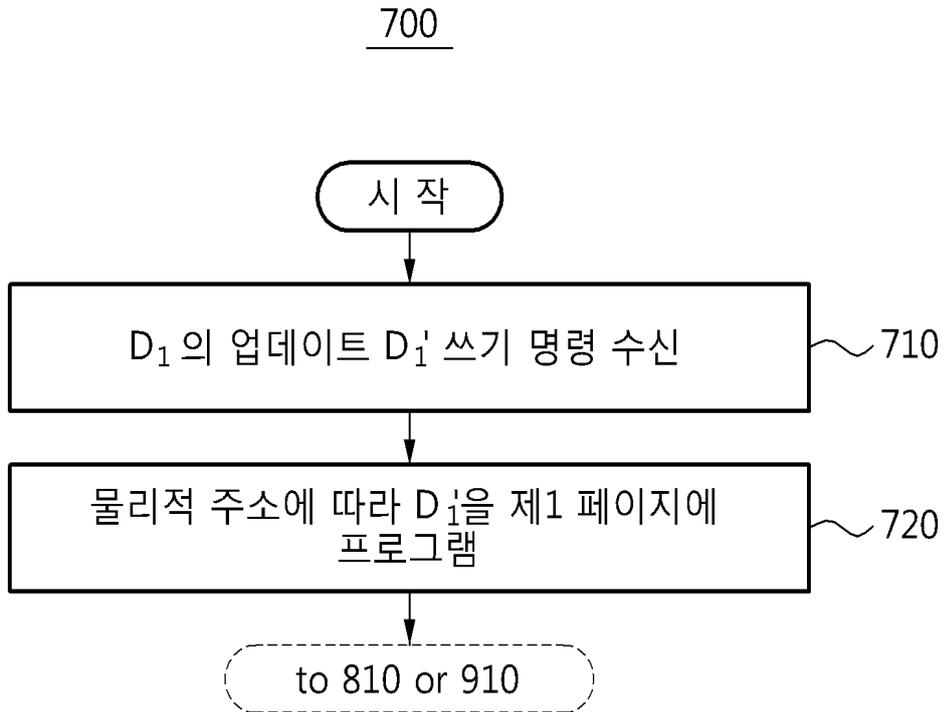
도면5



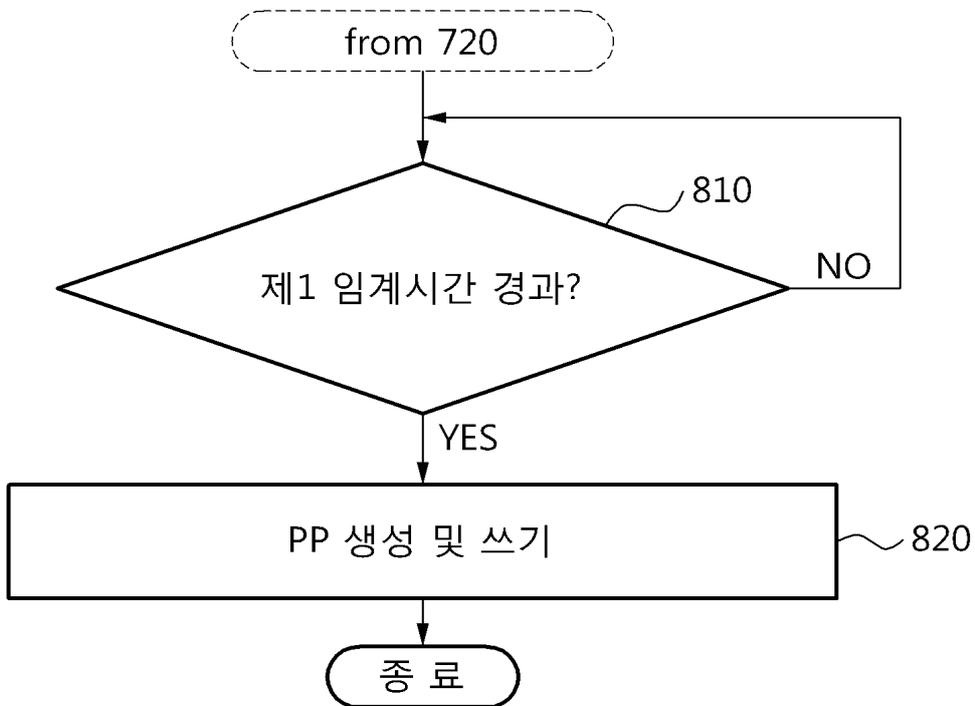
도면6



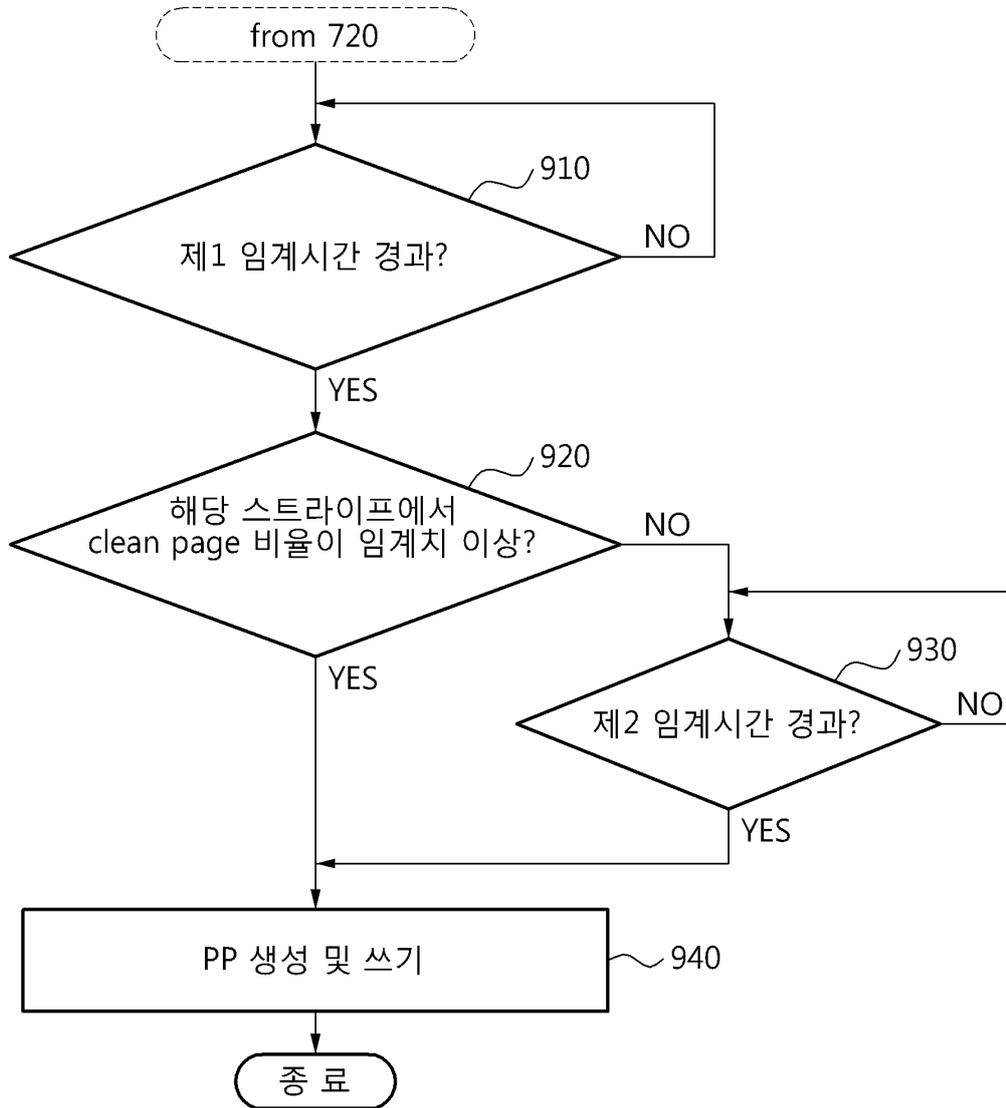
도면7



도면8



도면9



도면10

