



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0019457
G02F 1/136 (2006.01) (43) 공개일자 2007년02월15일

(21) 출원번호 10-2005-0074454
(22) 출원일자 2005년08월12일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박형준
서울 관악구 신림2동 127-17 403호
김경옥
서울 강남구 역삼1동 621-23
안병재
서울 관악구 신림7동 673-73
이봉준
서울 종로구 소격동 37번지 지층
문연규
서울 광진구 군자동 125-99호 3/2

(74) 대리인 정상빈
김동진

전체 청구항 수 : 총 12 항

(54) 박막 트랜지스터 표시판 및 이를 포함하는 액정표시장치

(57) 요약

개구율을 향상시켜 휘도를 증가시킬 수 있는 박막 트랜지스터 표시판 및 이를 포함하는 액정표시장치가 제공된다. 박막 트랜지스터 표시판은, 제 1 방향으로 연장되는 데이터선, 상기 데이터선에서 분지된 소오스 전극 및 상기 소오스 전극과 이격되어 형성된 드레인 전극을 포함하는 데이터 배선, 상기 데이터 배선 하부에 형성되고, 상기 소오스 및 드레인 전극의 하부에서 연결되어 채널 영역을 형성하는 반도체층 및 상기 반도체층 하부에 형성되고, 상기 데이터선과 교차하여 제 2 방향으로 연장되는 게이트선 및 상기 게이트선에서 분지된 게이트 전극을 포함하는 게이트 배선을 포함하고, 상기 게이트선은 제 1 깊이의 제 1 홈을 구비한다.

대표도

도 1

특허청구의 범위

청구항 1.

제 1 방향으로 연장되는 데이터선, 상기 데이터선에서 분지된 소오스 전극 및 상기 소오스 전극과 이격되어 형성된 드레인 전극을 포함하는 데이터 배선;

상기 데이터 배선 하부에 형성되고, 상기 소오스 및 드레인 전극의 하부에서 연결되어 채널 영역을 형성하는 반도체층; 및

상기 반도체층 하부에 형성되고, 상기 데이터선과 교차하여 제 2 방향으로 연장되는 게이트선 및 상기 게이트선에서 분지된 게이트 전극을 포함하는 게이트 배선;을 포함하고,

상기 게이트선은 제 1 깊이의 제 1 홈을 구비하는 박막 트랜지스터 표시판.

청구항 2.

제 1 항에 있어서,

상기 게이트 전극은 상기 드레인 전극의 하부 영역에 제 2 깊이를 갖는 제 2 홈을 구비하는 박막 트랜지스터 표시판.

청구항 3.

제 1 항에 있어서, 상기 제 1 홈 상부에는 상기 제 1 홈을 덮는 광차단막을 더 포함하는 박막 트랜지스터 표시판.

청구항 4.

제 3 항에 있어서,

상기 광차단막은 하나의 화소 영역 폭의 30~70%의 폭을 갖는 박막 트랜지스터 표시판.

청구항 5.

제 3 항에 있어서, 상기 광차단막은 전압이 인가되지 않는 플로팅 상태인 박막 트랜지스터 표시판.

청구항 6.

제 3 항에 있어서, 상기 광차단막은 소오스 및 드레인 전극과 동일한 물질로 형성된 박막 트랜지스터 표시판.

청구항 7.

제 2 항에 있어서,

상기 제 2 홈의 끝단은 상기 드레인 전극 하부에 형성되는 채널 영역의 끝단과 정렬되는 박막 트랜지스터 표시판.

청구항 8.

제 1 항에 있어서,

상기 제 1 깊이는 9~11 μm 인 박막 트랜지스터 표시판.

청구항 9.

제 2 항에 있어서,

상기 제 2 깊이는 3~5 μm 인 박막 트랜지스터 표시판.

청구항 10.

컬러 필터 기판;

제 1 항 내지 제 9 항 중 어느 한 항의 박막 트랜지스터 표시판; 및

상기 컬러 필터 기판과 상기 박막 트랜지스터 표시판 사이에 개재된 액정층;을 포함하는 액정표시장치.

청구항 11.

제 10 항에 있어서,

상기 액정의 유전율은 노멀리 화이트 모드에서 3~5인 액정표시장치.

청구항 12.

제 10 항에 있어서,

상기 액정의 유전율은 노멀리 블랙 모드에서 13~15인 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판 및 이를 포함하는 액정표시장치에 관한 것으로, 더욱 상세하게는, 개구율을 향상시켜 휘도를 증가시킬 수 있는 박막 트랜지스터 표시판 및 이를 포함하는 액정표시장치에 관한 것이다.

일반적으로, 액정표시장치는 전극이 형성되어 있는 상부 및 하부 기판과 그 사이에 주입되어 있는 액정 물질을 포함하며, 상부 및 하부 기판은 가장자리 둘레에 형성되어 있으며 액정 물질을 가두는 밀봉재로 결합되어 있으며, 상부 및 하부 기판 사이에 산포되어 있는 스페이서에 의해 지지되고 있다.

이러한 액정표시장치는 두 기판 사이에 주입되어 있는 유전율 이방성을 갖는 액정 물질에 전극을 이용하여 전계를 인가하고, 이 전계의 세기를 조절하여 투과되는 빛의 양을 조절함으로써 화상을 표시한다.

종래 액정표시장치의 액정 패널은 다수의 게이트 라인 및 데이터 라인에 연결되어 있는 다수의 화소들을 포함하며, 각 화소는 다수의 게이트 라인 및 데이터 라인에 연결된 박막 트랜지스터와 이에 연결된 스토리지 캐패시터(Cst)와 액정 캐패시터(Clc)를 포함한다. 여기에서, 스토리지 캐패시터는 박막 트랜지스터의 게이트 전극 형성시 함께 형성되는 스토리지 전극과 그 상부에 형성되는 게이트 절연막 및 화소 전극으로 이루어진다.

그러나, 박막 트랜지스터의 게이트 전극 형성시 스토리지 전극을 함께 형성해야 하므로, 게이트 배선의 임계치수(Critical Dimension : CD)가 증가되고, 액정표시장치의 개구율이 감소된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 개구율을 향상시켜 휘도를 증가시킬 수 있는 액정표시장치를 제공하는데 있다.

본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터 표시관은, 제 1 방향으로 연장되는 데이터선, 상기 데이터선에서 분지된 소오스 전극 및 상기 소오스 전극과 이격되어 형성된 드레인 전극을 포함하는 데이터 배선, 상기 데이터 배선 하부에 형성되고, 상기 소오스 및 드레인 전극의 하부에서 연결되어 채널 영역을 형성하는 반도체층 및 상기 반도체층 하부에 형성되고, 상기 데이터선과 교차하여 제 2 방향으로 연장되는 게이트선 및 상기 게이트선에서 분지된 게이트 전극을 포함하는 게이트 배선을 포함하고, 상기 게이트선은 제 1 깊이의 제 1 홈을 구비한다.

또한, 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정표시장치는 컬러 필터 기판, 제 1 항 내지 제 9 항 중 어느 한 항의 박막 트랜지스터 표시관 및 상기 컬러 필터 기판과 상기 박막 트랜지스터 표시관 사이에 개재된 액정층을 포함한다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있을 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것으로, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

도 1은 본 발명의 일 실시예에 따른 액정표시장치를 개략적으로 나타낸 구성도이다.

도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 액정표시장치는 액정 패널(110), 데이터 구동부(120), 게조 전압 생성부(125), 게이트 구동부(130), 게이트 신호 보정부(135) 및 신호 제어부(140) 등을 포함하여 구성된다.

액정 패널(110)은 다수의 게이트 라인(G1 내지 Gn)과 다수의 데이터 라인(D1 내지 Dm)에 연결되어 있는 다수의 화소들을 포함하며, 각 화소는 다수의 게이트 라인(G1 내지 Gn)과 다수의 데이터 라인(D1 내지 Dm)에 연결된 스위칭 소자(M)와 이에 연결된 액정 커패시터(Clc)를 포함한다. 본 발명에서는 액정 패널(110)의 개구율 증가를 위해 스토리지 커패시터(Cst)를 포함하지 않는다. 이에 대한 설명은 추후 자세히 설명하기로 한다. 이하, 박막 트랜지스터와 스위칭 소자는 동일한 의미로 사용되는 것으로 한다.

행 방향으로 형성되어 있는 다수의 게이트 라인(G1 내지 Gn)은 스위칭 소자(M)에 게이트 신호를 전달하며, 열 방향으로 형성되어 있는 다수의 데이터 라인(D1 내지 Dm)은 스위칭 소자(M)에 데이터 신호에 해당되는 게조 전압을 전달한다. 그리고 스위칭 소자(M)는 삼단자 소자로서, 제어 단자는 게이트 라인(G1 내지 Gn)에 연결되어 있고, 입력 단자는 데이터 라인(D1 내지 Dm)에 연결되어 있으며, 출력 단자는 액정 커패시터(Clc)의 한 단자에 연결되어 있다. 액정 커패시터(Clc)는 스위칭 소자(M)의 출력 단자와 공통 전극(도시하지 않음) 사이에 연결되어 있다.

게이트 구동부(130)는 다수의 게이트 라인(G1 내지 Gn)에 연결되어 있고, 스위칭 소자(M)를 활성화시키는 게이트 신호를 다수의 게이트 라인(G1 내지 Gn)으로 제공하며, 데이터 구동부(120)는 다수의 데이터 라인(D1 내지 Dm)에 연결되어 있다. 여기에서 스위칭 소자(M)는 모스 트랜지스터가 이용되며, 이러한 모스 트랜지스터는 폴리실리콘을 채널 영역으로 하는 박막 트랜지스터로 구현될 수 있다. 그리고 게이트 구동부(200)나 데이터 구동부(300)도 모스 트랜지스터로 구성된다.

일반적으로, 박막 트랜지스터가 형성되어 있는 기판에 대항하는 대항 기판에는 공통 전극과 컬러 필터가 형성되며, 두 기판 사이에 액정이 봉입됨으로써 액정 패널(110)이 구성된다.

여기에서, 도면에 도시되지 않았으나, 박막 트랜지스터는 게이트 전극, 소오스 전극, 드레인 전극, 반도체층 및 저항성 접촉층 등으로 구성되며, 드레인 전극이 화소 전극과 연결되어 단위 화소(P)를 이룬다. 그리고, 이러한 구조를 갖는 박막 트랜지스터는 게이트 라인을 통해 게이트 전극에 게이트 신호가 인가되면 데이터 라인에 인가된 데이터 신호가 저항성 접촉층 및 반도체층을 통해 소오스 전극에서 드레인 전극으로 전달됨으로써 동작한다.

즉, 소오스 전극에 데이터 신호가 인가되면, 소오스 전극과 연결된 화소 전극에 이와 대응되는 전압이 인가되는데, 이로 인해 화소 전극과 공통 전극 사이에 전압차가 발생한다. 그리고, 화소 전극과 공통 전극의 전압 차이로 인해 그 사이에 게재되어 있는 액정의 분자 배열이 변화되며, 액정의 분자 배열의 변화로 인해 화소의 광 투과량이 변하게 되어 각각의 화소별로 인가된 데이터 신호의 차에 따라 화소의 색상 차이가 발생된다. 이와 같은 색상의 차이를 이용하여 액정 표시 장치의 화면을 컨트롤할 수 있게 된다.

소오스 전극에 인가되는 데이터 신호는 데이터 구동부(120)로부터 제공되며, 게이트 전극에 인가되는 게이트 신호는 게이트 구동부(130)로부터 제공된다.

게이트 구동부(130)는 게이트 전극을 활성화(Von) 또는 비활성화(Voff) 시키는 게이트 신호를 다수의 게이트 라인에 순차적으로 제공한다. 그러면 데이터 구동부(120)는 게이트 신호가 인가되는 타이밍에 맞추어 데이터 신호에 해당하는 계조 전압을 다수의 데이터 라인에 제공한다. 데이터 구동부(120)와 게이트 구동부(130) 사이의 타이밍 동기화(synchronizing)는 신호 제어부(140) 등에 의해 수행된다.

이를 좀 더 자세히 살펴보면 다음과 같다.

신호 제어부(140)는 외부의 그래픽 제어기(도시되지 않음)로부터 RGB 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 메인 클럭(MCLK) 및 데이터 인에이블(enable) 신호(DE) 등을 제공받는다. 또한, 신호 제어부(140)는 입력 제어 신호를 기초로 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성하고, 영상 신호(R, G, B)를 액정 패널(110)의 동작 조건에 맞게 적절히 처리한다. 그 다음, 게이트 제어 신호(CONT1)는 게이트 구동부(130)에, 데이터 제어 신호(CONT2) 및 처리된 영상 신호(R, G, B)는 데이터 구동부(120)에 제공한다.

게이트 제어 신호(CONT1)는 게이트 온 펄스의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 펄스의 출력 시기를 제어하는 게이트 클럭 신호(CPV) 및 게이트 온 펄스의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함할 수 있다.

그리고 데이터 제어 신호(CONT2)는 영상 데이터(R', G', B')의 입력 시작을 지시하는 수평 동기 시작 신호(STH), 데이터 라인에 해당 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압(Vcom)에 대한 데이터 전압의 극성을 반전시키는 반전 신호(RVS) 및 데이터 클럭 신호(HCLK) 등을 포함할 수 있다.

계조 전압 생성부(125)는 화소의 투과율과 관련된 두 별의 복수 계조 전압을 생성하는데, 두 별 중 한 별은 공통 전압(Vcom)에 대해 양의 값을 가지고 다른 한 별은 음의 값을 가진다. 여기서, 공통 전압(Vcom)은 액정 패널(110)의 상부 기판 전면에 형성된 공통 전극에 인가되는 전압을 의미한다.

데이터 구동부(120)는 신호 제어부(140)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 화소에 대응하는 영상 데이터(R', G', B')를 차례로 입력받아 쉬프트 시키고, 계조 전압 생성부(125)로부터의 계조 전압 중 각 영상 데이터(R', G', B')에 대응하는 계조 전압을 선택함으로써 영상 데이터(R', G', B')를 해당 데이터 전압으로 변환시켜 이를 해당 데이터 라인에 인가하는 기능을 수행한다.

게이트 신호 보정부(135)는 주변 온도에 따른 게이트 온 전압(Von)과 게이트 오프 전압(Voff)을 생성하여 게이트 구동부(130)에 인가하는 기능을 수행한다. 이때, 게이트 신호 보정부(135)의 내부에는 적어도 3단의 차지 펌핑 과정에 의해 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)의 온도 변화에 따른 변동 값을 보상해주기 위한 온도 보상 회로(도시되지 않음)가 구비된다.

게이트 구동부(130)는 신호 제어부(140)로부터 전달된 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트 라인에 인가하여 해당 게이트 라인에 연결된 스위칭 소자(115)를 턴 온(turn on) 시킨다. 그러면, 앞서 설명된 데이터 전압이 턴 온된 스위칭 소자(115)를 통해 해당 화소에 인가된다.

공통 전압(Vcom)과 각각의 화소(P)에 인가된 데이터 전압의 차이는 액정 축전기(Clc)의 충전 전압, 즉 화소 전압으로서 나타나게 되며, 액정 분자들은 이러한 화소 전압의 크기에 따라 그 배열을 달리하게 되는데, 이에 의해 액정층을 통과하는 빛의 편광이 변화하게 된다. 그리고, 이와 같은 편광의 변화는 액정 패널(110)에 부착된 편광판(도시되지 않음)에 의해 빛의 투과율 변화로 나타나게 되어, 결국 원하는 영상 정보의 디스플레이를 가능하게 한다.

도 2는 본 발명의 일 실시예에 따른 제조 방법에 의해 제조된 박막 트랜지스터 표시판의 배치도이다. 도 3은 도 2의 II' - II''선에 대한 단면도이다. 도 4는 도 2의 A 부분을 확대한 도면이고, 도 5는 도 2의 B 부분을 확대한 도면이다.

도 2에 도시된 바와 같이, 절연 기판(10) 상에 가로 방향으로 게이트선(22)이 형성되어 있고, 게이트선(22)에는 돌기의 형태로 이루어진 게이트 전극(26)이 형성되어 있다. 그리고, 게이트선(22)의 끝에는 다른 층 또는 외부로부터 게이트 신호를 인가받아 게이트선(22)에 전달하는 게이트선 끝단(24)이 형성되어 있고, 게이트선 끝단(24)은 외부 회로와의 연결을 위하여 폭이 확장되어 있다. 이러한 게이트선(22), 게이트 전극(26), 게이트선 끝단(24)을 게이트 배선이라고 한다.

게이트 배선(22, 24, 26)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다.

또한, 게이트 배선(22, 24, 26)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 이중 한 도전막은 게이트 배선(22, 24, 26)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면, 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다.

이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(22, 24, 26)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.

본 발명에서는 도 1에서와 같이, 액정표시장치의 개구율을 증가시키고, 게이트 배선의 임계치수를 감소시키기 위해 박막 트랜지스터와 병렬로 연결되는 스토리지 전극(storage electrode)을 형성하지 않는다. 그러나, 스토리지 전극을 형성하지 않음으로 인해 박막 트랜지스터의 게이트와 소오스 전극 사이에 존재하는 기생 캐패시터 용량(Cgs)이 증가하여 이에 따라 킥백전압(kickback voltage)이 증가하게 된다. 이때, 킥백전압은 액정을 구동하기 위한 박막 트랜지스터의 게이트 전압(Vg)의 전위가 온 전압(Von)에서 오프 전압(Voff)으로 전환될 때 게조 전압(Vp)은 일정 전위만큼 감소하게 되는데, 이때에 감소되는 전위(Vkb)를 나타내며, 그 크기는 아래의 수학적 식 1과 같이 표현될 수 있다.

$$V_{kb} = \frac{C_{gs}}{C_{gs} + C_{lc} + C_{st}} \Delta(V_{on} - V_{off})$$

상기 수학적 식 1을 통해 알 수 있듯이 기생 캐패시터 용량(Cgs)을 줄여 킥백전압을 감소시킬 수 있다. 따라서, 본 발명에서는 도 4 및 도 5에 도시된 바와 같이, 게이트 배선의 게이트선(22)과 게이트 전극(26)에 제 1 깊이를 갖는 제 1 홈(22a)과 제 2 깊이를 갖는 제 2 홈(22b)이 형성되어 있다. 이때, 제 2 홈의 끝단(22b)은 드레인 전극(66) 하부에 형성되는 채널 영역의 끝단과 정렬되도록 형성되어 있다. 여기에서, 제 1 홈(22a)의 제 1 깊이는 9~11 μ m, 제 2 홈(22b)의 제 2 깊이는 3~5 μ m로 형성되어 있다.

제 1 홈(22a)에 의한 빛샘 현상이 발생하는 것을 방지하기 위해 게이트선(22)의 상부에는 제 1 홈(22a)을 덮는 광차단막(65)이 형성되어 있다. 상기 제 1 홈(22a)의 길이는 화소 영역 폭의 30~70%인 것이 바람직하다. 상기 광차단막(65)은 소오스 및 드레인 전극(64, 66)과 동일한 물질 및 두께로 형성되어 있으며, 빛샘 방지 역할만을 하기 때문에 섬 형태로 형성되고, 전압이 인가되지 않는 플로팅(floating) 상태를 갖는다.

게이트 배선(22, 24, 26) 상에는 게이트 절연막(30)이 형성되어 있다. 게이트 절연막(30) 상에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어진 반도체층(42)이 형성되어 있다. 이러한 반도체층(42)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 선형으로 형성될 수 있다. 이 때, 반도체층(42)은 데이터선(62) 아래에 위치하여 게이트 전극(26) 상부까지 연장된 형상을 가질 수 있다.

반도체층(42)의 위에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 섬형의 저항성 접촉층 및 선형의 저항성 접촉층이 형성되어 있다. 여기에서, 저항성 접촉층(52, 55)은 섬형 저항성 접촉층으로서, 드레인 전극(66) 및 소오스 전극(64) 아래에 위치한다. 선형의 저항성 접촉층의 경우, 데이터선(62)의 아래까지 연장되어 형성된다.

저항성 접촉층(52) 및 게이트 절연막(30) 상에는 데이터선(62) 및 드레인 전극(66)이 형성되어 있다. 데이터선(62)은 길게 뻗어 있으며 게이트선(22)과 교차하여 화소를 정의한다. 데이터선(62)으로부터 가지 형태로 저항성 접촉층(52)의 상부까지 연장되어 있는 소오스 전극(64)이 형성되어 있다. 그리고, 데이터선(62)의 끝에는 다른 층 또는 외부로부터 데이터 신호를 인가받아 데이터선(62)에 전달하는 데이터선 끝단(68)이 형성되어 있고, 데이터선 끝단(68)은 외부 회로와의 연결을 위하여 폭이 확장되어 있다. 드레인 전극(66)은 소오스 전극(64)과 분리되어 있으며 게이트 전극(26)에 대하여 소오스 전극(64)의 반대쪽 저항성 접촉층(52) 상부에 위치한다. 이러한 데이터선(62), 데이터선 끝단(68), 소오스 전극(64)을 데이터 배선이라고 한다.

여기서, 데이터선(62)은 화소의 길이를 주기로 하여 반복적으로 형성되어 있다. 데이터선(62)의 세로로 뻗은 부분에는 소오스 전극(64)이 연결되어 있고, 이 부분이 게이트선(22)과 교차한다.

데이터선(62), 소오스 및 드레인 전극(64, 66)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.

소오스 전극(64)은 반도체층(42)과 적어도 일부분이 중첩되고, 드레인 전극(66)은 게이트 전극(26)을 중심으로 소오스 전극(64)과 대향하며 반도체층(42)과 적어도 일부분이 중첩된다. 여기에서, 저항성 접촉층(52)은 그 하부의 반도체층(42)과, 그 상부의 소오스 전극(64) 및 드레인 전극(66) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.

드레인 전극(66)은 반도체층(42)과 중첩되는 막대형 끝 부분과 이로부터 연장되어 넓은 면적의 드레인 전극 확장부(67)를 가진다.

데이터선(62), 드레인 전극(66) 및 노출된 반도체층(42) 위에는 보호막(69)이 형성되어 있다. 여기서 보호막은 질화규소 또는 산화규소로 이루어진 무기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다.

보호막(69) 위에는 감광성의 R, G, B 컬러 수지로 이루어진 컬러 필터층(70)이 형성되어 있다. 컬러 필터층(70)에는 드레인 전극 확장부(67) 및 데이터선 끝단(68)을 각각 드러내는 접촉 구멍(contact hole)(82, 88)이 형성되어 있다. 컬러 필터층(70)과 게이트 절연막(30)에는 게이트선 끝단(24)을 드러내는 접촉 구멍(84)이 형성되어 있으며, 접촉 구멍(82)을 통하여 드레인 전극(66)과 전기적으로 연결되는 화소 전극(92)이 형성되어 있다. 이때, 화소 전극(92)의 경계선은 데이터선(62)의 상부에 위치할 수 있다.

화소 전극(92)은 접촉 구멍(82)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 드레인 전극(66)으로부터 데이터 전압을 인가받는다.

데이터 전압이 인가된 화소 전극(92)은 공통 전압을 인가받는 상부 표시판(미도시)의 공통 전극(미도시)과 함께 전기장을 생성함으로써 화소 전극(82)과 공통 전극 사이의 액정층의 액정 분자들의 배열을 결정한다.

또한, 컬러 필터층(70) 상에는 접촉 구멍(84, 88)을 통하여 각각 게이트선 끝단(24)과 데이터선 끝단(68)과 연결되어 있는 보조 게이트선(94) 및 보조 데이터선 끝단(98)이 형성되어 있다. 여기에서, 화소 전극(92)과 보조 게이트선(94) 및 보조 데이터선 끝단(98)은 ITO 또는 IZO 따위의 투명 도전체 또는 알루미늄 따위의 반사성 도전체로 이루어진다. 보조 게이트선(94) 및 보조 데이터선 끝단(98)은 게이트선 끝단(24) 및 데이터선 끝단(68)과 구동 직접 회로와 같은 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 하는 것으로 필수적인 것을 아니며, 이들의 적용 여부는 선택적이다.

화소 전극(92), 보조 게이트선 및 데이터선 끝단(94, 98) 및 컬러 필터층(70) 상에는 액정층(미도시)을 배향할 수 있는 배향막(미도시)이 도포될 수 있다.

여기에서, 수확식 1에서와 같이, 킥백전압을 감소시키기 위해 유전율이 높은 액정을 사용할 수 있다. 예를 들면, 노멀리 화이트 모드에서 3~5의 유전율을 갖는 액정을 사용할 수 있으며, 노멀리 블랙 모드에서 13~15의 높은 유전율을 갖는 액정을 사용할 수 있다.

상기와 같이, 하나의 기관 상에 박막 트랜지스터와 컬러 필터가 함께 형성된 구조를 갖는 액정표시장치를 COA(Color Filter On Array) 구조의 액정표시장치라고 한다. 이 구조는 박막 트랜지스터와 컬러필터의 어셈블리 미스(Assembly Miss)에 따른 액정표시장치의 영향을 감소시킬 수 있다.

여기에서, 도면에 도시하지 않았으나, 박막 트랜지스터 표시판에 대응하는 상부 기관 상에 투명한 물질로 공통 전극(미도시)을 형성하고, 그 상부에 컬러 필터층을 제외한 블랙 매트릭스 패턴만을 형성하거나 또는 블랙 매트릭스 패턴을 형성하지 않음으로써 고개구율을 갖는 액정표시장치를 형성할 수 있다. 한편, 블랙 매트릭스 패턴은 컬러 필터층과 같이 박막 트랜지스터 표시판에 형성하여 상부 기관에 공통 전극만을 형성할 수도 있다.

계속해서, 본 발명의 일 실시예에 따른 액정표시장치용 박막 트랜지스터 표시판의 제조방법에 대해 상세하게 설명한다.

도 6a, 도 9a 및 도 11a는 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 제조 방법을 순차적으로 나타낸 배치도들이다. 도 6b 내지 도 8은 도 6a의 II' - II''선을 따라 절단한 공정 단계별 단면도들이고, 도 9b 내지 도 10은 도 8a의 II' - II''선을 따라 절단한 공정 단계별 단면도들이고, 도 11b 내지 도 12는 도 11a의 II' - II''선을 따라 절단한 공정 단계별 단면도들이다.

도 6a 및 도 6b에 도시한 바와 같이, 절연 기관(10) 상에 이물질이나 유기성 물질의 제거와 증착될 게이트 물질의 금속 박막과 기관(10)의 접촉성(adhesion)을 좋게 하기 위하여 세정을 실시한 후, 스퍼터링을 통해 게이트 배선용 금속막을 형성한다. 이때, 게이트 배선용 금속막은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 등으로 형성할 수 있다.

또한, 게이트 배선용 금속막은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조로 형성될 수 있으며, 이중 한 도전막은 게이트 배선의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면, 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 형성할 수 있다.

이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 형성할 수 있다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(22, 24, 26)은 다양한 여러 가지 금속과 도전체로 형성될 수 있다.

이어서, 상기 게이트 배선용 금속막을 감광막 패턴(미도시)을 형성하고, 상기 감광막 패턴을 식각 마스크로 하여 게이트 배선(22, 24, 26)을 형성한다. 여기에서, 도면부호 22는 게이트선, 24는 게이트 끝단, 26은 게이트 전극을 나타낸다. 이때, 게이트 배선 형성시 게이트선(22)과 게이트 전극(26)에는 소정의 깊이를 갖는 제 1 홈(22a)과 제 2 깊이를 갖는 제 2 홈(22b)을 형성한다. 여기에서, 제 2 홈의 끝단(22b)은 상기 드레인 전극(66) 하부에 형성되는 채널 영역의 끝단과 정렬되도록 형성한다. 제 1 홈(22a)의 제 1 깊이는 9~11 μ m, 제 2 홈(22b)의 제 2 깊이는 3~5 μ m로 형성한다.

그 다음, 도 7에 도시된 바와 같이, 상기 게이트 배선(22, 24, 26)을 포함한 기관 결과물 상에 게이트 절연막(30), 비정질 실리콘층(a-Si:H, 40)과 N형 불순물이 함유된 비정질 실리콘층(a-Si:H, 50)을 PECVD 방식을 사용하여 연속적으로 증착

한다. 여기에서, 상기 게이트 절연막(30)은 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiO₂) 등으로 형성한다. 이때, 상기 불순물이 함유된 비정질 실리콘층(50)은 추후 형성될 데이터 배선용 금속막과 비정질 실리콘층(40)과의 접촉저항을 줄이기 위해서 형성한다.

이어서, 상기 불순물이 함유된 비정질 실리콘층(50) 상에 데이터 배선용 금속막(60)을 증착한 후, 데이터 배선용 금속막(60) 상에 감광막(110)을 도포한다. 여기에서, 상기 데이터 배선용 금속막(60)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 형성하는 것이 바람직하며, 내화성 금속 등의 하부막(미도시)과 그 상부에 위치한 저항 물질 상부막(미도시)으로 이루어진 다층막 구조로 형성될 수 있다. 이때, 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막으로 형성할 수 있다.

그 다음, 도 8에 도시된 바와 같이, 마스크를 통하여 감광막에 빛을 조사한 후 현상하여 감광막 패턴(112, 114)을 형성한다.

이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부, 즉 소오스 전극(64)과 드레인 전극(66) 사이에 위치한 제 1 부분(114)은 데이터 배선부, 즉 데이터 배선이 형성될 부분에 위치한 제 2 부분(112)보다 두께가 작게 되도록 형성하며, 채널부와 데이터 배선부 및 게이트선의 일부를 제외한 기타 부분의 감광막은 모두 제거한다. 이때, 채널부에 남아 있는 감광막(112)의 두께와 데이터 배선부에 남아 있는 감광막(114)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제 1 부분(114)의 두께를 제 2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000Å 이하인 것이 좋다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

이때, 슬릿 사이에 위치한 패턴의 선폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되지만, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

이러한 얇은 두께의 감광막(114)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우 시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

이어서, 도 9a 및 도 9b에 도시된 바와 같이, 채널부와 데이터 배선부 및 게이트선의 일부분을 제외한 기타 부분의 노출된 데이터 배선용 금속막(60), 불순물이 함유된 비정질 실리콘층(50) 및 그 하부의 비정질 실리콘층(40)을 감광막의 제 1 부분(114)과 함께 동시에 제거한다. 이때의 식각은 감광막 패턴(112, 114)과 불순물이 함유된 비정질 실리콘층(50) 및 비정질 실리콘층(40)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 비정질 실리콘층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF₆과 HCl의 혼합 기체나, SF₆과 O₂의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 비정질 실리콘층(40)에 대한 식각비가 동일한 경우 제 1 부분(114)의 두께는 비정질 실리콘층(40)과 불순물이 함유된 비정질 실리콘층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다. 이렇게 하면, 도 9에 도시된 바와 같이, 채널부의 제 1 부분(114)이 제거되어 데이터 배선용 금속막(60)이 드러나고, 기타 부분의 불순물이 함유된 비정질 실리콘층(50) 및 비정질 실리콘층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부의 제 2 부분(112) 역시 식각되므로 두께가 얇아진다.

그 다음, 채널부의 데이터 배선용 금속막(60) 표면에 잔류된 감광막을 애싱(ashing)을 통하여 제거한다.

도 9b에 도시된 바와 같이, 데이터 배선용 금속막(60)을 식각하여 제거한 후, 불순물이 함유된 비정질 실리콘층(50)을 식각한다. 이때 건식 식각이 사용될 수 있다. 식각 기체의 예로는 CF_4 와 HCl 의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 들 수 있으며, CF_4 와 O_2 를 사용하면 균일한 두께로 비정질 실리콘층으로 이루어진 반도체층(42)을 남길 수 있다. 이때, 반도체층(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제 2 부분(112)도 어느 정도의 두께로 식각될 수 있다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제 2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 67, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

이렇게 하면, 소오스 전극(64)과 드레인 전극(66)이 분리되면서 데이터 배선과 그 하부의 저항성 접촉층(52, 55)이 완성된다. 이때, 소오스 및 드레인 전극(64, 66)을 포함하는 데이터 배선 형성시 게이트선(22)의 제 1 홈(22a)의 상부에는 광차단막(65)이 형성된다. 광차단막(65)은 소오스 및 드레인 전극(64, 66)과 동일한 물질 및 두께로 형성되고, 게이트선(22)에 형성된 제 1 홈(22a)의 빛샘 방지 역할을 하기 때문에 섬 형태로 형성되며, 전압이 인가되지 않는 플로팅(floating) 상태를 갖는다.

이어서, 데이터 배선부에 남아 있는 감광막 제 2 부분(112)을 제거한다.

그 다음, 도 10에 도시된 바와 같이 기판 결과물 상에 보호막(69)을 형성한다. 여기서 보호막은 질화규소 또는 산화규소로 이루어진 무기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 형성한다.

보호막(69) 상에는 감광성의 R, G, B 컬러 수지로 이루어진 컬러 필터층(70)을 형성한다. 이때, 컬러필터를 형성하는 방법은 박막 트랜지스터가 형성된 기판 상부에 사진 식각(Photolithography) 공정을 이용하여 R, G, B로 이루어지는 컬러필터를 형성할 수 있으며, 컬러필터의 R, G, B에 대응되는 위치에 염료타입의 컬러 레진 잉크를 사용하여 기판 상에 디스펜싱(Dispensing)시켜서 형성할 수 있다. 또한, 박막 트랜지스터가 형성된 기판 상부에 스크린 프린팅(Screen Printing) 방식으로 R, G, B를 프린팅하여 형성할 수 있다.

이어서, 도 11a 및 11b에 도시된 바와 같이, 컬러 필터층(70)을 게이트 절연막(30)과 함께 사진 식각하여 드레인 전극 확장부(67), 게이트 끝단(24), 및 데이터 끝단(68)을 각각 드러내는 콘택홀(82, 84, 88)을 형성한다.

마지막으로, 도 12에 도시한 바와 같이, 400Å 내지 500Å 두께의 ITO층을 증착하고 사진 식각하여 드레인 전극 확장부(67)와 연결된 화소 전극(92), 게이트 끝단(24)과 연결된 보조 게이트 끝단(94) 및 데이터 끝단(68)과 연결된 보조 데이터 끝단(98)을 형성한다.

한편, ITO를 적층하기 전의 예열(pre-heating) 공정에서 사용하는 기체로는 질소를 사용하는 것이 바람직하며, 이는 콘택홀(82, 84, 88)을 통해 드러난 금속막(24, 67, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위함이다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해되어야만 한다.

발명의 효과

상기한 바와 같은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판 및 이를 포함하는 액정표시장치는 박막 트랜지스터와 병렬로 연결되는 스토리지 캐패시터를 형성하지 않음으로써 게이트 배선의 임계치수를 감소시킬 수 있으며, 액정표시장치의 개구율을 향상시켜 휘도를 증가시킬 수 있다.

또한, 게이트 배선의 게이트 선과 게이트 전극에 각각 홈을 형성함으로써 게이트와 소오스 전극 사이에 존재하는 기생 캐패시터 용량을 감소시킴으로써 스토리지 캐패시터를 형성하지 않음으로 인해 증가하는 킥백전압의 양을 감소시킬 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정표시장치를 개략적으로 나타낸 구성도이다.

도 2는 본 발명의 일 실시예에 따른 제조 방법에 의해 제조된 박막 트랜지스터 표시판의 배치도이다.

도 3은 도 2의 II' - II''선에 대한 단면도이다.

도 4는 도 2의 A 부분을 확대한 도면이다.

도 5는 도 2의 B 부분을 확대한 도면이다.

도 6a, 도 9a 및 도 11a는 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 제조 방법을 순차적으로 나타낸 배치도들이다.

도 6b 내지 도 8은 도 6a의 II' - II''선을 따라 절단한 공정 단계별 단면도들이다.

도 9b 내지 도 10은 도 8a의 II' - II''선을 따라 절단한 공정 단계별 단면도들이다.

도 11b 내지 도 12는 도 11a의 II' - II''선을 따라 절단한 공정 단계별 단면도들이다.

<도면의 주요부분에 대한 부호의 설명>

110 : 액정 패널 120 : 데이터 구동부

125 : 게조 전압 생성부 130 : 게이트 구동부

135 : 게이트 신호 보정부 140 : 신호 제어부

22 : 게이트선 24 : 게이트선 끝단

26 : 게이트 전극 42 : 반도체층

52 : 저항성 접촉층 62 : 데이터선

64 : 소오스 전극 65 : 광차단막

66 : 드레인 전극 67 : 드레인 확장부

68 : 데이터선 끝단 69 : 보호막

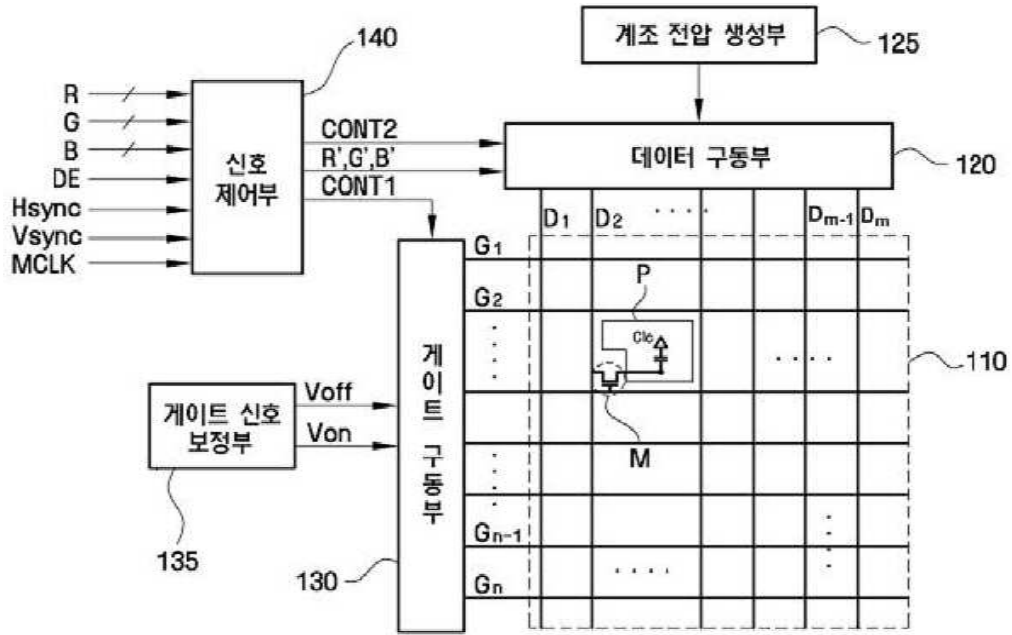
70 : 컬러 필터층 82, 84, 88 : 접촉 구멍

92 : 화소 전극 94 : 보조 게이트선 끝단

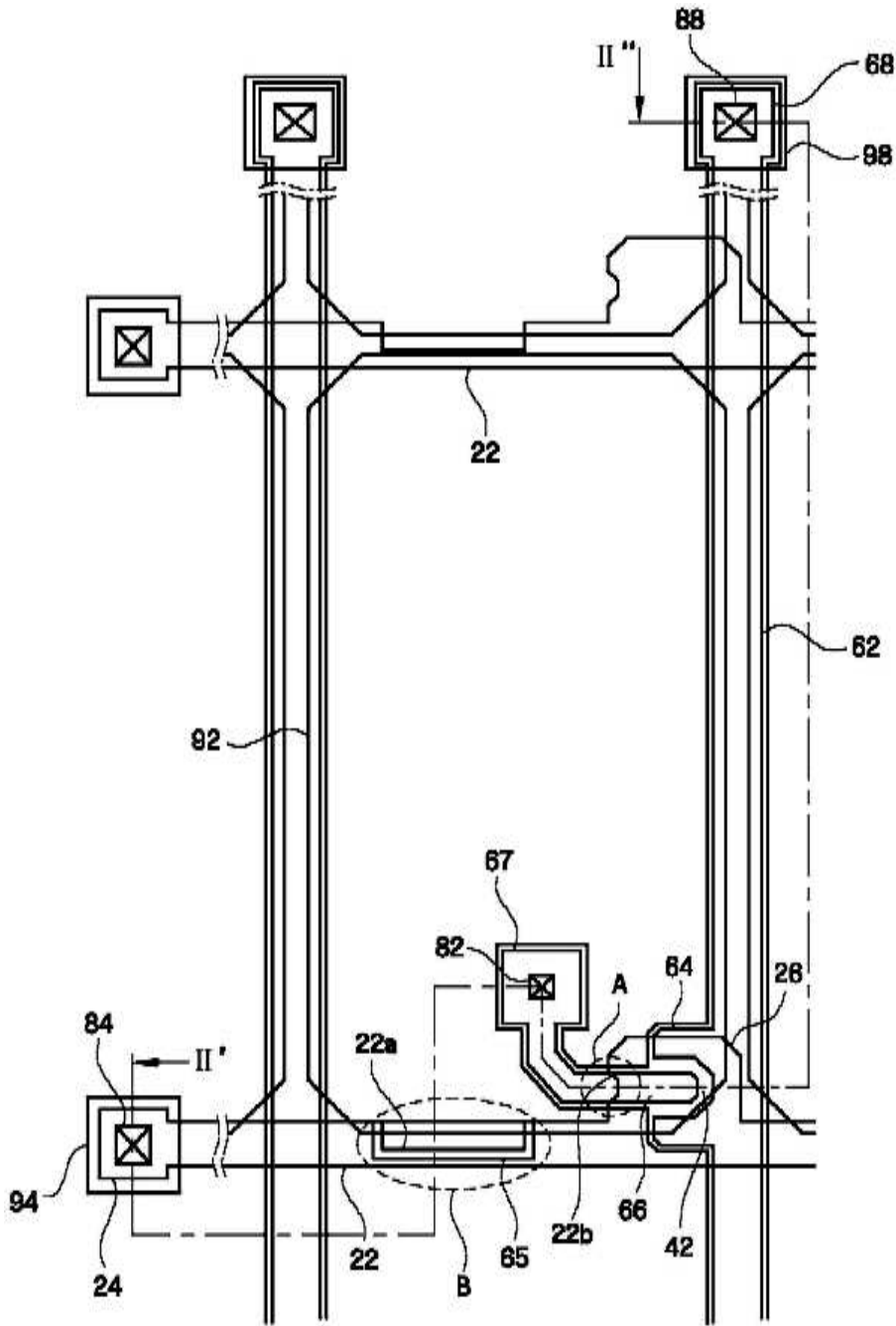
98 : 보조 데이터선 끝단

도면

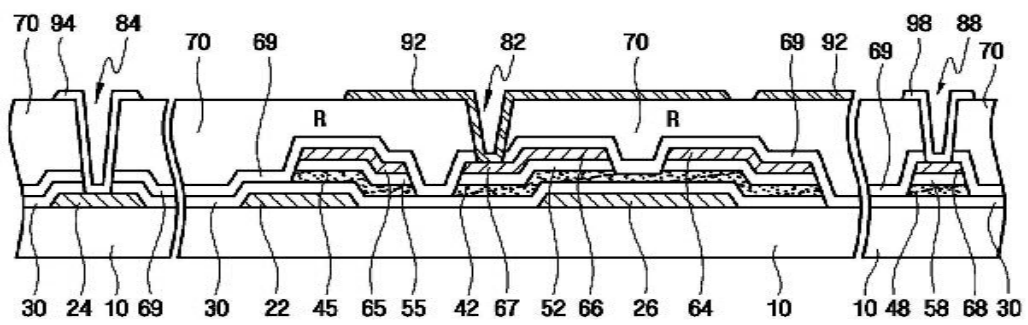
도면1



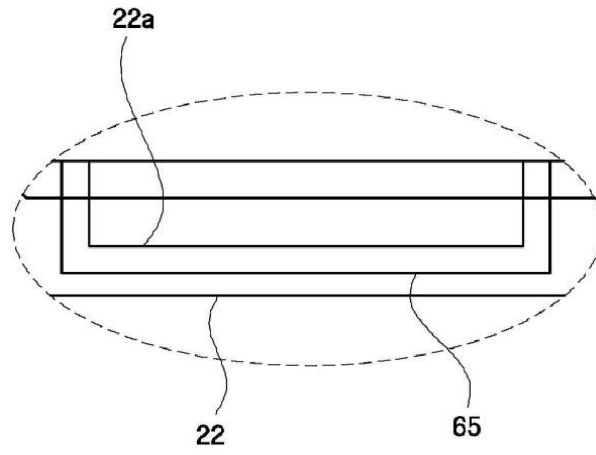
도면2



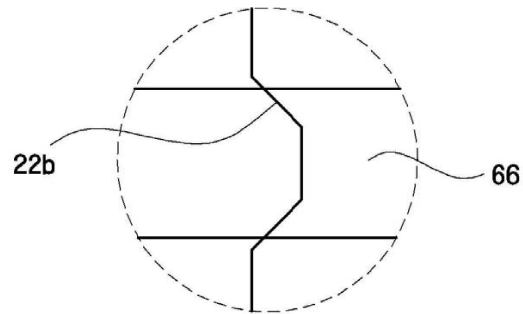
도면3



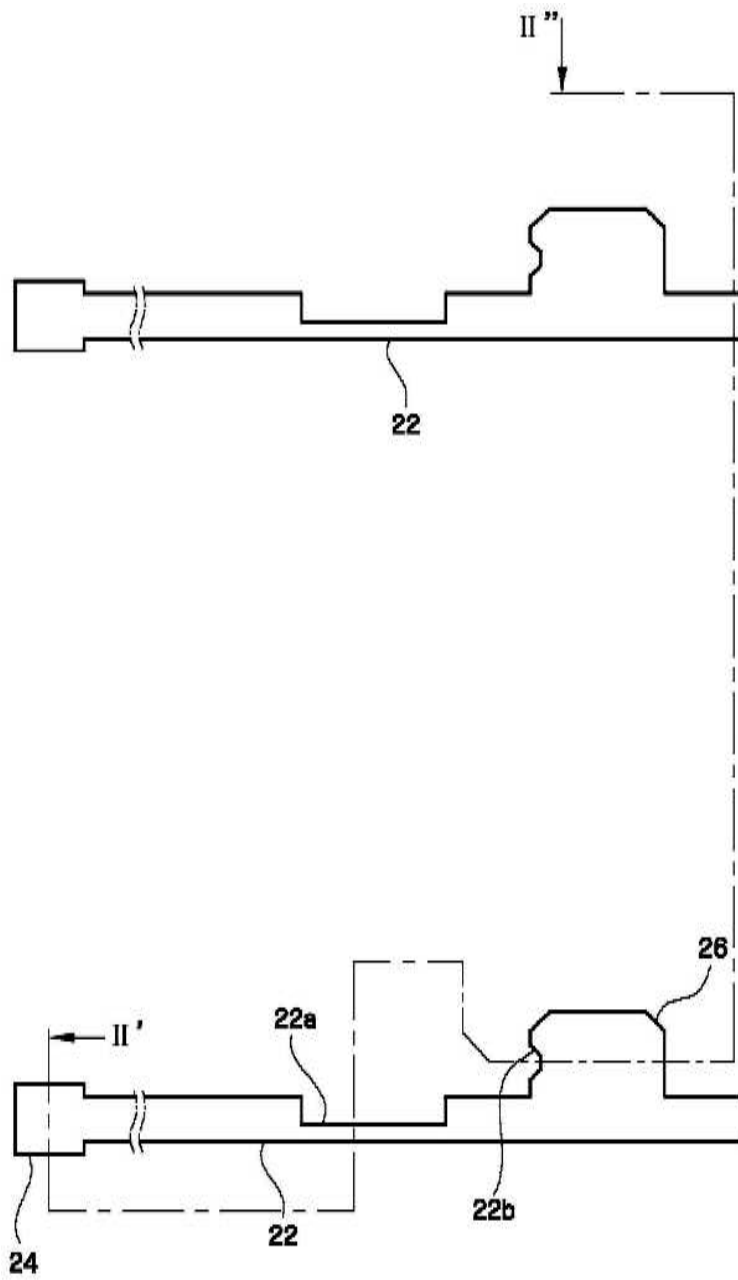
도면4



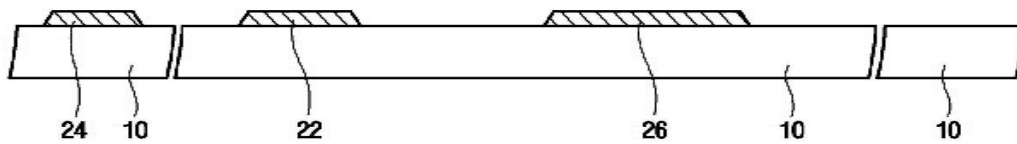
도면5



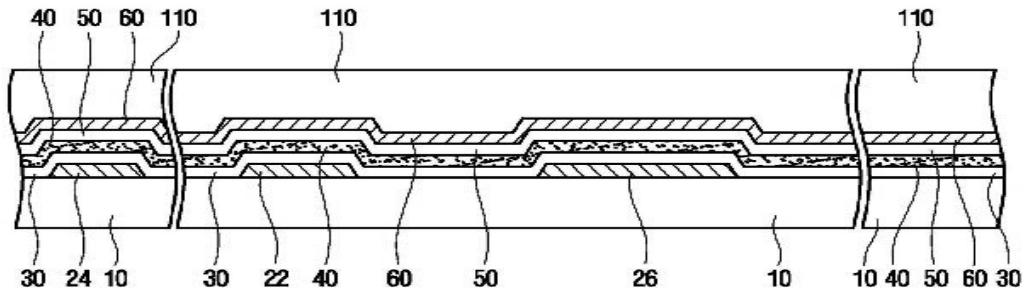
도면6a



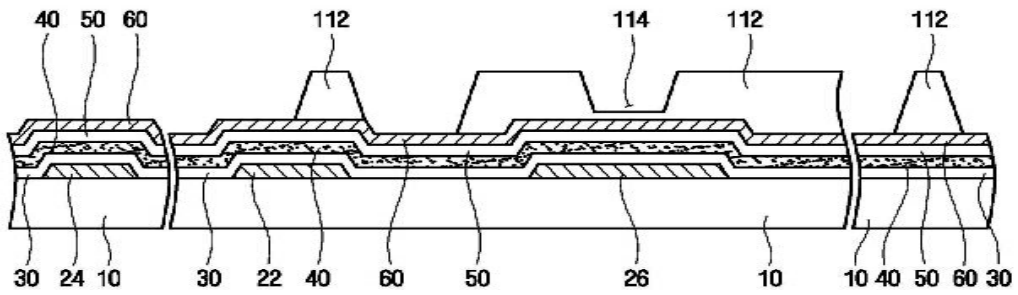
도면6b



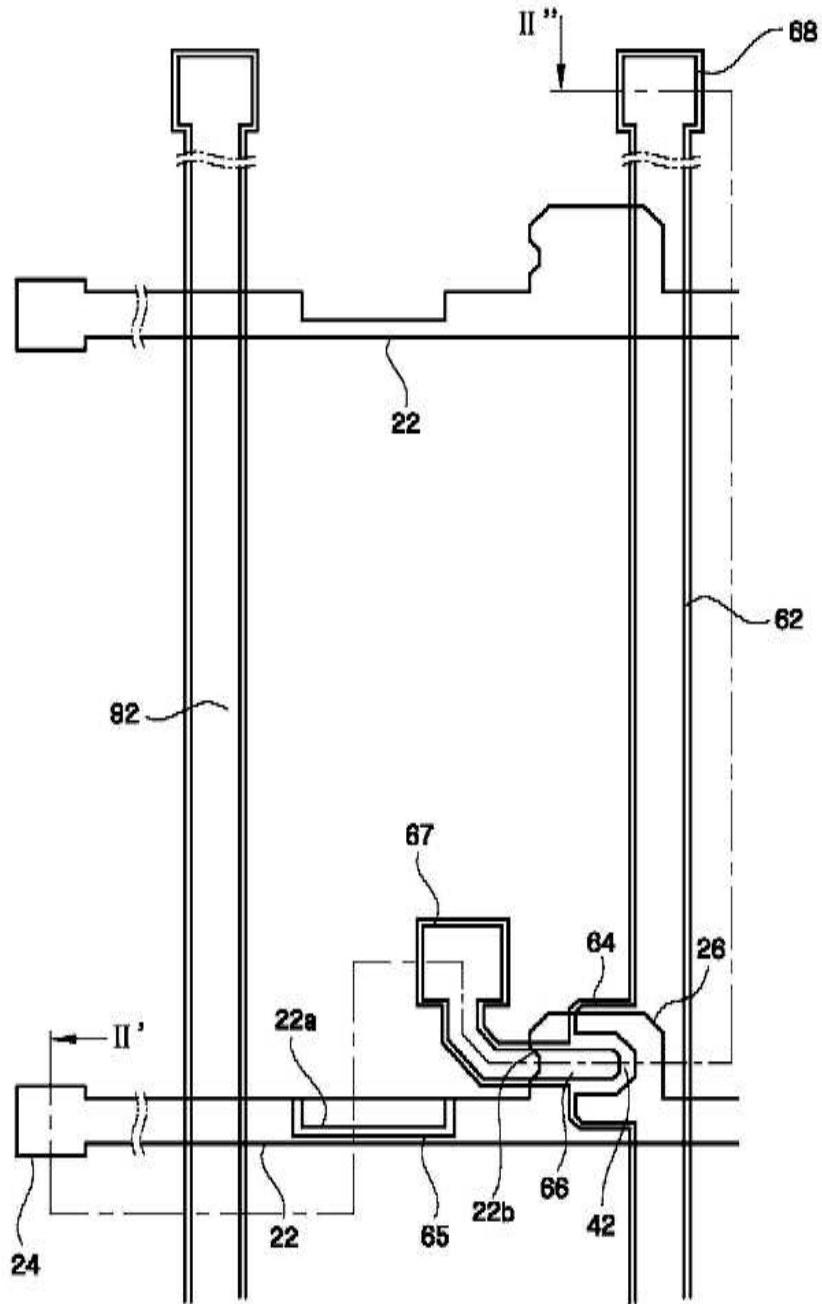
도면7



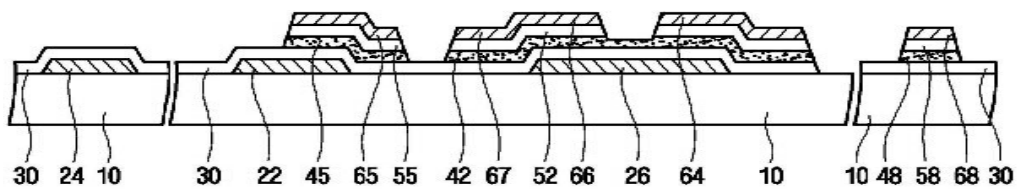
도면8



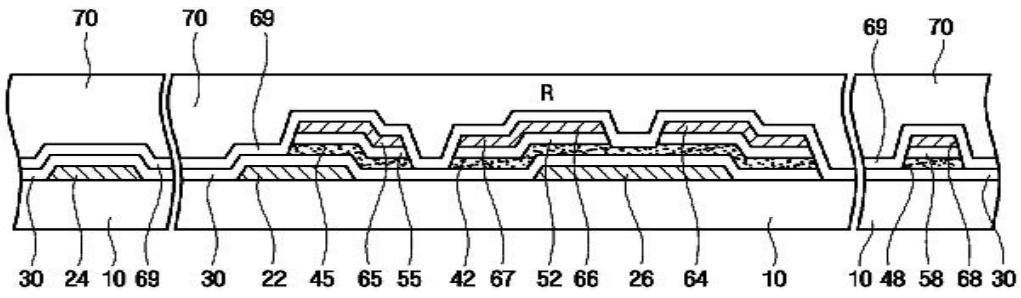
도면9a



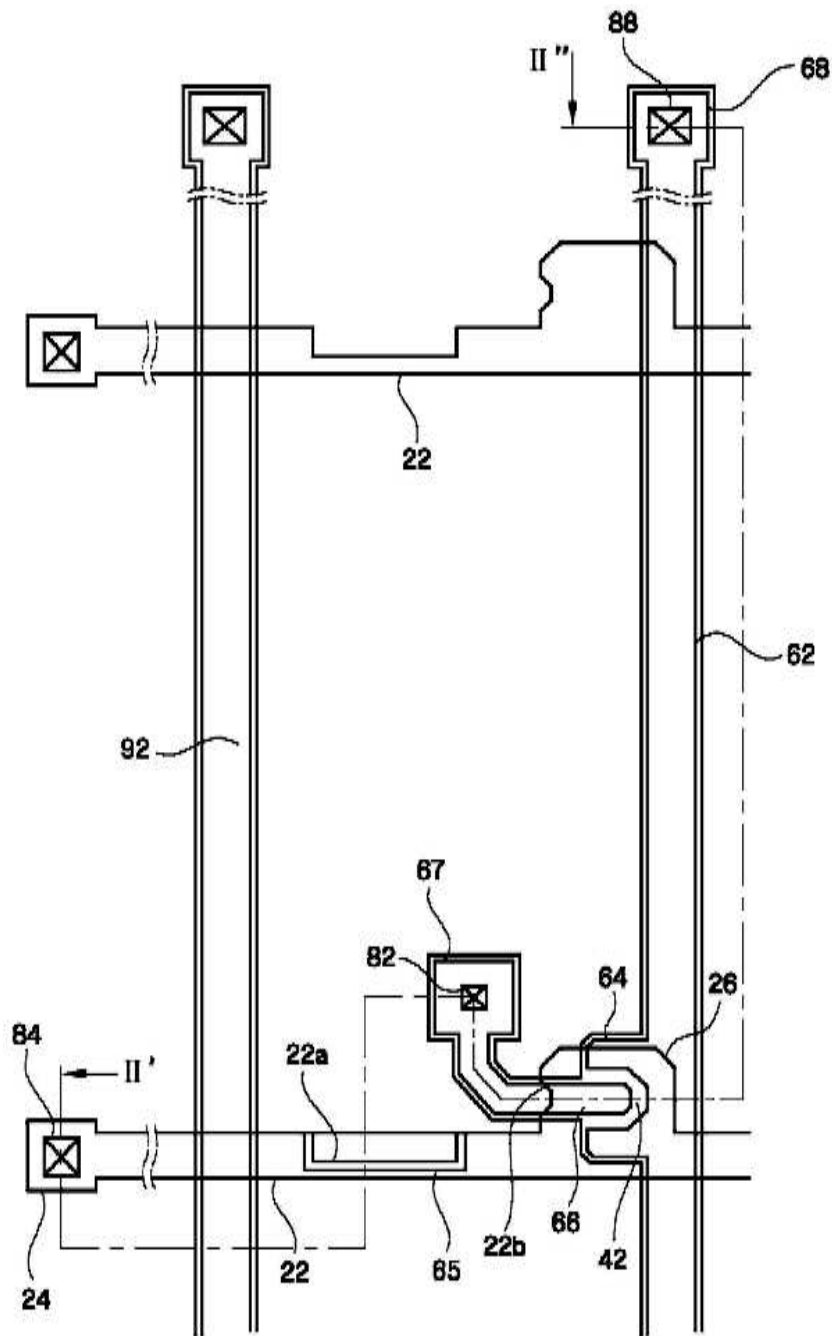
도면9b



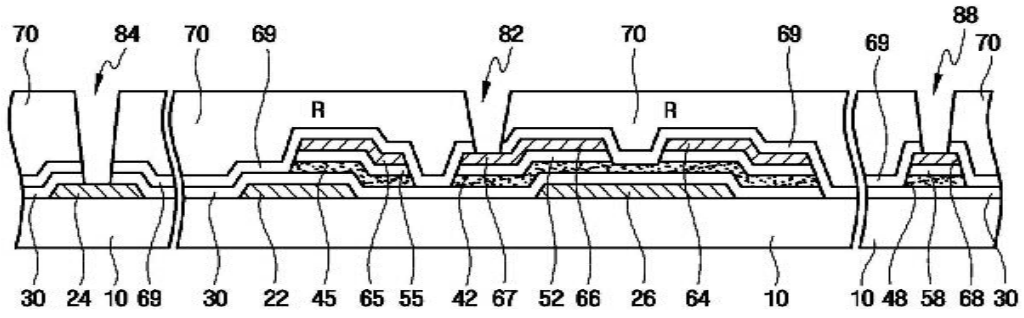
도면10



도면11a



도면11b



도면12

