



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I734214 B

(45) 公告日：中華民國 110 (2021) 年 07 月 21 日

(21) 申請案號：108136372 (22) 申請日：中華民國 108 (2019) 年 10 月 08 日
 (51) Int. Cl. : *H01L27/108 (2006.01)* *G11C11/409 (2006.01)*
 (30) 優先權：2018/10/09 美國 62/743,059
 (71) 申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
 美國
 (72) 發明人：卡爾達 科莫 M KARDA, KAMAL M. (IN)；普拉爾 克拉克 D PRALL, KIRK
 D. (US)；劉海濤 LIU, HAITAO (CN)；拉瑪斯瓦米 杜拉 維斯哈克 尼爾摩
 RAMASWAMY, DURAI VISHAK NIRMAL (US)
 (74) 代理人：陳長文
 (56) 參考文獻：
 TW 201601317A TW 201727831A
 US 2011/0068418A1 US 2011/0298553A1
 審查人員：陳恩筌
 申請專利範圍項數：25 項 圖式數：8 共 38 頁

(54) 名稱

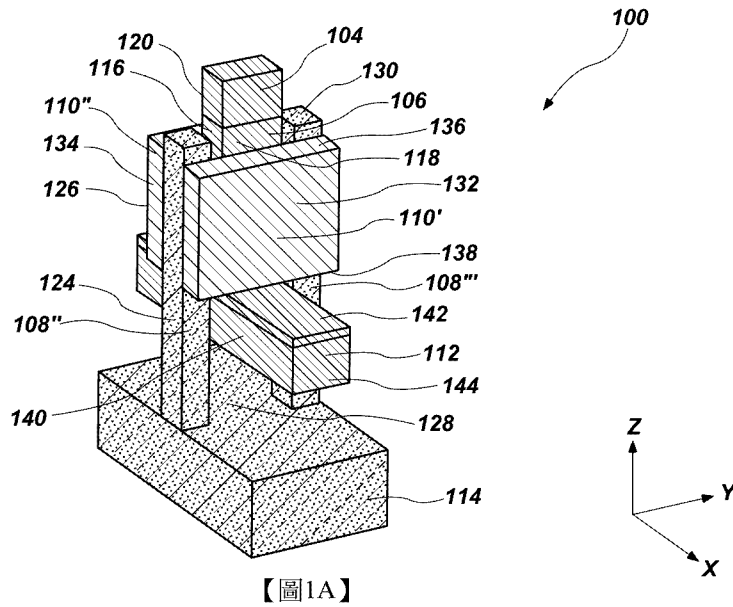
包含具有增加臨限電壓之電晶體的半導體裝置及其相關方法與系統

(57) 摘要

本發明揭示一種包含臨限電壓控制閘極之電晶體。該電晶體亦包含：主動控制閘極，其等鄰近一通道區域之相對第一側；該等臨限電壓控制閘極，其等鄰近該通道區域之相對第二側；及一介電區域，其介於該等臨限電壓控制閘極與該通道區域之間且介於該等主動控制閘極與該通道區域之間。亦揭示一種包含包括該電晶體之記憶體胞元之半導體裝置，同樣地，揭示包含該等記憶體胞元之系統、形成該半導體裝置之方法及操作一半導體裝置之方法。

A transistor comprising threshold voltage control gates. The transistor also comprises active control gates adjacent opposing first sides of a channel region, the threshold voltage control gates adjacent opposing second sides of the channel region, and a dielectric region between the threshold voltage control gates and the channel region and between the active control gates and the channel region. A semiconductor device comprising memory cells comprising the transistor is also disclosed, as are systems comprising the memory cells, methods of forming the semiconductor device, and methods of operating a semiconductor device.

指定代表圖：



符號簡單說明：

100:垂直薄膜電晶體
(垂直 TFT)

104:汲極區域

106:通道區域

108'':第一臨限電壓控制閘極

108''':第二臨限電壓控制閘極

110':第一主動控制閘極

110'':第二主動控制閘極

112:數位線

114:源極

116:側壁

118:前表面

120:後表面

124:外側壁

126:外側壁

128:內側壁

130:上表面

132:前表面

134:後表面

136:上表面

138:表面

140:側壁

142:上表面

144:表面



I734214

【發明摘要】

【中文發明名稱】

包含具有增加臨限電壓之電晶體的半導體裝置及其相關方法與系統

【英文發明名稱】

SEMICONDUCTOR DEVICES COMPRISING TRANSISTORS
HAVING INCREASED THRESHOLD VOLTAGE AND RELATED
METHODS AND SYSTEMS

【中文】

本發明揭示一種包含臨限電壓控制閘極之電晶體。該電晶體亦包含：主動控制閘極，其等鄰近一通道區域之相對第一側；該等臨限電壓控制閘極，其等鄰近該通道區域之相對第二側；及一介電區域，其介於該等臨限電壓控制閘極與該通道區域之間且介於該等主動控制閘極與該通道區域之間。亦揭示一種包含包括該電晶體之記憶體胞元之半導體裝置，同樣地，揭示包含該等記憶體胞元之系統、形成該半導體裝置之方法及操作一半導體裝置之方法。

【英文】

A transistor comprising threshold voltage control gates. The transistor also comprises active control gates adjacent opposing first sides of a channel region, the threshold voltage control gates adjacent opposing second sides of the channel region, and a dielectric region between the threshold voltage control gates and the channel region and between the active control gates and the channel region. A semiconductor device comprising memory cells comprising the transistor

is also disclosed, as are systems comprising the memory cells, methods of forming the semiconductor device, and methods of operating a semiconductor device.

【指定代表圖】

圖1A

【代表圖之符號簡單說明】

100	垂直薄膜電晶體(垂直TFT)
104	汲極區域
106	通道區域
108"	第一臨限電壓控制閘極
108'''	第二臨限電壓控制閘極
110'	第一主動控制閘極
110"	第二主動控制閘極
112	數位線
114	源極
116	側壁
118	前表面
120	後表面
124	外側壁
126	外側壁
128	內側壁
130	上表面
132	前表面

134	後表面
136	上表面
138	表面
140	側壁
142	上表面
144	表面

【發明說明書】

【中文發明名稱】

包含具有增加臨限電壓之電晶體的半導體裝置及其相關方法與系統

【英文發明名稱】

SEMICONDUCTOR DEVICES COMPRISING TRANSISTORS
HAVING INCREASED THRESHOLD VOLTAGE AND RELATED
METHODS AND SYSTEMS

【技術領域】

【0001】 本文中所揭示之實施例係關於半導體裝置(諸如電晶體)及該等半導體裝置之製造。更特定言之，本發明之實施例係關於電晶體、包括該等電晶體且具有一經改良臨限電壓(V_t)之半導體裝置、併入有此等半導體裝置之系統、形成該等半導體裝置之方法及控制該等半導體裝置之 V_t 之方法。

【先前技術】

【0002】 電晶體係用於各種半導體裝置中。電晶體可包括介於一對源極/汲極區域與一或多個閘極之間的一通道區域，該一或多個閘極經組態以透過該通道區域使該等源極/汲極區域彼此電連接。一閘極介電材料使該等閘極與該通道區域分離。通道區域通常由一均勻半導體材料(諸如矽)形成。然而，亦已使用具有高電子遷移率及高帶隙之其他材料，諸如多晶矽或非晶氧化物半導體材料。

【0003】 揮發性記憶體胞元(諸如動態隨機存取記憶體(DRAM)胞元)中所使用之電晶體可耦合至一儲存元件。例如，該儲存元件可包括一電容器(例如，有時被稱為一「胞元電容器」或一「儲存電容器」)，該電

容器經組態以儲存藉由該電容器中之儲存電荷定義之一邏輯狀態(例如，0或1之二進制值)。為對電容器充電、放電、讀取電容器或對電容器再充電，將電晶體選擇性地轉變至一「接通」狀態，其中電流(被稱為 I_{on})透過電晶體之通道區域在源極區域與汲極區域之間流動。藉由施加高於電晶體之臨限電壓(V_t)之一閘極電壓而選擇性地接通電晶體，該閘極電壓係在源極區域與汲極區域之間建立一導電路徑/通道所需之最小閘極至源極電壓。將電晶體選擇性地轉變至一「關斷」狀態，其中藉由施加低於電晶體之 V_t 之一閘極電壓而實質上停止電流(被稱為 I_{off})之流動。理想地，在關斷狀態中，電容器將保持其電荷不變。然而，習知揮發性記憶體胞元之電容器隨時間經歷電流之放電。因此，即使在「關斷」狀態中，一習知揮發性記憶體胞元仍將常常經歷來自電容器之一些電流流動。

【0004】 理想地，電晶體展現高 V_t 、低 I_{off} 及高 I_{on} 。各種參數影響此等電特性，諸如用於源極區域、汲極區域、通道區域、閘極介電質等之材料；閘極介電材料之厚度；源極區域、汲極區域及通道區域之組態；閘極之功函數；操作溫度等。達成電特性之所要平衡需要平衡該等參數。例如，改變通道材料可達成一較低 I_{off} 。然而，材料變化可導致一低 V_t 且需要一大負電壓來關斷電晶體。為增加電晶體之 V_t ，可修改用於閘極之材料與通道區域之材料之間的一功函數差。例如，若通道區域由多晶矽形成，則可藉由摻雜多晶矽來增加 V_t 。然而，在不能有效摻雜之其他通道材料之情況下，摻雜不能用於改變 V_t 。因此，需要影響 V_t 之替代方式。

【發明內容】

【0005】 揭示一種電晶體，其包含一通道區域、主動控制閘極、臨限電壓控制閘極及一介電區域。該等主動控制閘極係鄰近該通道區域之相

對第一側且該等臨限電壓控制閘極係鄰近該通道區域之相對第二側。該介電區域係介於該等臨限電壓控制閘極與該通道區域之間且介於該等主動控制閘極與該通道區域之間。

【0006】 揭示一種形成一半導體裝置之方法。該方法包含形成電晶體，其中該等電晶體係藉由在一材料堆疊中形成第一開口而形成。該材料堆疊包含一第一導電材料、一介電材料、一第二導電材料、一通道材料及一第三導電材料。在該等第一開口中在該材料堆疊之側壁上形成一第一介電材料且在該等第一開口中形成一第四導電材料以填充該等第一開口。移除該第四導電材料之一部分以形成凹部。在該材料堆疊中形成第二開口且在該等第二開口中形成一第五導電材料以填充該等第二開口。在該等凹部中形成一第二介電材料。

【0007】 揭示一種操作一半導體裝置之方法。該方法包含將一電壓施加至一電晶體之主動控制閘極及將一外部偏壓施加至該電晶體之臨限電壓控制閘極。該電晶體包含鄰近一通道區域之該等主動控制閘極，及鄰近該通道區域之該等臨限電壓控制閘極。藉由一介電材料使該等臨限電壓控制閘極與該等主動控制閘極分離。

【0008】 揭示一種包含記憶體胞元之半導體裝置，其中該等記憶體胞元之至少一者包含至少一垂直TFT及與該至少一垂直TFT可操作通信之一儲存元件。該至少一垂直TFT包含鄰近一通道區域之主動控制閘極、鄰近該通道區域且藉由一第一介電材料與該等主動控制閘極分離之臨限電壓控制閘極，及介於該等臨限電壓控制閘極與該通道區域之間的一第二介電材料。

【0009】 揭示一種包含記憶體胞元之系統，該等記憶體胞元包含至

少一垂直TFT及與該至少一垂直TFT可操作通信之一儲存元件。該至少一垂直TFT包含鄰近一通道區域之主動控制閘極、鄰近該通道區域且經組態以接收一外部偏壓以控制該至少一垂直TFT之一臨限電壓之臨限電壓控制閘極，及介於該等臨限電壓控制閘極與該通道區域之間的一介電材料。

【圖式簡單說明】

【0010】

圖1及圖1A係根據本發明之實施例之一電晶體之簡化剖面透視圖；

圖1B係沿著圖1A之截面線A-A獲取之電晶體之一橫截面視圖；

圖1C係沿著圖1A之截面線B-B獲取之電晶體之一橫截面視圖；

圖2至圖6係根據本發明之實施例之在各個製造階段期間之電晶體之橫截面視圖；

圖7係根據本發明之實施例之包括包含電晶體之一記憶體陣列之一記憶體裝置的一功能方塊圖；及

圖8係繪示根據本發明之實施例之包括包含至少一電晶體之半導體裝置之一電子系統的一示意性方塊圖。

【實施方式】

【0011】

優先權主張

本申請案主張於2018年10月9日針對「Semiconductor Devices Comprising Transistors Having Increased Threshold Voltage and Related Methods and Systems」申請之美國臨時專利申請案第62/743,059號之申請日期之權利。

【0012】 揭示一種包含臨限電壓控制閘極之電晶體(諸如一垂直薄膜

電晶體(TFT))，同樣地，揭示包括該等電晶體之半導體裝置及併入有該等半導體裝置之系統。該等臨限電壓控制閘極能夠定製含有至少一垂直TFT之一半導體裝置之臨限電壓(V_t)。藉由在含有垂直TFT之半導體裝置之使用及操作期間將一外部偏壓施加至該等臨限電壓控制閘極來控制該垂直TFT之 V_t 。藉由調整施加至臨限電壓控制閘極之外部偏壓，達成半導體裝置之一所要 V_t 。因此，臨限電壓控制閘極能夠控制半導體裝置之電特性。揭示定製半導體裝置之 V_t 之方法，同樣地，揭示形成包括垂直TFT之半導體裝置之方法。包括垂直TFT之半導體裝置展現高 V_t 、低 I_{off} 、高 I_{on} 及經改良字線電阻。高 V_t 係在不為 I_{on} 犧牲垂直TFT之一有效通道區域之情況下達成且低 I_{off} 實現改良之再新及干擾性質。

【0013】 根據本發明之實施例之一垂直TFT 100包括一源極區域102、一汲極區域104、一通道區域106 (例如，本體)、臨限電壓控制閘極108、主動控制閘極110、一數位線112及一源極114，如圖1、圖1A、圖1B及圖1C之一或多者中所展示。垂直TFT 100之組件係形成於一基板(未展示)上。源極區域102、汲極區域104及通道區域106可自該基板實質上垂直延伸，且數位線112及源極114可實質上平行於基板延伸。臨限電壓控制閘極108及主動控制閘極110係相對於彼此垂直定向且結合地實質上包圍通道區域106。臨限電壓控制閘極108係橫向鄰近於通道區域106之側壁116且經組態以定製垂直TFT 100之 V_t 。主動控制閘極110係橫向鄰近於通道區域106之一前表面118及後表面120且可實質上垂直於數位線112定向。主動控制閘極110係鄰近通道區域106之相對第一側。臨限電壓控制閘極108係鄰近通道區域106之相對第二側。主動控制閘極110經組態以透過通道區域106使源極區域102與汲極區域104彼此電連接。臨限電壓控制

閘極108之一長度係大於通道區域106之一長度且主動控制閘極110之一長度係小於通道區域106之長度。臨限電壓控制閘極108及主動控制閘極110係藉由介電材料122A至122D (例如，閘極介電材料)之一或多個介電材料(例如，一或多個介電區域)與通道區域106分離且彼此分離。介電材料122A至122D亦隔離垂直TFT 100之其他組件且使鄰近垂直TFT 100彼此隔離。圖1A描繪圖1之垂直TFT 100，其中移除介電材料122以便更清楚地繪示其他組件。

【0014】 根據本發明之實施例之垂直TFT 100與一習知垂直TFT之不同之處在於存在臨限電壓控制閘極108，臨限電壓控制閘極108經定位以代替(即，替換)一習知垂直TFT中之介電材料之一部分。然而，儘管根據本發明之實施例之垂直TFT 100包括臨限電壓控制閘極108，但包括垂直TFT 100之半導體裝置之佔據面積係實質上相同於包括習知垂直TFT且缺乏臨限電壓控制閘極108之一半導體裝置之佔據面積。

【0015】 以下描述提供特定細節(諸如材料類型、材料厚度及程序條件)以便提供本文中所描述之實施例之一透徹描述。然而，一般技術人員將理解，可在不採用此等特定細節之情況下實踐本文中所揭示之實施例。實際上，可結合半導體行業中所採用之習知製造技術實踐實施例。另外，本文中所提供之描述並未形成一半導體裝置之一完整描述或用於製造該半導體裝置之一完整程序流程且下文所描述之結構並未形成一完整半導體裝置。下文僅詳細描述理解本文中所描述之實施例所需之該等程序動作及結構。形成一完整半導體裝置之額外動作可藉由習知技術來執行。

【0016】 本文中呈現之圖式僅供闡釋性目的，且並非意指任何特定材料、組件、結構、裝置或系統之實際視圖。預期由於(例如)製造技術及/

或容限所致之圖式中所描繪之形狀之變動。因此，本文中所描述之實施例不應被解釋為限於如所繪示之特定形狀或區域，而是應包括由(例如)製造所引起之形狀偏差。例如，繪示或描述為框形之一區域可具有粗糙及/或非線性特徵，且繪示或描述為圓形之一區域可包含一些粗糙及/或線性特徵。此外，所繪示之銳角可為圓形且反之亦然。因此，圖中所繪示之區域本質上係示意性的且其等之形狀並非旨在繪示一區域之精確形狀且並不限制本發明申請專利範圍之範疇。圖式並不一定按比例繪製。此外，圖中共有之元件可保持相同數字標識。

【0017】 如本文中所使用，除非上下文另有清楚指示，否則單數形式「一」或「一個」及「該」旨在亦包括複數形式。

【0018】 如本文中所使用，關於一特定參數之一數值之「大約」或「近似」包括該數值及一般技術人員將理解之在該特定參數之可接受容限內之與該數值之一差異度。例如，關於一數值之「大約」或「近似」可包括在該數值之90.0%至110.0%之一範圍內之額外數值，諸如在數值之95.0%至105.0%之一範圍內、在數值之97.5%至102.5%之一範圍內、在數值之99.0%至101.0%之一範圍內、在數值之99.5%至100.5%之一範圍內或在數值之99.9%至100.1%之一範圍內。

【0019】 如本文中所使用，術語「主動控制閘極」意謂及包括鄰近於通道區域且經組態以在施加高於 V_t 之一閘極電壓之後引起一驅動電流流動通過耦合於源極區域與汲極區域之間的通道區域之一對閘極。

【0020】 如本文中所使用，空間關係術語(諸如「在...下面」、「在...下方」、「下」、「底部」、「上方」、「上」、「頂部」、「前」、「後」、「左」、「右」及類似者)可為易於描述而用於描述如圖中所繪示之一元件或特徵

與另一(些)元件或特徵之關係。除非另有指定，否則該等空間關係術語旨在涵蓋除如圖中所描繪之定向之外之不同材料定向。例如，若將圖中之材料反轉，則描述為在其他元件或特徵「下方」或「下面」或「之下」或「底部上」之元件將接著定向於其他元件或特徵之「上方」或「頂部上」。因此，取決於使用術語之背景內容，術語「下方」可涵蓋上方及下方兩種定向，此對於一般技術人員而言係顯而易見的。材料可以其他方式定向(例如，旋轉90度、反轉、翻轉)且相應地解釋本文中所使用之空間關係描述符。

【0021】 如本文中所使用，術語「經組態」係指至少一結構及至少一設備之一或多者以一預定方式促進該結構及該設備之一或多者之操作之一大小、形狀、材料組合物及配置。

【0022】 如本文中所使用，術語「半導體裝置」包括(但不限於)一記憶體裝置，以及可或不可併入有記憶體之其他半導體裝置，諸如一邏輯裝置、一處理器裝置或一射頻(RF)裝置。此外，除了其他功能外，一半導體裝置亦可併入有記憶體，舉例而言，諸如包括一處理器及記憶體之一所謂的「系統單晶片」(SoC)，或包括邏輯及記憶體之一半導體裝置。

【0023】 如本文中所使用，關於一給定參數、性質或條件之術語「實質上」意謂及包括達到一般技術人員將理解該給定參數、性質或條件符合一差異度(諸如在可接受製造容限內)之一程度上。藉由實例，取決於實質上滿足之特定參數、性質或條件，該參數、性質或條件可滿足至少90.0%、滿足至少95.0%、滿足至少99.0%或甚至滿足至少99.9%。

【0024】 如本文中所使用，術語「基板」意謂及包括其上形成額外材料之一基底材料或構造。該基板可為一半導體基板、一支撐結構上之一

基底半導體層、一金屬電極或其上形成有一或多個材料、層、結構或區域之一半導體基板。該半導體基板上之材料可包括(但不限於)：半導體材料、絕緣材料、導電材料等。該基板可為一習知矽基板或包含一半導體材料層之其他塊體基板。如本文中所使用，術語「塊體基板」不僅意謂及包括矽晶圓，而且意謂及包括絕緣體上矽(「SOI」)基板(諸如藍寶石上矽(「SOS」)基板及玻璃上矽(「SOG」)基板)、一基底半導體基座上之矽之磊晶層及其他半導體或光電子材料(諸如矽鍺、鍺、砷化鎵、氮化鎵及磷化銮)。基板可經摻雜或未摻雜。

【0025】 如本文中所使用，術語「臨限電壓控制閘極」意謂及包括鄰近於通道區域且透過其施加一外部偏壓以影響垂直TFT之 V_t 之一對閘極。

【0026】 如本文中所使用，術語「垂直」、「縱向」、「水平」及「橫向」係關於一結構之一主平面且並不一定藉由地球引力場予以定義。一「水平」或「橫向」方向係實質上平行於該結構之主平面之一方向，而一「垂直」或「縱向」方向係實質上垂直於該結構之主平面之一方向。結構之主平面係藉由結構之相較於結構之其他表面具有一相對較大面積之一表面予以界定。

【0027】 源極區域102係由一源極材料(諸如一N摻雜或P摻雜之半導體材料)形成。源極區域102可電耦合至一導電材料(諸如數位線112)。汲極區域104係由一汲極材料(諸如一N摻雜或P摻雜半導體材料)形成。汲極區域104可電耦合至一導電材料，諸如一接觸件(未展示)。

【0028】 垂直TFT 100之通道區域106係由一通道材料形成且與源極區域102及汲極區域104可操作地耦合。通道區域106之通道材料在源極區

域102與汲極區域104之間延伸。通道材料可為展現自約 $0.1 \text{ cm}^2/(\text{V}\cdot\text{s})$ 至約 $5000 \text{ cm}^2/(\text{V}\cdot\text{s})$ 之一電子遷移率及至少約 1.40 eV (諸如約 3.3 eV)之一室溫帶隙之一材料。通道材料可包括(但不限於)：氧化物半導體材料、多晶矽或砷。該氧化物半導體材料之非限制性實例包括(但不限於)：氧化鋅(ZnO_x)、氧化銦(InO_x 、 In_2O_3)、氧化錫(SnO_2)、氧化鈦(TiO_x)、氮氧鋅($\text{Zn}_x\text{O}_y\text{N}_z$)、氧化鎂鋅($\text{Mg}_x\text{Zn}_y\text{O}_z$)、氧化銦鋅($\text{In}_x\text{Zn}_y\text{O}_z$)、銦鎵鋅氧化物($\text{In}_x\text{Ga}_y\text{Zn}_z\text{O}_a$) (IGZO, 亦被稱為鎵銦鋅氧化物(GIZO))、銦鋅氧化物($\text{Zr}_x\text{In}_y\text{Zn}_z\text{O}_a$)、銦鋅氧化物($\text{Hf}_x\text{In}_y\text{Zn}_z\text{O}_a$)、錫銦鋅氧化物($\text{Sn}_x\text{In}_y\text{Zn}_z\text{O}_a$)、鋁錫銦鋅氧化物($\text{Al}_x\text{Sn}_y\text{In}_z\text{Zn}_a\text{O}_d$)、砷銦鋅氧化物($\text{Si}_x\text{In}_y\text{Zn}_z\text{O}_a$)、氧化鋅錫($\text{Zn}_x\text{Sn}_y\text{O}_z$)、鋁鋅錫氧化物($\text{Al}_x\text{Zn}_y\text{Sn}_z\text{O}_a$)、鎵鋅錫氧化物($\text{Ga}_x\text{Zn}_y\text{Sn}_z\text{O}_a$)、銦鋅錫氧化物($\text{Zr}_x\text{Zn}_y\text{Sn}_z\text{O}_a$)、銦鎵砷氧化物(InGaSiO)及其他類似材料，其中 x 、 y 、 z 、 a 及 d 係整數或實數。氧化物半導體材料可為化學計量或非化學計量材料。在一些實施例中，通道材料係氧化物半導體材料。

【0029】 臨限電壓控制閘極108可由一導電材料形成，諸如金屬(例如，鎢、鈦、鎳、鉑、鈮、鋁、銅、鈾、金)、含金屬材料(例如，金屬氮化物、金屬碳化物、金屬矽化物、金屬氧化物)、導電摻雜半導體材料(例如，導電摻雜矽、導電摻雜銻、導電摻雜砷銻)、多晶矽、摻雜多晶矽或其等之組合。臨限電壓控制閘極108之材料可經選擇以展現介於約 3.8 eV 與約 5.2 eV 之間的一功函數。在一些實施例中，臨限電壓控制閘極108係由 $n+$ 摻雜多晶矽或 $p+$ 摻雜多晶矽形成。臨限電壓控制閘極108可依在約 2 nm 至約 20 nm 之範圍內之一厚度形成。當選擇(即，用一電壓加偏壓於)主動控制閘極110時，臨限電壓控制閘極108可經組態以偏壓至一預定電

壓。

【0030】 主動控制閘極110可由導電材料形成，包括(但不限於)：金屬(例如，鎢、鈦、鎳、鉑、鈮、鋁、銅、鉬、金)、含金屬材料(例如，金屬氮化物、金屬碳化物、金屬矽化物、金屬氧化物)、導電摻雜半導體材料(例如，導電摻雜矽、導電摻雜鍺、導電摻雜矽鍺)、多晶矽、摻雜多晶矽或其等之組合。在一些實施例中，導電材料係鎢、鈦、氮化鎢或氮化鈦。主動控制閘極110可經組態為垂直於數位線112配置之一存取線(例如，一字線)，數位線112可經組態為一資料/感測線(例如，一位元線)。主動控制閘極110之功函數可在約3.8 eV與約5.2 eV之間的範圍內。主動控制閘極選擇性地將垂直TFT 100在「接通」狀態與「關斷」狀態之間轉變且經習知地操作。

【0031】 數位線112可由導電材料形成，包括(但不限於)：金屬(例如，鎢、鈦、鎳、鉑、鈮、鋁、銅、鉬、金)、含金屬材料(例如，金屬氮化物、金屬碳化物、金屬矽化物、金屬氧化物)、導電摻雜半導體材料(例如，導電摻雜矽、導電摻雜鍺、導電摻雜矽鍺)、多晶矽或其等之組合。在一些實施例中，數位線112係由單一(例如，一種)導電材料形成。在其他實施例中，數位線112係由兩種或兩種以上導電材料(諸如兩種或兩種以上金屬)形成為複合結構，其中各金屬對數位線112提供一不同電阻。該複合結構在圖1至圖1C中由多層(例如，雙層)數位線112指示。然而，數位線112可僅包括單一導電材料。數位線112係與通道區域106電通信。

【0032】 源極114可由導電材料形成，諸如摻雜多晶矽、金屬或其等之組合。在一些實施例中，源極114之導電材料包括p+多晶矽或結合金屬之p+多晶矽。源極114之功函數可在約3.8 eV與約5.2 eV之間的範圍

內。源極114之功函數與臨限電壓控制閘極108之功函數可經獨立地選擇以達成垂直TFT 100之所要 V_t 。源極114係在鄰近垂直TFT 100之間共用，從而降低製程之複雜性。因為半導體裝置包括各具有施加至其之相同外部偏壓且展現相同 V_t 之多個垂直TFT 100，所以源極114用作至臨限電壓控制閘極108之一接觸件，從而能夠形成一單個接觸件而非形成用於垂直TFT 100之各者之一個別接觸件。

【0033】 介電材料122可為一或多個電絕緣材料，舉例而言，諸如磷矽酸鹽玻璃、硼矽酸鹽玻璃、硼磷矽酸鹽玻璃(BPSG)、氟矽酸鹽玻璃、氧化矽(例如，二氧化矽)、高K氧化物(例如，二氧化鈦、二氧化鋯、二氧化鉛、氧化鋇、氧化鎂、氧化鋁、氧化鋯、氧化鉬、氧化鋇、氧化鋇、氧化鋇、氧化鋇、氧化鋇、氧化鋇)、氮化物材料(例如，氮化矽(Si_3N_4))、氮氧化物(例如，氮氧化矽)、另一介電材料、介電碳氮化物材料(例如，碳氮化矽(SiCN))、介電碳氮氧化物材料(例如，碳氮氧化矽(SiOCN))、另一材料或其等之組合。在一些實施例中，介電材料係二氧化矽。

【0034】 介電材料122可實質上包圍通道區域106及臨限電壓控制閘極108、主動控制閘極110及數位線112之一些表面。如圖1及圖1A之透視圖中所展示，臨限電壓控制閘極108之外側壁124及主動控制閘極110之外側壁126缺乏介電材料122，而臨限電壓控制閘極108之內側壁128及上表面130具有介電材料122，主動控制閘極110之前表面132、後表面134、上表面136及下表面138具有介電材料122，且數位線112之側壁140、上表面142及下表面144具有介電材料122。

【0035】 臨限電壓控制閘極108係藉由一第一介電材料122A (參見圖1B)與通道區域106分離，源極114係藉由一第二介電材料122B (參見圖

1B及圖1C)與通道區域106分離，主動控制閘極110係藉由一第三介電材料122C (參見圖1C)與通道區域106分離，且臨限電壓控制閘極108係藉由一第四介電材料122D (圖1)與主動控制閘極110分離。第一介電材料122A可為定位於臨限電壓控制閘極108與通道區域106之間的唯一材料。換言之，第一介電材料122A之一個表面係與臨限電壓控制閘極108直接接觸且第一介電材料122A之一相對表面係與通道區域106直接接觸。使各種組件彼此分離之介電材料122可為相同或不同的且可經獨立地選擇。介電材料122之介電區域可包括相同材料或一或多種不同材料。在一些實施例中，介電材料122A至122D之各者係相同的。在其他實施例中，介電材料122A至122D之一或多者係不同的。

【0036】 可取決於垂直TFT 100之所要電特性來選擇介電材料122之厚度且介電材料122A至122D之各者之厚度經獨立地選擇。例如，藉由適當地選擇介於臨限電壓控制閘極108與通道區域106之間的介電材料122之厚度，可定製臨限電壓控制閘極108與通道區域106之間的耦合程度。僅藉由實例，介於通道區域106與主動控制閘極110之間的第三介電材料122C之厚度可在約20 Å至約100 Å之範圍內，諸如在約20 Å與約40 Å之間，在約40 Å與約60 Å之間，在約60 Å與約80 Å之間或在約80 Å與約100 Å之間。介於源極114與通道區域106之間的第二介電材料122B之厚度可在約20 Å至約100 Å之範圍內，諸如在約20 Å與約40 Å之間，在約40 Å與約60 Å之間，在約60 Å與約80 Å之間或在約80 Å與約100 Å之間。可取決於垂直TFT 100之所要 V_t 獨立地選擇介電材料之各者之厚度。

【0037】 如圖1A及圖1B中最清楚地展示，根據本發明之實施例之垂直TFT 100包括定位成橫向鄰近通道區域106且藉由第一介電材料122A

與通道區域106分離之一對臨限電壓控制閘極108。根據本發明之實施例之垂直TFT 100不同於其中在一類似位置中僅存在一介電材料之習知垂直TFT。在圖1B之透視圖中，垂直TFT 100從左到右包括一第一臨限電壓控制閘極108''、第一介電材料122A、通道區域106、第一介電材料122A及一第二臨限電壓控制閘極108'''。如圖1C中所展示，根據本發明之實施例之垂直TFT 100包括定位成橫向鄰近通道區域106且藉由第三介電材料122C與通道區域106分離之一對主動控制閘極110。在圖1C之透視圖中，垂直TFT 100從左到右包括一第一主動控制閘極110'、第三介電材料122C、通道區域106、第三介電材料122C及一第二主動控制閘極110''。

【0038】 雖然圖1A至圖1C繪示一單個垂直TFT 100，但多個垂直TFT 100存在於半導體裝置中且配置成列(例如，在x方向上延伸)及行(例如，在y方向上延伸)。在一些實施例中，該等列可實質上垂直於該等行。半導體裝置包括垂直TFT 100之一陣列，其中鄰近垂直TFT 100經連接至一單個源極114。臨限電壓控制閘極108使鄰近垂直TFT 100彼此分離。另外，臨限電壓控制閘極108係在鄰近垂直TFT 100之間共用。

【0039】 因此，揭示包含一通道區域、主動控制閘極、臨限電壓控制閘極及一介電區域之一電晶體。該等主動控制閘極係鄰近該通道區域之相對第一側且該等臨限電壓控制閘極係鄰近該通道區域之相對第二側。該介電區域係介於該等臨限電壓控制閘極與該通道區域之間且介於該等主動控制閘極與該通道區域之間。

【0040】 圖2至圖6中繪示製造具有圖1B中之透視圖之垂直TFT 100。為形成根據本發明之實施例之垂直TFT 100，可如圖2中所展示般形成一材料堆疊200，其包括源極114之導電材料114'、介電材料122、數位

線112之導電材料112'、通道區域106之通道材料106'及汲極區域104之汲極材料104'。該等材料之各者可形成於基板(未展示)上方(諸如在一層中)，其中介電材料122在源極114之導電材料114'上方，數位線112之導電材料112'在介電材料122上方，通道區域106之通道材料106'在數位線112之導電材料112'上方，且汲極區域104之汲極材料104'在通道區域106之通道材料106'上方。在一些實施例中，材料堆疊200係形成於基板上之一金屬上方。材料之各者可藉由習知技術形成，包括(但不限於)：旋塗、毯覆式塗佈、化學氣相沈積(CVD)、原子層沈積(ALD)、電漿增強型ALD或物理氣相沈積(PVD)。替代性地，材料可就地生長。取決於待形成之特定材料，可藉由一般技術人員選擇用於沈積或生長材料之技術。

【0041】 如圖3中所展示，藉由移除材料之一部分以暴露源極114之導電材料114'之一頂表面204而在一第一方向上在材料中形成開口202。開口202係藉由習知光微影技術形成。移除材料形成藉由開口202彼此分離之材料堆疊200之線。除非上下文另有指示，否則可藉由任何合適技術完成材料移除，包括(但不限於)：蝕刻、研磨平坦化或其他已知方法。僅藉由實例，可藉由一單個蝕刻動作或藉由使用一或多種蝕刻化學物之多個蝕刻動作來形成開口202。開口202自汲極材料104'之一頂表面206延伸至源極114之導電材料114'之頂表面204，其中開口202之側壁208係實質上垂直。

【0042】 第一介電材料122A係形成於開口202中(例如，在材料堆疊200之側壁208上及在源極114之導電材料114'之經暴露頂表面204上)。第一介電材料122A可諸如藉由ALD保形地形成於側壁208上方。可移除在源極114之導電材料114'之頂表面204上方之介電材料122以暴露源極114之

導電材料114'之頂表面204。介電材料122A對應於圖1B中之第一介電材料122A。

【0043】如圖4中所展示，開口202係用臨限電壓控制閘極108之導電材料108'填充。可諸如藉由研磨平坦化移除任何多餘導電材料108'，使得臨限電壓控制閘極108之導電材料108'之一頂表面係實質上與汲極材料104'及第一介電材料122A之一頂表面共面。藉由習知光微影技術且在垂直於第一方向之一第二方向上在材料堆疊200中形成額外開口(未展示)，該等開口係藉由習知技術用導電材料填充以形成主動控制閘極110。因此，臨限電壓控制閘極108及主動控制閘極110經形成彼此垂直且藉由介電材料122之介電材料分離。移除臨限電壓控制閘極108之導電材料108'之一部分以形成如圖5中所展示之凹部212，使得臨限電壓控制閘極108之導電材料108'之一頂表面204係實質上與通道區域106之通道材料106'之一頂表面共面。替代性地，臨限電壓控制閘極108之導電材料108'之頂表面204可相對於通道區域106之通道材料106'之頂表面升高，如在圖5中用虛線指示。如圖6中所展示，凹部212可用介電材料122填充。可諸如藉由研磨平坦化移除任何多餘介電材料。

【0044】因此，揭示形成一半導體裝置之一方法。該方法包含形成電晶體，其中該等電晶體係藉由在一材料堆疊中形成第一開口而形成。該材料堆疊包含一第一導電材料、一介電材料、一第二導電材料、一通道材料及一第三導電材料。在該等第一開口中在該材料堆疊之側壁上形成一第一介電材料且在第一開口中形成一第四導電材料以填充第一開口。移除該第四導電材料之一部分以形成凹部。在材料堆疊中形成第二開口且在該等第二開口中形成一第五導電材料以填充第二開口。在凹部中形成一第二介

電材料。

【0045】 可進行額外程序動作以形成包括垂直TFT 100之半導體裝置。該等額外程序動作可藉由本文中未詳細描述之習知技術進行。

【0046】 在使用及操作期間，將一電壓施加至主動控制閘極110，而將另一電壓施加至臨限電壓控制閘極108，此能夠達成垂直TFT 100之一預定 V_t 。主動控制閘極110可經習知地操作。可藉由將外部偏壓施加至臨限電壓控制閘極108來定製垂直TFT 100之 V_t ，其中該預定 V_t 係取決於包括垂直TFT 100之半導體裝置之所要電特性而選擇。因此，可在無需摻雜通道區域106及/或修改主動控制閘極110與通道區域106之間的功效函數之情況下調變垂直TFT 100之 V_t 。將偏壓施加至臨限電壓控制閘極108用作所謂的「旋鈕」(例如，一電旋鈕)以增加 V_t ，諸如在使用氧化物半導體材料作為通道區域106之材料時。可藉由將外部電壓施加至臨限電壓控制閘極108來達成預定 V_t 。當使用多晶矽或矽作為通道區域106之材料時，除了將外部偏壓施加至臨限電壓控制閘極108之外，亦可藉由摻雜通道區域106及/或修改功效函數來進一步修改(例如，增加) V_t 。當使用多晶矽或矽作為通道材料時，摻雜通道區域106及/或修改功效函數保持為一額外旋鈕(例如，一基於程序之旋鈕)以修改垂直TFT 100之其他電特性，諸如 I_{on} 或閘極引發之汲極洩漏(GIDL)。

【0047】 在使用及操作期間，透過源極114在約-2.0 V與約2.0 V之間(諸如在約-2.0 V與約-1.5 V之間、在約-1.5 V與約-1.0 V之間、在約-1.0 V與約-0.5 V之間、在約-0.5 V與約0 V之間、在約0 V與約0.5 V之間、在約0.5 V與約1.0 V之間、在約1.0 V與約1.5 V之間或在約1.5 V與約2.0 V之間)的一電壓下將外部偏壓施加至臨限電壓控制閘極108。施加至

臨限電壓控制閘極108之電壓係實質上恆定的。不欲受任何理論侷限，認為外部偏壓之施加控制通道區域106中之電位且改變(例如，增加) V_t 。取決於施加至源極114及臨限電壓控制閘極108之偏壓，達成預定 V_t 。例如，在施加一預定外部偏壓(例如，2 V)期間，根據本發明之實施例之垂直TFT 100相較於缺乏臨限電壓控制閘極之一習知TFT展現一較高 V_t 、較低 I_{off} 及一較高 I_{on} 。類似地，在施加一不同預定外部偏壓(例如，2 V或-0.5 V)時，根據本發明之實施例之垂直TFT 100相較於缺乏臨限電壓控制閘極108之一習知TFT展現一較高 V_t 、較低 I_{off} 及一較高 I_{on} 。相比而言，一習知半導體裝置(缺乏根據本發明之實施例之垂直TFT 100)在一給定電壓下展現高於含有根據本發明之實施例之垂直TFT 100之半導體裝置之一電流。加偏壓於臨限電壓控制閘極108可減少或防止所謂的字線干擾，因為在將一電壓施加至一個垂直TFT 100之主動控制閘極110時，該垂直TFT 100之主動控制閘極110 (例如，字線)影響一鄰近垂直電晶體之主動控制閘極110。

【0048】 因此，揭示操作一半導體裝置之一方法。該方法包含將一電壓施加至一電晶體之主動控制閘極及將一外部偏壓施加至該電晶體之臨限電壓控制閘極。該電晶體包含鄰近一通道區域之該等主動控制閘極，及鄰近該通道區域之該等臨限電壓控制閘極。臨限電壓控制閘極係藉由一介電材料與主動控制閘極分離。

【0049】 根據本發明之實施例之垂直TFT 100可併入於半導體裝置中，諸如記憶體結構(例如，記憶體胞元)。垂直TFT 100之主動控制閘極110可沿著記憶體胞元之列互連且形成存取線。數位線112 (例如，資料/感測線)可沿著記憶體胞元之行與各垂直TFT 100之源極區域102/汲極區域

104之一者互連。資料/感測線(例如，數位線112)可與記憶體陣列外部之個別感測放大器(未展示)連接。在記憶體胞元中，一儲存元件可與至少一垂直TFT 100可操作通信。如一般技術人員所知，預期儲存元件之不同組態。例如，儲存元件(例如，電容器)可經組態為容器結構、平面結構等。垂直TFT 100實現儲存於儲存元件中之一電荷之一讀取及/或寫入操作。

【0050】 圖7繪示根據本發明之實施例之一記憶體裝置700之一簡化方塊圖。記憶體裝置700包括具有如上文所描述與儲存元件可操作通信之根據本發明之實施例之至少一垂直TFT 100的至少一記憶體胞元。垂直TFT 100可充當用於啟用及停用流動通過該記憶體胞元之電流之一切換器。藉由非限制性實例，垂直TFT 100可包括如上文所描述之存取控制閘極110及臨限電壓控制閘極108。記憶體裝置700包括包含記憶體胞元之一記憶體陣列702，及一控制邏輯組件704。記憶體陣列702可包括包含根據本發明之實施例之至少一垂直TFT 100之多個記憶體胞元。控制邏輯組件704可經組態以與記憶體陣列702可操作地互動以便讀取、寫入或再新記憶體陣列702內之任一或所有記憶體胞元。

【0051】 因此，揭示包含記憶體胞元之一半導體裝置，其中該等記憶體胞元之至少一者包含至少一垂直TFT及與該至少一垂直TFT可操作通信之一儲存元件。該至少一垂直TFT包含鄰近一通道區域之主動控制閘極、鄰近該通道區域且藉由一第一介電材料與該等主動控制閘極分離之臨限電壓控制閘極，及介於該等臨限電壓控制閘極與該通道區域之間的一第二介電材料。

【0052】 垂直TFT 100可併入於記憶體結構、記憶體胞元、包括記憶體胞元之陣列、記憶體裝置、切換裝置、包括該等陣列之其他半導體裝

置及包括該等陣列之系統中。垂直TFT 100之實施例可用於各種不同記憶體胞元(例如，揮發性記憶體、非揮發性記憶體)及/或電晶體組態中。非限制性實例包括隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態隨機存取記憶體(DRAM)、同步動態隨機存取記憶體(SDRAM)、快閃記憶體、電阻性隨機存取記憶體(ReRAM)、導電橋隨機存取記憶體(導電橋RAM)、磁阻性隨機存取記憶體(MRAM)、相變材料(PCM)記憶體、相變隨機存取記憶體(PCRAM)、自旋力矩轉移隨機存取記憶體(STTRAM)、基於氧空位之記憶體、可程式化導體記憶體、鐵電隨機存取記憶體(FE-RAM)、參考場效電晶體(RE-FET)等。

【0053】 可藉由進行本文中未詳細描述之額外程序動作來形成包括根據本發明之實施例形成之垂直TFT 100之半導體裝置。該等半導體裝置可用於如圖8中所展示之一電子系統800中。電子系統800可包含(例如)一電腦或電腦硬體組件、一伺服器或其他網路連結硬體組件、一蜂巢式電話、一數位相機、一個人數位助理(PDA)、可攜式媒體(例如，音樂)播放器、一Wi-Fi或具蜂巢式功能之平板電腦(舉例而言，諸如iPad®或SURFACE®平板電腦)、一電子書、一導航裝置等。電子系統800包括至少一記憶體裝置802，其包括包含具有如先前所描述之至少一垂直TFT 100之記憶體胞元之至少一半導體裝置。至少一記憶體裝置802可包括(例如)如先前所描述之垂直TFT 100。電子系統800可進一步包括至少一電子信號處理器裝置804(通常被稱為一「微處理器」)。電子信號處理器裝置804可視需要包括如先前所描述之至少一垂直TFT 100。電子系統800可進一步包括用於由一使用者將資訊輸入至電子系統800中之一或多個輸入裝置806，舉例而言，諸如一滑鼠或其他指標裝置、一鍵盤、一觸控墊、一

按鈕或一控制面板。電子系統800可進一步包括用於向一使用者輸出資訊(例如，視覺或音訊輸出)之一或多個輸出裝置808，舉例而言，諸如一監視器、一顯示器、一印表機、一音訊輸出插孔、一揚聲器等。在一些實施例中，輸入裝置806及輸出裝置808可包含既可用於將資訊輸入至電子系統800亦可向一使用者輸出視覺資訊之一單個觸控螢幕裝置。一或多個輸入裝置806及輸出裝置808可與記憶體裝置802及電子信號處理器裝置804之至少一者電通信。

【0054】 因此，揭示包含記憶體胞元之一系統，該等記憶體胞元包含至少一垂直TFT及與該至少一垂直TFT可操作通信之一儲存元件。該至少一垂直TFT包含鄰近一通道區域之主動控制閘極、鄰近該通道區域且經組態以接收一外部偏壓以控制該至少一垂直TFT之一臨限電壓之臨限電壓控制閘極，及介於該等臨限電壓控制閘極與該通道區域之間的一介電材料。

【0055】 雖然已結合圖描述特定闡釋性實施例，然一般技術人員將認知及瞭解，本發明所涵蓋之實施例並不限於本文中明確展示及描述之該等實施例。實情係，可在不脫離本發明所涵蓋之實施例之範疇(諸如下文所主張之範疇，包括合法等效物)之情況下做出本文中所描述之實施例之許多添加、刪除及修改。另外，來自一所揭示實施例之特徵可與另一所揭示實施例之特徵組合同時仍涵蓋於本發明之範疇內。

【符號說明】

【0056】

100	垂直薄膜電晶體(垂直TFT)
102	源極區域

104'	汲極材料
104	汲極區域
106	通道區域
106'	通道材料
108	臨限電壓控制閘極
108'	導電材料
108"	第一臨限電壓控制閘極
108'''	第二臨限電壓控制閘極
110	主動控制閘極
110'	第一主動控制閘極
110"	第二主動控制閘極
112	數位線
112'	導電材料
114	源極
114'	導電材料
116	側壁
118	前表面
120	後表面
122	介電材料
122A至122D	介電材料
122A	第一介電材料
122B	第二介電材料
122C	第三介電材料

122D	第四介電材料
124	外側壁
126	外側壁
128	內側壁
130	上表面
132	前表面
134	後表面
136	上表面
138	表面
140	側壁
142	上表面
144	表面
200	材料堆疊
202	開口
204	頂表面
206	頂表面
208	側壁
212	凹部
700	記憶體裝置
702	記憶體陣列
704	控制邏輯組件
800	電子系統
802	記憶體裝置

- 804 電子信號處理器裝置
- 806 輸入裝置
- 808 輸出裝置

【發明申請專利範圍】

【第1項】

一種電晶體，其包含：

主動控制閘極，其等鄰近一通道區域之相對第一側(opposing first sides)；

臨限電壓控制閘極，其等鄰近該通道區域之相對第二側(opposing second sides)；及

一介電區域，其介於該等臨限電壓控制閘極與該通道區域之間、且介於該等主動控制閘極與該通道區域之間。

【第2項】

如請求項1之電晶體，其中該等臨限電壓控制閘極包含一對臨限電壓控制閘極且該對之一臨限電壓控制閘極係橫向鄰近該通道區域之一第一側壁且該對之另一臨限電壓控制閘極係橫向鄰近該通道區域之一第二側壁。

【第3項】

如請求項1之電晶體，其中該等主動控制閘極包含一對主動控制閘極且該對之一主動控制閘極係橫向鄰近該通道區域之一前表面且該對之另一主動控制閘極係橫向鄰近該通道區域之一後表面。

【第4項】

如請求項1之電晶體，其中該等臨限電壓控制閘極及該等主動控制閘極實質上包圍該通道區域。

【第5項】

如請求項4之電晶體，其中該介電區域使該等臨限電壓控制閘極及該等主動控制閘極與該通道區域分離。

【第6項】

如請求項1之電晶體，其中該介電區域係該等臨限電壓控制閘極與該通道區域之間的唯一材料。

【第7項】

如請求項1之電晶體，其進一步包含與該等臨限電壓控制閘極電通信之一源極，該源極經組態以將一外部偏壓施加至該等臨限電壓控制閘極。

【第8項】

如請求項1之電晶體，其中該電晶體係以一垂直定向組態。

【第9項】

如請求項1之電晶體，其中該等臨限電壓控制閘極係垂直於該等主動控制閘極定向。

【第10項】

一種半導體裝置，其包含：

記憶體胞元，該等記憶體胞元之至少一記憶體胞元包含至少一垂直薄膜電晶體，該至少一垂直薄膜電晶體包含：

主動控制閘極，其等鄰近一通道區域；

臨限電壓控制閘極，其等鄰近該通道區域且藉由一第一介電區域與該等主動控制閘極分離；及

一第二介電區域，其介於該等臨限電壓控制閘極與該通道區域之間；及

一儲存元件，其與該至少一垂直薄膜電晶體可操作通信。

【第11項】

如請求項10之半導體裝置，其進一步包含介於該等主動控制閘極與

該通道區域之間的一第三介電區域。

【第12項】

如請求項11之半導體裝置，其進一步包含與該等臨限電壓控制閘極直接接觸之一源極及介於該源極與該通道區域之間的一第四介電區域。

【第13項】

如請求項10之半導體裝置，其中該等記憶體胞元之該至少一記憶體胞元包含至少兩個垂直薄膜電晶體且其中該等臨限電壓控制閘極係在該至少兩個垂直薄膜電晶體之鄰近垂直薄膜電晶體之間共用。

【第14項】

一種包含半導體裝置之系統，其包含：

記憶體胞元，其等包含至少一垂直薄膜電晶體及與該至少一垂直薄膜電晶體可操作通信之一儲存元件，該至少一垂直薄膜電晶體包含：

主動控制閘極，其等鄰近一通道區域；

臨限電壓控制閘極，其等鄰近該通道區域且經組態以接收一外部偏壓以控制該至少一垂直薄膜電晶體之一臨限電壓；及

一介電材料，其介於該等臨限電壓控制閘極與該通道區域之間。

【第15項】

一種形成一半導體裝置之方法，其包含：

形成電晶體，包含：

在一材料堆疊(material stack)中形成第一開口，該材料堆疊包含一第一導電材料、一介電材料、一第二導電材料、一通道材料及一第三導電材料；

在該等第一開口中之該材料堆疊之側壁上形成一第一介電材料；

在該等第一開口中形成一第四導電材料以填充該等第一開口；

移除該第四導電材料之一部分以形成凹部；

在該材料堆疊中形成第二開口；

在該等第二開口中形成一第五導電材料以填充該等第二開口；及

在該等凹部中形成一第二介電材料。

【第16項】

如請求項15之方法，其中在一材料堆疊中形成第一開口包含移除該介電材料、該第二導電材料、該通道材料及該第三導電材料之部分以暴露該第一導電材料之一頂表面。

【第17項】

如請求項15之方法，其中在該等第一開口中形成一第四導電材料包含在該等第一開口中形成臨限電壓控制閘極。

【第18項】

如請求項17之方法，其中移除該第四導電材料之一部分以形成凹部包含移除該第四導電材料之該部分使得該等臨限電壓控制閘極之一頂表面實質上與該通道材料之一頂表面共面。

【第19項】

如請求項17之方法，其中在該等凹部中形成一第二介電材料包含在該等臨限電壓控制閘極上方形成該第二介電材料。

【第20項】

如請求項15之方法，其中在該等第二開口中形成一第五導電材料包含在該等第二開口中形成主動控制閘極。

【第21項】

如請求項15之方法，其中形成一第四導電材料包含形成包含與該第一導電材料相同之材料之該第四導電材料。

【第22項】

一種操作一半導體裝置之方法，該方法包含：

將一電壓施加至一電晶體之主動控制閘極，該電晶體包含：

該等主動控制閘極，其等鄰近一通道區域；

臨限電壓控制閘極，其等鄰近該通道區域且藉由一介電材料與該等主動控制閘極分離；及

將一外部偏壓施加至該電晶體之該等臨限電壓控制閘極。

【第23項】

如請求項22之方法，其中將一外部偏壓施加至該電晶體之該等臨限電壓控制閘極包含將一恆定電壓施加至該等臨限電壓控制閘極。

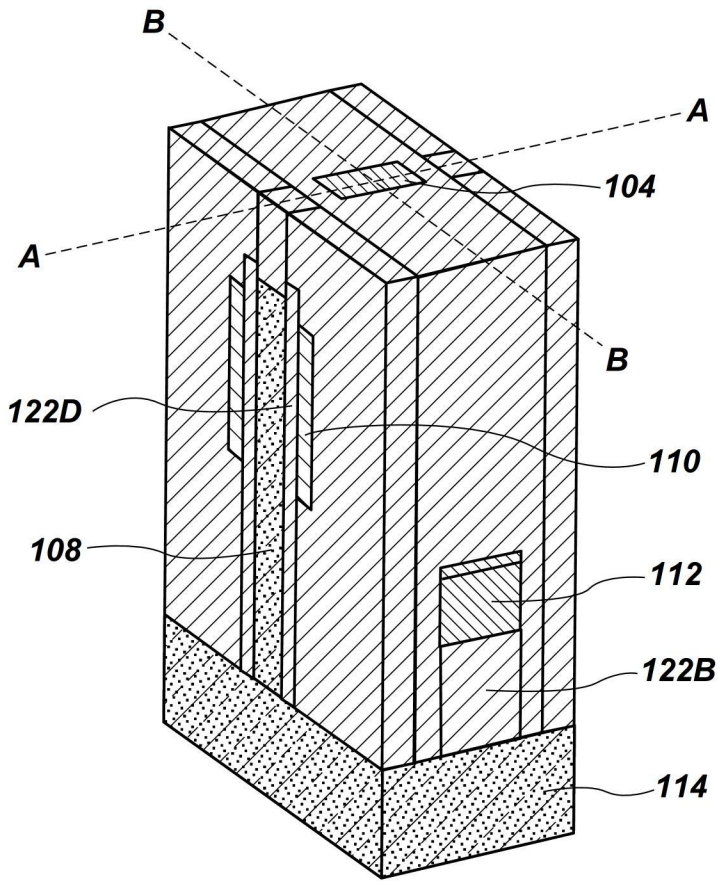
【第24項】

如請求項22之方法，其中將一外部偏壓施加至該電晶體之該等臨限電壓控制閘極包含將約-2.0 V與約2.0 V之間的一電壓施加至該等臨限電壓控制閘極。

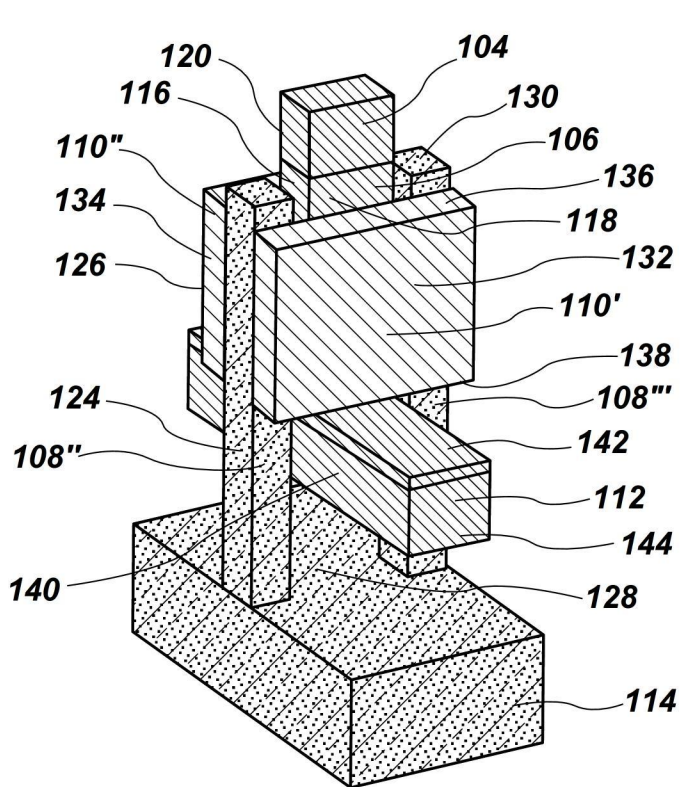
【第25項】

如請求項22之方法，其中將一外部偏壓施加至該電晶體之該等臨限電壓控制閘極包含增加該電晶體之該臨限電壓。

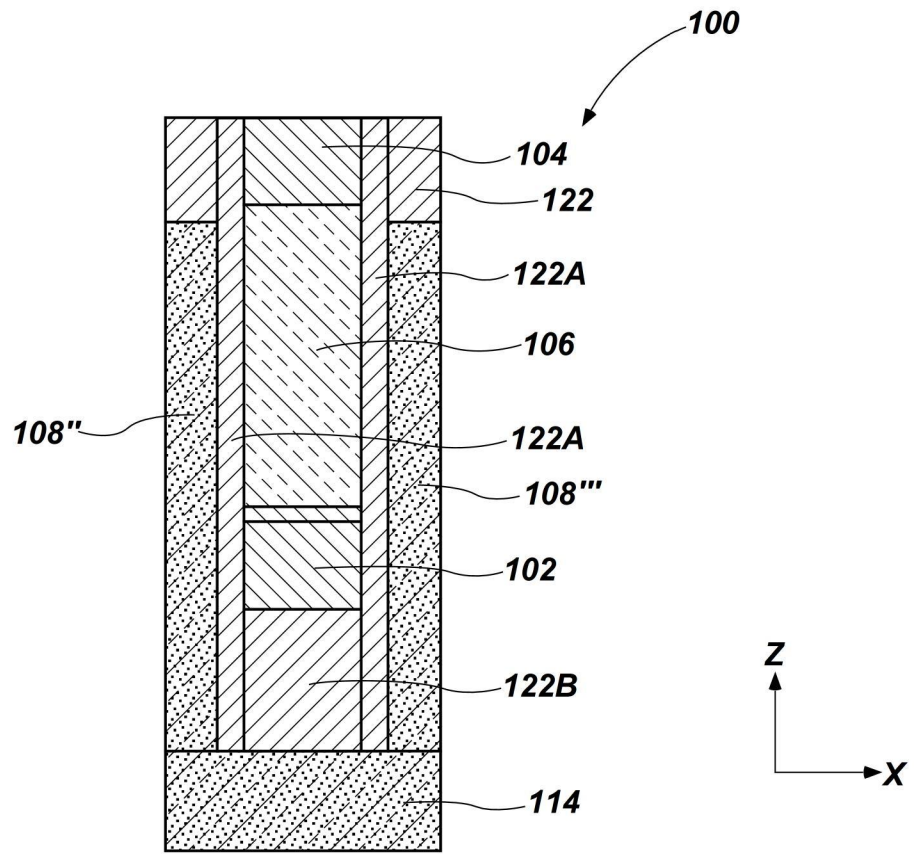
【發明圖式】



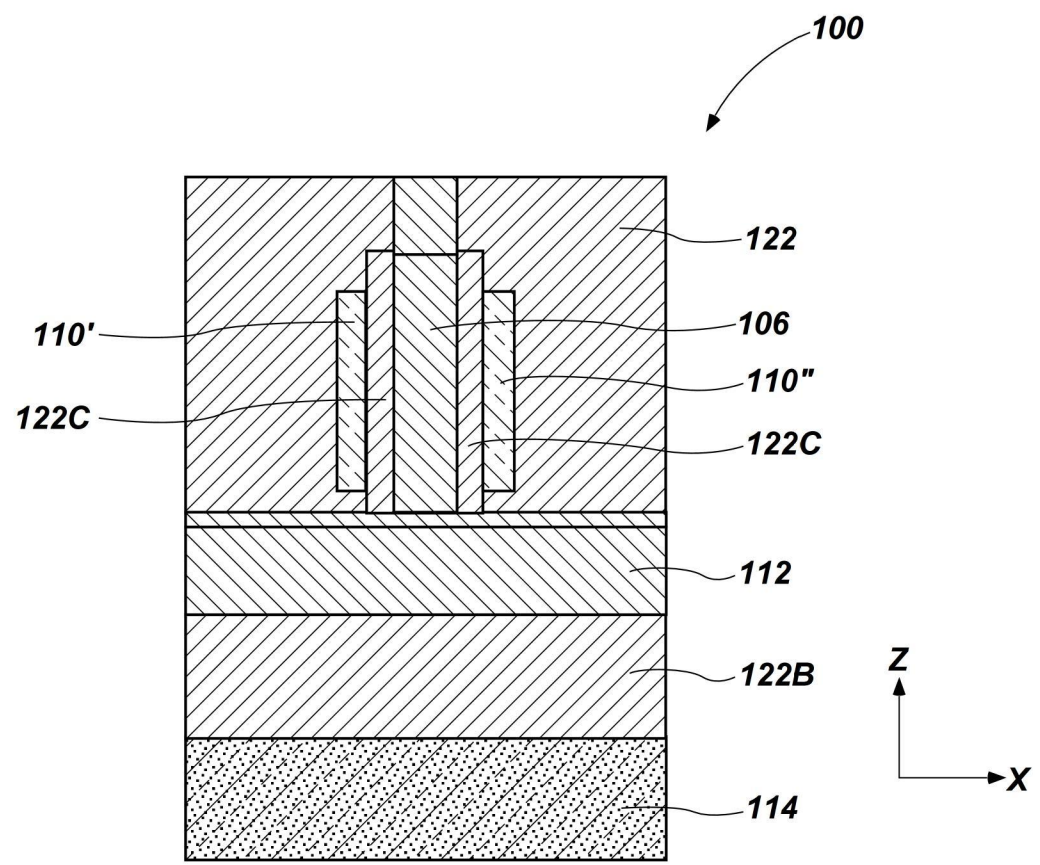
【圖1】



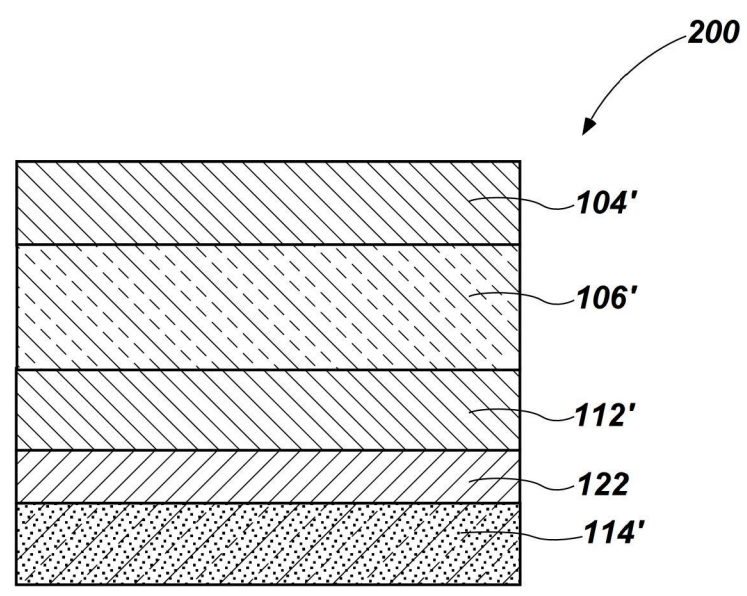
【圖1A】



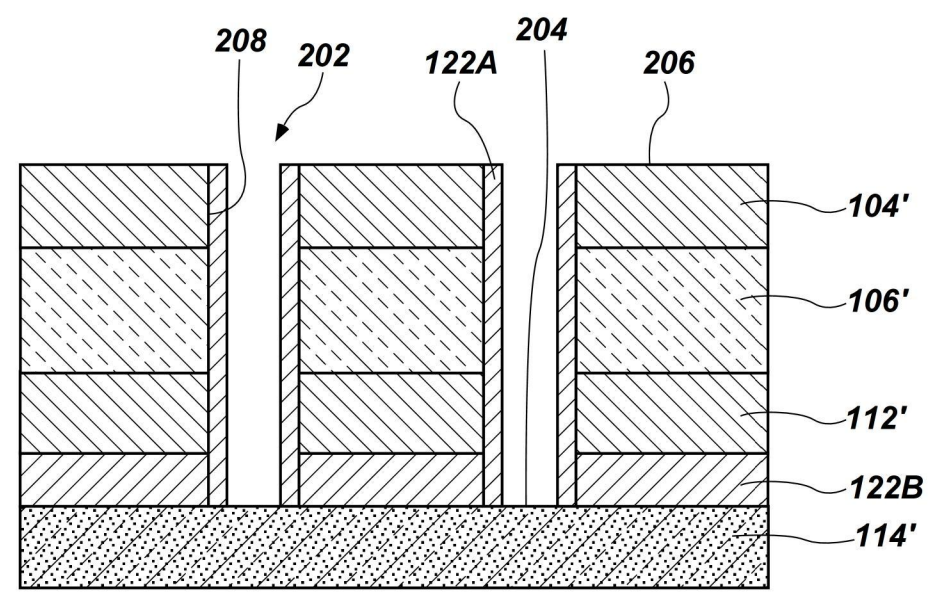
【圖1B】



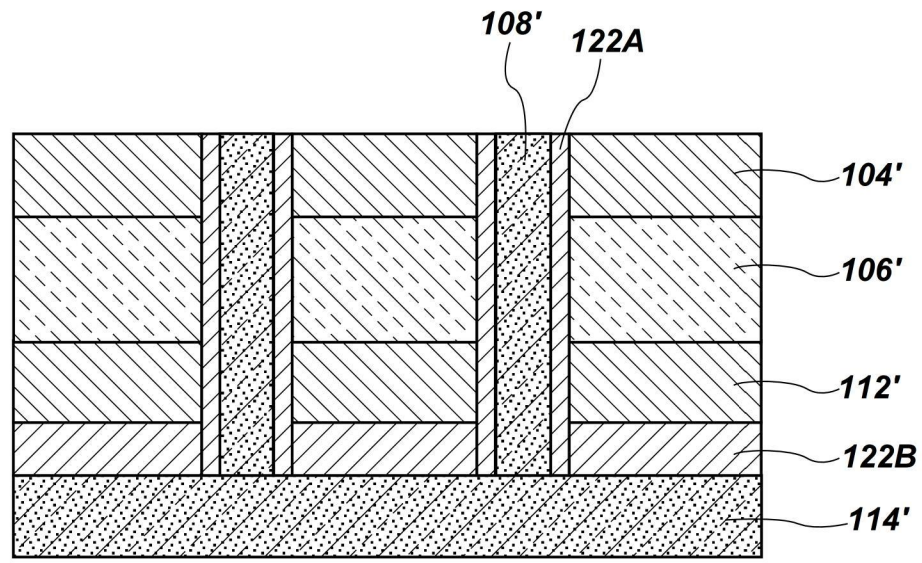
【圖1C】



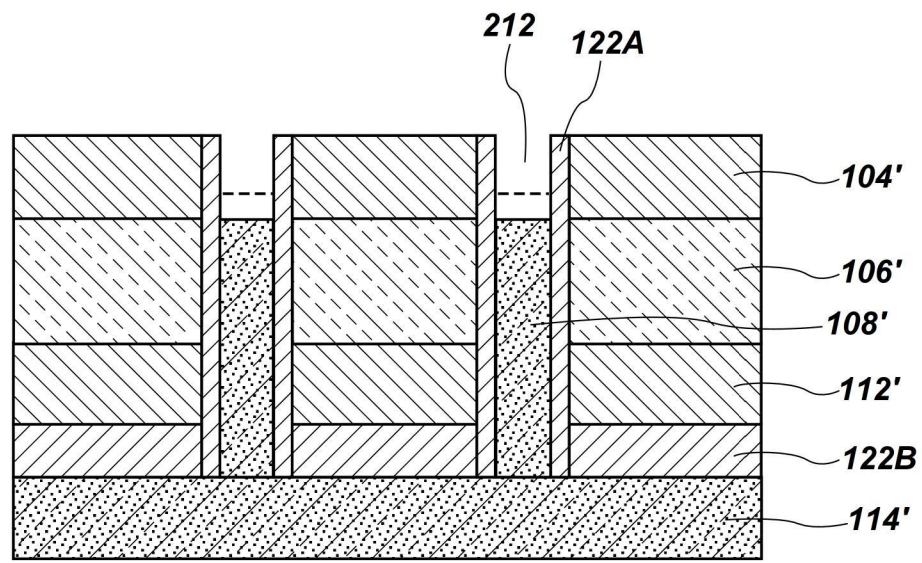
【圖2】



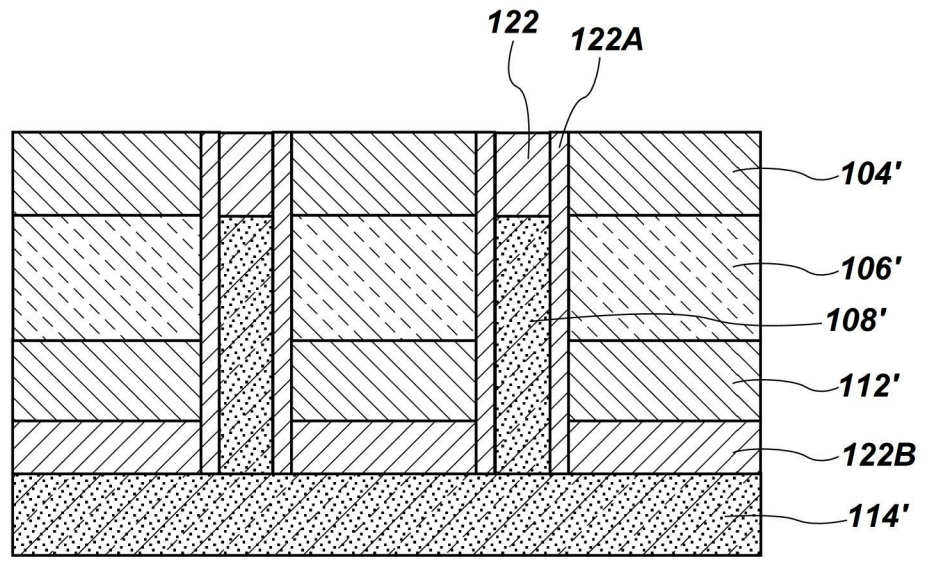
【圖3】



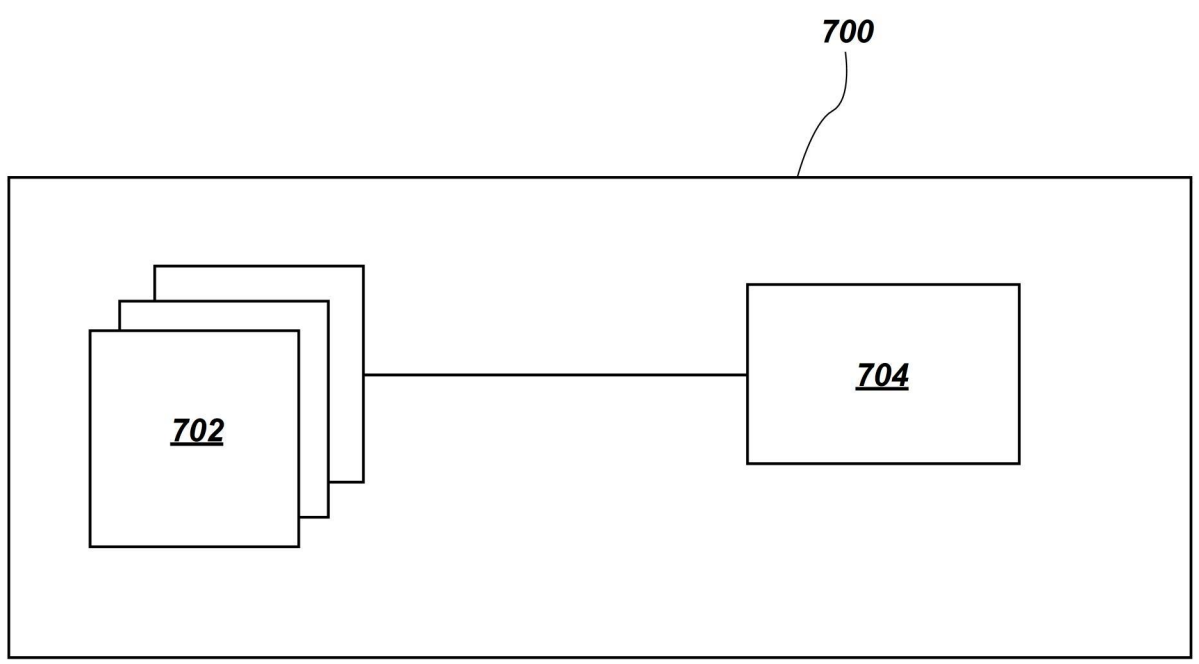
【圖4】



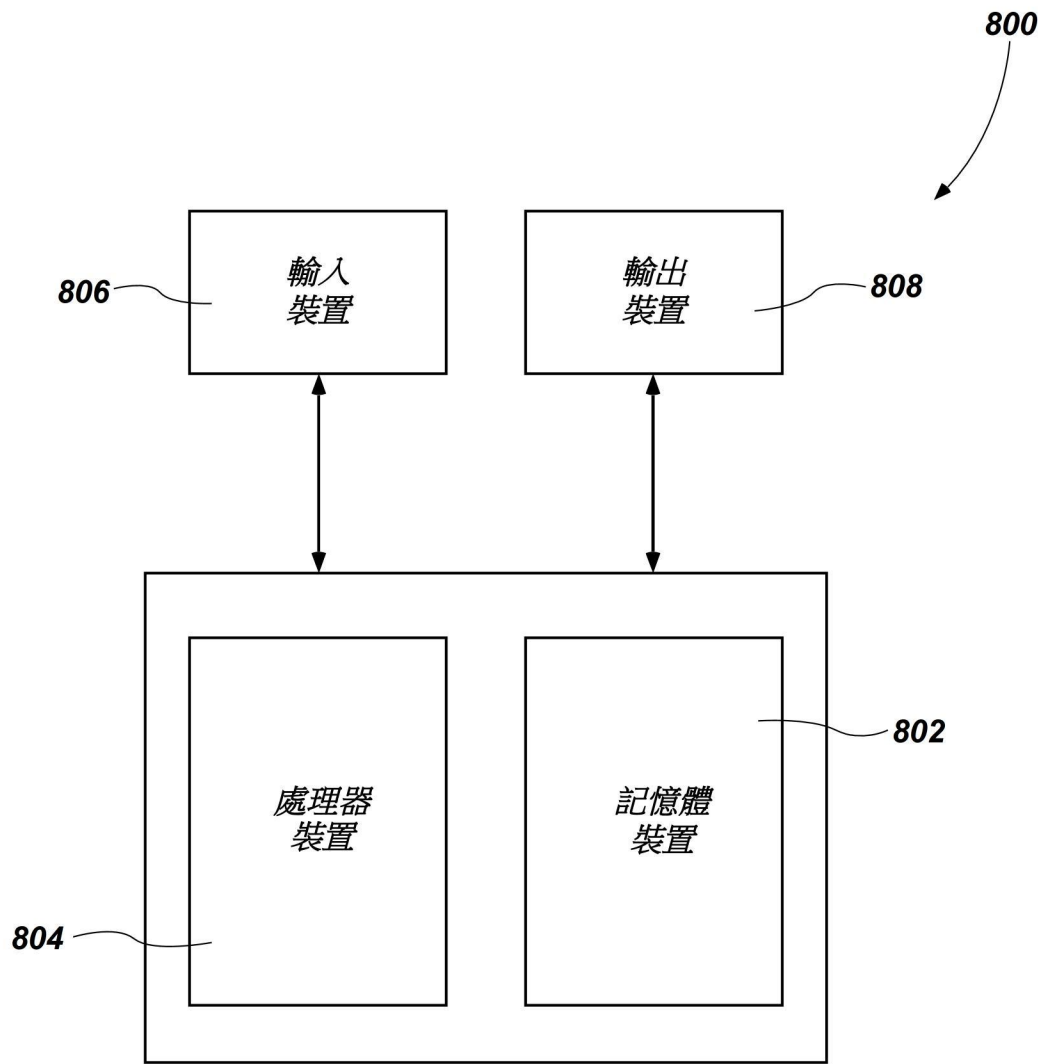
【圖5】



【圖6】



【圖7】



【圖8】