

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-164612

(P2009-164612A)

(43) 公開日 平成21年7月23日(2009.7.23)

| (51) Int.Cl. | F I | テーマコード (参考) |
|--------------------------|----------------------|-------------|
| HO 1 L 29/78 (2006.01) | HO 1 L 29/78 3 O 1 V | 4 M 1 0 4 |
| HO 1 L 21/8234 (2006.01) | HO 1 L 27/08 1 O 2 C | 5 F 0 4 8 |
| HO 1 L 27/088 (2006.01) | HO 1 L 27/10 6 7 1 B | 5 F 0 8 3 |
| HO 1 L 21/8242 (2006.01) | HO 1 L 27/10 4 9 5 | 5 F 1 4 0 |
| HO 1 L 27/108 (2006.01) | HO 1 L 27/08 3 2 1 D | |

審査請求 未請求 請求項の数 39 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2008-335726 (P2008-335726)
 (22) 出願日 平成20年12月29日 (2008.12.29)
 (31) 優先権主張番号 10-2008-0001753
 (32) 優先日 平成20年1月7日 (2008.1.7)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 12/251,054
 (32) 優先日 平成20年10月14日 (2008.10.14)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)

(74) 代理人 100093779
 弁理士 服部 雅紀
 (72) 発明者 李 始▲ヒョン▼
 大韓民国京畿道水原市長安区泉川洞544
 番地サムソンレミアンアパート107棟1
 902号

最終頁に続く

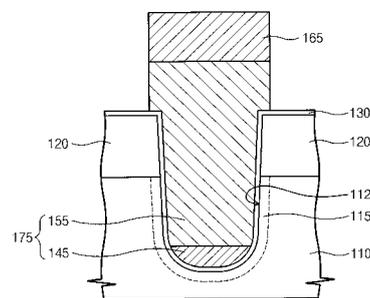
(54) 【発明の名称】 半導体素子のリセスゲート及びその製造方法

(57) 【要約】

【課題】リセスゲート及びこれを含む半導体素子の製造方法を提供する。

【解決手段】半導体素子のリセスゲートは、基板110と、金属層165と、ポリシリコン層と、ポリシリコン層に隣接し、金属層165から離隔され、形成されたソース領域及びドレイン領域と、を含む。半導体素子の形成方法は、基板110の上にソース/ドレイン120層を形成する段階と、リセス112を形成し、第1導電層パターン145を形成する段階と、第1導電層パターン145上に第2導電層を形成する段階、ソース/ドレイン層120と重畳されるように第2導電層パターン156を形成する段階と、前記第2導電層パターン156と、前記ソース/ドレイン層120上に絶縁層を蒸着する段階と、第2導電層パターン156上にキャップを形成するように絶縁層を平坦化する段階と、を含む。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

リセスが形成された基板と、
前記リセスの底に形成された金属層と、
前記金属層上に形成されたポリシリコン層と、
前記ポリシリコン層に隣接し、前記金属層から離隔されて形成されたソース領域及びドレーン領域と、を含むことを特徴とする半導体素子のリセスゲート。

【請求項 2】

前記リセスゲートは、N M O S 素子の一部であり、前記金属層は、前記ポリシリコン層の仕事関数以上の仕事関数を有することを特徴とする請求項 1 に記載の半導体素子のリセスゲート。

10

【請求項 3】

前記リセスゲートは、P M O S 素子の一部であり、前記金属層は、前記ポリシリコン層の仕事関数以下の仕事関数を有することを特徴とする請求項 1 に記載の半導体素子のリセスゲート。

【請求項 4】

前記金属層は、T i、T i N、W、W N、T a、T a N、C o、C、R b、又はR u かなるグループから選択されることを特徴とする請求項 1 に記載の半導体素子のリセスゲート。

【請求項 5】

前記金属層は、5 0 0 から 1 , 5 0 0 の厚さを有することを特徴とする請求項 1 に記載の半導体素子のリセスゲート。

20

【請求項 6】

前記ポリシリコン層は、前記金属層の厚さ以上の厚さを有することを特徴とする請求項 1 に記載の半導体素子のリセスゲート。

【請求項 7】

リセスが形成された基板と、
前記リセスの底に形成された第 1 導電層と、
前記第 1 導電層上に形成された第 2 導電層と、
前記第 2 導電層に隣接し、前記第 1 導電層から離隔されて形成されたソース領域及びドレーン領域と、を含むことを特徴とする半導体素子のリセスゲート。

30

【請求項 8】

前記リセスゲートは、N M O S 素子の一部であり、前記第 1 導電層は、前記第 2 導電層の仕事関数以上の仕事関数を有することを特徴とする請求項 7 に記載の半導体素子のリセスゲート。

【請求項 9】

前記リセスゲートは、P M O S 素子の一部であり、前記第 1 導電層は、前記第 2 導電層の仕事関数より以下の仕事関数を有することを特徴とする請求項 7 に記載の半導体素子のリセスゲート。

【請求項 10】

前記第 1 導電層は、T i、T i N、W、W N、T a、T a N、C o、C、R b、又はR u かなるグループから選択されることを特徴とする請求項 7 に記載の半導体素子のリセスゲート。

40

【請求項 11】

前記第 2 導電層は、ポリシリコンであることを特徴とする請求項 7 に記載の半導体素子のリセスゲート。

【請求項 12】

前記第 2 導電層上にオーミック層をさらに含むことを特徴とする請求項 11 に記載の半導体素子のリセスゲート。

【請求項 13】

50

前記オーミック層は、TiSi、Ta、Tasi、CoSi、又はWsiからなるグループから選択されることを特徴とする請求項12に記載の半導体素子のリセスゲート。

【請求項14】

キャッピング金属層をさらに含むことを特徴とする請求項11に記載の半導体素子のリセスゲート。

【請求項15】

前記キャッピング金属層は、Ti、TiN、Ta、Ta₂N、WN、又はWからなるグループから選択されることを特徴とする請求項14に記載の半導体素子のリセスゲート。

【請求項16】

前記第2導電層は、Ti、TiN、W、WN、Ta、Ta₂N、Co、C、Rb、又はRuからなるグループから選択されることを特徴とする請求項7に記載の半導体素子のリセスゲート。

10

【請求項17】

前記第2導電層は、前記第1導電層の厚さ以上の厚さを有することを特徴とする請求項7に記載の半導体素子のリセスゲート。

【請求項18】

基板の上にソース及びドレーン層を形成する段階と、
リセスを形成し、前記リセスのうちにゲート絶縁層を形成する段階と、
前記ゲート絶縁層上に第1導電層を形成する段階と、
前記第1導電層をリセスし、第1導電層パターンを形成する段階と、
前記第1導電層パターン上に第2導電層を形成する段階と、
前記第2導電層をパターンニングし、第2導電層パターンを形成する段階と、を含むことを特徴とする半導体素子の形成方法。

20

【請求項19】

前記第1導電パターンは、金属を含み、前記第2導電層パターンは、ポリシリコンを含むことを特徴とする請求項18に記載の半導体素子の形成方法。

【請求項20】

前記第2導電層パターンは、前記ソース及びドレーン層に隣接して配置された部分を含み、前記第1導電層パターンは、前記ソース及びドレーン層から離隔されて配置されることを特徴とする請求項18に記載の半導体素子の形成方法。

30

【請求項21】

前記第1導電層パターン及び前記第2導電層パターン両方は、金属を含むことを特徴とする請求項18に記載の半導体素子の形成方法。

【請求項22】

前記ソース及びドレーン層と前記リセスは、NMOS素子の一部を形成し、前記第1導電層パターンは、前記第2導電層パターンの仕事関数以上の仕事関数を有することを特徴とする請求項18に記載の半導体素子の形成方法。

【請求項23】

前記ソース及びドレーン層と前記リセスは、PMOS素子の一部を形成し、前記第1導電層パターンは、前記第2導電層パターンの仕事関数以下の仕事関数を有することを特徴とする請求項18に記載の半導体素子の形成方法。

40

【請求項24】

前記第1導電層は、Ti、TiN、W、WN、Ta、Ta₂N、Co、C、Rb、又はRuからなるグループから選択されることを特徴とする請求項18に記載の半導体素子の形成方法。

【請求項25】

前記第2導電層パターン上に絶縁層を形成する段階と、
前記第2導電層パターンを露出し、前記ソース及びドレーン層に隣接したスペーサー層を形成するように前記絶縁層を蝕刻する段階と、
前記第2導電層パターンと前記スペーサー層上に第3導電層を形成する段階と、をさら

50

に含むことを特徴とする請求項 18 に記載の半導体素子の形成方法。

【請求項 26】

前記スペーサー層は、酸化物、又は窒化物を含むことを特徴とする請求項 25 に記載の半導体素子の形成方法。

【請求項 27】

前記第 1 導電層パターンは、金属を含み、前記第 2 導電層パターンは、ポリシリコンを含むことを特徴とする請求項 25 に記載の半導体素子の形成方法。

【請求項 28】

前記第 1 導電層パターンと前記第 2 導電層パターン両方は、金属を含むことを特徴とする請求項 25 に記載の半導体素子の形成方法。

10

【請求項 29】

基板の上にソース及びドレーン層を形成する段階と、
リセスを形成し、前記リセスの内に絶縁層を蒸着する段階と、
前記ゲート絶縁層上に第 1 導電層を形成する段階と、
前記第 1 導電層をリセスし、第 1 導電層パターンを形成する段階と、
前記第 1 導電層パターン上に第 2 導電層を形成する段階と、
前記第 2 導電層をパターンニングし、前記ソース及びドレーン層と重畳されるように第 2 導電層パターンを形成する段階と、
前記第 2 導電層パターンと、前記ソース及びドレーン層上に絶縁層を蒸着する段階と、

20

前記第 2 導電層パターン上にキャップを形成するように前記絶縁層を平坦化する段階と、を含むことを特徴とする半導体素子の形成方法。

【請求項 30】

前記第 2 導電層パターンは、前記ソース及びドレーン層に隣接し、配置された部分を含み、前記第 1 導電層パターンは、前記ソース及びドレーン層から離隔され、配置されることを特徴とする請求項 29 に記載の半導体素子の形成方法。

【請求項 31】

前記ソース及びドレーン層と前記リセスは、NMOS 素子の一部を形成し、前記第 1 導電層パターンは、前記第 2 導電層パターンの仕事関数以上の仕事関数を有することを特徴とする請求項 29 に記載の半導体素子の形成方法。

30

【請求項 32】

前記ソース及びドレーン層と前記リセスは、PMOS 素子の一部を形成し、前記第 1 導電層パターンは、前記第 2 導電層パターンの仕事関数以下の仕事関数を有することを特徴とする請求項 29 に記載の半導体素子の形成方法。

【請求項 33】

前記第 1 導電層は、Ti、TiN、W、WN、Ta、Ta₂N₅、CO、C、Rb、又はRu からなるグループから選択されることを特徴とする請求項 29 に記載の半導体素子の形成方法。

【請求項 34】

前記第 2 導電層は、ポリシリコンを含むことを特徴とする請求項 29 に記載の半導体素子の形成方法。

40

【請求項 35】

メモリコントローラ及びメモリ素子を含み、
前記メモリコントローラは、ホストの読み出し、又は書き込みの要請に応じて、前記メモリ素子からデータを読み出すか、前記メモリ素子にデータを書き込むように前記メモリ素子をコントロールし、
前記メモリ素子は、複数個のトランジスターを含むメモリセル領域を含み、
トランジスターの各々は、
リセスが形成された基板と、
前記リセスの底に形成された第 1 導電層と、

50

前記第1導電層上に形成された第2導電層と、
前記第2導電層に隣接し、前記第1導電層から離隔されて形成されたソース領域及び
ドレイン領域と、を含むことを特徴とするメモリシステム。

【請求項36】

前記第1導電層は、Ti、TiN、W、WN、Ta、Ta₂N₅、CO、C、Rb、又はRuからなるグループで選択された金属であることを特徴とする請求項35に記載のメモリシステム。

【請求項37】

前記第2導電層は、ポリシリコンを含むことを特徴とする請求項36に記載のメモリシステム。

【請求項38】

前記ホストは、モバイル素子、又はプロセッサを有するプロセッシング素子であることを特徴とする請求項35に記載のメモリシステム。

【請求項39】

セルラー素子と通信するための無線インタフェースをさらに含むことを特徴とする請求項35に記載のメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体技術分野に関し、より詳しくは、リセスゲート及びこれを含む半導体素子の製造方法に関する。

【背景技術】

【0002】

リセスチャンネルアレイトランジスタ(recess channel array transistors: RCATs)及びベリドチャンネルアレイトランジスタ(Buried Channel Array Transistors: BCATs)は、プレーナー(planar)トランジスタと比較し、向上された動作特性を有し、メモリ素子を含む半導体素子に広く使われる。例えば、プレーナートランジスタは、RCATs、又はBCATsと比較し、短い導電チャンネルを有し、これらのスレッショルド電圧(threshold voltages)は、コントロールすることが非常に難しい。例えば、プレーナートランジスタがDRAM素子に使われる時、短チャンネル効果(short channel effect: SCE)によって、より多くのリーフレッシュ(refresh)動作が要求される。RCATs及びBCATsは、増加されたチャンネル長さ及び減少されたリーカージ(leakage)効果を有し、減少されたドライブ電流を有する。GIDL(Gate induced drain leakage:ゲートにより引き起こされる、ドレインからの漏れ電流)は、集積回路を、最上の性能で動作させるために要求される電圧より低い電圧でしか動作することができないようにしてしまう。GIDLは、素子がバイアスにされた時、ゲート導電体がドレイン拡散領域と重畳される領域に従う欠乏領域(depletion region)の表面での電子ホールペア(electron-hole pairs)の生成に起因して、ドレインポテンシャル(drain potential)がゲートポテンシャルより、よりポジティブである。ロジック回路で、GIDLは、スタンバイ電圧(standby power)を増加させる。DRAMアレイMOSFETで、DRAMアレイMOSFETsがネガティブワードラインローレベル(negative wordline low levels)で、又は、反対のゲートドーピング極性(即ち、P+ゲートのN-型フィールドエフェクトトランジスタ(N-Type field effect transistor: NFET)を有して動作する時、GIDLは、ドレインとゲート導電体の間のポテンシャル(potential)を増加させるように作用する。GIDLは、また、DRAM MOSFETsでデータ保持時間(data retention time)を減少させる。MOSFETを形成するために使われた物質は、駆動電流及びGIDLを含み、電気的特性に影

10

20

30

40

50

響を与える。

【0003】

【特許文献1】特開2007-110110号公報

【特許文献2】特開2003-23104号公報

【特許文献3】特開2006-332211号公報

【特許文献4】韓国特許公開第2005-115822号公報

【特許文献5】韓国特許公開第2004-079518号公報

【特許文献6】韓国特許公開第2007-077390号公報

【特許文献7】米国特許第6,987,040号公報

【特許文献8】米国特許第7,199,010号公報

【特許文献9】米国特許第66,883,346号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

使われた物質の仕事関数は、また、BCATのスレッシュールド電圧に影響を与える。半導体物質であるドーピングされたポリシリコン(doped polysilicon)がトランジスタゲートの構成要素を形成するように使われる時、電圧がゲート電極に提供されると、ゲート絶縁体とゲート電極との間の界面に隣接に欠乏領域が形成される傾向がある。素子の縮小がゲート絶縁層の厚さを実質的に減少させるほど、ドーピングされたポリシリコンゲート電極内の欠乏領域の幅はトランジスタの電気的特性を決定することに一層重要な役割をするようになる。ゲート電極内の欠乏領域の発生は、トランジスタ性能を低下させる傾向がある。ポリシリコンが他の物質に代替されると、仕事関数の不似合い(mismatch)と不純物拡散の問題がある可能性がある。仕事関数は、物質の電気的、構造的な特性により決定されることができる。

【課題を解決するための手段】

【0005】

本発明の実施形態に従う半導体素子のリセスゲートは、リセスが形成された基板と、前記リセスの底に形成された金属層と、前記金属層上に形成されたポリシリコン層と、前記ポリシリコン層に隣接し、前記金属層から離隔されて形成されたソース領域及びドレーン領域と、を含む。前記リセスゲートは、NMOS素子の一部であり、前記金属層は、前記ポリシリコン層の仕事関数より大きい、或いは同じの仕事関数を有することができる。選択的に、前記リセスゲートは、PMOS素子の一部であり、前記金属層は、前記ポリシリコン層の仕事関数より小さい、或いは同じの仕事関数を有することができる。金属層は、Ti、TiN、W、WN、Ta、Ta₂N₅、CO、C、Rb、又はRuからなるグループで選択されることができる。前記金属層は、約500乃至約1,500の厚さを有することができる。前記ポリシリコン層の厚さは、前記金属層の厚さより大きい、或いは同じである。

【0006】

半導体素子のリセスゲートは、リセスが形成された基板と、前記リセスの底に形成された第1導電層と、前記第1導電層上に形成された第2導電層と、前記第2導電層に隣接し、前記第1導電層から離隔されて形成されたソース領域及びドレーン領域と、を含むことができる。前記リセスゲートは、NMOS素子の一部である可能性があり、前記第1導電層は、前記第2導電層の仕事関数より大きい、或いは同じの仕事関数を有することができる。前記リセスゲートは、PMOS素子の一部である可能性があり、前記第1導電層は、前記第2導電層の仕事関数より小さい、或いは同じの仕事関数を有することができる。前記第1導電層は、Ti、TiN、W、WN、Ta、Ta₂N₅、CO、C、Rb、又はRuからなるグループで選択されることができる。前記第1導電層は、約500乃至約1,500の厚さを有する。前記第2導電層は、ポリシリコン、又は金属物質を含む。前記第2導電層の厚さは、前記第1導電層の厚さより厚い、或いは同じである。前記第2導電層上にオーミック(Ohmic)層がさらに形成されることができ、キャッピング金属層が

10

20

30

40

50

前記第2導電層、又は前記オーミック(Ohm ic)層上に形成されることができる。

【0007】

本発明の他の実施形態に従うと、半導体素子の形成方法は、基板とソース及びドレーン層とを形成する段階と、リセスを形成し、前記リセス内にゲート絶縁層を蒸着する段階と、前記ゲート絶縁層上に第1導電層を形成する段階と、前記第1導電層をリセスし、第1導電層パターンを形成する段階と、前記第1導電層パターン上に第2導電層を形成する段階と、前記第2導電層をパターンニングし、第2導電層パターンを形成する段階と、を含むことができる。前記第1導電層パターンは、金属を含むことができ、前記第2導電層パターンは、ポリシリコンを含むことができる。他の実施形態に従うと、オーミック(Ohm ic)層が前記第2導電層パターン上に形成されることができ、キャッピング金属層が前記第2導電層パターン、又は前記オーミック(Ohm ic)層上に形成されることができる。前記第2導電層パターンは、前記ソース及びドレーン層に隣接に配置される領域を含み、第1導電層パターンは、前記ソース及びドレーン層から離隔されて配置される。他の実施形態に従うと、前記第1導電層パターンと前記第2導電層パターン両方は、金属を含むことができる。

10

【0008】

本発明の実施形態に従うと、前記ソース及びドレーン層と前記リセスは、NMOS素子の一部を形成し、前記第1導電層パターンは、前記第2導電層パターンの仕事関数より大きい、或いは同じの仕事関数を有する。選択的に、前記ソース及びドレーン層と前記リセスは、PMOS素子の一部であり、前記第1導電層パターンは、前記第2導電層パターンの仕事関数より小さい、或いは同じの仕事関数を有する。前記第1導電層は、Ti、TiN、W、WN、Ta、Ta₂N₅、C、CO、又はRuからなるグループで選択されることができる。前記第1導電層パターンは、約500オングストローム乃至約1,500オングストロームの厚さを有する。前記第2導電層パターンの厚さは、前記第1導電層パターンの厚さより厚い、或いは同じである。

20

【0009】

他の実施形態に従うと、半導体素子の形成方法は、前記第2導電層パターン上に絶縁層を形成する段階と、前記第2導電層パターンを露出し、前記ソース及びドレーン層に隣接したスペーサー層を形成するように前記絶縁層を蝕刻する段階と、前記第2導電層パターンと前記スペーサー層上に第3導電層を形成する段階と、をさらに含むことができる。前記スペーサー層は、酸化物、又は窒化物である。前記第1導電層パターンは、金属であることができ、前記第2導電層パターンは、ポリシリコンであることができる。前記第1導電層パターンと前記第2導電層パターン両方は、金属を含むことができる。

30

【0010】

本発明の他の実施形態に従うと、半導体素子の形成方法は、基板の上にソース及びドレーン領域を形成する段階と、リセスを形成し、前記リセス内にゲート絶縁層を形成する段階と、前記ゲート絶縁層上に第1導電層を形成する段階と、前記第1導電層をリセスし、第1導電層パターンを形成する段階と、前記第1導電層パターン上に第2導電層を形成する段階と、前記第2導電層をパターンニングし、前記ソース及びドレーン層と重畳されるように第2導電層パターンを形成する段階と、前記第2導電層パターンと、前記ソース及びドレーン層上に絶縁層を蒸着する段階と、前記第2導電層パターン上にキャップを形成するように前記絶縁層を平坦化する段階と、を含むことができる。前記第1導電層パターンは、金属を含み、第2導電層パターンは、ポリシリコンを含むことができる。前記第2導電層パターンは、前記ソース及びドレーン層に隣接し、配置された部分を含み、前記第1導電層パターンは、前記ソース及びドレーン層から離隔されて配置される。

40

【発明の効果】

【0011】

本発明の少なくとも一つの実施形態に従うと、減少されたレベルでGIDLを維持する一方、トランジスタ駆動特性を向上させるように、第1導電物質と第2導電物質がRCAT、又はBCATゲートに使われる。第2導電物質は、ゲートのソース及びドレーン領

50

域等とさらに良い界面を有するように選択されることができる。

【発明を実施するための最良の形態】

【0012】

本発明の実施形態に従うリセスゲート及びこれを含む半導体素子の製造方法を図面を参照し説明する。

以下、添付図面を参照し、本発明の実施形態について説明する。本発明の目的、特徴、及び長所は、添付の図面に示された以下の実施形態を通じて理解することができる。本発明は、ここで説明される実施形態に限定されなく、他の形態によって具体化されることができる。ここで紹介される実施形態は、開示された発明の内容が徹底で、完全になるように、そして当業者に本発明の思想が十分に伝えられるようにするために提供されたものである。図面に示された層の厚さ及び領域は、明確に表現するために誇張された。図面で同じ機能を有する構成要素に対しては、同じ参照番号を併記した。本明細書で、導電性膜、半導体膜または絶縁性膜などの物質膜が異なる物質膜又は基板上にあると言及される場合に、その物質膜は、他の物質膜又は基板上に直接形成されることができる、又はこれらの間に他の物質膜が介在されることもできるということを意味する。また、本明細書の多様な実施形態で、第1、第2、第3等の用語が多様な部分、物質などを説明するために使用されるが、これらの用語によって範囲が限定されたとはいえない。この用語等は、但し所定の部分を他の部分等と区別するために使用される。したがって、何れ一つの実施形態の第1部分と言及されたことが他の実施形態では、第2部分に言及されることもできる。

【0013】

本発明のいくつかの実施例は、理想的な実施形態を示す概略的な断面図を利用して説明される。したがって、工程技術及びマージンにより図示された模様の偏差が有り得る。したがって、本発明の実施形態は、特定の態様に限定されて解釈されなく、その偏差を含むことができる。

本明細書で、‘及び/又は’という用語は、この用語前後に列挙された構成のうち、何れ一つ又は全てを示すことで理解されなければならない。

【0014】

本発明の一実施形態に従うリセスゲートを有する半導体素子の断面図を図2に示す。

シリコンのような半導体物質を含む基板110が先に形成され、リセス112が前記基板110の一部に、一定な深さで形成された後、ソース及びドレーン層120が前記基板110に形成された後、ゲート絶縁層130が前記ソース及びドレーン層120の上部面上及び前記リセス112の側壁に従って蒸着される。

【0015】

図3を参照すると、前記リセス112は、第1導電層140に満たされ、前記第1導電層140は、前記ゲート絶縁層130上に形成される。前記第1導電層は、Ti、TiN、W、WN、Ta、Ta₂N₅、Co、C、Ru、又はRbからなるグループで選択された物質を利用し形成される。前記リセス112を満たすように使われる前記第1導電層物質の仕事関数は、ポリシリコンのより一般的に高い。一実施形態に従うと、チタニウム窒化物(titanium nitride、TiN)が前記リセス112の下部領域を満たすための第1導電物質に使われる。TiNは、約4.6の仕事関数を有する。これに比べ、n-型ポリシリコンは、同一条件及び同一ディメンションで約4.1の仕事関数を有する。図11は、TiN及びポリシリコンのオンカレントIon特性のグラフを示す。示した通り、同一スレッショルド電圧がリセスゲートに提供されると、第1導電層にポリシリコンが使われた時と比べて、TiNが前記第1導電層140に使われた時のオンカレントIonが高い。前記第1導電層140は、スパッタリング、化学的の蒸気蒸着(Chemical Vapor Deposition: CVD)、原子層積層(Atomic Layer Deposition: ALD)、又はこのような工程のうち、一つによって形成されることができる。

【0016】

図4を参照すると、第1導電層パターン145は前記第1導電層140をエッチングバ

ック(Etching Back)し、形成される。したがって、前記第1導電層パターン145は、前記リセス112の底領域を占める。本発明の一実施形態に従うと、前記第1導電層パターン145は、前記リセス112のラウンドになる底領域から前記ソース及びドレーン層120の底に近く近接するトップ表面まで、約500乃至約1,500の厚さを有する。したがって、前記第1導電層パターン145と前記ソース及びドレーン層120との間に一定長さのギャップが存在する。

【0017】

図5を参照すると、第2導電層150は前記第1導電層パターン145と前記ゲート絶縁層130上に蒸着され、前記リセス112を満たす。図6を参照すると、前記第1導電層パターン145上の前記リセス112の全体領域を満たし、前記ゲート絶縁層130のトップの上に延長される領域を有するように前記第2導電層152をパターンニングし、第2導電層パターン155が形成される。前記第1導電層パターン145に隣接した前記第2導電層パターン155と共に前記第1導電層パターン145の全体の厚さは、チャンネルリング領域175を形成する。素子の動作のうちに、前記チャンネルリング領域175の調節により、前記ソース及びドレーン層120の下の付近に前記リセス112の外部プロファイルにより存在するチャンネル領域115を通し前記ソース及びドレーンに電子、又はホールが移動することができる。本発明の一実施形態によると、前記第2導電層150は、n-型、又はp-型ポリシリコンを利用し、形成される。選択的に、前記第2導電層150は、Ti、TiN、W、WN、Ta、Ta₂N₅、CO、C、Rb、又はRuからなるグループで選択された金属物質を利用し、形成されることができる。

10

20

【0018】

本発明の一実施形態によると、前記第2導電層150は、形成された前記リセスゲートがNMOS素子の一部であるか、又はPMOS素子の一部であるかによって、前記第1導電層パターン145の仕事関数より小さい、或いは大きい仕事関数を有することができる。例えば、前記リセスゲートがNMOS素子の一部であると、前記第2導電層150に使われたポリシリコンは、前記第1導電層パターン145のより小さい、或いは同じの仕事関数を有する。反対に、前記リセスゲートがPMOS素子の一部であると、前記第2導電層150に使われたポリシリコンは、前記第1導電層パターン145のより大きい、或いは同じの仕事関数を有する。この実施形態によると、前記第2導電層パターン155の厚さは、前記第1導電層パターン145の厚さより厚い。本発明の他の実施形態によると、前記第1導電層パターン145の厚さは、前記第2導電層パターン155の厚さより厚い、或いは同じである。

30

【0019】

図7を参照すると、本発明の一実施形態によると、前記第2導電層150がポリシリコンを利用し、形成される時、キャッピング金属層165がポリシリコンを覆うために前記第2導電層パターン155上に形成される。前記キャッピング金属層165は、Ti、TiN、Ta、Ta₂N₅、W、又はWNからなるグループで選択された物質を利用し、形成されることができる。本発明の他の実施形態によると、付加的なオーミック(Ohm ic)パターン(未図示)が前記キャッピング金属層165を形成する前に前記第2導電層パターン155上に形成されることができる。前記オーミック(Ohm ic)層は、TiSi、Ta、TaSi、Co、CoSi、又はWSiからなるグループで選択された物質で作られることができる。

40

【0020】

図12は、前記第1導電層がTiNを利用して形成され、前記第2導電層がポリシリコンを利用して形成される時の例示的なリセスゲートの電気的特性を示すテーブルである。前記テーブルは、前記第1導電層パターンの厚さを示す互いに異なるゲートの高さによるスレッショルド電圧(threshold voltage)(VT)、ゲート電流(gate current)(Ion)、ドレーン誘導バリアー下げ(drain induced barrier lowering)(DIBL)、スタンバイ電流(standby current)(Ioff)、GIDL、及びJLKGのようなパラメーター(parameter)

50

ers)を示す。例えば、前記GIDLは、最も低いゲートの高さである500で最も低く現れる。これは、最も低いスタンドバイ電流Ioffと関連あるが、スレッシュド電圧(VT)及びゲート電流(Ion)また最も低い。前記ソース及びドレーン層の厚さと前記ソース及びドレーン層と前記第1導電パターンとの間の前記ギャップの厚さの合計である前記ソース及びドレーン領域の厚さは、約1,000である。

【0021】

本発明の他の実施形態により、形成されたりセスゲートによると、前記第1導電層は、Ti、TiN、W、WN、Ta、Ta₂N₅、CO、C、Ru、又はRbからなるグループの物質のうち、金属を利用し形成される。前記第2導電層は、またTi、TiN、W、WN、Ta、Ta₂N₅、CO、C、Ru、又はRbからなるグループの物質のうち、一つの金属を利用して形成される。

10

【0022】

本発明の実施形態に他のゲート絶縁スペーサーを形成するための工程を図8aから8dに示す。図8a及び8bを参照すると、前記第2導電層150は、前記リセス112の最上位部の下に前記ソース及びドレーン層120の底に近い高さでトップ表面を有する第2導電層パターン152を形成するためにエッチングバックによりパターンニングされる。

【0023】

図8cを参照すると、スペーサー絶縁層物質132はスペーサーを形成するために前記第2導電層パターン152上に蒸着される。前記スペーサー絶縁層物質132は、酸化物、又は窒化物を利用し形成されることができる。

20

【0024】

前記ソース及びドレーン層120に隣接したスペーサー絶縁層135を形成するために、図8dに示されたように、前記第2導電層パターン152と前記ソース及びドレーン層120上の前記ゲート絶縁層130を露出するように前記スペーサー絶縁層物質132がエッチングバックされる。前記リセスを満たし、前記ゲート絶縁層130の最上部面上に延長される第3導電層154が形成される。本発明の実施形態に従う前記スペーサー絶縁層135は、第3導電層154と前記ソース及びドレーン層120との間のGIDLを減少させることを含み、前記リセスゲートの電気的特性を向上させるように作用する。

【0025】

本発明の一実施形態に従うBCATの形成工程によると、図9に示されたように、シリコンと同じ半導体物質からなる基板110が先に形成され、前記基板110の一部に一定な深さでリセス112が形成され、ソース及びドレーン層120が前記基板110に形成された後、ゲート絶縁層130が前記リセス112の側壁を従い蒸着される。前記リセスを第1導電物質(第1導電層)で満たし、前記第1導電層をエッチングバックし、第1導電層パターン145が形成される。前記第1導電層パターン145は、したがって、前記リセス112の底領域を占める。第2導電物質で前記第1導電層パターン145上に前記リセスを満たした後にエッチングバックし、前記ソース及びドレーン層120の最上部の下に最上部表面(top surface)を有する第2導電層パターン156が形成される。キャッピング絶縁層物質180が前記第2導電層パターン156と前記ソース及びドレーン層120上に蒸着される。前記キャッピング絶縁層物質は、酸化物、窒化物、SiON、SixNy、又はSiO₂である。

30

40

【0026】

図10を参照すると、キャップ185を形成するように前記キャッピング絶縁層物質を平坦化して、BCATが形成される。図に示されたように、前記第1及び第2導電層パターンは、前記ソース及びドレーン領域120の最上部の下に前記キャップ185により、カバーされ埋められる。前記平坦化工程は、エッチングバック、CMP、又は、このような工程である。

【0027】

上述した本発明の一実施形態に従うリセスゲートトランジスターは、ホストシステムに脱着可能に連結されるカード内にパッケージになり、多様な応用品に適用されることがで

50

きる半導体メモリ装置に使われることができる。現在商用化されたメモリカード形態は、PCMCIA(Personal Computer Memory Card International Association)、コンパクトフラッシュ(登録商標)(Compact Flash:CF)、マルチメディアカード(Multi Media Card:MMC)及びSD(Secure Digital)の形態を含む。前記カードが使われるホストシステム(Host Systems)は、PC(Personal Computers)、ノート型コンピューター(Notebook Computers)、携帯用コンピューターシステム(Hand Held Computing Devices)、カメラ(Cameras)、オーディオ再生装置(Audio Reproducing Devices)、及びこのような装置を含む。

10

【0028】

本発明の一実施形態に係る半導体素子を含むメモリ素子モジュール(Modular Memory Device)を図13を参照して説明する。

前記メモリ素子モジュール200は、印刷回路基板220を含むことができる。前記印刷回路基板220は、前記メモリ素子モジュール200の外部表面のうち、一つを形成することができる。前記印刷回路基板220は、メモリユニット(Memory Unit)230、素子インタフェースユニット(Device Interface Unit)240及びコネクタ(Electrical Connector)210を支持することができる。

20

【0029】

本発明の一実施形態に従うリセスゲートトランジスタを有する前記メモリユニット230は、3次元的なメモリアレイを含むことができ、メモリアレイコントローラと連結することができる。前記メモリアレイは、前記印刷回路基板220上に3次元的な格子内に配列された適当な数のメモリセルを含むことができる。

【0030】

前記素子インタフェースユニット240は、分離された基板上に形成され、前記印刷回路基板220により、前記メモリユニット230及び前記コネクタ210に転機的に連結することができる。又は、前記メモリユニット230及び前記素子インタフェースユニット240は、前記印刷回路基板220上に直接に搭載されることができる。前記素子インタフェースユニット240は、電圧(Voltages)、クロック周波数(Clock Frequencies)、及びプロトコルロジック(Protocol Logic)を生成するのに必要な成分を含むことができる。

30

【0031】

図14を参照して本発明の一実施形態に従う半導体素子を含むメモリシステム(Memory System)が説明される。

メモリシステム300は、本発明の一実施形態に従うリセスゲートトランジスタを含むメモリ素子310及びメモリコントローラ320を含むことができる。前記メモリコントローラ320は、ホスト330(Host)の読み出し及び書き込みの要請に応じて、前記メモリ素子310から記憶されたデータを読み出、又は前記メモリ素子310にデータを記録するように前記メモリ素子310を制御する。前記メモリコントローラ320は、前記ホスト330(モバイル機器、又はコンピューターシステム)から提供されるアドレスを前記メモリ素子310の物理的なアドレスでマッピングするためのアドレスマッピングテーブル(Address Mapping Table)を構成することができる。

40

【0032】

本発明の一実施形態に従う半導体素子を含む電子装置400を図1に参照して説明する。電子装置400は、無線通信装置、例えば、PDA、ラップトップ(Laptop)コンピューター、携帯用コンピューター、ウェブタブレット(Web Tablet)、無線電話機、携帯電話、デジタルの音楽プレーヤー(Digital Music Player)、又は情報を無線環境で送信、そして受信することができる全ての素子に使われることができる。

50

【0033】

電子装置400は、バス450を通し、互いに結合した制御機410、キーボード、キーボード、画面(Displ ay)のような入出力装置420、本発明の一実施形態に従うリセスゲートトランジスターを含むメモリ430、無線インタフェース440を含むことができる。前記制御機410は、例えば一つ以上のマイクロプロセッサ(Microp rocessor)、デジタル信号プロセッサ(Digital Signal Pro cessor)、又はこれと類似なもの等を含むことができる。前記メモリ430は、例えば制御機410により実行される命令語を記憶することに使われることができる。また、前記メモリ430は、使用者データを記憶することに使われることができる。前記メモリ430は、本発明の一実施形態に従う半導体素子を含む。前記電子装置400は、無線通信ネットワークを通し、データを電送し受けるために無線インタフェース(Wirel ess Interface)440を使用することができる。例えば、前記無線インタフェース440は、アンテナ及び無線送受信機を含むことができる。

10

【0034】

本発明の一実施形態に従う電子装置400は、CDMA(Code Division Multiple Access)、GSM(Global System For Mobile Communi actions)、NADC(North American Digital Cellular)、E-TDMA(Extended-Time Division Multiple Access)、WCDAM(Wide Band Code Division Multiple Access)、CDMA2000のような3世代通信システムのような通信インタフェースプロトコルで使われることができる。

20

【0035】

上述した説明は、本発明についての例示的な説明である。また上述した内容は、本発明の望ましい実施形態を示し、説明することに過ぎないし、上述したように、本発明は、多様な他の実施形態の組合、変更及び異なる環境で使用することができ、本明細書に開示された概念の範囲、上述した開示内容と均等な範囲及び/又は本発明の分野の技術、又は知識内で変形或いは変更ができる。従って、上述した発明の詳細な説明は、開示された実施の状態に本発明を制限するものではない。なお、添付された請求の範囲は、他の実施形態も含むものと解釈しなければならない。

30

【図面の簡単な説明】

【0036】

【図1】本発明の一実施形態に従う半導体素子を有する電子装置を示すブロック図である。

【図2】本発明の一実施形態に従うリセスゲートを有する半導体素子を示す断面図である。

【図3】本発明の一実施形態に従うリセスゲートを有する半導体素子を示す断面図である。

【図4】本発明の一実施形態に従うリセスゲートを有する半導体素子を示す断面図である。

40

【図5】本発明の一実施形態に従うリセスゲートを有する半導体素子を示す断面図である。

【図6】本発明の一実施形態に従うリセスゲートを有する半導体素子を示す断面図である。

【図7】本発明の一実施形態に従うリセスゲートを有する半導体素子を示す断面図である。

【図8A】本発明の一実施形態に従うリセスゲートを形成するための方法を示す断面図である。

【図8B】本発明の一実施形態に従うリセスゲートを形成するための方法を示す断面図である。

50

【図 8 C】本発明の一実施形態に従うリセスゲートを形成するための方法を示す断面図である。

【図 8 D】本発明の一実施形態に従うリセスゲートを形成するための方法を示す断面図である。

【図 9】本発明の一実施形態に従って製造されたりセスゲートが適用された半導体素子を形成するための方法を示す図である。

【図 10】本発明の一実施形態に従って製造されたりセスゲートが適用された半導体素子を形成するための方法を示す図である。

【図 11】物質等と電流特性のグラフを示す図である。

【図 12】本発明の一実施形態に従うリセスゲートに提供されることができる電気的特性のテーブルを示す図である。

【図 13】本発明の一実施形態に従う半導体素子を含むメモリ装置とモジュールを示す図である。

【図 14】本発明の一実施形態に従う半導体素子を含むメモリシステムを図示するブロック図である。

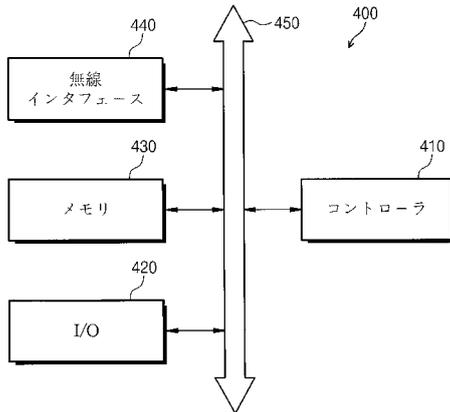
【符号の説明】

【0037】

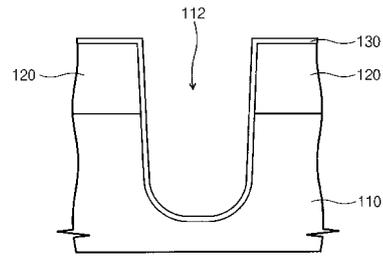
110：基板、 112：リセス、 120：ソース及びドレイン層、 145：第1導電層パターン、 156：第2導電層パターン、 300：メモリシステム、 310：メモリ素子、 320：メモリコントローラ、 330：ホスト、 400：電子装置、 410：制御機、 420：入出力装置、 430：メモリ、 440：無線インタフェース、 450：バス

10
20

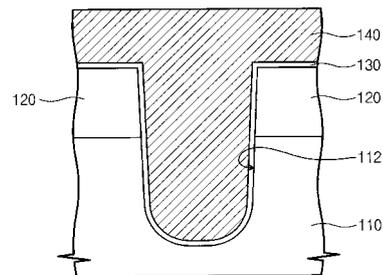
【図 1】



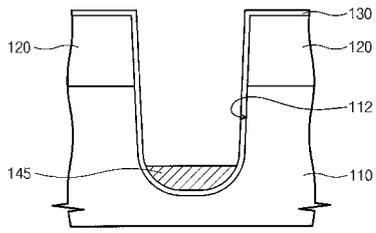
【図 2】



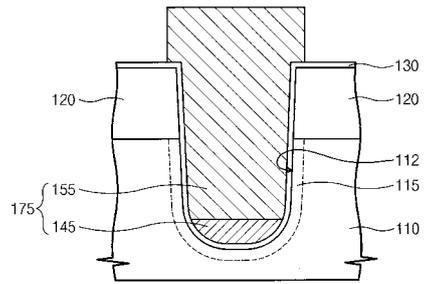
【図 3】



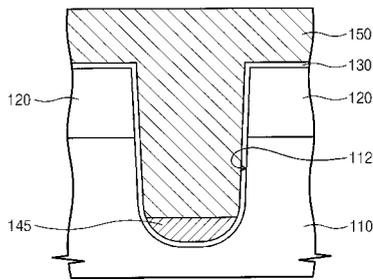
【 図 4 】



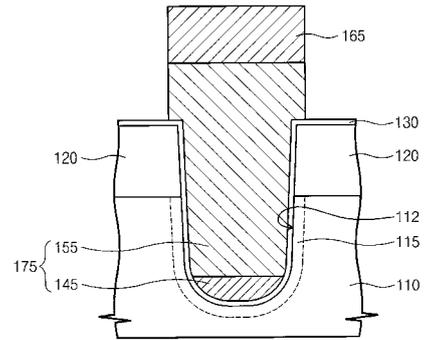
【 図 6 】



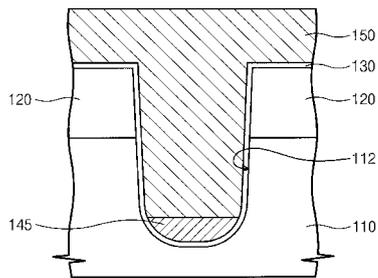
【 図 5 】



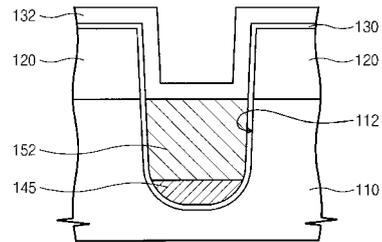
【 図 7 】



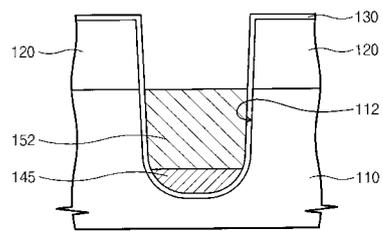
【 図 8 A 】



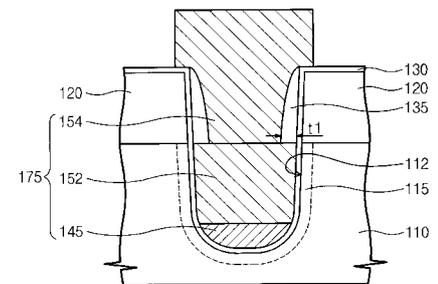
【 図 8 C 】



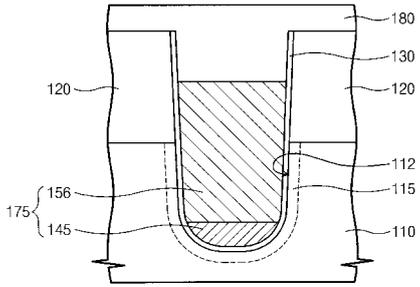
【 図 8 B 】



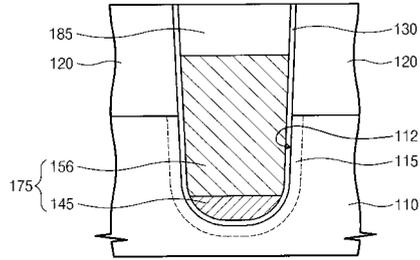
【 図 8 D 】



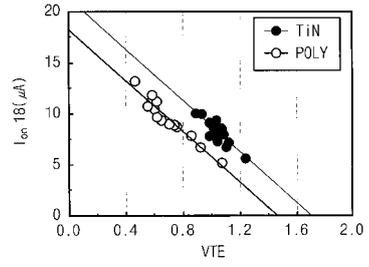
【図 9】



【図 10】



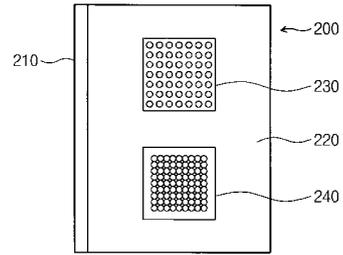
【図 11】



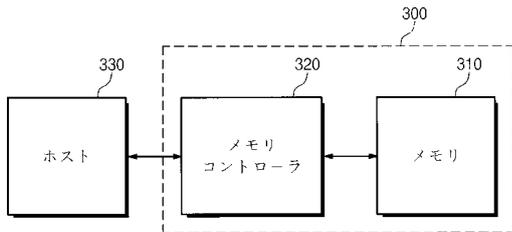
【図 12】

| Gate Height | VT | Ion | D1BL | Ioff | GIDL | JLKG |
|-------------|-------|----------|-------|----------|----------|----------|
| 500A | 1.055 | 3.68E-07 | 0.017 | 1.30E-16 | 3.16E-16 | 4.86E-16 |
| 1000A | 1.076 | 3.82E-07 | 0.016 | 2.66E-16 | 1.27E-14 | 4.36E-16 |
| 1500A | 1.078 | 3.82E-07 | 0.016 | 4.06E-13 | 8.49E-13 | 4.32E-16 |

【図 13】



【図 14】



フロントページの続き

(51) Int.Cl. F I テーマコード(参考)
 H 0 1 L 27/10 (2006.01) H 0 1 L 29/58 G
 H 0 1 L 21/8238 (2006.01)
 H 0 1 L 27/092 (2006.01)
 H 0 1 L 29/423 (2006.01)
 H 0 1 L 29/49 (2006.01)

(72) 発明者 閔 智英
 大韓民国ソウル特別市冠岳区新林5洞1432-1ヨンジオフィステル405号
 (72) 発明者 崔 時榮
 大韓民国京畿道城南市盆塘区藪内棟パークタウンロッテアパート137棟204号
 (72) 発明者 姜 尚範
 大韓民国ソウル特別市瑞草区盤浦洞919番地盤浦アパート95棟308号
 (72) 発明者 黄 熙敦
 大韓民国ソウル特別市江南区道谷洞サミクアパート2棟209号
 (72) 発明者 禹 東秀
 大韓民国ソウル特別市冠岳区奉天洞1706奉天宇星アパート103棟402号

Fターム(参考) 4M104 AA01 BB04 BB14 BB17 BB18 BB30 BB32 BB33 BB36 CC05
 FF01 FF13 GG09 GG10 GG14 GG16
 5F048 AA07 AB01 AC01 AC03 BA01 BB01 BB06 BB07 BB09 BB10
 BB11 BB12 BB13 BB14 BB20 BD06 BD07 CB07 DA27
 5F083 AD04 GA27 JA35 JA38 JA39 JA40 JA53 KA01 PR09 PR39
 PR40 ZA23
 5F140 AA06 AB03 AC32 BA01 BB04 BB05 BE09 BE10 BF10 BF11
 BF13 BF14 BF15 BF17 BF20 BF21 BF27 BF30 BF43 BG08
 BG14 BG20 BG22 BG37 BG40 CE07 CE20