



(12) 发明专利

(10) 授权公告号 CN 101009484 B

(45) 授权公告日 2011.05.11

(21) 申请号 200610023744.0

CN 1419292 A, 2003.05.21, 说明书第 10 页

(22) 申请日 2006.01.28

第 11 行 - 21 行, 图 1-2.

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

审查员 刘力

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 赵光来

(74) 专利代理机构 北京市金杜律师事务所
11256

代理人 李勇

(51) Int. Cl.

H03K 5/13(2006.01)

H03L 7/08(2006.01)

(56) 对比文件

US 6448833 B2, 2002.09.10, 全文.

JP 7-131310 A, 1995.05.19, 全文.

CN 1638276 A, 2005.07.13, 说明书第 12 页
第 6 行 - 第 31 行, 图 3, 图 5.

US 5793238 A, 1998.08.11, 说明书第 2 栏第
50 行 - 第 3 栏第 26 行, 图 2.

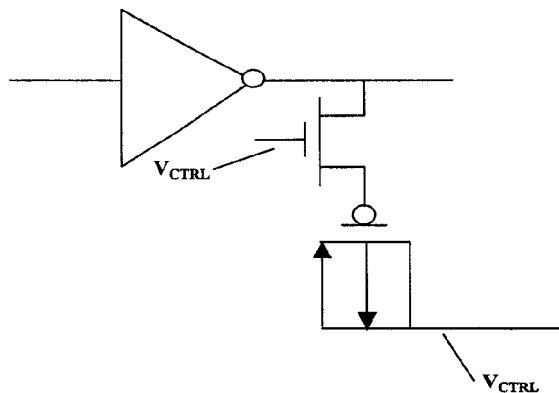
权利要求书 1 页 说明书 5 页 附图 3 页

(54) 发明名称

单端单位延迟元件

(57) 摘要

目前,应用在 DLL 电路或其他类似电路中的单端单位延迟元件存在抗噪音能力弱且版图尺寸过大的缺点,使得整个电路的抗噪音能力弱且版图面积比较大。本发明采用 PMOS 电容代替了现有技术中所使用的 NMOS 电容,提高了单端单位延迟元件的抗噪音能力并减小了其版图面积,从而可以改善应用该部件的 DLL 电路或其他类似电路的性能。



1. 一种可以减小版图面积并提高抗噪音能力的单端单位延迟元件,包括反相器和电容,其特征在于,所述的电容是PMOS,且反相器的输出端连接在PMOS的栅极上,而PMOS的源极、漏极均连接在控制电压上,所述的PMOS在N阱中制作,且该N阱形成在P型衬底中或该N阱形成在基于N型衬底的P阱中。

2. 一种可以减小版图面积并提高抗噪音能力的单端单位延迟元件,包括反相器和电容,其特征在于,所述的电容是PMOS,且该PMOS还连接有传输晶体管,且反相器的输出端连接在传输晶体管的漏端上,控制电压连接到传输晶体管的栅极上,所述传输晶体管的源极连接在PMOS的栅极上,而PMOS的源极、漏极和衬底都连接在控制电压上,所述的PMOS在N阱中制作,而该N阱形成在P型衬底中或该N阱形成在基于N型衬底的P阱中。

单端单位延迟元件

技术领域

[0001] 本发明涉及集成电路 (Integrated Circuit, IC) 设计中的延时单元, 特别涉及 DLL (延迟锁相环, Delay Loop Locking) 等电路中经常使用的单端单位延迟元件 (single ended Unit Delay)。

背景技术

[0002] 锁相环是把输出相位和输入相位比较的反馈系统, 其可以起到频率倍增和合成, 减小偏移和抖动等作用。在电子学和通信领域中有广泛应用, 其中一类比较重要的形式便是 DLL。

[0003] 目前, 单端单位延迟元件在集成电路设计中具有广泛的应用, 特别在 DLL 中, 该种部件便经常被使用。

[0004] 参考图 1 所示的 DLL 的结构示意图, 其中, 模拟 DLL 的总时延 (图 1 中 1 部分) 包含有单端单位延迟元件, 这个单端单位延迟元件被重复使用以实现时钟锁定。而上述 DLL 的延迟功能就是通过若干个该等单端单位延迟元件的组合来实现的。例如, 如果我们使用 10 个上述的单端单位延迟元件来进行时钟锁定, 并使每一个单端单位延迟元件延迟时间是所需时钟周期的十分之一, 那么上述的 10 个单端单位延迟元件组合后即将时钟周期整体延迟了一个时钟周期, 从而完成了延迟功能。这也就意味着时钟相位按照组成上述整个 DLL 或其他类似电路的单端单位延迟元件的数量所均分。

[0005] 通过上述途径, 虽然完全可以实现时钟延迟; 但是, 由于众多上述单端单位延迟元件的使用, 使得这种元件的抗噪音能力弱和版图 (layout) 尺寸过大的缺点, 对整个电路的性能和版图面积的影响都很大。

[0006] 而现有的 DLL 中的总时延部分采用的单端单位延迟元件通常如图 2 和图 3 所示。其中, 图 2 描述了一种比较常用的结构, 反相器 (inverter) 的输出端 (out) (22) 连接在 NMOS (N 型 - 金属 - 氧化物 - 半导体场效应晶体管, N type metal-oxide-semiconductor field effect transistor) 的栅极 (23) 上, NMOS 的源极、漏极都连接在 V_{SS} (地线电压) (24) 上。从图中可以发现, 在该电路中只使用 NMOS 电容, 并没有使用传输晶体管 (pass transistor)。在这样的情况下, 由于 NMOS 单位面积的电容值并不高, 所以, 要达到所需要的电容值必须采用较大面积的 NMOS 才能实现。

[0007] 可见, 上述使用 NMOS 的做法使得电路版图的面积比较大。

[0008] 此外, 由于在上述结构中, NMOS 电容直接在 P 型衬底 (P-SUB) 上制作, 而其他的元件, 例如晶体管和电阻等, 也制作在同一块 P 型衬底上, 这样, NMOS 电容与周围的元件, 例如晶体管和电阻等, 没有分隔开来, 来自周围元件的干扰, 例如电压或电流的不稳定造成的波动, 便容易对 NMOS 电容造成影响, 从而影响整个单端单位延迟元件的稳定, 使得这样的结构不具有良好的抗噪音能力。

[0009] 再分析图 3, 其描述了另一种常见的结构。其中, 反相器的输出端连接在传输晶体管的漏端上, 该传输晶体管的栅极 (33) 连接在 V_{CTRL} (控制电压) 上, 它的源极连接在位于下

方的 NMOS 电容的栅极 (35) 上, 该 NMOS 电容的源极、漏极、衬底都连接在 V_{SS} (34) 上。在该电路中, 由于在使用了 NMOS 的同时还使用了传输晶体管结构, 因而使得单位面积的 NMOS 具有较大的电容, 因此, 与图 2 相比, 此种结构组成的单端单位延迟元件的版图面积较小。但是, 在该种情况下, 由于 NMOS 单元未与周围的其他元件, 例如晶体管和电阻等, 相分隔, 周围电压、电流的波动对 NMOS 单元仍然有影响, 从而影响整个单端单位延迟元件的稳定, 因而整个电路的抗噪音性能仍然需要改善。

[0010] 如果能寻找到一种可以在不影响上述 DLL 电路或者类似电路的时钟延迟功能的前提下, 同时又能提高整个电路的抗噪音能力并减小单端单位延迟元件版图尺寸的方法, 那么对于上述的电路将有非常重要的意义。

发明内容

[0011] 为了实现上述目的, 本发明提供了一种减少单端单位延迟元件的面积并提高其抗噪音能力的技术方案。

[0012] 发明人意识到, 现有方案中都是将 NMOS 电容直接制作在 P 型衬底上, 而其他元件也直接制作在同一块 P 型衬底上, 从而导致整个电路的抗噪音能力弱, 因此, 应该通过改变这种方式来提高其抗噪音能力。

[0013] 为此, 发明人提出的解决方案的思想是, 在 P 型衬底制作 N 阱 (N-WELL), 然后在 N 阱中制作 PMOS (P 型 - 金属 - 氧化物 - 半导体场效应晶体管, P type metal-oxide-semiconductor field effect transistor), 这样可以提高单端单位延迟元件的抗噪音能力, 也可以减小其版图面积, 从而实现本发明的目的。

[0014] 根据本发明内容所提供的单端单位延迟元件的电路有两种方案。

[0015] 第一种方案, 包括反相器和电容, 参考图 4, 其特征在于, 所述的电容是 PMOS (45), 且反相器的输出端 (43) 连接在 PMOS 的栅极上, PMOS 的源极、漏极均连接在 V_{CTRL} (46) 上。

[0016] 第二种方案, 包括反相器和电容, 参考图 5, 其特征在于, 所述的电容是 PMOS (55), 且所述的 PMOS 还连接有传输晶体管, 且反相器 (52) 的输出端连接在传输晶体管的漏端 (53) 上, V_{CTRL} 连接到传输晶体管的栅极 (57) 上, 所述传输晶体管 (54) 的源极连接在 PMOS 的栅极 (58) 上, 而 PMOS 的源极、漏极和衬底都连接在 V_{CTRL} (56) 上。

[0017] 采用上述结构, 实际上在 P 型衬底 (P-SUB) 中形成 N 阱, 再在 N 阱中制作 PMOS 电容。由于 N 阱与 P 型衬底形成 PN 结, 所以制作的 PMOS 在 N 阱中, 与周围分割开了。由于 PN 结的阻挡, 使得周围的干扰对 PMOS 的干扰大大降低, 提高了单端单位延迟元件的抗噪音能力, 进而提高了使用该单端单位延迟元件的电路的抗噪音能力。

[0018] 另外, 本发明所采用的 PMOS 电容相对于原来的 NMOS 电容具有较高的电容, 故达到额定的电容所需要的面积也将减少, 从而达到了减小单端单位延迟元件的效果。

附图说明

[0019] 图 1 是 DLL 电路的结构框图。

[0020] 图 2 是使用 NMOS 作为电容的单端单位延迟元件的电路图。其中, 21 是输入端, 22 是输出端, 23 是 NMOS 的栅极。

[0021] 图 3 是使用 NMOS 和传输晶体管的结构单端单位延迟元件的电路图。31 是反相

器的输入端,32 是反相器的输出端,33 是传输晶体管的栅极联到 V_{CTRL} 上,35 是 PMOS 电容的栅极,34 是地线,标为 V_{SS} 。

[0022] 图 4 是本发明的一个实施例的电路图,41 是反相器,42 是反相器的输入端,43 是反相器的输出端,44 是 PMOS 的栅极,45 是 PMOS 电容,连线 46 连接到控制电压 V_{CTRL} 上。

[0023] 图 5 是本发明的一个实施例的电路图,52 是反相器,51 是反相器的输入端,53 是传输晶体管的漏极,54 是传输晶体管,57 是传输晶体管的栅极连接到控制电压 V_{CTRL} 上,58 是 PMOS 电容的栅极,55 是 PMOS 电容,连线 56 连接到控制电压 V_{CTRL} 上。

[0024] 图 6 是现有技术所使用,即图 2 和图 3 中所采用的 NMOS,64 为 NMOS 结构图,61 是 NMOS 的栅极,标为 A 端,65 是 P 衬底。。

[0025] 图 7 是本发明的一个实施例中采用的 PMOS 的结构图,72 是 PMOS,71 连线连接到控制电压 V_{CTRL} 上,75 是 PMOS 的栅极,标为 A 端,76 为地线电压 V_{SS} ,73 为 N 阱,74 是 P 衬底。

[0026] 图 8 是现有技术中和本发明提供的方案的阈值电压的变化对比图。

[0027] 图 9 是电容特性曲线图。91 是本发明采用的 PMOS 电容的主要工作区,92 是现有技术采用的 NMOS 电容的主要工作区。

[0028] 图 10 是本发明的又一个实施例中采用的 PMOS 的结构图,102 是 PMOS,101 是 PMOS 的栅极,103 是 N 阱,104 是 P 阱,105 是 N 衬底。

具体实施方式

[0029] 参考图 1,其是 DLL 电路的结构框图,其描述了 DLL 的工作环境。其中,总时延部件(1)有两个输入,分别为参考电压和控制电压,经过总时延部件后所述的输出时钟发生了延迟,该输出时钟和参考时钟再共同作为输入参数输入到相位探测部件,该相位探测部件对两个输入参数进行比较后,其结果再作为电压泵的输入,而该电压泵即根据该输入来产生控制电压。本发明所涉及单端单位延迟元件即被应用在所述的总时延部件(1)中。

[0030] 图 4 是本发明的一个实施例的电路图。参考图 4,反相器(41)的输出端(43)连接在 PMOS(45)的栅极上,PMOS(45)的源极、漏极均连接在 V_{CTRL} (46)上。

[0031] 图 5 本发明的一个实施例的电路图。参考图 5,反相器(52)的输出端连接在传输晶体管(54)的漏端(53)上, V_{CTRL} 连接到传输晶体管的栅极(57)上,传输晶体管(54)的源极连接在 PMOS 电容(55)的栅极(58)上,而 PMOS 电容(55)的源极、漏极和衬底都连接在 V_{CTRL} (56)上。

[0032] 参考图 6,其描述了现有技术采用的 NMOS 晶体管的结构图。NMOS 电容(64)直接在 P 型衬底(65)上制作,而其他的元件,例如晶体管和电阻等,虽然在图中没有显示,但也制作在同一块 P 型衬底(65)上。

[0033] 参考图 7,其描述了本发明采用的 PMOS(72)的结构图。在 P 型衬底(74)上制作 N 阱(73),在 N 阱(73)中制作 PMOS(72)。参考图 4,由于 PMOS(72)做在 N 阱(73)中,N 阱(73)与 P 型衬底(74)形成 PN 结,使得 PMOS(72)与 P 型衬底(74)相隔离,与图 2、图 3 以及图 7 所示的结构,即 NMOS 电容与周围的元件,例如晶体管和电阻等,没有分隔的情况,产生鲜明的对比。由于上述的隔离作用,使得图 7 所示结构的电路的抗噪音能力相对于图 2、图 3、图 7 所示结构的电路有了明显的提高。

[0034] 与图 2 相比较,图 4、图 5 以及图 7 中,其仍然使用现有工艺条件,例如目前经常所

用的双阱工艺,因此,在现有工艺下就可以实现本发明所述的结构。

[0035] 此外,我们也可以将现有技术与本发明采用的方案进行对比说明本发明的优点。

[0036] 参考图 3,在采用该图所示结构的单端单位延迟元件的情况下,当输出端处于下降期时,电压 V_{dd} 趋向 0,则传输晶体管的漏端电压趋向于 0,使得该管电阻趋向无穷大,因而电容未起作用。

[0037] 当上述输出端电压不为 0 时,有以下几种情况:

[0038] 当 $V_{CTRL} < V_T$ (即:传输晶体管的阈值电压)时,由于 $V_{CTRL} < V_T$,传输管未开启,输出端的情况不会影响电容值。

[0039] 当 $2V_T > V_{CTRL} > V_T$,且 V_A (即:加在 A 端的电压) $< V_T$ 时, NMOS 的传输晶体管导通,但下方的 NMOS 电容处于积累区,即 $Cap = \epsilon A / T_{ox}$, NMOS 电容值较大,其中 T_{ox} 指氧化层厚度、A 指 mos 电容面积;

[0040] 当 $V_{CTRL} > V_T$,且 $V_A < V_T$ 时,同样,下方的 NMOS 处于积累区,其电容和它的氧化层电容值相同为 $Cap = \epsilon A / T_{ox}$,电容值较大;

[0041] 当 $V_{CTRL} > 2V_T$,且 $V_A > V_T$ 时,下方的 NMOS 进入耗尽区,覆盖电容开始出现,其电容值为: $Cap = \epsilon A / T_{ox}$,其中, $Cap = C_{gs} + C_{gd} + C_{gb}$, C_{gs} 是指栅极和源极的覆盖电容, C_{gd} 是指栅极和漏极的覆盖电容, C_{gb} 是指栅极对衬底的电容,由于在高频情况下, C_{gb} 的值为 0,所以在此处 $Cap = C_{gs} + C_{gd}$ 。

[0042] 由于图 4 结构中, NMOS 电容的源极和漏极都连在一起,故当 $V_{GS} < V_T$ 时,电容工作在截至区,当 $V_{GS} > V_T$ 时, NMOS 电容工作在耗尽区。而 NMOS 的阈值电压较高,故 NMOS 电容主要工作在截至区,电容相对不高。

[0043] 参考图 5,采用本发明提供的结构后,其性能将发生显著改变,具体如下所示:

[0044] 当输出端处于下降期时,同样,电压 V_{dd} 趋向 0,则传输晶体管的漏端电压趋向于 0,使得该管电阻趋向无穷大,因而电容未起作用。

[0045] 所以:

[0046] 当 $V_{CTRL} < V_T$ 时,传输管未开启,电容没有影响输出端;

[0047] 当 $V_{CTRL} > V_T$ 且 $V_{CTRL} - V_T$ (PMOS) $< V_A < V_{CTRL} - V_T$ (NMOS) 时,传输晶体管导通, PMOS 电容在积累区,此时, PMOS 的栅端连在输出端,源漏和衬底都连在 V_{CTRL} (0.85) 上 $Cap = \epsilon A / T_{ox}$,电容值较大;

[0048] 当 $V_{CTRL} > V_T$,且 V_A (A 端电压) $< V_{CTRL} - V_T$ (PMOS) 时,传输晶体管导通, PMOS 进入耗尽区,此时,电容值为, $Cap = \epsilon A / T_{ox} (C_{gs} + C_{gd})$;

[0049] 由于图 3 或者图 5 中, MOS 电容的源级,漏级都连在一起,故当 $V_{GS} < V_T$ 时,电容工作在截至区,当 $V_{GS} > V_T$ 时,电容工作在耗尽区。

[0050] 下面的表 1 描述了 MOS 电容在各工作区的氧化层电容和覆盖电容等电容分量值。MOS 电容,即 C_g ,主要由栅极对于衬底的电容 C_{gb} 、栅极对于源极的覆盖电容 C_{gs} 和栅极对于漏极的覆盖电容 C_{gd} 构成,即 $C_g = C_{gb} + C_{gs} + C_{gd}$ 。例如,当 MOS 电容工作于未饱和区时,栅极对于衬底的电容 C_{gb} 的值为 0,栅极对于源极的覆盖电容 C_{gs} 的值为 $\epsilon A / 2T_{ox}$,栅极对于漏极的覆盖电容 C_{gd} 的值也为 $\epsilon A / 2T_{ox}$,从而使得 MOS 电容的值为 $\epsilon A / T_{ox}$ 。

[0051] 表 1

[0052]

参数	截止区	未饱和区	饱和
C_{gb}	$\epsilon A/$	$\epsilon A/2T_{ox}$	$2\epsilon A/3T_{ox}$
C_{gd}		$\epsilon A/2T_{ox}$	0 (对于短沟道器件 其值有限)
$C_g=C_{gb}+C_{gs}+C_{gd}$	$\epsilon A/T_{ox}$	$\epsilon A/T_{ox}$	$2\epsilon A/3T_{ox} \rightarrow .9$ $\epsilon A/T_{ox}$ (短沟道情况)

[0053] 参考图 8,其描述了现有技术中和本发明提供的方案的阈值电压变化对比。其中,最上方的横线表示输出电压,其下方的横线表示控制电压 (V_{CTRL}),再下方的横线表示 NMOS 的阈值电压,最下方的虚横线表示 PMOS 的阈值电压。左右两侧的虚线圆表示 MOS 晶体管的反转点。可见,PMOS 的阈值电压比 NMOS 的阈值电压小很多,所以在相同的控制电压下,PMOS 更多地工作在耗尽区,NMOS 更多地工作在截止区。

[0054] 图 9 是电容特性曲线图。其中 92 表示现有技术中 NMOS 电容主要的工作区,91 表示本发明所提供的解决方案中 PMOS 电容的主要工作区。参考图 9,可见,在相同的控制电压下,PMOS 更多地工作在耗尽区,NMOS 更多地工作在截止区,因此,电容特性有了显著改善。

[0055] 因而,采用本发明后,图 5 结构电路相比于图 3 结构电路,电容值提高,曲线相对稳定,故版图面积可以相应减少,又由于结构上采用了分隔的阱,使抗噪音性能也有了明显改善。

[0056] 参考图 10,其是本发明的又一个实施例的结构图。与图 7 所不同的是,图 10 所示的结构采用三阱 (triple well) 工艺。参考图 10,首先在 N 型衬底 (N-SUB) 上制作 P 阱 (P-Well),然后在 P 阱中制作小的 N 阱 (N-well),然后再在 N 阱中制作所需的 PMOS 电容。这样的结构可以将本发明提供的发明内容应用在 N 型衬底上,从而使得本发明内容的应用更加广泛。

[0057] 在其他实施例中,也可以参考图 10 将本发明内容通过三阱工艺应用在不同的电路中。本领域的技术人员可以参考上述内容予以理解并实现,所以不予赘述。

[0058] 尽管本发明已经以如上所述的优选实施例予以说明,但上述实施例并非用来限定本发明,任何对该领域熟悉的技术人员,根据本发明的设计思想、具体发明内容以及实施例的启示,应该可以各种改动和调整,而通过这些改动和调整所得到的新的内容应被本发明内容所涵盖。

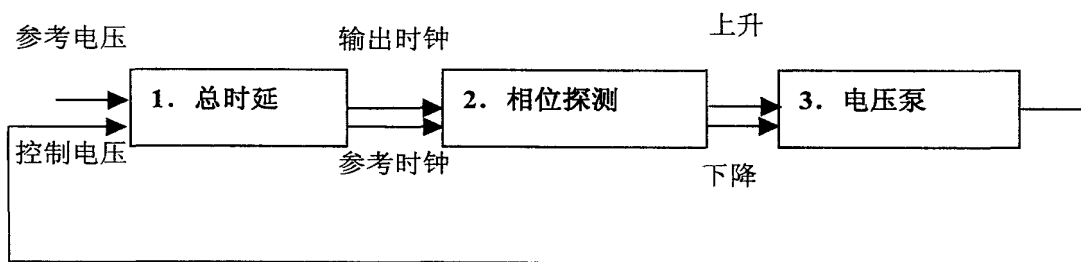


图 1

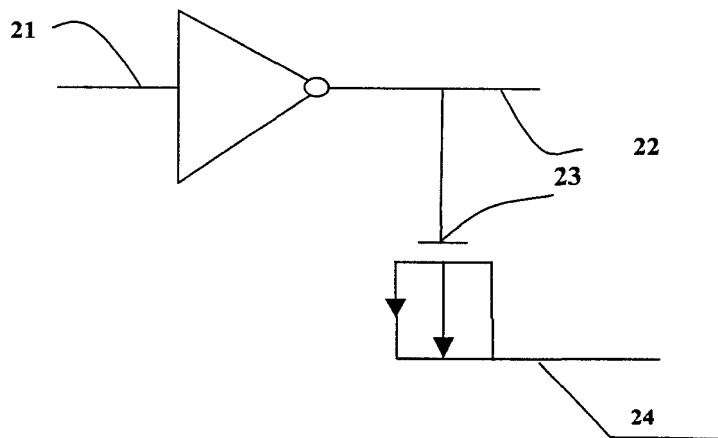


图 2

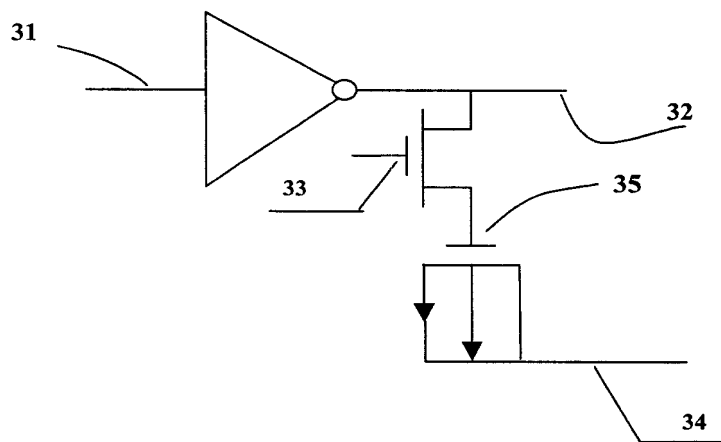


图 3

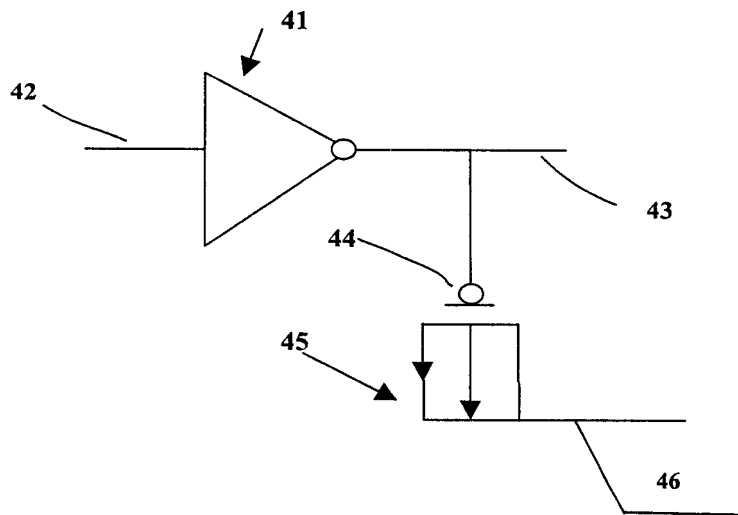


图 4

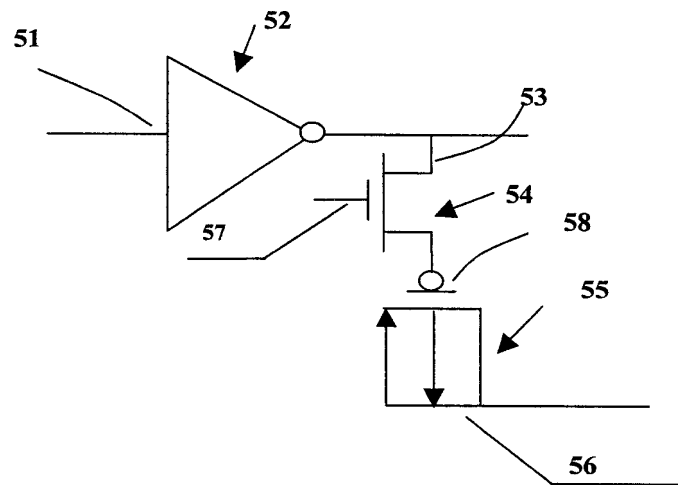


图 5

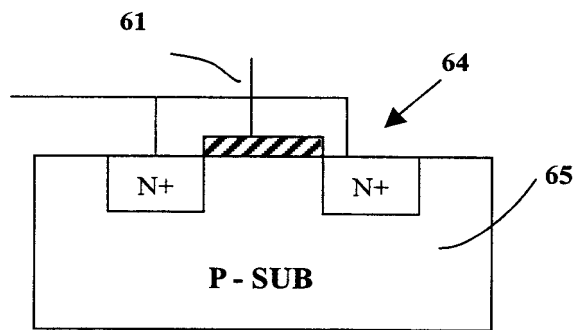


图 6

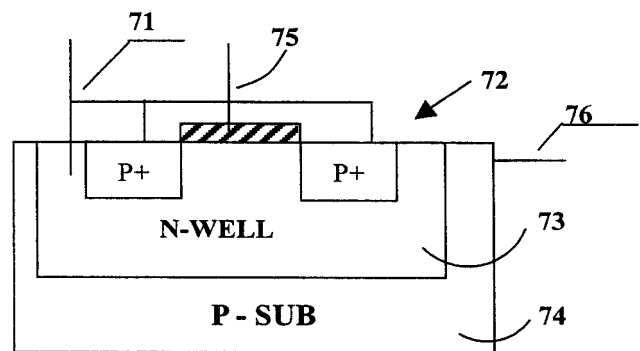


图 7

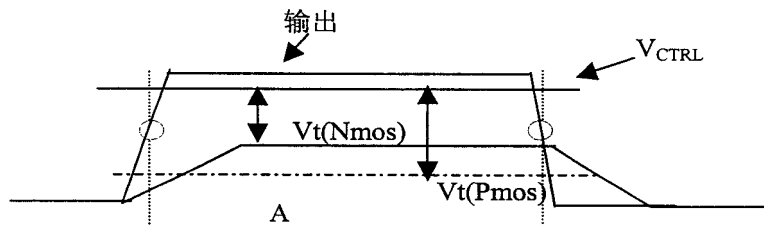


图 8

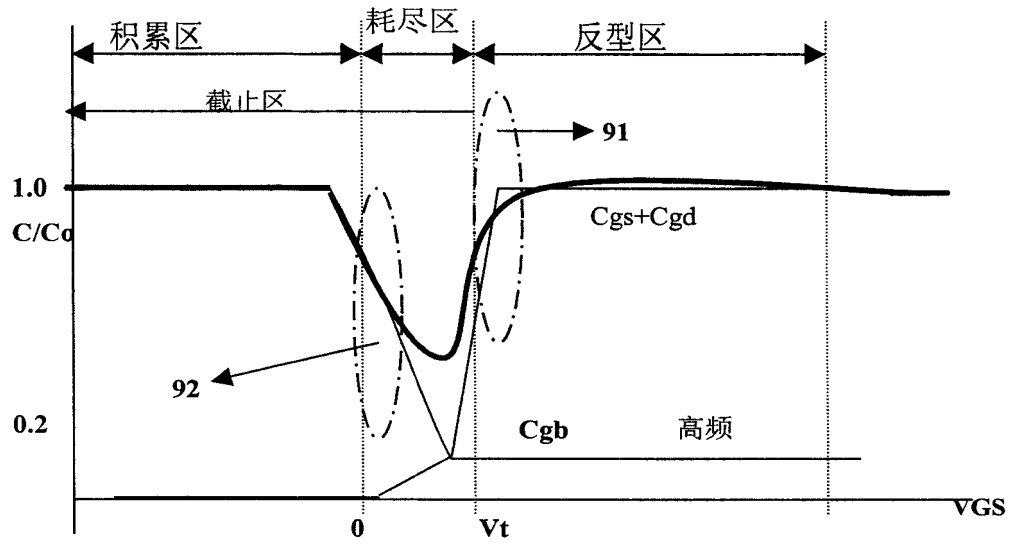


图 9

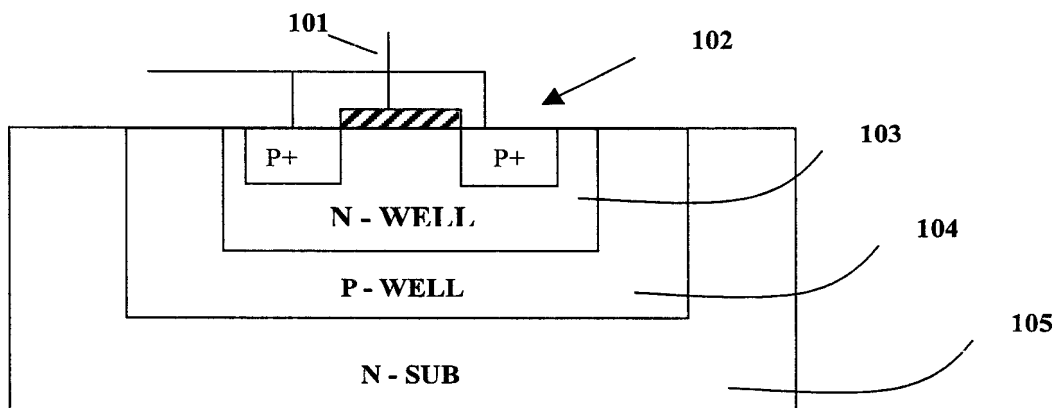


图 10