



(10) **DE 10 2015 105 855 B4** 2023.10.12

(12)

## Patentschrift

(21) Aktenzeichen: **10 2015 105 855.3**  
(22) Anmeldetag: **17.04.2015**  
(43) Offenlegungstag: **25.02.2016**  
(45) Veröffentlichungstag  
der Patenterteilung: **12.10.2023**

(51) Int Cl.: **H01L 21/60** (2006.01)  
**H01L 23/28** (2006.01)  
**H01L 25/065** (2023.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

**14/466,815**                      **22.08.2014**      **US**

(73) Patentinhaber:

**Taiwan Semiconductor Manufacturing Company,  
Ltd., Hsin-Chu, TW**

(74) Vertreter:

**BOEHMERT & BOEHMERT Anwaltspartnerschaft  
mbB - Patentanwälte Rechtsanwälte, 28209  
Bremen, DE**

(72) Erfinder:

**Yu, Chen-Hua, Hsinchu, TW; Lin, Jing-Cheng,  
Hsinchu, TW; Tsai, Po-Hao, Hsinchu, TW**

(56) Ermittelte Stand der Technik:

<b>US</b>	<b>2005 / 0 184 377</b>	<b>A1</b>
<b>US</b>	<b>2012 / 0 061 854</b>	<b>A1</b>
<b>US</b>	<b>2013 / 0 105 989</b>	<b>A1</b>
<b>US</b>	<b>2014 / 0 091 471</b>	<b>A1</b>

(54) Bezeichnung: **Halbleitergehäuse und Verfahren zu ihrer Ausbildung**

(57) Hauptanspruch: Verfahren, das Folgendes umfasst:  
Ausbilden eines ersten Gehäuses (100), das Folgendes umfasst:

Ausbilden einer ersten dielektrischen Schicht (106) über einem Trägersubstrat (102);

Ausbilden eines ersten elektrischen Anschlussteils (110) über der ersten dielektrischen Schicht (106);

Befestigen eines ersten Dies (120) benachbart zu dem ersten elektrischen Anschlussteil (110) und über der ersten dielektrischen Schicht (106);

Ausbilden einer Umverteilungsschicht (131) über dem ersten Die (120) und dem ersten elektrischen Anschlussteil (110);

Ausbilden eines zweiten elektrischen Anschlussteils (136) über der Umverteilungsschicht (131), wobei das zweite elektrische Anschlussteil (136) mit dem ersten Die (120) und/oder dem ersten elektrischen Anschlussteil (110) verbunden ist;

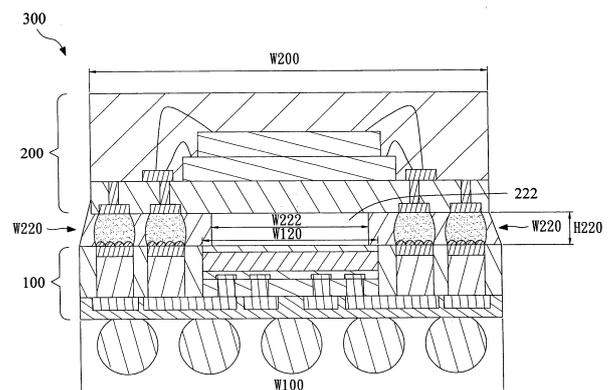
Entfernen des Trägersubstrats (102), um die erste dielektrische Schicht (106) freizulegen; und

Entfernen der ersten dielektrischen Schicht (106), um Abschnitte des ersten Dies (120) und des ersten elektrischen Anschlussteils (110) freizulegen; Verbinden eines zweiten Gehäuses (200) mit dem ersten Gehäuse (100) mittels einer Verbindungsstruktur (218), wobei die Verbindungsstruktur (218) mit dem ersten elektrischen Anschlussteil (110) verbunden ist; und

Ausbilden einer Unterfüllung (220) zwischen dem ersten Gehäuse (100) und dem zweiten Gehäuse (200);

wobei die Unterfüllung (220) eine Öffnung (222) aufweist,

deren Breite (W222) kleiner oder gleich der Breite (W120) des ersten Dies (120) ist, um einen Abschnitt des ersten Dies freizulegen.



**Beschreibung**

## HINTERGRUND

**[0001]** Halbleitervorrichtungen werden in einer Vielzahl von elektronischen Anwendungen verwendet, beispielsweise PCs, Mobiltelefonen, Digitalkameras und anderer elektronischer Ausrüstung. Halbleitervorrichtungen werden üblicherweise hergestellt, indem isolierende oder dielektrische Schichten, leitende Schichten und Halbleiterschichten verschiedener Materialien nach einander über einem Halbleitersubstrat abgeschieden werden und die verschiedenen Materialschichten mittels Lithographie strukturiert werden, um Schaltungskomponenten und Elemente darauf auszubilden.

**[0002]** Die Halbleiterindustrie hat aufgrund von fortlaufenden Verbesserungen bei der Integrationsdichte einer Vielzahl von elektronischen Komponenten (z.B. Transistoren, Dioden, Widerständen, Kondensatoren etc.) ein schnelles Wachstum erlebt. Zumeist rührte diese Verbesserung der Integrationsdichte von der Verkleinerung des Halbleiter-Verfahrensknotens (z.B. dem Verkleinern des Halbleiter-Verfahrensknotens zu dem Unter-20nm-Knoten) her. Da die Nachfrage nach Miniaturisierung, höherer Geschwindigkeit und größerer Bandbreite sowie niedrigerem Stromverbrauch und Latenz in letzter Zeit gewachsen ist, ist ein Bedarf nach kleineren und kreativeren Kapselungstechniken von Halbleiter-Dies gewachsen.

**[0003]** Die US 2014 / 0 091 471 A1 zeigt eine Halbleiter-Package mit einer Unterfüllung zwischen einem ersten und einem zweiten Gehäuse, welche den Raum zwischen den beiden Gehäusen vollständig füllt. Die US 2012 / 0 061 854 A1 offenbart eine Unterfüllung zwischen zwei Gehäusen, wobei die Unterfüllung rund um den Die eine Öffnung aufweist, so dass der Die rundum freiliegt. Ähnlicher Stand der Technik ist gezeigt in der US 2005 / 0 184 377 A1 und der US 2013 / 0 105 989 A1.

## KURZE BESCHREIBUNG DER ZEICHNUNGEN

**[0004]** Aspekte der vorliegenden Offenbarung werden am besten aus der folgenden detaillierten Beschreibung verstanden, wenn sie mit den beigefügten Figuren gelesen wird. Man beachte, dass in Übereinstimmung mit dem üblichen Vorgehen in der Branche verschiedene Einrichtungen nicht maßstabsgetreu gezeigt sind. Tatsächlich können die Abmessungen der verschiedenen Einrichtungen zur Klarheit der Beschreibung beliebig vergrößert oder verkleinert werden.

**Fig. 1A bis Fig. 1J** zeigen Schnittansichten von Zwischenschritten beim Ausbilden eines ersten Gehäuses in Übereinstimmung mit einigen Ausführungsformen.

**Fig. 2A bis 2C** zeigen Schnittansichten von Zwischenschritten beim Befestigen eines zweiten Gehäuses an das erste Gehäuse der **Fig. 1A** bis **Fig. 1J** und das Vereinzeln der Gehäuse in Halbleitergehäuse in Übereinstimmung mit einigen Ausführungsformen.

**Fig. 3A bis 3C** zeigen Schnittansichten von Halbleitergehäusen in Übereinstimmung mit einigen Beispielen, wobei die **Fig. 3B** und **Fig. 3C** nicht die Erfindung zeigen.

**Fig. 4A und 4B** zeigen Schnittansichten von Zwischenschritten beim Ausbilden von Halbleitergehäusen in Übereinstimmung mit einigen Ausführungsformen.

**Fig. 5A bis 5C** zeigen Schnittansichten von Halbleitergehäusen in Übereinstimmung mit einigen anderen Beispielen, wobei die **Fig. 5B** und **Fig. 5C** nicht die Erfindung zeigen.

**Fig. 6, Fig. 7A und Fig. 7B** zeigen Schnittansichten von Zwischenschritten beim Ausbilden von Halbleitergehäusen in Übereinstimmung mit einigen anderen Ausführungsformen.

**Fig. 8** zeigt eine Schnittansicht eines Halbleitergehäuses in Übereinstimmung mit einigen Ausführungsformen.

## DETAILLIERTE BESCHREIBUNG

**[0005]** Die folgende Offenbarung sieht viele verschiedene Ausführungsformen oder Beispiele vor, um verschiedene Einrichtungen des vorgesehenen Gegenstands zu implementieren. Spezielle Beispiele von Komponenten und Anordnungen sind unten beschrieben, um die vorliegende Offenbarung zu vereinfachen. Diese sind natürlich nur Beispiele und sollen nicht einschränkend wirken. Das Ausbilden einer ersten Einrichtung über oder auf einer zweiten Einrichtung in der folgenden Beschreibung kann beispielsweise Ausführungsformen umfassen, in denen die erste und die zweite Einrichtung in direktem Kontakt ausgebildet sind, und kann auch Ausführungsformen umfassen, in denen zusätzliche Einrichtungen zwischen der ersten Einrichtung und der zweiten Einrichtung ausgebildet sein können, so dass die erste und die zweite Einrichtung nicht in direktem Kontakt sein müssen. Zusätzlich kann die vorliegende Offenbarung Bezugszeichen und/oder Buchstaben in den verschiedenen Beispielen wiederholen. Diese Wiederholung dient dem Zweck der Einfachheit und Klarheit und erzwingt an sich keine Beziehung zwischen den verschiedenen beschriebenen Ausführungsformen und/oder Konfigurationen.

**[0006]** Weiter können räumlich relative Begriffe, wie „unten“, „unter“, „unterer“, „über“, „oberer“ und ähnliche, hier zur Einfachheit der Beschreibung verwendet werden, um die Beziehung eines Elements oder einer Einrichtung mit einem oder mehreren anderen

Elementen oder Einrichtungen zu beschreiben, wie sie in den Figuren gezeigt sind. Die räumlich relativen Begriffe sollen verschiedene Orientierungen der Vorrichtung, die verwendet oder betrieben wird, zusätzlich zu der in den Figuren gezeigten Orientierung umfassen. Die Vorrichtung kann anders orientiert sein (um 90 Grad gedreht oder in einer anderen Orientierung), und die räumlich relativen Begriffe, die hier verwendet werden, können ebenfalls demgemäß interpretiert werden.

**[0007]** Es werden Ausführungsformen mit Bezug auf Ausführungsformen in einem speziellen Kontext beschrieben, insbesondere eine dreidimensionale (3D) integrierte Fan-Out-(InFO)-Package-on-Package-(PoP)-Vorrichtung. Andere Ausführungsformen können jedoch auch auf andere elektrisch verbundene Komponenten angewendet werden, einschließlich, aber nicht beschränkt auf, Package-on-Package-Einrichtungen, Die-to-Die-Einrichtungen, Wafer-to-Wafer-Einrichtungen, Die-to-Substrate-Einrichtungen, beim Zusammenbau von Gehäusen, beim Verarbeiten von Substraten, bei Interposern, Substraten und Ähnlichem oder beim Befestigen von Eingabekomponenten, Leiterplatten, Dies oder anderen Komponenten oder zum Verbindungskapseln oder Befestigen von Kombinationen jeder anderen Art von integrierter Schaltung oder elektrischer Komponente.

**[0008]** Fig. 1A bis Fig. 1J zeigen Schnittansichten von Zwischenschritten beim Ausbilden zweier erster Halbleitergehäuse (Packages) 100 in Übereinstimmung mit einigen Ausführungsformen. Die ersten Halbleitergehäuse in Fig. 1A umfassen eine Haftschiicht 104 über einem Trägersubstrat 102, eine dielektrische Schicht 106 über der Haftschiicht 104 und eine Keimschicht 108 über der dielektrischen Schicht 106. Das Trägersubstrat 102 kann jedes geeignete Substrat sein, das mechanische Unterstützung (während zwischengeschalteten Vorgängen im Herstellungsverfahren) für die Schichten über dem Trägersubstrat 102 bereitstellt. Das Trägersubstrat 102 kann ein Wafer sein, der Glas, Silizium (z.B. ein Siliziumwafer), Siliziumdioxid, eine Metallplatte, ein keramisches Material oder Ähnliches umfasst.

**[0009]** Die Haftschiicht 104 kann auf dem Trägersubstrat 102 angeordnet, beispielsweise laminiert sein. Die Haftschiicht 104 kann aus einem Klebstoff ausgebildet sein, etwa einem Ultraviolett-(UV)-Klebstoff, einem Licht-Wärme-Umwandlungs-(LTHC)-Material oder kann eine Laminierschiicht sein, die aus einer Folie ausgebildet ist.

**[0010]** Die dielektrische Schicht 106 wird über der Haftschiicht 104 ausgebildet. Die dielektrische Schicht 106 kann aus Siliziumnitrid, Siliziumkarbid, Siliziumoxid, Low-k-Dielektrika wie Kohlenstoff-

dotierten Oxiden, Extremely-Low-k-Dielektrika wie porösem Kohlenstoff-dotiertem Siliziumdioxid, einem Polymer wie einem Epoxid, Polyimid, Benzocyclobuten (BCB), Polybenzoxazole (PBO), Ähnlichem oder einer Kombination daraus bestehen, obwohl andere relativ weiche, oft organische, Dielektrika auch verwendet werden können. Die dielektrische Schicht 106 kann durch chemische Gasphasenabscheidung (CVD), physikalische Gasphasenabscheidung (PVD), Atomlagenabscheidung (ALD), einem Rotationsbeschichtungsverfahren, Ähnlichem oder einer Kombination daraus abgedehnt werden.

**[0011]** Die Keimschicht 108 wird über der dielektrischen Schicht 106 ausgebildet. Die Keimschicht 108 kann aus Kupfer, Titan, Nickel, Gold, Ähnlichem oder einer Kombination daraus hergestellt sein. Die Keimschicht 108 kann durch PVD, CVD, ALD, Ähnlichem oder einer Kombination daraus abgeschieden werden.

**[0012]** Fig. 1B zeigt das Strukturieren der Keimschicht 108 und das Ausbilden der elektrischen Anschlussteile 110. Die Keimschicht 108 kann durch ein Ätzverfahren oder jedes andere geeignete Strukturierungsverfahren strukturiert werden.

**[0013]** Die elektrischen Anschlussteile 110 können über der Keimschicht 108 ausgebildet werden und erstrecken sich von der Keimschicht 108 in eine Richtung, die im Wesentlichen rechtwinklig zu einer Oberfläche der dielektrischen Schicht 106 ist. In einigen Ausführungsformen werden die elektrischen Anschlussteile 110 durch elektrisches Plattieren ausgebildet. In diesen Ausführungsformen sind die elektrischen Anschlussteile 110 aus Kupfer, Aluminium, Nickel, Gold, Silber, Palladium, Zinn, Ähnlichem oder einer Kombination daraus hergestellt und können eine Verbundstruktur aufweisen, die mehrere Schichten umfasst. In diesen Ausführungsformen wird eine Opferschicht 112, etwa ein Fotoresist, über dem Trägersubstrat ausgebildet. In einigen Ausführungsformen wird das Fotoresist 112 auf der Keimschicht 108 ausgebildet und strukturiert und dann werden die elektrischen Anschlussteile 110 in dem strukturieren Fotoresist 112 ausgebildet. Das Fotoresist 112 kann durch ein nasses Verfahren ausgebildet werden, etwa ein Rotationsbeschichtungsverfahren, oder durch ein trockenes Verfahren, etwa durch das Aufbringen eines trockenen Films. Mehrere Öffnungen werden in dem Fotoresist 112 ausgebildet, um die darunterliegende Keimschicht 108 freizulegen. Ein Plattierungsschritt wird dann ausgeführt, um die elektrischen Anschlussteile 110 zu plattieren.

**[0014]** In alternativen Ausführungsformen können die elektrischen Anschlussteile 110 Bondstifte sein, die durch Drahtbonden über der dielektrischen

Schicht 106 und Schneiden des Bond-Drahts mit einem Abschnitt des Bond-Drahts, der an der zugehörigen Bondkugel befestigt bleibt, ausgebildet werden. Die elektrischen Anschlussteile 110 können beispielsweise einen unteren Abschnitt und einen oberen Abschnitt umfassen, wobei der untere Abschnitt eine Bondkugel sein kann (nicht gezeigt), die bei dem Draht-Bonden ausgebildet wird, und der obere Abschnitt der verbleibende Bond-Draht sein kann (nicht gezeigt). Der obere Abschnitt des elektrischen Anschlussteils 110 kann eine einheitliche Breite und eine einheitliche Form haben, die in dem oberen Teil, dem mittleren Teil und dem unteren Teil des oberen Abschnitts einheitlich sind. Die elektrischen Anschlussteile 110 können aus metallischen Nicht-Lot-Materialien ausgebildet sein, die durch einen Draht-Bonder verbunden werden kann. In einigen Ausführungsformen sind die elektrischen Anschlussteile 110 aus Kupferdraht, Golddraht, Ähnlichem oder einer Kombination daraus hergestellt und können eine Verbundstruktur aufweisen, die mehrere Schichten umfasst. In den Ausführungsformen mit Draht-Bonding können die Keimschicht 108 und die Opferschicht 112 fehlen.

**[0015]** Die elektrischen Anschlussteile 110 können eine rückseitige Umverteilungsschicht für das erste Gehäuse bilden. Diese rückseitige Umverteilungsschicht kann verwendet werden, um ein oder mehrere weitere Gehäuse oder Komponente(n) (siehe Fig. 2A) mit den ersten Gehäusen zu verbinden.

**[0016]** Fig. 1C zeigt das Entfernen der Opferschicht 112. Die Opferschicht 112 kann durch ein geeignetes Entferungsverfahren entfernt werden, etwa Plasmaätzen oder ein Ätzverfahren.

**[0017]** Fig. 1D zeigt das Befestigen von Dies 120 an der dielektrischen Schicht 106. Erste Seiten der Dies 120 können an der dielektrischen Schicht 106 mit einer Haftschiicht 126 befestigt werden. Die Haftschiicht 126 kann aus jedem geeigneten Klebstoff bestehen, etwa einem Die-Befestigungsfilm oder Ähnlichem. Die Dies 120 können ein einziger Die oder mehr als zwei Dies sein. Die Dies 120 können einen Logik-Die umfassen, etwa einen Zentralprozessor (CPU), einen Grafikprozessor (GPU), Ähnliches oder eine Kombination daraus. In einigen Ausführungsformen umfassen die Dies 120 einen Die-Stapel (nicht gezeigt), der sowohl Logik-Dies als auch Speicher-Dies umfassen kann. Die Dies 120 können einen Eingabe/Ausgabe-(E/A)-Die, etwa einen breiten E/A-Die umfassen, der eine Verbindung zwischen dem ersten Gehäuse 10 und dem nachfolgend befestigten zweiten Gehäuse 200 herstellt (siehe Fig. 2A).

**[0018]** Die Dies 120 umfassen Kontaktflächen 124 auf einer zweiten Seite der Dies 120. In einigen Ausführungsformen sind die Kontaktflächen 124 Bond-

kontaktstellen. Die Bondkontaktstellen 124 können über der zweiten Seite der Dies 120 ausgebildet werden. In einigen Ausführungsformen werden die Bondkontaktstellen 124 ausgebildet, indem Vertiefungen (nicht gezeigt) in einer dielektrischen Schicht (nicht gezeigt) auf der zweiten Seite der Dies 120 ausgebildet werden. Die Vertiefungen können ausgebildet werden, um es zu ermöglichen, dass die Bondkontaktstellen 124 in die dielektrische Schicht eingebettet werden. In anderen Ausführungsformen fehlen die Vertiefungen, da die Bondkontaktstellen 124 in der dielektrischen Schicht ausgebildet werden können. Die Bondkontaktstellen 124 verbinden die Dies 120 elektrisch und/oder körperlich mit den nachfolgend verbundenen zweiten Gehäusen 200 (siehe Fig. 2A) und/oder den elektrischen Anschlussteilen 110. In einigen Ausführungsformen umfassen die Bondkontaktstellen 124 eine dünne Keimschicht (nicht gezeigt), die aus Kupfer, Titan, Nickel, Gold, Zinn, Ähnlichem oder einer Kombination daraus hergestellt ist. Das leitende Material der Bondkontaktstellen 124 kann über der dünnen Keimschicht abgeschieden werden. Das leitende Material kann durch ein elektrochemisches Plattierverfahren, CVD, ALD, PVD, Ähnliches oder eine Kombination daraus ausgebildet werden. In einer Ausführungsform ist das leitende Material der Bondkontaktstellen 124 Kupfer, Wolfram, Aluminium, Silber, Gold, Zinn, Ähnliches oder eine Kombination daraus.

**[0019]** In einer Ausführungsform sind die Kontaktflächen 124 Under-Bump-Metallisierungen (UBMs), die drei Schichten aus leitenden Materialien umfassen, etwa eine Schicht aus Titan, eine Schicht aus Kupfer und eine Schicht aus Nickel. Ein Fachmann wird jedoch erkennen, dass es viele geeignete Anordnungen von Materialien und Schichten gibt, etwa eine Anordnung aus Chrom/Chrom-Kupfer-Legierung/Kupfer/Gold, eine Anordnung aus Titan/Titan-Wolfram/Kupfer oder eine Anordnung aus Kupfer/Nickel/Gold, die für das Ausbilden der UBMs 124 geeignet sind. Alle geeigneten Materialien oder Materialschichten, die für die UBMs 124 verwendet werden können, sollen vollständig in dem Schutzzumfang der vorliegenden Anmeldung eingeschlossen sein.

**[0020]** Fig. 1E zeigt das Kapseln der Dies 120 und der elektrischen Anschlussteile 110. In einigen Ausführungsformen werden die Dies 120 und die elektrischen Anschlussteile 110 durch ein Formmaterial 130 gekapselt. Das Formmaterial 130 kann auf den Dies 120 und den elektrischen Anschlussteilen 110 beispielsweise mittels Formpressen geformt werden. In einigen Ausführungsformen ist das Formmaterial 130 aus einer Formmasse, einem Polymer, einem Epoxid, Siliziumoxid-Füllmaterial, Ähnlichem oder einer Kombination daraus hergestellt. Ein Aushärteschritt kann ausgeführt werden, um das Formmaterial 130 auszuhärten, wobei das Aushärten ein ther-

misches Aushärten, ein UV-Aushärten, Ähnliches oder eine Kombination daraus sein kann.

**[0021]** In einigen Ausführungsformen werden die Dies 120, die Kontaktflächen 124 und die elektrischen Anschlusssteile 110 in dem Formmaterial 130 vergraben und nach dem Aushärten des Formmaterials 130 wird ein Planarisierungsschritt, etwa ein Schleifen, auf das Formmaterial 130 angewendet, wie in **Fig. 1E** gezeigt ist. Der Planarisierungsschritt wird verwendet, um überschüssige Abschnitte des Formmaterials 130 zu entfernen, wobei die überschüssigen Abschnitte über oberen Flächen der Kontaktflächen 124 und der elektrischen Anschlusssteile 110 liegen. In einigen Ausführungsformen werden Oberflächen der Kontaktflächen 124 und Oberflächen 110A der elektrischen Anschlusssteile 110 freigelegt und sind plan mit einer Oberfläche 130A des Formmaterials 130 und einer Oberfläche 120A der Dies 120. Die elektrischen Anschlusssteile 110 können als Durch-Formmasse-Durchkontaktierungen (TMVs), Durch-Gehäuse-Durchkontaktierungen (TPVs) und/oder Durch-InFO-Durchkontaktierungen (TIVs) bezeichnet werden und werden im Folgenden als TIVs 110 bezeichnet.

**[0022]** In anderen Ausführungsformen sind die Kontaktflächen 124 Durchkontaktierungen, die sich von der zweiten Seite der Dies 120 teilweise in die Dies 120 erstrecken oder die Durchkontaktierungen erstrecken sich in einigen Ausführungsformen vollständig durch die Dies 120. Die Durchkontaktierungen 124 können durch ein Ätzverfahren ausgebildet werden, um Löcher (nicht gezeigt) in den Dies 120 auszubilden, und die Löcher können mit einem leitenden Material wie Kupfer, Aluminium, Nickel, Gold, Silber, Palladium, Zinn, Ähnlichem oder einer Kombination daraus gefüllt werden und können eine Verbundstruktur aufweisen, die mehrere Schichten umfasst. Die Dies 120 können auch Keimschichten, Sperrschichten, Auskleideschichten, Ähnliches oder eine Kombination daraus umfassen.

**[0023]** **Fig. 1F** zeigt das Ausbilden einer Umverteilungsschicht 131 über den Dies 120, den TIVs 110 und dem Formmaterial 130. Die Umverteilungsschicht 131 kann eine oder mehrere Metallschichten umfassen, die manchmal als  $M_1$  und/oder  $M_N$  bezeichnet werden, wobei die Metallschicht  $M_1$  die Metallschicht unmittelbar benachbart zu den Dies 120 ist und die Metallschicht  $M_N$  (manchmal als die oberste Metallschicht  $M_N$  bezeichnet) die Metallschicht am weitesten entfernt von den Dies 120 ist. In der gesamten Beschreibung bezieht sich der Begriff „Metallschicht“ auf die Menge von Metallleitungen 132 in der gleichen Schicht. Die Umverteilungsschicht 131 kann eine oder mehrere Passivierungsschichten 134 umfassen, wobei die eine oder mehreren Metallschichten ( $M_1$  bis  $M_N$ ) in der einen

oder den mehreren Passivierungsschichten 134 angeordnet sind.

**[0024]** Die Passivierungsschichten 134 können aus Siliziumnitrid, Siliziumkarbid, Siliziumoxid, Low-k-Dielektrika wie Kohlenstoff-dotierten Oxiden, Extremely-Low-k-Dielektrika wie porösem, Kohlenstoff-dotiertem Siliziumdioxid, einem Polymer wie einem Epoxid, Polyimid, BCB, PBO, Lötresist (SR), Ähnlichem oder einer Kombination daraus bestehen, obwohl andere relativ weiche, oft organische Dielektrika auch verwendet werden können, und werden durch CVD, PVD, ALD, ein Verfahren zum Aufschleudern eines Dielektrikums, ein Laminierverfahren, Ähnliches oder eine Kombination daraus abgedruckt. Die Passivierungsschichten 134 können einem Aushärteschritt unterzogen werden, um die Passivierungsschichten 134 auszuhärten, wobei das Aushärten ein thermisches Aushärten, ein UV-Aushärten, Ähnliches oder eine Kombination daraus sein kann.

**[0025]** Die Metallschichten 132 können mittels eines Single- und/oder Dual-Damascene-Verfahrens, eines Durchkontaktierung-zuerst-Verfahrens oder eines Metall-zuerst-Verfahrens ausgebildet werden. Die Metallschichten und Durchkontaktierungen 132 können aus einem leitenden Material wie Kupfer, Aluminium, Titan, Ähnlichem oder einer Kombination daraus ausgebildet werden, mit oder ohne eine Sperrschicht.

**[0026]** Ein Damascene-Verfahren ist das Ausbilden einer strukturierten Schicht, die in eine andere Schicht eingebettet ist, so dass die oberen Flächen der beiden Schichten koplanar sind. Ein Damascene-Verfahren, das entweder nur Gräben oder nur Durchkontaktierungen erzeugt, ist als Single-Damascene-Verfahren bekannt. Ein Damascene-Verfahren, das gleichzeitig sowohl Gräben als auch Durchkontaktierungen erzeugt, ist als Dual-Damascene-Verfahren bekannt.

**[0027]** In einer beispielhaften Ausführungsform werden die Metallschichten 132 mittels eines Dual-Damascene-Verfahrens ausgebildet. In diesem Beispiel kann das Ausbilden der  $M_1$ -Schicht mit dem Ausbilden einer Ätzstoppschicht (nicht gezeigt) auf der untersten Passivierungsschicht 134 und mit der nächsten Passivierungsschicht 134 auf der Ätzstoppschicht beginnen. Nachdem die nächste Passivierungsschicht 134 abgedruckt wurde, können Abschnitte der nächsten Passivierungsschicht 134 weggeätzt werden, um vertiefte Einrichtungen wie Gräben und Durchkontaktierungen auszubilden, die mit einem leitenden Material gefüllt werden können, um verschiedene Bereiche der Umverteilungsschicht 134 zu verbinden und die Metallleitungen 132 und Durchkontaktierungen aufzunehmen. Dieses Verfah-

ren kann für die verbleibenden Metallschichten bis zu  $M_N$  wiederholt werden.

**[0028]** Die Umverteilungsschicht 131 kann als vorderseitige Umverteilungsschicht für das erste Gehäuse 100 bezeichnet werden. Die vorderseitige Umverteilungsschicht 131 kann verwendet werden, um das erste Gehäuse 100 über die Anschlusssteile 136 mit einem oder mehreren Gehäusen, Gehäuse-substraten, Komponenten, Ähnlichem oder einer Kombination daraus zu verbinden (siehe **Fig. 1G**).

**[0029]** Die Anzahl von Metallschichten 132 und die Anzahl von Passivierungsschichten 134 dienen nur beschreibenden Zwecken und sind nicht einschränkend. Es könnte eine andere Anzahl von Schichten vorhanden sein, die kleiner oder größer als die eine gezeigte Metallschicht ist. Es kann eine andere Anzahl von Passivierungsschichten und eine andere Anzahl von Metallschichten geben, die sich von denen unterscheiden, die in **Fig. 1F** gezeigt sind.

**[0030]** **Fig. 1G** zeigt das Ausbilden einer Menge von leitenden Anschlusssteilen 136 über der Umverteilungsschicht 131 und mit ihr elektrisch verbunden. Die leitenden Anschlusssteile 136 können Lötkegeln, Metallsäulen, Flip-Chip-(C4)-Bondhügel, Mikrobondhügel, Bondhügel, die mit der Technik mit stromlosem Nickel-stromlosem Palladium-Goldimmersion (ENEPIG) ausgebildet werden, oder Ähnliches. Die leitenden Anschlusssteile 136 können ein leitendes Material umfassen wie Lot, Kupfer, Aluminium, Gold, Nickel, Silber, Palladium, Zinn, Ähnliches oder eine Kombination daraus. In einer Ausführungsform, in der die leitenden Anschlusssteile 136 Lötkegeln sind, werden die leitenden Anschlusssteile 136 ausgebildet, indem anfangs eine Schicht aus Lot durch so verbreitet verwendete Verfahren wie Verdampfung, Elektroplattieren, Drucken, Lotübertragung, Kugelanordnung oder Ähnliches ausgebildet werden. Nachdem eine Lotschicht auf der Struktur ausgebildet wurde, kann ein Aufschmelzen ausgeführt werden, um das Material in die angestrebten Bondhügelformen zu formen. In einer weiteren Ausführungsform sind die leitenden Anschlusssteile 136 Metallsäulen (etwa Kupfersäulen), die durch Sputtern, Drucken, Elektroplattieren, stromloses Plattieren, CVD oder Ähnliches ausgebildet werden. Die Metallsäulen können lotfrei sein und im Wesentlichen vertikale Seitenwände aufweisen. In einigen Ausführungsformen wird eine Metall-Deckschicht (nicht gezeigt) auf der Oberseite der Metallsäulen-Anschlusssteile 136 ausgebildet. Die Metall-Deckschicht kann Nickel, Zinn, Zinn-Blei, Gold, Silber, Palladium, Indium, Nickel-Palladium-Gold, Nickel-Gold, Ähnliches oder eine Kombination daraus umfassen und kann durch ein Plattierverfahren ausgebildet werden.

**[0031]** Obwohl nicht gezeigt, können UBMs vorhanden sein, die mit der Umverteilungsschicht 131 verbunden sind, wobei die leitenden Anschlusssteile 136 mit den UBMs (nicht gezeigt) verbunden sind. Die UBMs können ausgebildet werden, indem zuerst eine Menge von Öffnungen (nicht gezeigt) durch die oberste Passivierungsschicht 134 ausgebildet werden können, um Oberflächen der Metallleitungen 132 in der Metallschicht  $M_N$  freizulegen. Die UBMs können sich durch diese Öffnungen in der Passivierungsschicht 134 erstrecken und können sich auch entlang einer Oberfläche der Passivierungsschicht 134 erstrecken. Die UBMs können drei Schichten aus leitenden Materialien umfassen, etwa eine Schicht aus Titan, eine Schicht aus Kupfer und eine Schicht aus Nickel. Ein Fachmann wird jedoch erkennen, dass es viele geeignete Anordnungen von Materialien und Schichten geben kann, etwa eine Anordnung aus Chrom/Chrom-Kupfer-Legierung/-Kupfer/Gold, eine Anordnung aus Titan/Titan-Wolfram/Kupfer oder eine Anordnung aus Kupfer/Nickel/-Gold, die für das Ausbilden der UBMs 124 geeignet sind. Alle geeigneten Materialien oder Materialschichten, die für die UBMs 124 verwendet werden können, sollen vollständig in dem Schutzzumfang der vorliegenden Anmeldung eingeschlossen sein.

**[0032]** **Fig. 1H** zeigt das Entfernen des Trägersubstrats 102 und der Haftschrift 104, um die dielektrische Schicht 106 freizulegen, gemäß einer Ausführungsform. In dieser Ausführungsform wird das erste Gehäuse auf einem Rahmen 138 angeordnet, wobei die leitenden Anschlusssteile 136 zu dem Rahmen 138 benachbart sind, während das Trägersubstrat 102 und die Haftschrift 104 entfernt werden.

**[0033]** **Fig. 1I** zeigt das Entfernen des Trägersubstrats 102 und der Haftschrift 104, um die dielektrische Schicht 106 freizulegen, gemäß einer weiteren Ausführungsform. In dieser Ausführungsform wird das erste Gehäuse auf einem zweiten Trägersubstrat 140 platziert, wobei die leitenden Anschlusssteile 136 zu dem zweiten Trägersubstrat 140 benachbart sind, während das Trägersubstrat 102 und die Haftschrift 104 entfernt werden. Diese Ausführungsform kann einen abziehbaren Klebstoff 142 auf dem zweiten Trägersubstrat 140 umfassen, wobei die leitenden Anschlusssteile 136 in dem abziehbaren Klebstoff 142 eingebettet sind. Der abziehbare Klebstoff 142 kann dazu beitragen, das erste Gehäuse 100 an dem zweiten Trägersubstrat 140 zu befestigen. Nachdem das Trägersubstrat 102 entfernt wurde, kann der abziehbare Klebstoff 142 durch ein Ablöseverfahren entfernt werden, das ein thermisches Verfahren, ein chemisches Entferungsverfahren, Laser-Entfernen, eine UV-Behandlung, Ähnliches oder eine Kombination daraus umfasst.

**[0034]** **Fig. 1J** zeigt das Entfernen der dielektrischen Schicht 106. Die dielektrische Schicht 106 kann

durch ein geeignetes Entferungsverfahren entfernt werden, etwa ein Ätzverfahren. Nachdem die dielektrische Schicht 106 entfernt wurde, werden Abschnitte der Dies 120 und der TIVs 110 freigelegt. Rückseitige Oberflächen 110B der TIVs 110 werden freigelegt, was die Keimschichten 108 einschließen kann. Zusätzlich werden rückseitige Oberflächen 120B der Dies 120 freigelegt, was die Haftsichten 126 einschließen kann. In einigen Ausführungsformen können die TIVs 110 beispielsweise durch ein Ätzverfahren vertieft werden, nachdem die dielektrische Schicht 106 entfernt wurde. In einigen Ausführungsformen wird die Haftsicht 126 entfernt, um die Oberflächen der Dies 120 freizulegen. In anderen Ausführungsformen wurde die Haftsicht 126 nicht verwendet, als die Dies 120 an dem Trägersubstrat 102 (siehe Fig. 1C) befestigt wurden. In einigen Ausführungsformen sind die Oberflächen 130B und 120B im Wesentlichen koplanar und höher als die Oberflächen 110B. Mit anderen Worten können die TIVs 110 in dem Formmaterial 130 vertieft werden.

**[0035]** Fig. 2A bis 2C zeigen Schnittansichten von Zwischenschritten beim Befestigen eines zweiten Gehäuses an dem ersten Gehäuse, das in den Fig. 1A bis Fig. 1J ausgebildet wurde, und das Vereinigen der Gehäuse in Halbleitergehäuse in Übereinstimmung mit einigen Ausführungsformen. Mit Bezug auf Fig. 2A werden zweite Gehäuse 200 mit dem ersten Gehäuse 100 durch eine Menge von leitenden Anschlussteilen 210 verbunden, so dass Halbleitergehäuse 300 ausgebildet werden.

**[0036]** Die zweiten Gehäuse 200 umfassen jeweils ein Substrat 202 und einen oder mehrere gestapelte Dies 212 (212A und 212B), die mit dem Substrat 202 verbunden sind. Das Substrat 202 kann aus einem Halbleitermaterial wie Silizium, Germanium, Diamant oder Ähnlichem hergestellt sein. Alternativ können auch Verbundmaterialien wie Silizium-Germanium, Siliziumkarbid, Galliumarsenid, Indiumarsenid, Indiumphosphid, Silizium-Germanium-Karbid, Gallium-Arsen-Phosphid, Gallium-Indium-Phosphid, Kombinationen daraus und Ähnliches verwendet werden. Zusätzlich kann das Substrat 202 ein Silizium-auf-Isolator-(SOI)-Substrat sein. Im Allgemeinen umfasst ein SOI-Substrat eine Schicht aus einem Halbleitermaterial wie epitaktischem Silizium, Germanium, Silizium-Germanium, SOI, Silizium-Germanium-auf-Isolator (SGOI) oder Kombinationen daraus. Das Substrat 202 basiert, in einer alternativen Ausführungsform, auf einem isolierenden Kern wie einem Glasfaser-verstärkten Harzkern. Ein beispielhaftes Kernmaterial ist Glasfaserharz, etwa FR4. Alternativen für das Kernmaterial umfassen Bismaleimid-Triazin-(BT)-Harz oder alternativ andere Leiterplatten-(PCB)-Materialien oder -Filme. Aufbaufilme wie Ajinomoto Build-Up Film (ABF) oder andere Lamine können für das Substrat 202

verwendet werden. Das Substrat 202 kann als Gehäuse-substrat 202 bezeichnet werden.

**[0037]** Das Substrat 202 kann aktive und passive Vorrichtungen (in Fig. 2A nicht gezeigt) umfassen. Wie ein Fachmann erkennen wird, können eine breite Vielfalt von Vorrichtungen wie Transistoren, Kondensatoren, Widerstände, Kombinationen daraus und Ähnliches verwendet werden, um die strukturellen und funktionalen Anforderungen an das Design für das Halbleitergehäuse 300 zu erzeugen. Die Vorrichtungen können mittels aller geeigneten Verfahren ausgebildet werden.

**[0038]** Das Substrat 202 kann auch Metallisierungsschichten (nicht gezeigt) und Durchkontaktierungen 208 umfassen. Die Metallisierungsschichten können über den aktiven und passiven Vorrichtungen ausgebildet werden und sind so entworfen, dass sie die verschiedenen Vorrichtungen verbinden, um funktionale Schaltungen auszubilden. Die Metallisierungsschichten können aus abwechselnden Schichten aus dielektrischem (z.B. Low-k-Dielektrika) und leitendem Material (z.B. Kupfer) ausgebildet werden, wobei Durchkontaktierungen die Schichten aus leitendem Material verbinden, und können durch jedes geeignete Verfahren ausgebildet werden (etwa Abscheiden, Damascene, Dual-Damascene oder Ähnliches). In einigen Ausführungsformen ist das Substrat 202 im Wesentlichen frei von aktiven und passiven Vorrichtungen.

**[0039]** Das Substrat 202 kann Bondkontaktstellen 204 auf einer ersten Seite des Substrats 202 aufweisen, um mit den gestapelten Dies 212 und den Bondkontaktstellen 206 auf einer zweiten Seite des Substrats 202 verbunden zu werden, wobei die zweite Seite der ersten Seite des Substrats 202 entgegengesetzt ist, um mit den leitenden Anschlussteilen 210 verbunden zu werden. In einigen Ausführungsformen werden die Bondkontaktstellen 204 und 206 ausgebildet, indem Vertiefungen (nicht gezeigt) in den dielektrischen Schichten (nicht gezeigt) auf der ersten und der zweiten Seite des Substrats 202 ausgebildet werden. Die Vertiefungen können so ausgebildet werden, dass ermöglicht wird, dass die Bondkontaktstellen 204 und 206 in die dielektrischen Schichten eingebettet werden. In anderen Ausführungsformen fehlen die Vertiefungen, da die Bondkontaktstellen 204 und 206 auf der dielektrischen Schicht ausgebildet sein können. In einigen Ausführungsformen umfassen die Bondkontaktstellen 204 und 206 eine dünne Keimschicht (nicht gezeigt), die aus Kupfer, Titan, Nickel, Gold, Palladium, Ähnlichem oder einer Kombination daraus hergestellt ist. Das leitende Material der Bondkontaktstellen 204 und 206 kann über der dünnen Keimschicht abgeschieden werden. Das leitende Material kann durch ein elektrochemisches Plattierverfahren, ein stromloses Plattierverfahren, CVD, ALD, PVD, Ähn-

liches oder eine Kombination daraus ausgebildet werden. In einer Ausführungsform besteht das leitende Material der Bondkontaktstellen 204 und 206 aus Kupfer, Wolfram, Aluminium, Silber, Gold, Ähnlichem oder einer Kombination daraus.

**[0040]** In einer Ausführungsform sind die Bondkontaktstellen 204 und 206 UBMs, die drei Schichten aus leitenden Materialien umfassen, etwa eine Schicht aus Titan, eine Schicht aus Kupfer und eine Schicht aus Nickel. Ein Fachmann wird jedoch erkennen, dass es viele geeignete Anordnungen von Materialien und Schichten gibt, etwa eine Anordnung aus Chrom/Chrom-Kupfer-Legierung/Kupfer/Gold, eine Anordnung aus Titan/Titan-Wolfram/Kupfer oder eine Anordnung aus Kupfer/Nickel/Gold, die für das Ausbilden der UBMs 204 und 206 geeignet sind. Alle geeigneten Materialien oder Materialschichten, die für die UBMs 204 und 206 verwendet werden können, sollen vollständig in dem Schutzzumfang der vorliegenden Anmeldung eingeschlossen sein. In einigen Ausführungsformen erstrecken sich die Durchkontaktierungen 208 durch das Substrat 202 und verbinden mindestens eine Bondkontaktstelle 204 mit mindestens einer Bondkontaktstelle 206.

**[0041]** In der gezeigten Ausführungsform werden die gestapelten Dies 212 mit dem Substrat 202 durch Draht-Bonds 214 verbunden, obwohl andere Verbindungen verwendet werden können, etwa leitende Bondhügel. In einer Ausführungsform sind die gestapelten Dies 212 gestapelte Speicher-Dies. Die gestapelten Speicher-Dies 212 können beispielsweise Double-Data-Rate-(DDR)-Speichermodule mit niedrigem Stromverbrauch (LP) umfassen, etwa LPDDR1, LPDDR2, LPDDR3 oder ähnliche Speichermodule.

**[0042]** In einigen Ausführungsformen können die gestapelten Dies 212 und die Draht-Bonds 214 durch ein Formmaterial 216 gekapselt werden. Das Formmaterial 216 kann auf den gestapelten Dies 212 und den Draht-Bonds 214, beispielsweise mittels Formpressen, geformt werden. In einigen Ausführungsformen ist das Formmaterial 216 eine Formmasse, ein Polymer, ein Epoxid, Siliziumoxid-Füllmaterial, Ähnliches oder eine Kombination daraus. Ein Aushärteschritt kann ausgeführt werden, um das Formmaterial 216 auszuhärten, wobei das Aushärten ein thermisches Aushärten, ein UV-Aushärten, Ähnliches oder eine Kombination daraus sein kann.

**[0043]** In einigen Ausführungsformen werden die gestapelten Dies 212 und die Draht-Bonds 214 in dem Formmaterial 216 vergraben und nach dem Aushärten des Formmaterials 216 wird ein Planarisierungsschritt, etwa ein Schleifen, ausgeführt, um überschüssige Abschnitte des Formmaterials 216 zu entfernen und eine im Wesentlichen planare

Oberfläche für die zweiten Gehäuse 200 bereitzustellen.

**[0044]** Nachdem die zweiten Gehäuse 200 ausgebildet wurden, werden die Gehäuse 200 mit den ersten Gehäusen 100 durch die leitenden Anschlussteile 210, die Bondkontaktstellen 206 und die TIVs 110 verbunden. In einigen Ausführungsformen können die gestapelten Speicher-Dies 212 mit den Dies 120 durch die Draht-Bonds 214, die Bondkontaktstellen 204 und 206, durch die Durchkontaktierungen 208, die leitenden Anschlussteile 210 und die TIVs 110 verbunden werden.

**[0045]** Die leitenden Anschlussteile 210 können den leitenden Anschlussteilen 136 ähneln, die oben beschrieben sind, und die Beschreibung wird hier nicht wiederholt, obwohl die leitenden Anschlussteile 210 und 136 nicht gleich sein müssen. In einigen Ausführungsformen werden, bevor die leitenden Anschlussteile 210 verbunden werden, die leitenden Anschlussteile 210 mit einem Flussmittel (nicht gezeigt) beschichtet, etwa einem rückstandsfreien Flussmittel (engl. „no-clean flux“). Die leitenden Anschlussteile 210 können in das Flussmittel getaucht werden oder das Flussmittel kann auf die leitenden Anschlussteile 210 gesprüht werden. In einer weiteren Ausführungsform kann das Flussmittel auf die Oberflächen der TIVs 110 aufgebracht werden.

**[0046]** Die Verbindung zwischen dem zweiten Gehäuse 200 und dem ersten Gehäuse 100 kann eine Lötverbindung oder eine direkte Metall-Metall-Verbindung (etwa Kupfer-Kupfer oder Zinn-Zinn) sein. In einer Ausführungsform wird das zweite Gehäuse 200 mit dem ersten Gehäuse 100 durch ein Aufschmelzverfahren verbunden. Während dieses Aufschmelzverfahrens sind die leitenden Anschlussteile 210 in Kontakt mit den Bondkontaktstellen 206 und den TIVs 110, um das zweite Gehäuse 200 mit dem ersten Gehäuse 100 körperlich und elektrisch zu verbinden. Nach dem Verbindungsverfahren kann sich eine intermetallische Verbindung (IMC) 218 an der Grenzfläche der TIVs 110 und der leitenden Anschlussteile 210 und auch an der Grenzfläche zwischen den leitenden Anschlussteilen 210 und den Bondkontaktstellen 206 (nicht gezeigt) bilden.

**[0047]** Fig. 2B zeigt das Ausbilden einer Unterfüllung 220 zwischen dem ersten Gehäuse 100 und dem zweiten Gehäuse 200 und zwischen den leitenden Anschlussteilen 210. Die Unterfüllung 220 kann aus einem flüssigen Epoxid, einem verformbaren Gel, einem Silikonkautschuk, einem nicht-leitenden Film, einem Polymer, PBO, Polyimid, Lötresist oder einer Kombination daraus ausgebildet werden. Die Unterfüllung 220 stellt eine Verstärkung für die leitenden Anschlussteile 210 bereit und kann mittels Kapil-

larkräfte aufgebracht werden, nachdem die leitenden Anschlussteile 210 zwischen dem ersten Gehäuse 100 und dem zweiten Gehäuse 200 verbunden wurden. In diesen Ausführungsformen umfasst die Unterfüllung 220 eine Hohlkehle mit Seitenwänden 220A, die diagonal zu rückseitigen Oberflächen 120B der Dies 120 liegen. In einigen Ausführungsformen wird die Unterfüllung 220 so ausgebildet, dass sie Öffnungen 222 über den Dies 120 freilässt.

**[0048]** Fig. 2C zeigt, dass die Halbleitergehäuse 300 vereinzelt werden. Die Halbleitergehäuse 300 können von dem Rahmen 138 entfernt werden und über einer Struktur 232 platziert werden, etwa einer Vereinzelfolie. Die Halbleitergehäuse 300 können durch ein Schneidewerkzeug 234 vereinzelt werden, etwa eine Die-Säge, einen Laser, Ähnliches oder einer Kombination daraus.

**[0049]** Die Anzahl der ersten Gehäuse 100 und der zweiten Gehäuse 200 in den Fig. 1A bis Fig. 1J und den Fig. 2A bis Fig. 2C dienen nur beschreibenden Zwecken und sind nicht einschränkend. Es könnte jede Anzahl von Gehäusen vorhanden sein, die kleiner oder größer als die zwei gezeigten Gehäuse ist.

**[0050]** Fig. 3A bis 3C zeigen Schnittansichten von Halbleitergehäusen 300 in Übereinstimmung mit einigen Beispielen. Mit Bezug auf Fig. 3A weist dieses Beispiel die Unterfüllung 220 einschließlich der Hohlkehlen auf. Das erste Gehäuse 100 hat eine Breite  $W_{100}$ , das zweite Gehäuse hat eine Breite  $W_{200}$  und die Unterfüllung 220 hat eine äußere Breite  $W_{220}$  zwischen dem ersten und dem zweiten Gehäuse 100 und 200. Die Öffnung 222 in der Unterfüllung 220 hat eine Breite  $W_{222}$  und der Die 120 hat eine Breite  $W_{120}$ . In einer Ausführungsform ist die Breite  $W_{220}$  kleiner oder gleich der Breite  $W_{100}$ , die Breite  $W_{200}$  ist kleiner oder gleich der Breite  $W_{220}$  und die Breite  $W_{222}$  ist kleiner oder gleich der Breite  $W_{120}$ . In einer weiteren Ausführungsform ist die Breite  $W_{220}$  kleiner als die Breite  $W_{100}$ , die Breite  $W_{200}$  ist kleiner als die Breite  $W_{220}$  und die Breite  $W_{222}$  ist kleiner als die Breite  $W_{120}$ . Die Unterfüllung 220 hat eine Höhe  $H_{220}$  zwischen dem ersten und dem zweiten Gehäuse 100 und 200 (manchmal als Abstandshöhe bezeichnet). In einer Ausführungsform liegt die Höhe  $H_{220}$  zwischen etwa  $1\ \mu\text{m}$  und etwa  $200\ \mu\text{m}$ .

**[0051]** Fig. 3B zeigt ein weiteres Beispiel des Halbleitergehäuses 300. Dieses Beispiel ähnelt dem vorhergehenden Beispiel von Fig. 3A, außer dass es keine Öffnung (siehe 222 in Fig. 3A) in der Unterfüllung 220 gibt. Die Öffnung 222 kann ausgebildet werden, indem nur die Unterfüllung 220 um die äußeren Ränder des Halbleitergehäuses 300 und nicht in dem mittleren Bereich des Halbleitergehäuses 300 ausgebildet wird. Details mit Bezug auf diese Beispiele, die denen für die vorher beschriebenen Beispielen ähneln, werden hier nicht wiederholt.

**[0052]** Fig. 3C zeigt ein weiteres Beispiel des Halbleitergehäuses 300. Dieses Beispiel ähnelt dem vorhergehenden Beispiel von Fig. 3B, außer dass es eine Pufferschicht 230 gibt, die zwischen dem ersten Gehäuse 100 und dem zweiten Gehäuse 200 angeordnet ist. Details mit Bezug auf dieses Beispiel, die denen für das vorher beschriebene Beispiel ähneln, werden hier nicht wiederholt.

**[0053]** Die Pufferschicht 230 wird über dem Die 120 (und der Haftschrift 126, wenn vorhanden), den TIVs 110 und dem Formmaterial 130 ausgebildet. Die Pufferschicht 230 kann aus einem Polymer, etwa Polyimid, PBO oder Ähnlichem ausgebildet sein. Die Pufferschicht 230 kann auch aus einem LTHC-Material bestehen. In einer Ausführungsform wird die Pufferschicht 230 so ausgebildet, dass sie eine Dicke zwischen etwa  $0,1\ \mu\text{m}$  und etwa  $20\ \mu\text{m}$  hat.

**[0054]** Indem die dielektrische Schicht 106 von dem ersten Gehäuse 100 entfernt wird, kann die Verkrümmung des ersten Gehäuses 100 verringert werden, und somit kann die Koplanarität und die Steuerung der Abstandshöhe zwischen dem ersten Gehäuse 100 und dem zweiten Gehäuse 200 verbessert werden. Zusätzlich vermeidet die Verwendung von rückstandsfreien Flussmitteln das Problem von Flussmittelrückständen zwischen dem ersten Gehäuse 100 und dem zweiten Gehäuse 200. Des Weiteren sind, indem die Unterfüllung 220 vor dem Vereinzelfungsverfahren ausgebildet wird, die leitenden Anschlussteile 210 vor elektrischen Ausfällen geschützt (z.B. Kurzschlüssen zwischen leitenden Anschlussteilen), die durch Reststoffe von dem Vereinzelfungsverfahren hervorgerufen werden. Darüber hinaus wird die Verunreinigung der Unterfüllung zwischen den beiden Halbleitergehäusen 300 und auch das Problem, dass die Unterfüllung zwischen den benachbarten zweiten Gehäusen 200 nach oben kriecht, verhindert, indem das zweite Gehäuse 200 eine kleinere Breite als das erste Gehäuse 100 hat, was der Unterfüllung 220 mehr Raum zwischen den Halbleitergehäusen 300 bietet.

**[0055]** Fig. 4A und 4B zeigen Schnittansichten von Zwischenschritten beim Ausbilden des Halbleitergehäuses 300 in Übereinstimmung mit einigen anderen Ausführungsformen. Diese Ausführungsform ähnelt den vorhergehenden Ausführungsformen in Fig. 1A bis Fig. 1J und Fig. 2A bis Fig. 2C, außer dass die Unterfüllung 220 ausgebildet und strukturiert wird, bevor das erste Gehäuse 100 mit dem zweiten Gehäuse 200 verbunden wird. Details mit Bezug auf diese Ausführungsform, die denen für die vorher beschriebene Ausführungsform ähneln, werden hier nicht wiederholt.

**[0056]** Fig. 4A zeigt einen Herstellungs-Zwischenschritt, nachdem die Schritte, die in Fig. 1A bis

**Fig. 1J** gezeigt sind, schon abgeschlossen wurden. Nach dem Schritt in **Fig. 1J** wird die Unterfüllung 220 über den Dies 120, dem Formmaterial 130 und den TIVs 110 ausgebildet. Die Unterfüllung 220 kann durch CVD, PVD oder ALD abgeschieden werden oder durch ein nasses Verfahren, etwa ein Rotationsbeschichtungsverfahren, ein Siebdruckverfahren, oder ein trockenes Verfahren, etwa durch Rollen auf einem trockenen Film, ausgebildet werden. Nachdem die Unterfüllung 220 ausgebildet wurde, wird die Unterfüllung 220 strukturiert, um Öffnungen 224 über den TIVs 110 auszubilden, um Abschnitte der TIVs 110 (und der Keimschicht 108, wenn vorhanden) freizulegen. In einigen Ausführungsformen wird die Unterfüllung 220 strukturiert, um Öffnungen 220 über den Dies 120 (und der Haftschrift 126, wenn vorhanden) auszubilden. Die Unterfüllung 220 kann mittels geeigneter Fotolithographietechniken und Ätzen, etwa ein Laser-Ätzverfahren, strukturiert werden. Die Öffnungen 222 werden so ausgebildet, dass sie eine Breite  $W_{222}$  haben, und die Öffnungen 224 werden so ausgebildet, dass sie eine Breite  $W_{224}$  haben. Erfindungsgemäß ist die Breite  $W_{222}$  kleiner oder gleich der Breite  $W_{120}$ . Ferner kann die Breite  $W_{224}$  kleiner oder gleich der Breite  $W_{110}$  der TIVs 110 sein. In einer weiteren Ausführungsform ist die Breite  $W_{222}$  kleiner als die Breite  $W_{120}$  und die Breite  $W_{224}$  ist kleiner als die Breite  $W_{110}$ . In einer Ausführungsform, die die Pufferschicht 230 umfasst (siehe **Fig. 3C** und **Fig. 5C**), ist die Breite der Öffnung der Pufferschicht 230 in den Öffnungen 224 kleiner oder gleich der Breite  $W_{224}$ . Die Unterfüllung 220 kann so ausgebildet werden, dass sie die Höhe  $H_{220}$  von etwa 1  $\mu\text{m}$  bis etwa 200  $\mu\text{m}$  hat. In dieser Ausführungsform weist die Unterfüllung 220 Seitenwände 220A auf, die im Wesentlichen rechtwinklig zu rückseitigen Oberflächen 120B der Dies 120 sind. In einigen Ausführungsformen wird die Unterfüllung 220 so strukturiert, dass es keine Unterfüllung 220 in der Risslinie zwischen den benachbarten ersten Gehäusen 100 gibt.

**[0057]** **Fig. 4B** zeigt das Befestigen der zweiten Gehäuse 200 an dem ersten Gehäuse 100 von **Fig. 4A**. Dies ähnelt dem Verfahren, das oben in **Fig. 2A** beschrieben ist, außer dass die Unterfüllung 220 während des Verbindungsverfahrens vorhanden ist. Details mit Bezug auf diese Ausführungsform, die denen für die vorher beschriebene Ausführungsform ähneln, werden hier nicht wiederholt. Die Gehäuse 200 und 100 werden dann vereinzelt, wie oben in **Fig. 2C** beschrieben ist.

**[0058]** **Fig. 5A** bis **5C** zeigen Schnittansichten von Halbleitergehäusen 300 in Übereinstimmung mit einigen anderen Beispielen. Diese Beispiele ähneln den Beispielen, die oben in **Fig. 3A** bis **3C** beschrieben sind, außer dass in diesen Ausführungsformen die Unterfüllung 220 ausgebildet wird, bevor die Gehäuse mit einander verbunden werden, und die

Seitenwände 220A der Unterfüllung 220 im Wesentlichen rechtwinklig zu der rückseitigen Oberfläche des Dies 120 sind und die Unterfüllung keine Hohlräume aufweist. Details mit Bezug auf diese Beispiele, die denen für die vorher beschriebene Beispiele ähneln, werden hier nicht wiederholt.

**[0059]** Mit Bezug auf **Fig. 5A** weist die Unterfüllung 220 die Öffnung 222 über dem Die 120 auf. **Fig. 5B** zeigt, dass die Unterfüllung 220 keine Öffnung über dem Die 120 aufweist. **Fig. 5C** zeigt das Halbleitergehäuse 300 mit der Pufferschicht 230 über dem ersten Gehäuse 100.

**[0060]** Indem die dielektrische Schicht 106 von dem ersten Gehäuse 100 entfernt wird und die Unterfüllung 220 ausgebildet wird, bevor die Gehäuse verbunden werden, kann die Verkrümmung des ersten Gehäuses 100 verringert werden, und somit kann die Koplanarität und die Steuerung der Abstandshöhe zwischen dem ersten Gehäuse 100 und dem zweiten Gehäuse 200 verbessert werden. Des Weiteren sind, indem die Unterfüllung 220 vor dem Vereinzelungsverfahren ausgebildet wird, die leitenden Anschlussteile 210 vor elektrischen Ausfällen geschützt (z.B. Kurzschlüssen zwischen leitenden Anschlussteilen), die durch Reststoffe von dem Vereinzelungsverfahren hervorgerufen werden. Darüber hinaus wird die Verunreinigung der Unterfüllung zwischen den beiden Halbleitergehäusen 300 und auch das Problem, dass die Unterfüllung zwischen den benachbarten zweiten Gehäusen 200 nach oben kriecht, verhindert, indem das zweite Gehäuse 200 eine kleinere Breite als das erste Gehäuse 100 hat, was der Unterfüllung 220 mehr Raum zwischen den Halbleitergehäusen 300 bietet.

**[0061]** **Fig. 6**, **Fig. 7A** und **Fig. 7B** zeigen Schnittansichten von Zwischenschritten beim Ausbilden von Halbleitergehäusen in Übereinstimmung mit einigen anderen Ausführungsformen. Diese Ausführungsform ähnelt der Ausführungsform in **Fig. 1J**, die oben beschrieben ist, außer dass die dielektrische Schicht 106 mit einem Schleifverfahren anstatt einem Ätzverfahren entfernt wird. Details mit Bezug auf diese Ausführungsform, die denen für die vorher beschriebene Ausführungsform ähneln, werden hier nicht wiederholt.

**[0062]** In dieser Ausführungsform kann das Schleifverfahren ein chemisch-mechanisches Polier-(CMP)-Verfahren sein. Das Schleifverfahren kann die Keimschicht 108 und die Haftschrift 126 entfernen. In einigen Ausführungsformen sind die Oberflächen 130B, 120B und 110B im Wesentlichen koplanar. In einigen anderen Ausführungsformen sind die Oberflächen 130B und 120B im Wesentlichen koplanar, während die Oberflächen 110B in das Formmaterial 130 vertieft sind.

**[0063]** Die Verarbeitung dieser Ausführungsform kann mit dem Befestigen der zweiten Gehäuse 200 und dem Vereinzeln fortfahren, wie in **Fig. 2A** bis **2C** beschrieben wurde. Diese Ausführungsform kann jeden der Unterfüllungsentwürfe anwenden, die in **Fig. 2A** bis **Fig. 3C** und **Fig. 4A** und **5C** beschrieben sind.

**[0064]** **Fig. 7A** zeigt eine Schnittansicht eines Halbleitergehäuses 300 von dem ersten Gehäuse 100 in **Fig. 6** mit dem Unterfüllungsentwurf mit Hohlkehlen der **Fig. 2A** bis **3C**. Obwohl die Unterfüllung 220 mit der Öffnung 222 gezeigt ist, kann die Öffnung 222 fehlen. **Fig. 7B** zeigt eine Schnittansicht eines Halbleitergehäuses 300 von dem ersten Gehäuse 100 in **Fig. 6** mit dem Unterfüllungsentwurf ohne Hohlkehlen der **Fig. 4A** bis **Fig. 5C**.

**[0065]** **Fig. 8** zeigt eine Schnittansicht eines Halbleitergehäuses 400 in Übereinstimmung mit einigen Ausführungsformen. Das Halbleitergehäuse 400 beinhaltet es, dass das Halbleitergehäuse 300 an einem Gehäusesubstrat 402 befestigt wird. Das Halbleitergehäuse 300 kann eine der Ausführungsformen des Halbleitergehäuses 300 sein, die oben beschrieben sind. Das Halbleitergehäuse 300 wird an dem Gehäusesubstrat 402 mittels der leitenden Anschlusssteile 136 befestigt.

**[0066]** Das Gehäusesubstrat 402 kann aus einem Halbleitermaterial hergestellt sein, etwa Silizium, Germanium, Diamant oder Ähnlichem. Alternativ können auch Verbundmaterialien wie Silizium-Germanium, Siliziumkarbid, Galliumarsenid, Indiumarsenid, Indiumphosphid, Silizium-Germanium-Karbid, Gallium-Arsen-Phosphid, Gallium-Indium-Phosphid, Kombinationen daraus und Ähnliches verwendet werden. Zusätzlich kann das Gehäusesubstrat 402 ein SOI-Substrat sein. Im Allgemeinen umfasst ein SOI-Substrat eine Schicht aus einem Halbleitermaterial wie epitaktischem Silizium, Germanium, Silizium-Germanium, SOI, SGOI oder Kombinationen daraus. Das Gehäusesubstrat 402 basiert, in einer alternativen Ausführungsform, auf einem isolierenden Kern wie einem Glasfaser-verstärkten Harzkern. Ein beispielhaftes Kernmaterial ist Glasfaserharz, etwa FR4. Alternativen für das Kernmaterial umfassen Bismaleimid-Triazin-(BT)-Harz oder alternativ andere PCB-Materialien oder -Filme. Aufbaufilme wie ABF oder andere Lamine können für das Gehäusesubstrat 402 verwendet werden.

**[0067]** Das Gehäusesubstrat 402 kann aktive und passive Vorrichtungen (in **Fig. 8** nicht gezeigt) umfassen. Wie ein Fachmann erkennen wird, können eine breite Vielfalt von Vorrichtungen wie Transistoren, Kondensatoren, Widerstände, Kombinationen daraus und Ähnliches verwendet werden, um die strukturellen und funktionalen Anforderungen an das Design für das Halbleitergehäuse 400 zu erzeugen.

Die Vorrichtungen können mittels aller geeigneten Verfahren ausgebildet werden.

**[0068]** Das Gehäusesubstrat 402 kann auch Metallisierungsschichten und Durchkontaktierungen 404 umfassen. Die Metallisierungsschichten 404 können über den aktiven und passiven Vorrichtungen ausgebildet werden und sind so entworfen, dass sie die verschiedenen Vorrichtungen verbinden, um funktionale Schaltungen auszubilden. Die Metallisierungsschichten 404 können aus abwechselnden Schichten aus dielektrischem (z.B. Low-k-Dielektrika) und leitendem Material (z.B. Kupfer) ausgebildet werden, wobei Durchkontaktierungen die Schichten aus leitendem Material verbinden, und können durch jedes geeignete Verfahren ausgebildet werden (etwa Abscheiden, Damascene, Dual-Damascene oder Ähnliches). In einigen Ausführungsformen ist das Gehäusesubstrat 402 im Wesentlichen frei von aktiven und passiven Vorrichtungen.

**[0069]** Das Halbleitergehäuse 400 umfasst eine Unterfüllung 406 zwischen dem Halbleitergehäuse 300 und dem Substrat 402 und zwischen den leitenden Anschlusssteilen 136. Die Unterfüllung 406 kann aus einem flüssigen Epoxid, einem verformbaren Gel, einem Silikonkautschuk, einem nicht-leitenden Film, einem Polymer, PBO, Polyimid, Lötresist oder einer Kombination daraus ausgebildet werden. Die Unterfüllung 406 stellt eine Verstärkung für die leitenden Anschlusssteile 136 bereit und kann mittels Kapillarkräfte aufgebracht werden, nachdem die leitenden Anschlusssteile 136 zwischen dem Halbleitergehäuse 300 und dem Substrat 402 verbunden wurden. In diesen Ausführungsformen umfasst die Unterfüllung 406 eine Hohlkehle und kann sich nach oben entlang des Halbleitergehäuses erstrecken, so dass sie angrenzenden Seitenwänden des ersten Gehäuses 100, der Unterfüllung 220 und des zweiten Gehäuses 200 benachbart ist.

**[0070]** Indem die dielektrische Schicht von dem ersten Gehäuse entfernt wird und die Unterfüllung ausgebildet wird, bevor die Gehäuse verbunden werden, kann die Verkrümmung des ersten Gehäuses verringert werden, und somit kann die Koplanarität und die Steuerung der Abstandshöhe zwischen dem ersten Gehäuse und dem zweiten Gehäuse verbessert werden. Des Weiteren sind, indem die Unterfüllung vor dem Vereinzelnverfahren ausgebildet wird, die leitenden Anschlusssteile vor elektrischen Ausfällen geschützt (z.B. Kurzschlüssen zwischen leitenden Anschlusssteilen), die durch Reststoffe von dem Vereinzelnverfahren hervorgerufen werden. Darüber hinaus wird die Verunreinigung der Unterfüllung zwischen den beiden Halbleitergehäusen und auch das Problem, dass die Unterfüllung zwischen den benachbarten zweiten Gehäusen nach oben kriecht, verhindert, indem das zweite Gehäuse eine kleinere Breite als das erste Gehäuse hat, was der Unterfüllung

lung mehr Raum zwischen den Halbleitergehäusen bietet.

**[0071]** Eine Ausführungsform ist ein Verfahren, das das Ausbilden eines ersten Gehäuses umfasst. Das Ausbilden des ersten Gehäuses umfasst das Ausbilden einer ersten dielektrischen Schicht über einem Trägersubstrat, das Ausbilden eines ersten elektrischen Anschlussteils über der ersten dielektrischen Schicht, das Befestigen eines ersten Dies benachbart zu dem ersten elektrischen Anschlussteil und über der ersten dielektrischen Schicht, das Ausbilden einer Umverteilungsschicht über dem ersten Die und dem ersten elektrischen Anschlussteil, das Ausbilden eines zweiten elektrischen Anschlussteils über der Umverteilungsschicht, wobei das zweite elektrische Anschlussteil mit dem ersten Die und/oder dem ersten elektrischen Anschlussteil verbunden wird, das Entfernen des Trägersubstrats, um die erste dielektrische Schicht freizulegen, und das Entfernen der ersten dielektrischen Schicht, um Abschnitte des ersten Dies und des ersten elektrischen Anschlussteils freizulegen. Das Verfahren umfasst weiter das Verbinden eines zweiten Gehäuses mit dem ersten Gehäuse durch eine Verbindungsstruktur, wobei die Verbindungsstruktur mit dem ersten elektrischen Anschlussteil verbunden ist, und das Ausbilden einer Unterfüllung zwischen dem ersten Gehäuse und dem zweiten Gehäuse.

**[0072]** Eine weitere Ausführungsform ist ein Verfahren, das das Ausbilden eines ersten Die-Gehäuses umfasst, wobei das erste Die-Gehäuse einen ersten Die, ein erstes elektrisches Anschlussteil und eine erste Umverteilungsschicht umfasst, wobei die erste Umverteilungsschicht mit dem ersten Die und dem ersten elektrischen Anschlussteil verbunden ist, das Ausbilden einer Unterfüllung über dem ersten Die-Gehäuse, das Strukturieren der Unterfüllung, so dass eine Öffnung einen Abschnitt des ersten elektrischen Anschlussteils freilegt, und das Verbinden eines zweiten Die-Gehäuses mit dem ersten Die-Gehäuse durch eine Verbindungsstruktur, wobei die Verbindungsstruktur mit dem ersten elektrischen Anschlussteil in der Öffnung der Unterfüllung verbunden ist.

**[0073]** Eine weitere Ausführungsform ist ein Halbleitergehäuse, das ein erstes Gehäuse umfasst. Das erste Gehäuse umfasst einen ersten Die, ein Kapselungsmittel, das den ersten Die umgibt, und eine Durch-Gehäuse-Durchkontaktierung, die sich durch das Kapselungsmittel erstreckt. Das Halbleitergehäuse umfasst weiter ein zweites Gehäuse, das einen zweiten Die umfasst, wobei das zweite Gehäuse mit dem ersten Gehäuse durch eine Menge von Anschlussteilen verbunden ist, und eine Unterfüllung zwischen dem ersten Gehäuse und dem zweiten Gehäuse und die Menge von Anschlussteilen umgebend, wobei die Unterfüllung

Seitenwände aufweist, die im Wesentlichen rechtwinklig zu einer rückseitigen Oberfläche des ersten Dies sind.

## Patentansprüche

1. Verfahren, das Folgendes umfasst: Ausbilden eines ersten Gehäuses (100), das Folgendes umfasst:

Ausbilden einer ersten dielektrischen Schicht (106) über einem Trägersubstrat (102);

Ausbilden eines ersten elektrischen Anschlussteils (110) über der ersten dielektrischen Schicht (106);

Befestigen eines ersten Dies (120) benachbart zu dem ersten elektrischen Anschlussteil (110) und über der ersten dielektrischen Schicht (106);

Ausbilden einer Umverteilungsschicht (131) über dem ersten Die (120) und dem ersten elektrischen Anschlussteil (110);

Ausbilden eines zweiten elektrischen Anschlussteils (136) über der Umverteilungsschicht (131), wobei das zweite elektrische Anschlussteil (136) mit dem ersten Die (120) und/oder dem ersten elektrischen Anschlussteil (110) verbunden ist;

Entfernen des Trägersubstrats (102), um die erste dielektrische Schicht (106) freizulegen; und

Entfernen der ersten dielektrischen Schicht (106), um Abschnitte des ersten Dies (120) und des ersten elektrischen Anschlussteils (110) freizulegen; Verbinden eines zweiten Gehäuses (200) mit dem ersten Gehäuse (100) mittels einer Verbindungsstruktur (218), wobei die Verbindungsstruktur (218) mit dem ersten elektrischen Anschlussteil (110) verbunden ist; und

Ausbilden einer Unterfüllung (220) zwischen dem ersten Gehäuse (100) und dem zweiten Gehäuse (200);

wobei die Unterfüllung (220) eine Öffnung (222) aufweist, deren Breite (W222) kleiner oder gleich der Breite (W120) des ersten Dies (120) ist, um einen Abschnitt des ersten Dies freizulegen.

2. Verfahren nach Anspruch 1, wobei das Ausbilden der Unterfüllung (220) zwischen dem ersten Gehäuse (100) und dem zweiten Gehäuse (200) Folgendes umfasst:

nach dem Verbinden des zweiten Gehäuses mit dem ersten Gehäuse mit der Verbindungsstruktur (218), Einspritzen der Unterfüllung (220) zwischen dem ersten Gehäuse (100) und dem zweiten Gehäuse (200), wobei die Unterfüllung (220) die Verbindungsstruktur umgibt.

3. Verfahren nach Anspruch 2, wobei nach dem Einspritzen der Unterfüllung (220) zwischen dem ersten Gehäuse (100) und dem zweiten Gehäuse (200) ein Abschnitt des ersten Dies (120) durch die Unterfüllung (220) freiliegt.

4. Verfahren nach Anspruch 1, wobei das Ausbilden der Unterfüllung (220) zwischen dem ersten Gehäuse (100) und dem zweiten Gehäuse (200) Folgendes umfasst:

vor dem Verbinden des zweiten Gehäuses mit dem ersten Gehäuse mittels der Verbindungsstruktur (218), Ausbilden der Unterfüllung (220) über dem ersten Gehäuse; und  
Strukturieren der Unterfüllung (220), um einen Abschnitt von mindestens dem ersten elektrischen Anschlusssteil (110) freizulegen.

5. Verfahren nach Anspruch 4, wobei das Strukturieren der Unterfüllung (220) weiter das Strukturieren der Unterfüllung (220), um einen Abschnitt des ersten Dies (120) freizulegen, umfasst.

6. Verfahren nach einem der vorangegangenen Ansprüche, wobei das Ausbilden der Unterfüllung (220) zwischen dem ersten Gehäuse (100) und dem zweiten Gehäuse (200) das Ausbilden eines flüssigen Epoxids, eines verformbaren Gels, eines Silikonkautschuks, eines nicht-leitenden Films, eines Polymers, Polybenzoxazole, Polyimid, Lötresist oder einer Kombination daraus umfasst.

7. Verfahren nach einem der vorangegangenen Ansprüche, wobei das Entfernen der ersten dielektrischen Schicht (106) weiter das Ätzen der ersten dielektrischen Schicht (106) umfasst, um Abschnitte des ersten Dies (120) und des ersten elektrischen Anschlusssteils (110) freizulegen.

8. Verfahren nach einem der Ansprüche 1 bis 6, wobei das Entfernen der ersten dielektrischen Schicht (106) weiter das Schleifen der ersten dielektrischen Schicht (106) umfasst, um Abschnitte des ersten Dies (120) und des ersten elektrischen Anschlusssteils (110) freizulegen.

9. Verfahren nach einem der vorangegangenen Ansprüche, wobei das Ausbilden des ersten Gehäuses (100) weiter das Kapseln des ersten Dies (120) und des ersten elektrischen Anschlusssteils (110) mit einem Formmaterial umfasst, wobei sich das erste elektrische Anschlusssteil durch das Formmaterial erstreckt, wobei das zweite elektrische Anschlusssteil (136) ein Metall-Bondhügel ist.

10. Verfahren, das Folgendes umfasst:  
Ausbilden eines ersten Die-Gehäuses (100), wobei das erste Die-Gehäuse einen ersten Die (120), ein erstes elektrisches Anschlusssteil (110) und eine erste Umverteilungsschicht (131) umfasst, wobei die erste Umverteilungsschicht (131) mit dem ersten Die (120) und dem ersten elektrischen Anschlusssteil (110) verbunden ist; Ausbilden einer Unterfüllung (220) über dem ersten Die-Gehäuse (100);  
Strukturieren der Unterfüllung (220), so dass sie Öffnungen (222, 224) aufweist, die einen Abschnitt des

ersten elektrischen Anschlusssteils (110) und des ersten Dies (120) freilegen, wobei die Breite (W222) der Öffnung (222), die den Abschnitt des ersten Dies freilegt, kleiner oder gleich der Breite (W120) des ersten Dies (120) ist; und

Verbinden eines zweiten Die-Gehäuses (200) an dem ersten Die-Gehäuse (100) mittels einer Verbindungsstruktur (218), wobei die Verbindungsstruktur (218) mit dem ersten elektrischen Anschlusssteil (110) in der Öffnung der Unterfüllung (220) verbunden ist.

11. Verfahren nach Anspruch 10, das weiter das Vereinzeln des ersten Die-Gehäuses (100) und des zweiten Die-Gehäuses (200) von benachbarten Die-Gehäusen umfasst, um ein Halbleitergehäuse auszubilden, wobei das Halbleitergehäuse das erste Die-Gehäuse und das zweite Die-Gehäuse umfasst.

12. Verfahren nach Anspruch 10 oder 11, wobei das Ausbilden des ersten Die-Gehäuses (100) weiter Folgendes umfasst:

Ausbilden einer ersten dielektrischen Schicht (106) über einem ersten Trägersubstrat (102);

Ausbilden des ersten elektrischen Anschlusssteils (110) über der ersten dielektrischen Schicht (106), wobei das erste elektrische Anschlusssteil sich von einer ersten Seite der ersten dielektrischen Schicht (106) erstreckt;

Befestigen des ersten Dies (120) an der ersten Seite der ersten dielektrischen Schicht (106);

Kapseln des ersten Dies und des ersten elektrischen Anschlusssteils mit einem Formmaterial, wobei das erste elektrische Anschlusssteil sich durch das Formmaterial erstreckt;

Ausbilden der ersten Umverteilungsschicht (131) über dem ersten Die (120), dem ersten elektrischen Anschlusssteil (110) und dem Formmaterial; und  
Entfernen des ersten Trägersubstrats (102), um eine zweite Seite der ersten dielektrischen Schicht (106) freizulegen, wobei die zweite Seite der ersten Seite gegenüberliegt; und

Entfernen der ersten dielektrischen Schicht (106), um eine rückseitige Oberfläche des ersten Dies (120) und das erste elektrische Anschlusssteil (110) freizulegen, wobei die Unterfüllung (220) über der freigelegten rückseitigen Oberfläche des ersten Dies und dem ersten elektrischen Anschlusssteil ausgebildet ist.

13. Verfahren nach Anspruch 12, wobei die rückseitige Oberfläche des ersten Dies weiter einen Die-Befestigungsfilm (126) umfasst.

14. Verfahren nach einem der Ansprüche 10 bis 13, wobei die strukturierte Unterfüllung (220) Seitenwände aufweist, die im Wesentlichen rechtwinklig zu einer rückseitigen Oberfläche des ersten Dies sind.

15. Verfahren nach einem der Ansprüche 10 bis 14, wobei das Ausbilden der Unterfüllung (220) über dem ersten Die-Gehäuse das Ausbilden eines flüssigen Epoxids, eines verformbaren Gels, eines Silikonkautschuks, eines nicht-leitenden Films, eines Polymers, Polybenzoxazole, Polyimid, Lötresist oder einer Kombination daraus umfasst.

16. Halbleitergehäuse, das Folgendes umfasst: ein erstes Gehäuse (100), das Folgendes umfasst: einen ersten Die (120); ein Kapselungsmaterial (130), das den ersten Die (120) umgibt; und eine Durch-Gehäuse-Durchkontaktierung, die sich durch das Kapselungsmaterial (130) erstreckt; ein zweites Gehäuse (200), das einen zweiten Die umfasst, wobei das zweite Gehäuse (200) mit dem ersten Gehäuse (100) durch eine Menge von Anschlusssteilen (136; 210) verbunden ist; und eine Unterfüllung (220) zwischen dem ersten Gehäuse (100) und dem zweiten Gehäuse (200) und die Menge von Anschlusssteilen (136; 210) umgebend, wobei die Unterfüllung (220) Seitenwände aufweist, die im Wesentlichen rechtwinklig zu einer rückseitigen Oberfläche des ersten Dies (120) sind, wobei die Unterfüllung (220) eine Öffnung (222) aufweist, deren Breite (W222) kleiner oder gleich der Breite (W120) des ersten Dies (120) ist, um einen Abschnitt des ersten Dies freizulegen.

17. Halbleitergehäuse nach Anspruch 16, wobei die Unterfüllung (220) ein flüssiges Epoxid, ein verformbares Gel, einen Silikonkautschuk, einen nicht-leitenden Film, ein Polymer, Polybenzoxazole, Polyimid, Lötresist oder einer Kombination daraus umfasst.

18. Halbleitergehäuse nach Anspruch 16 oder 17, wobei das erste Gehäuse eine erste Breite hat und das zweite Gehäuse eine zweite Breite hat, wobei die zweite Breite kleiner als die erste Breite ist.

Es folgen 25 Seiten Zeichnungen

Anhängende Zeichnungen

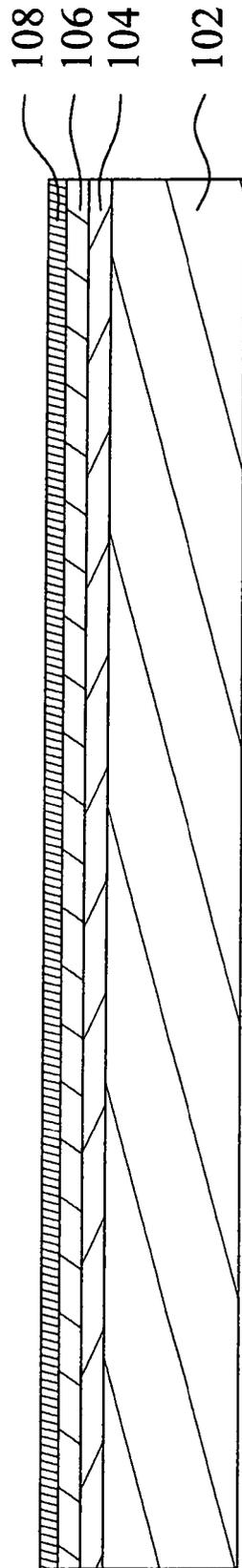


FIG. 1A

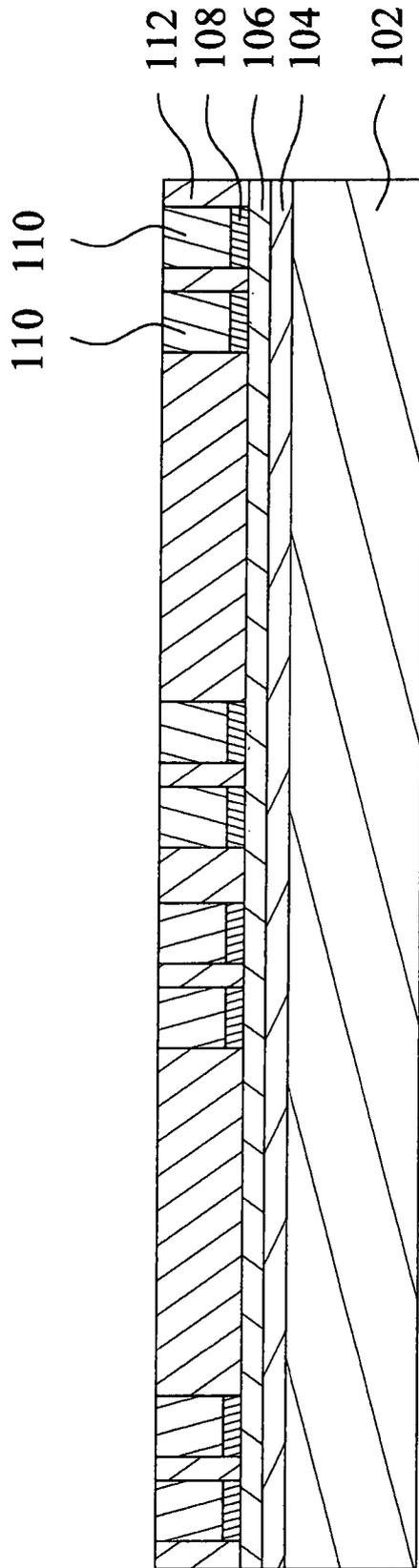


FIG. 1B

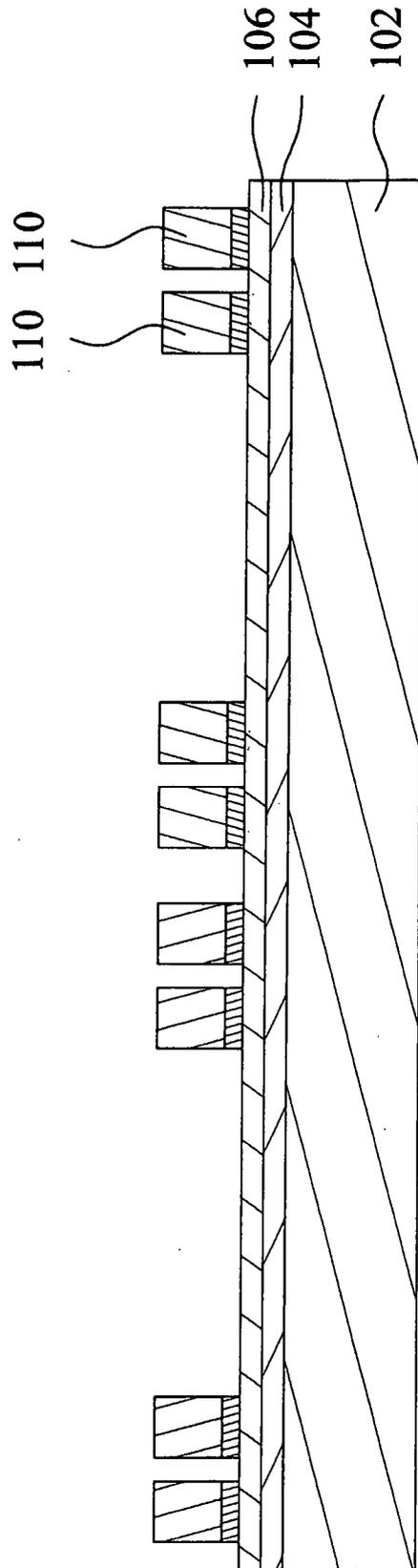


FIG. 1C

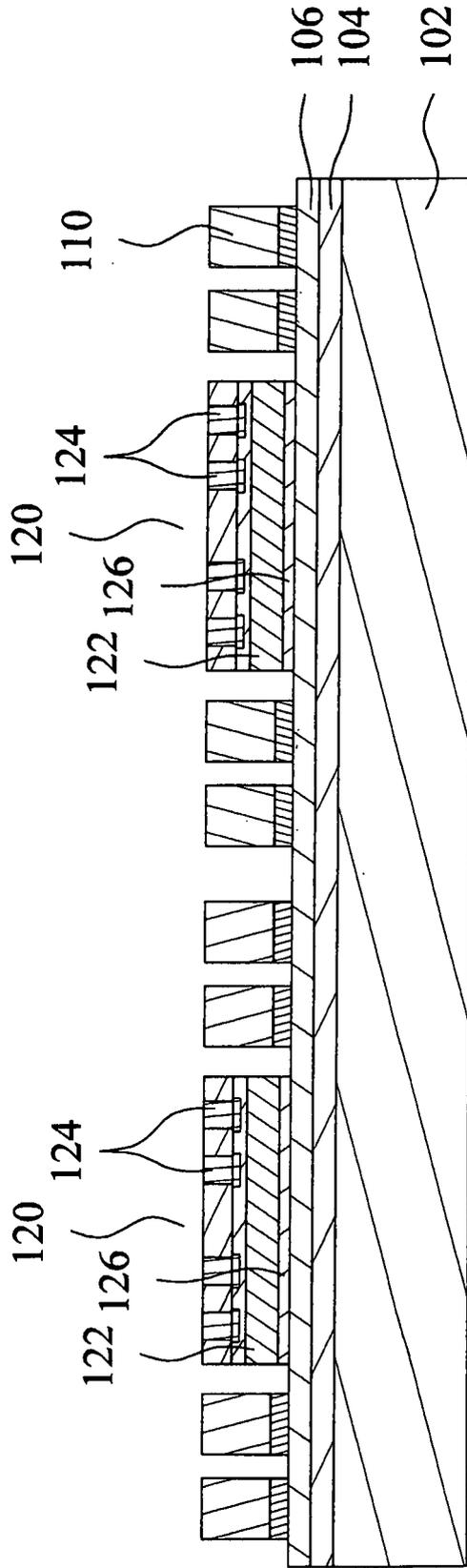


FIG. 1D

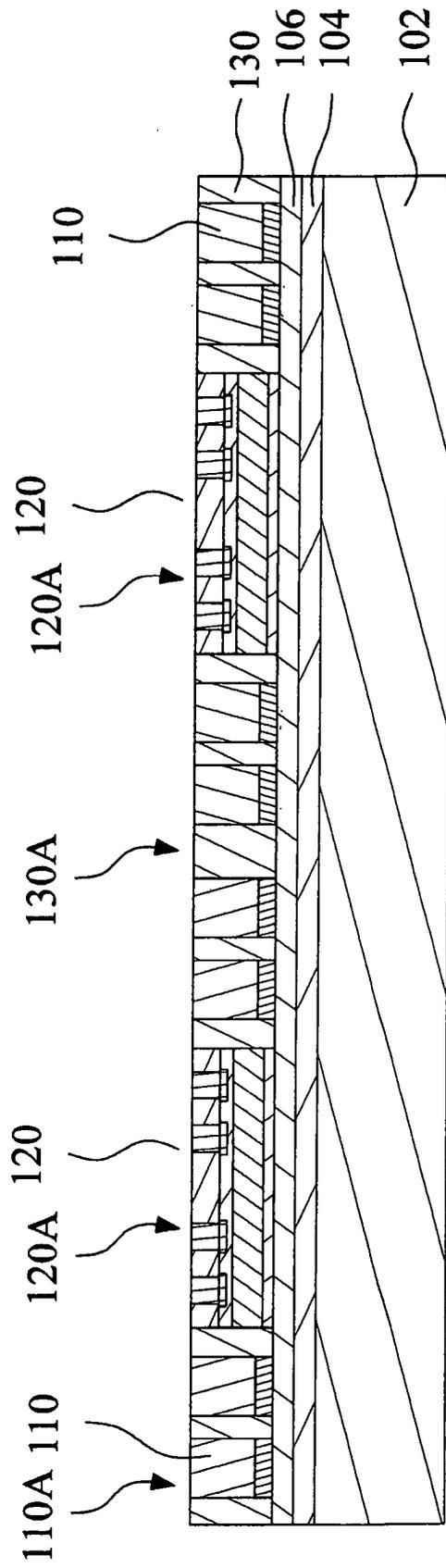


FIG. 1E

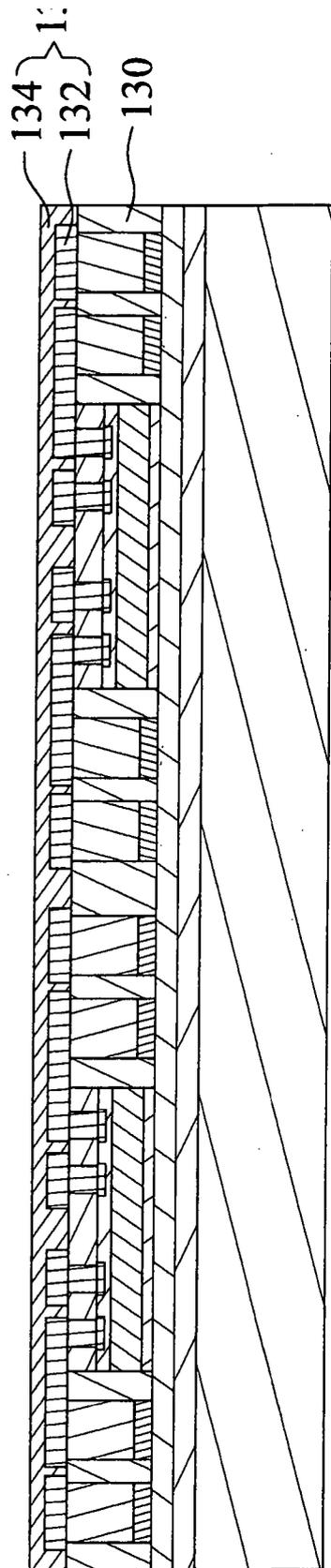


FIG. 1F

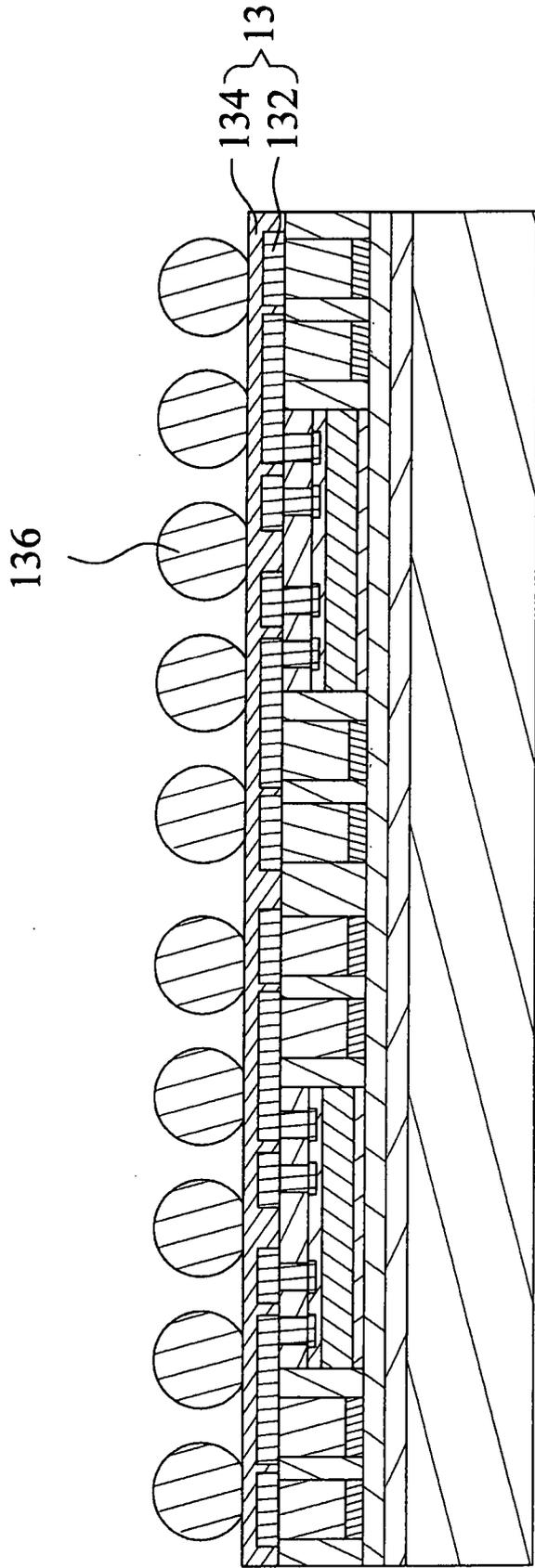


FIG. 1G

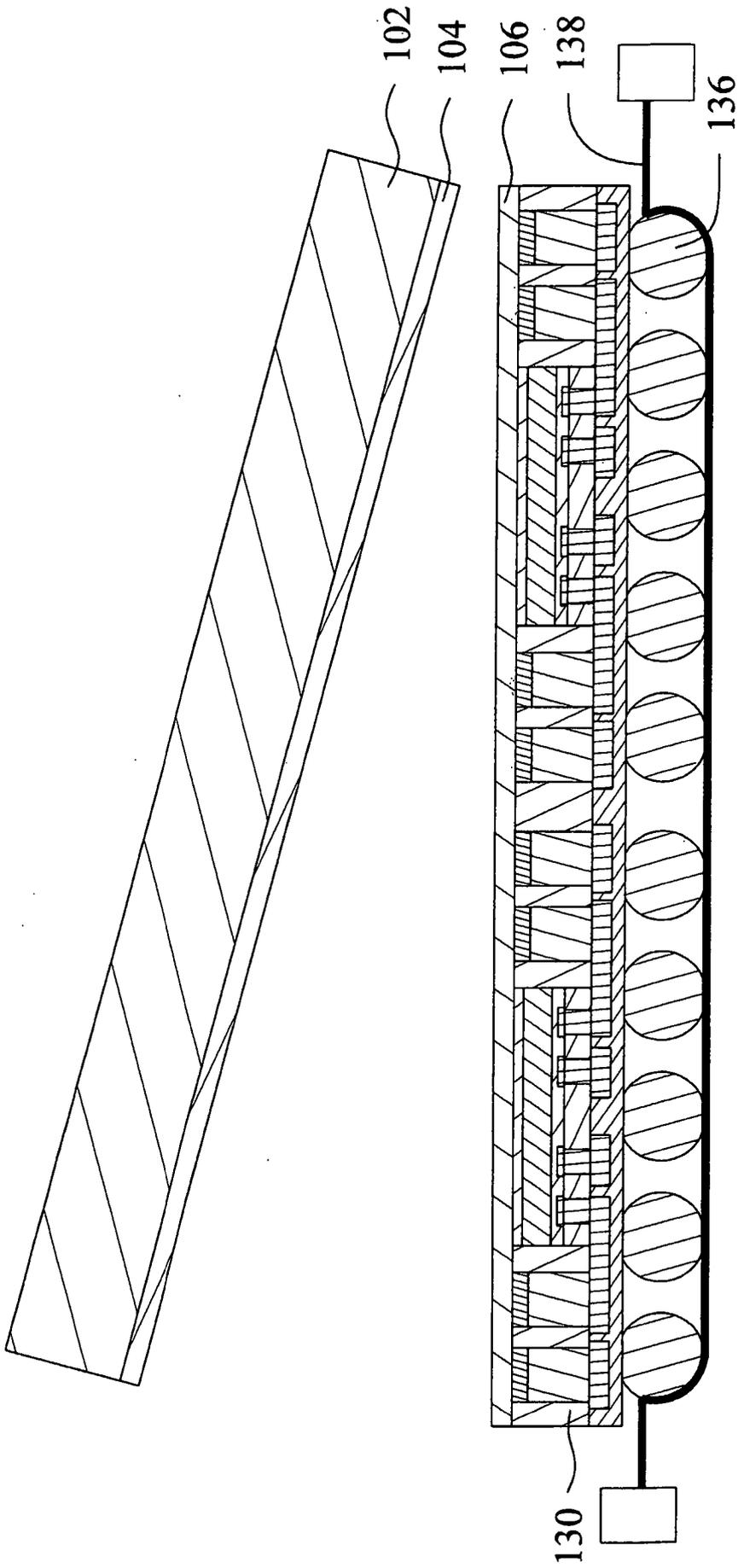


FIG. 1H

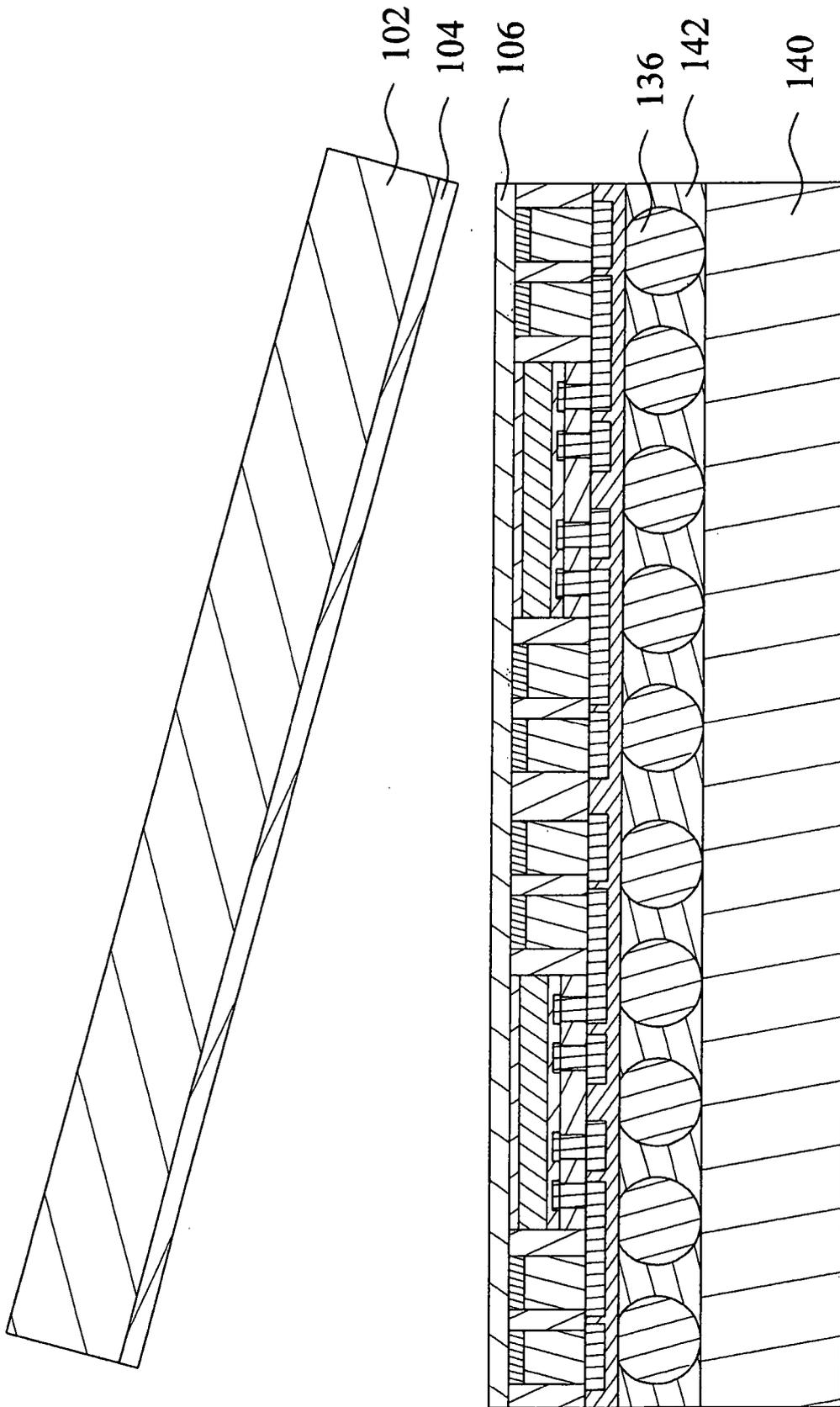


FIG. 11

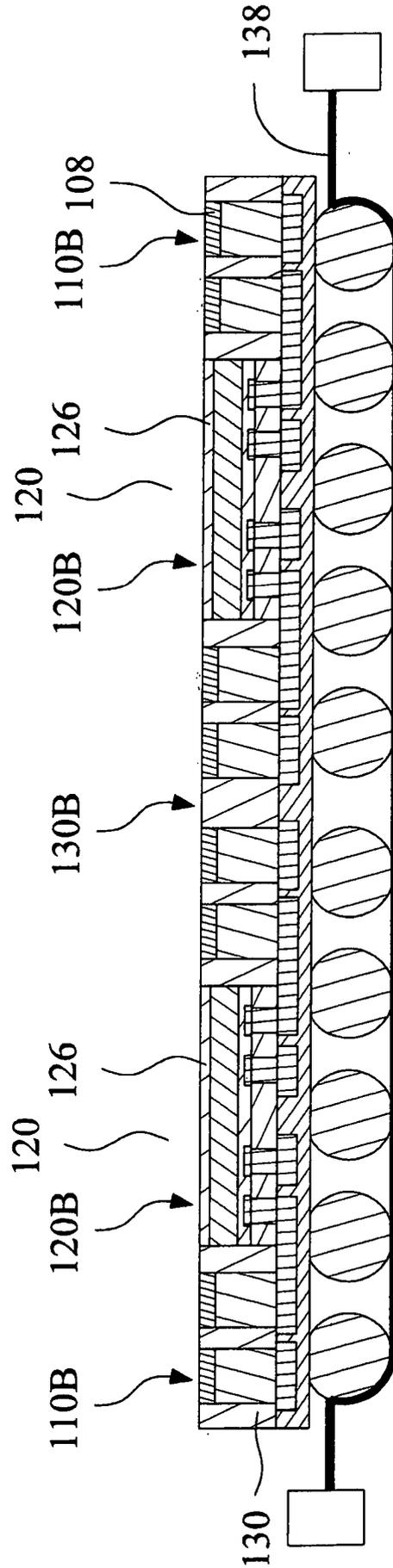


FIG. 1J

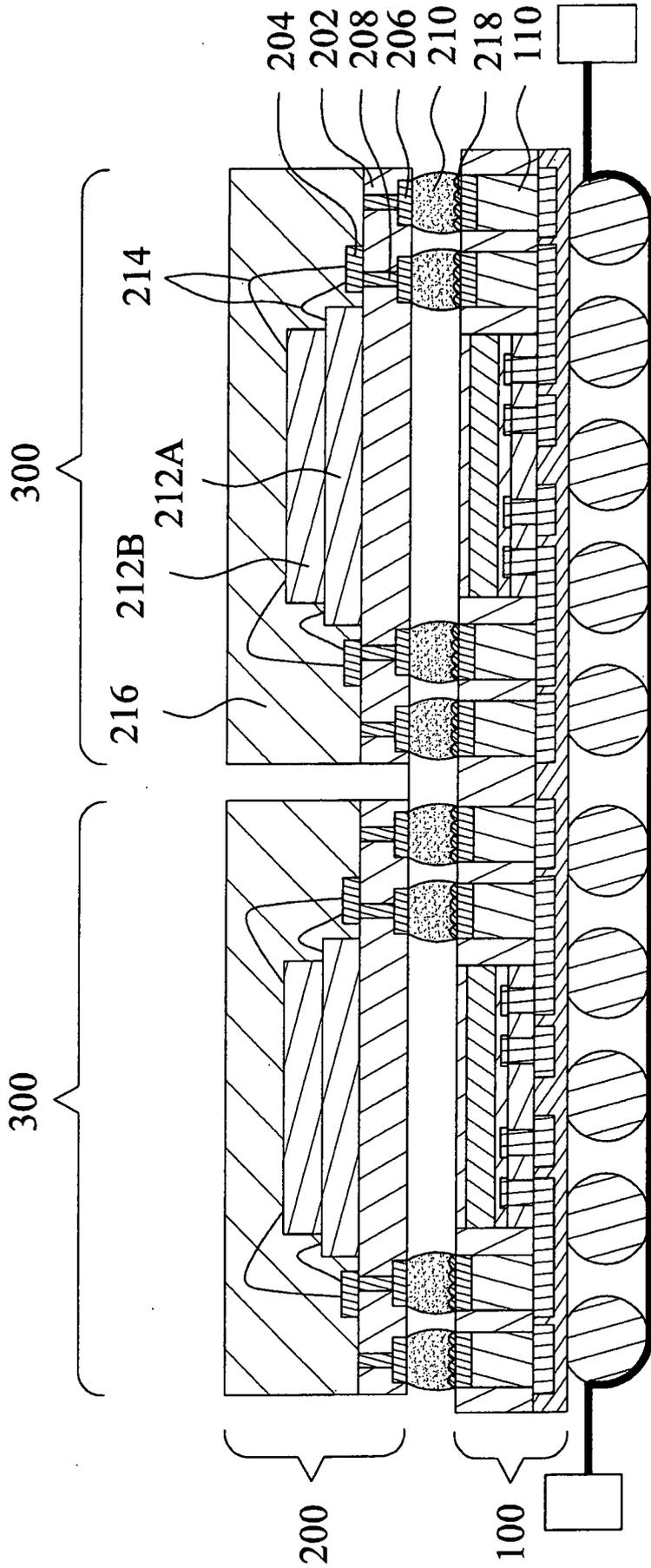


FIG. 2A

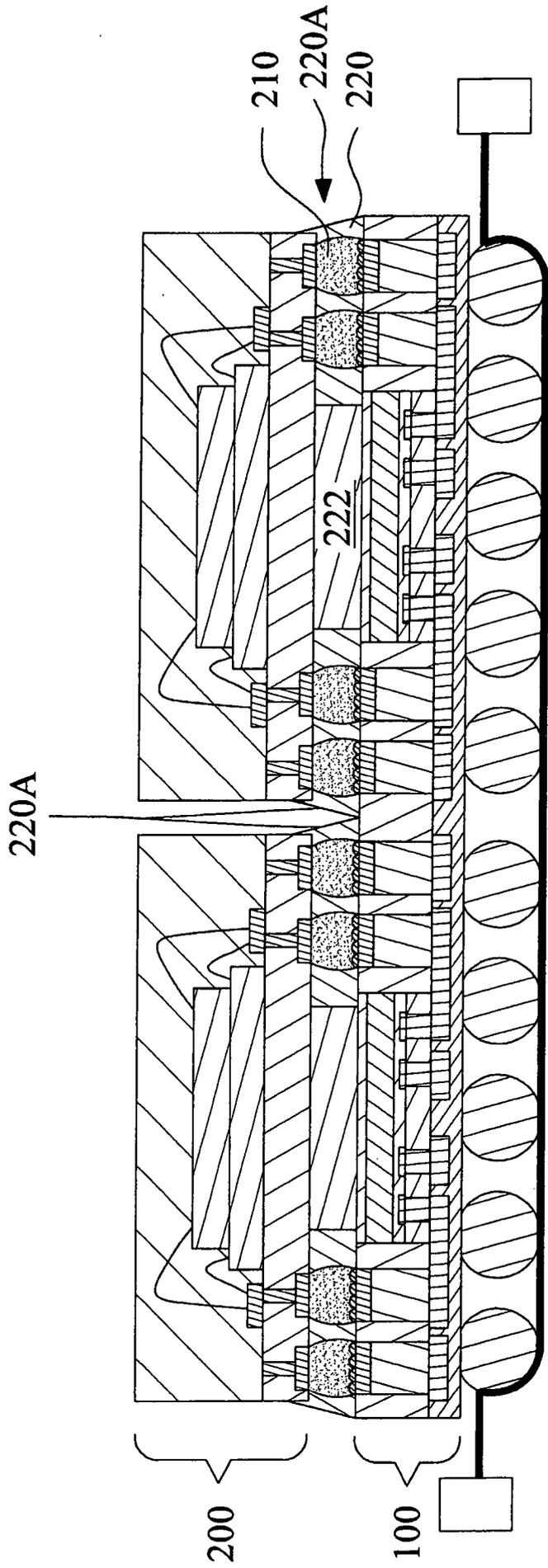


FIG. 2B

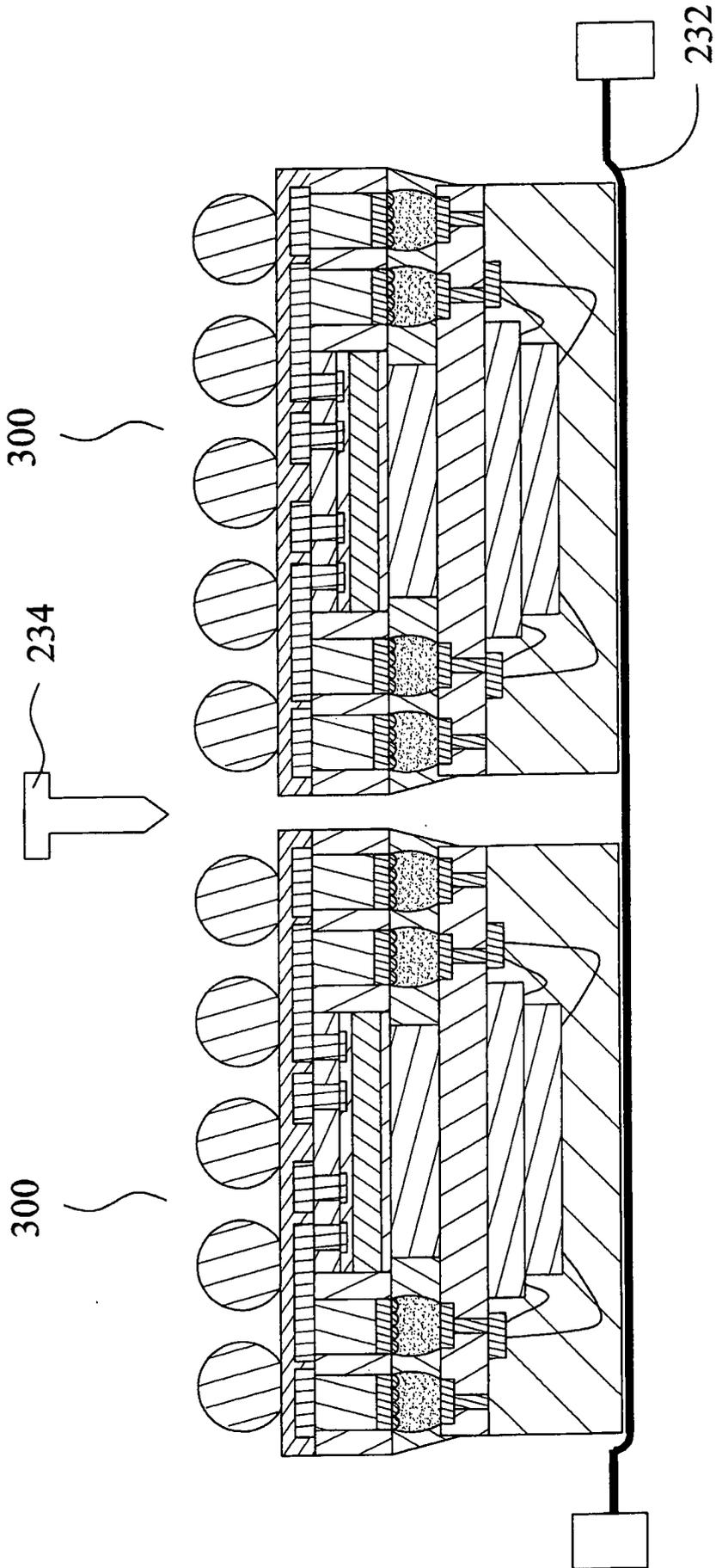


FIG. 2C

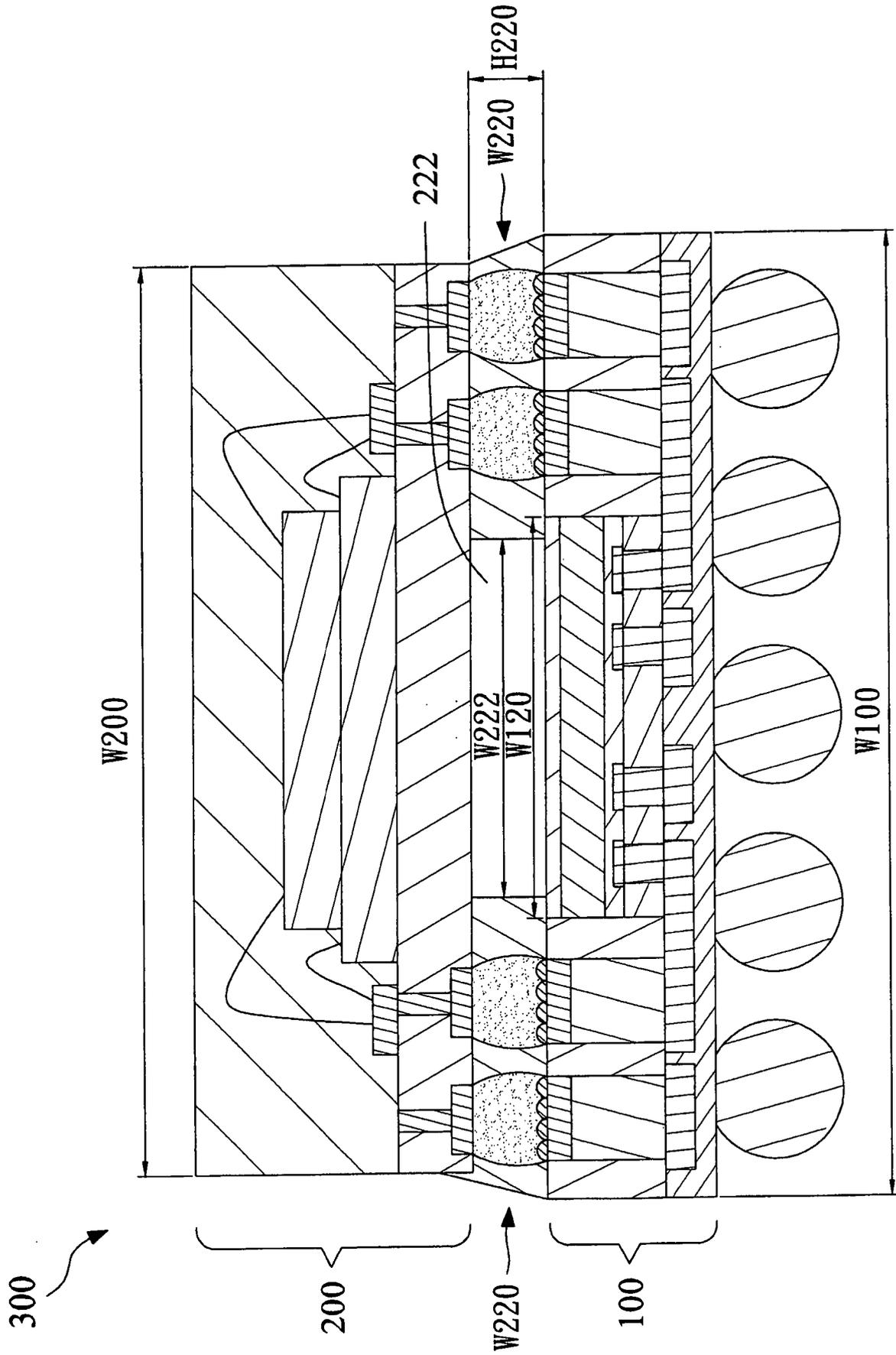


FIG. 3A

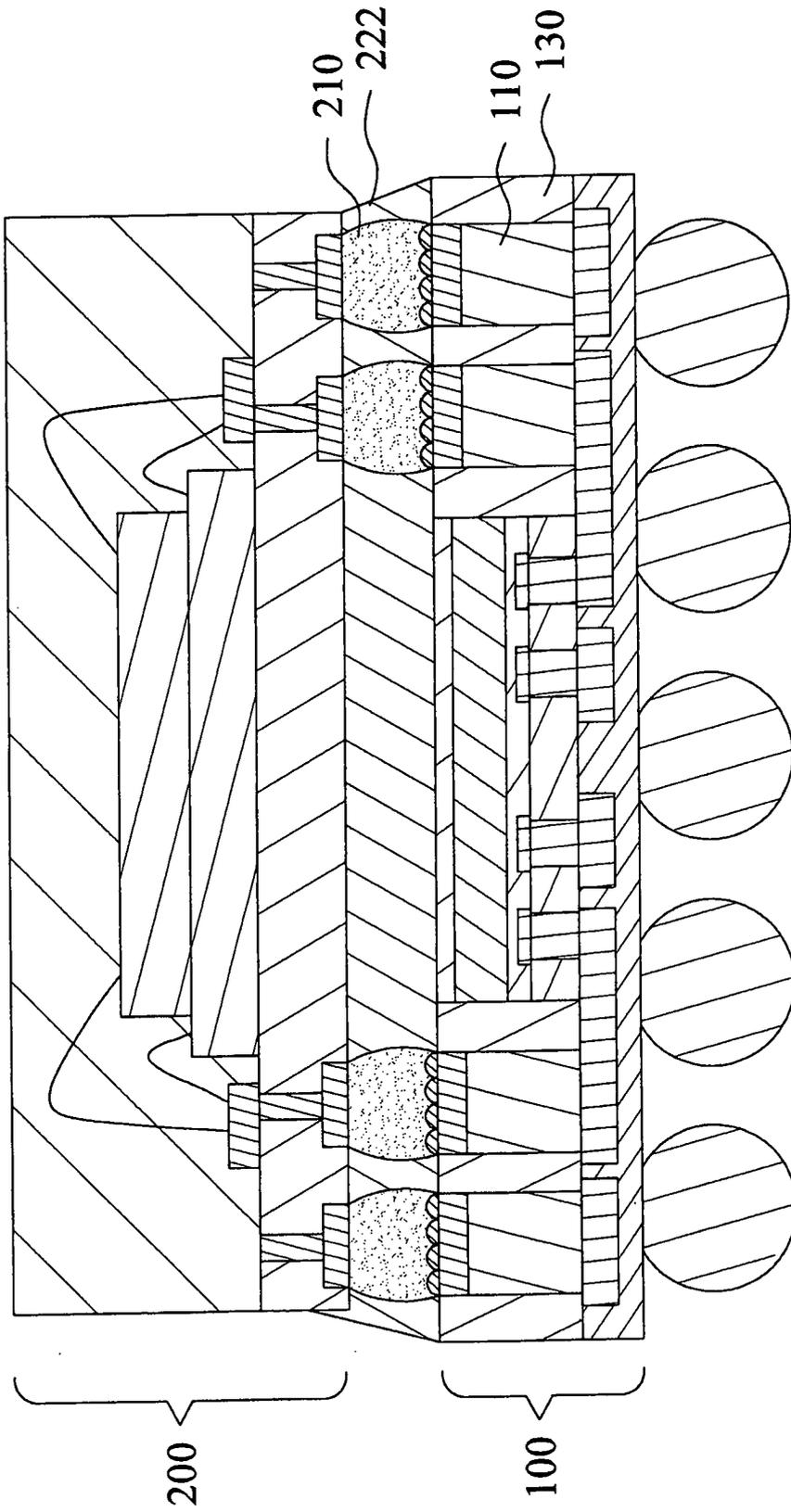


FIG. 3B

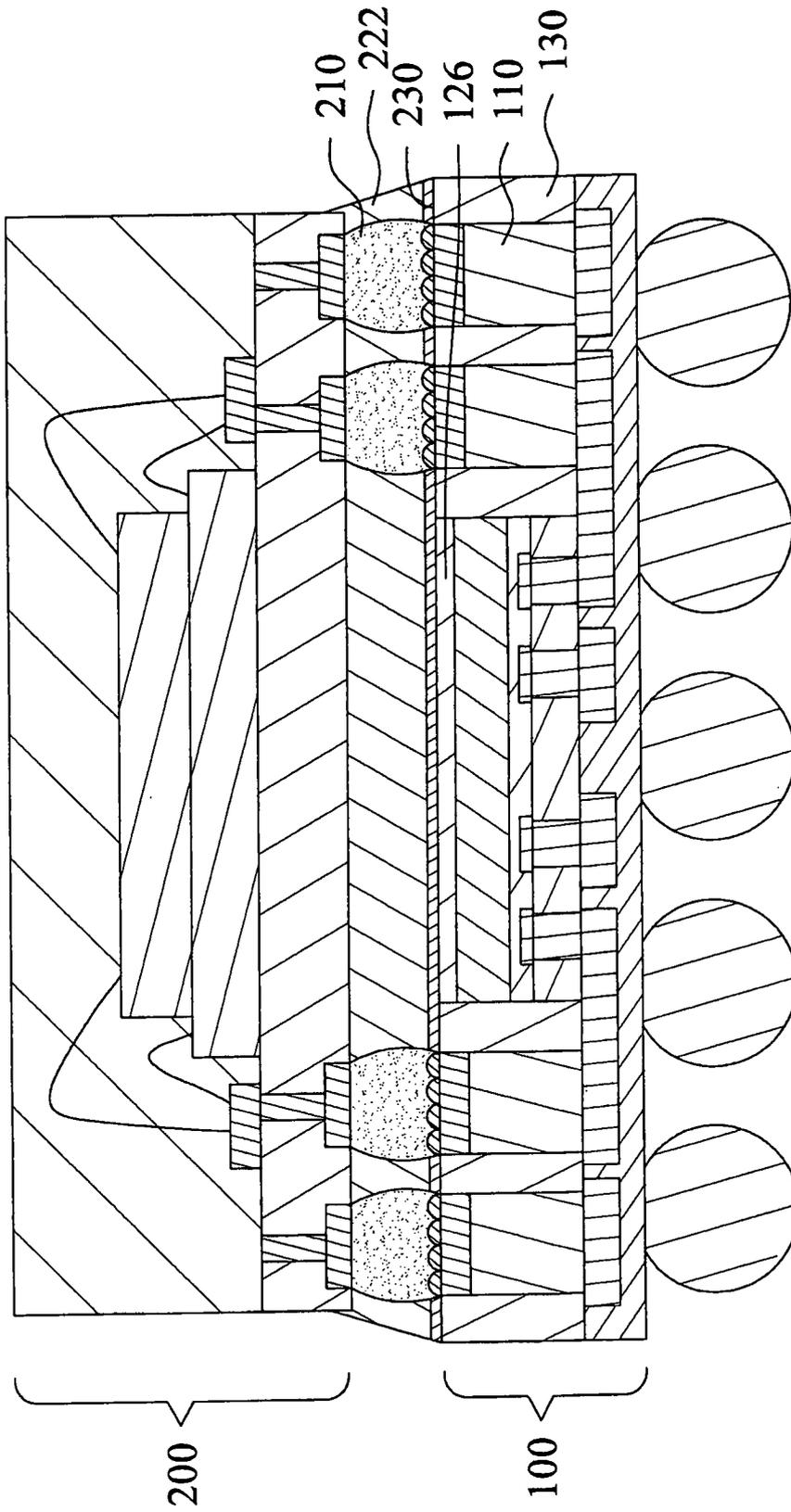


FIG. 3C

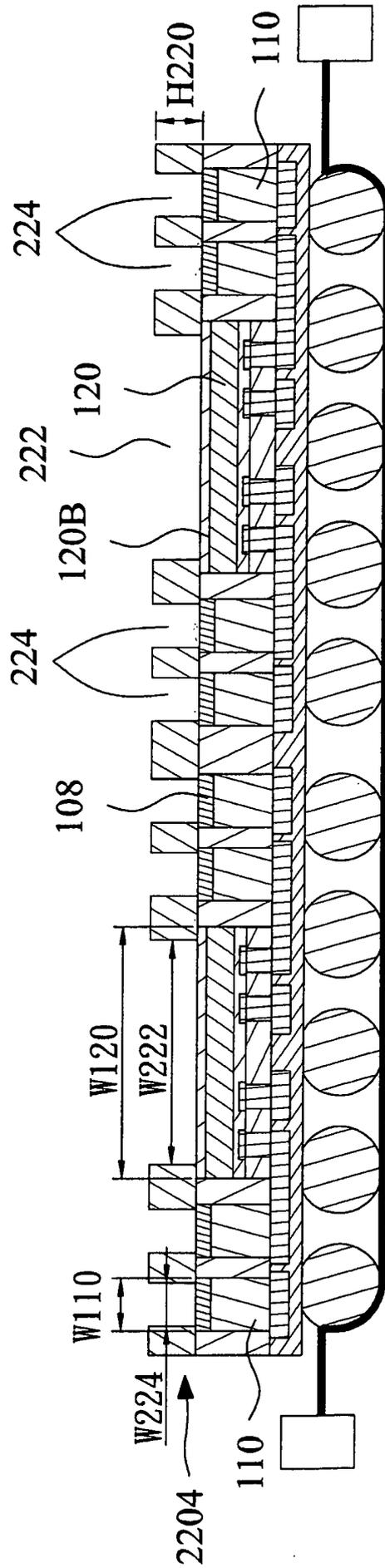


FIG. 4A

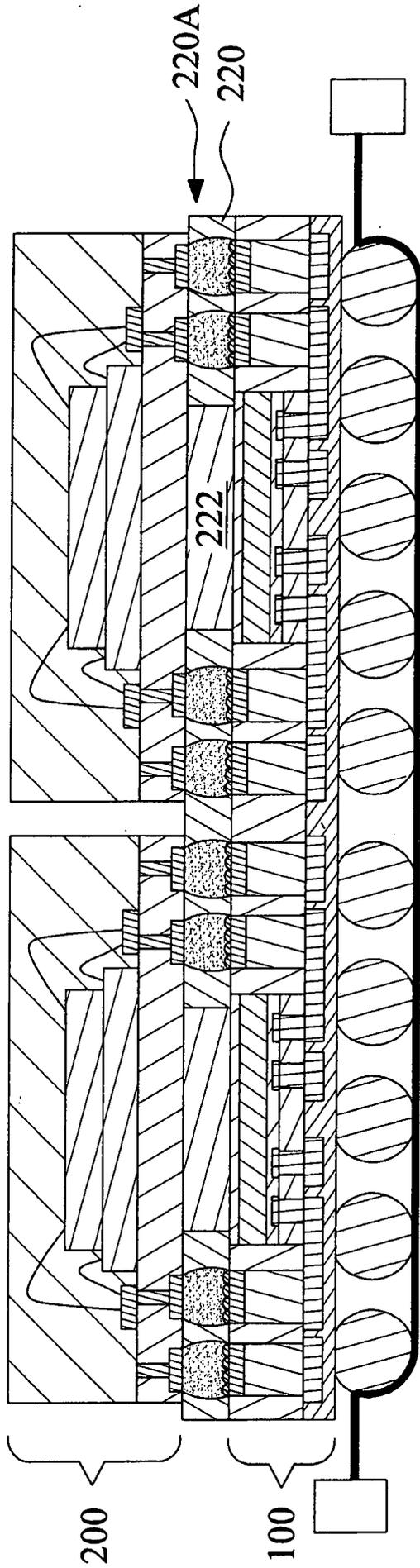


FIG. 4B

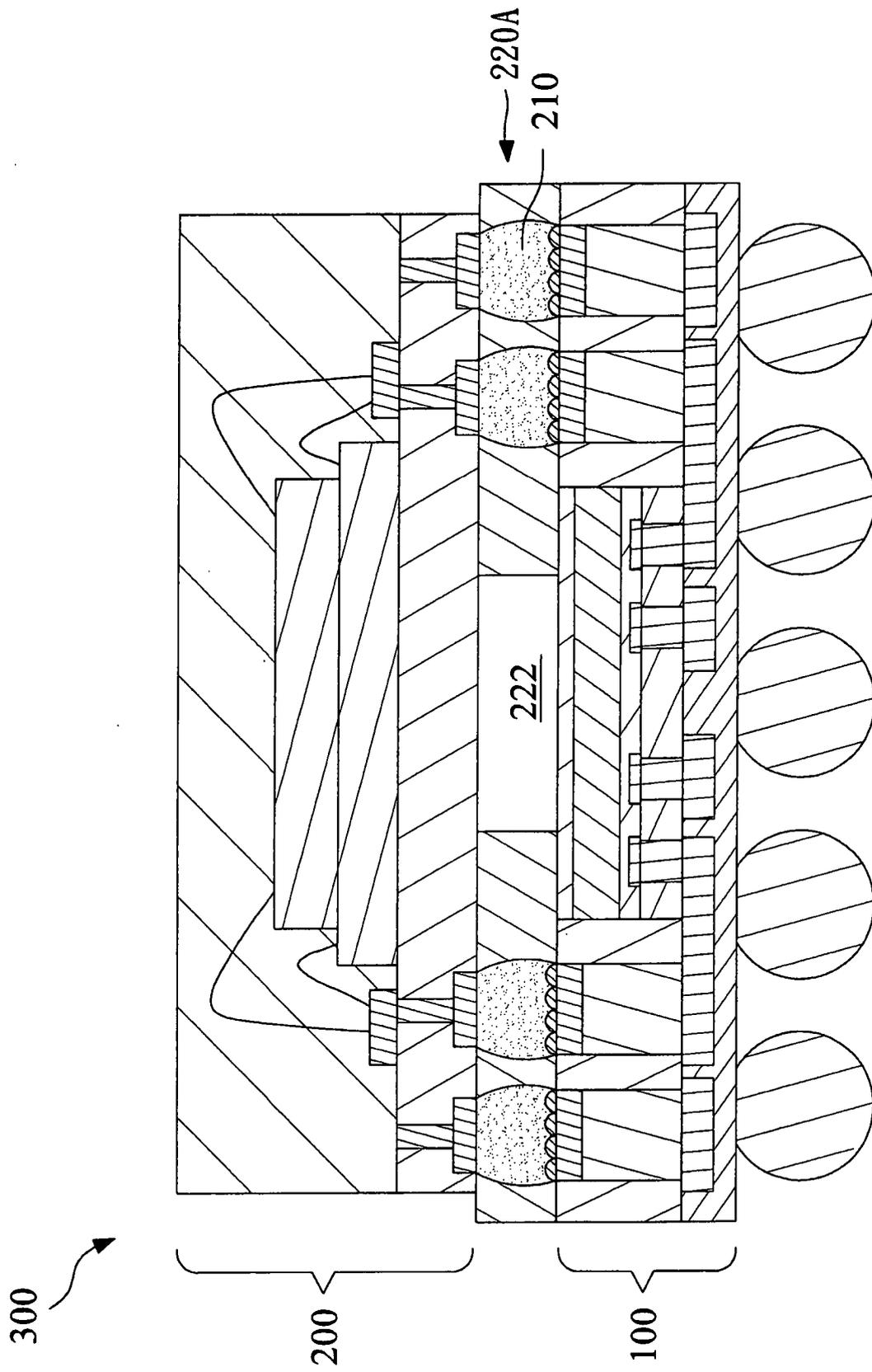


FIG. 5A

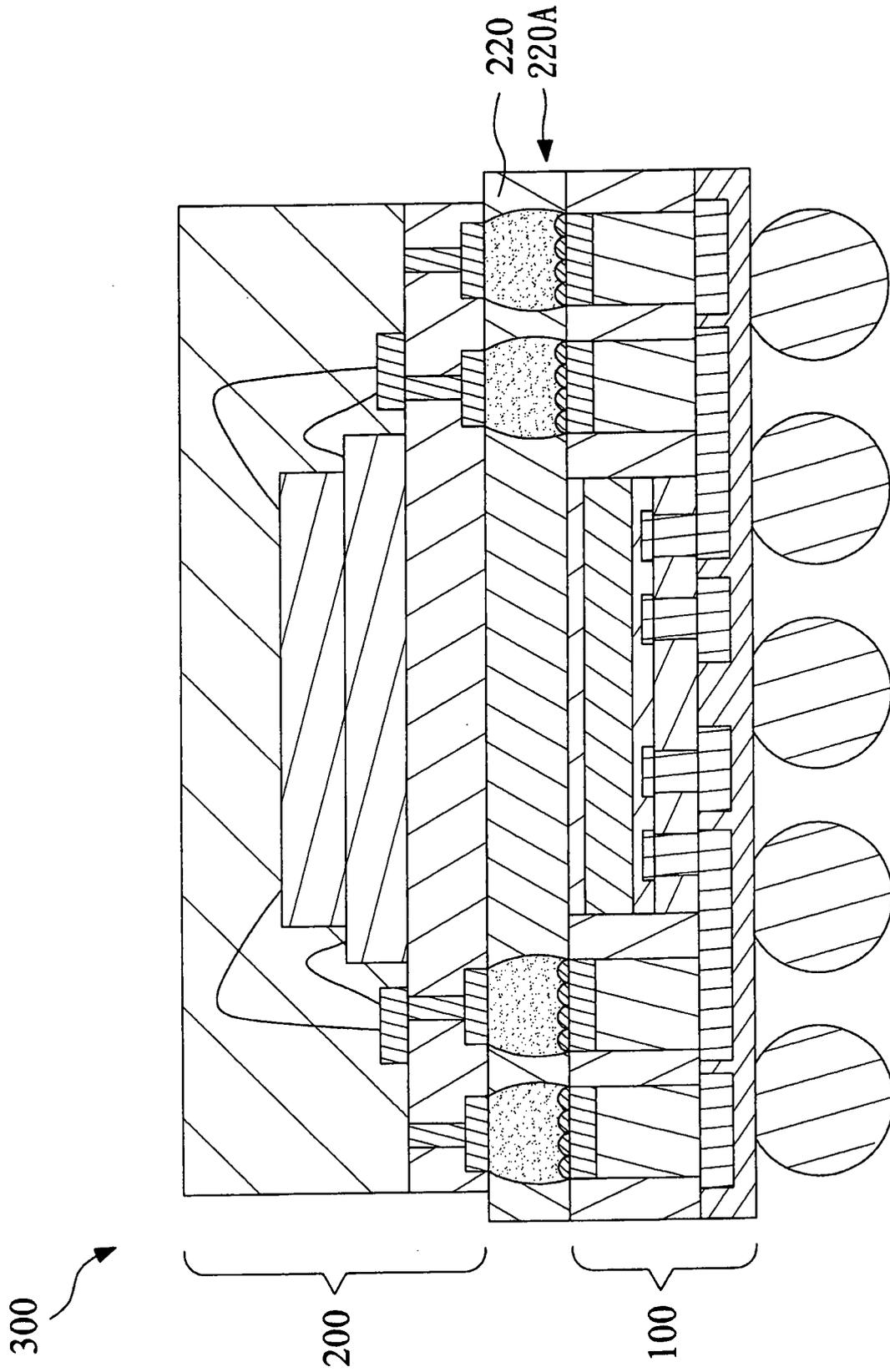


FIG. 5B

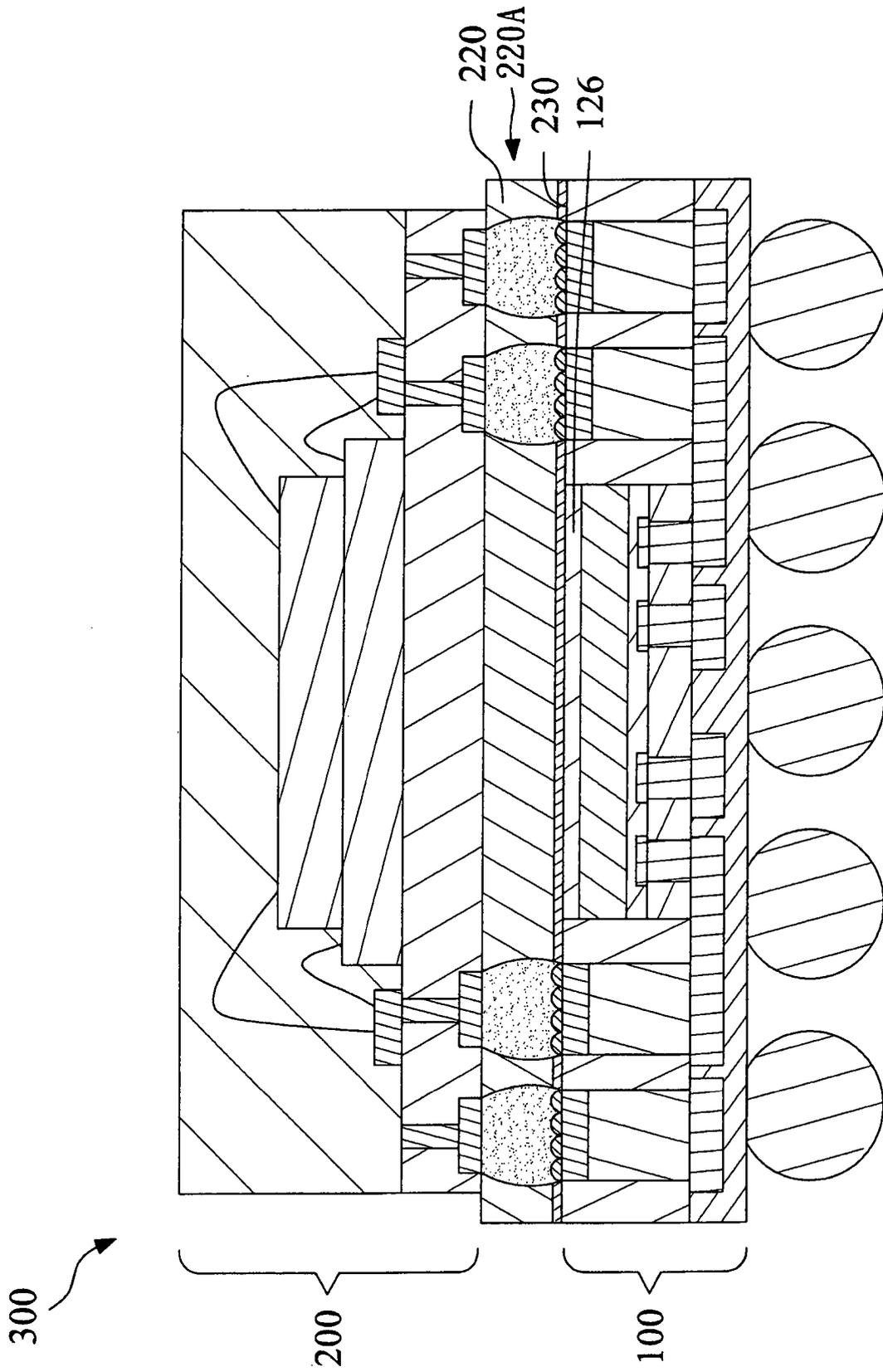


FIG. 5C

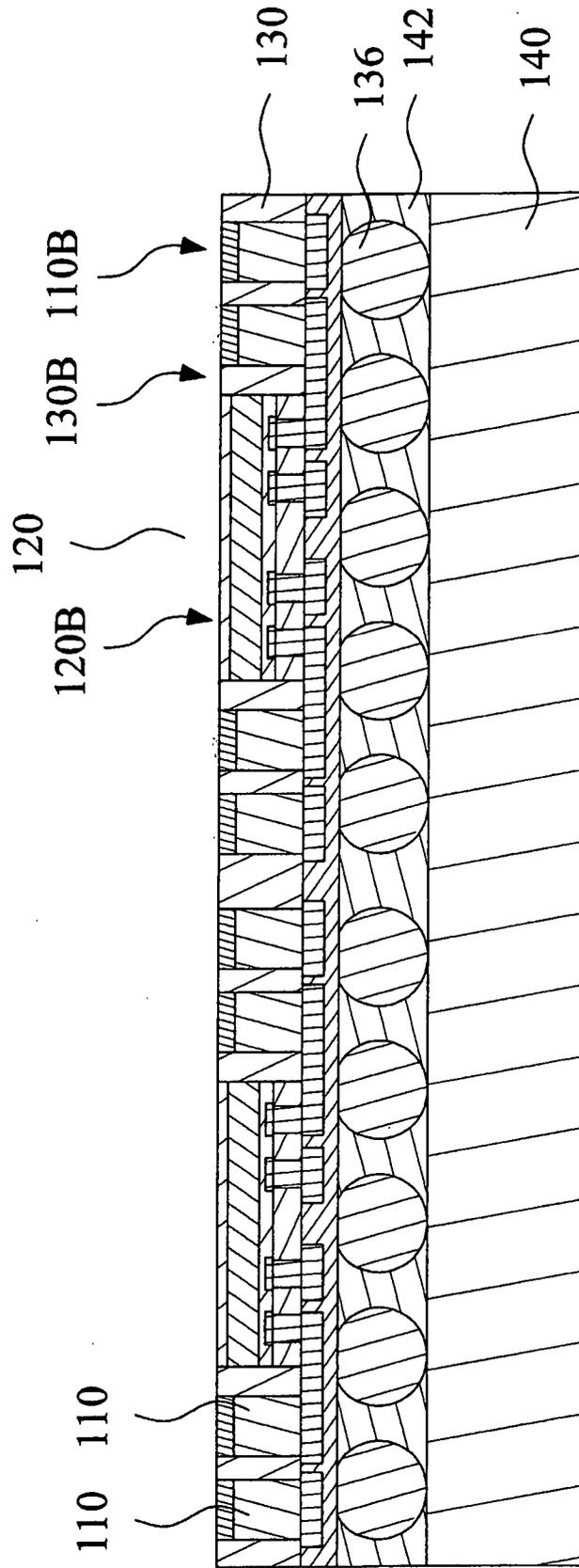


FIG. 6

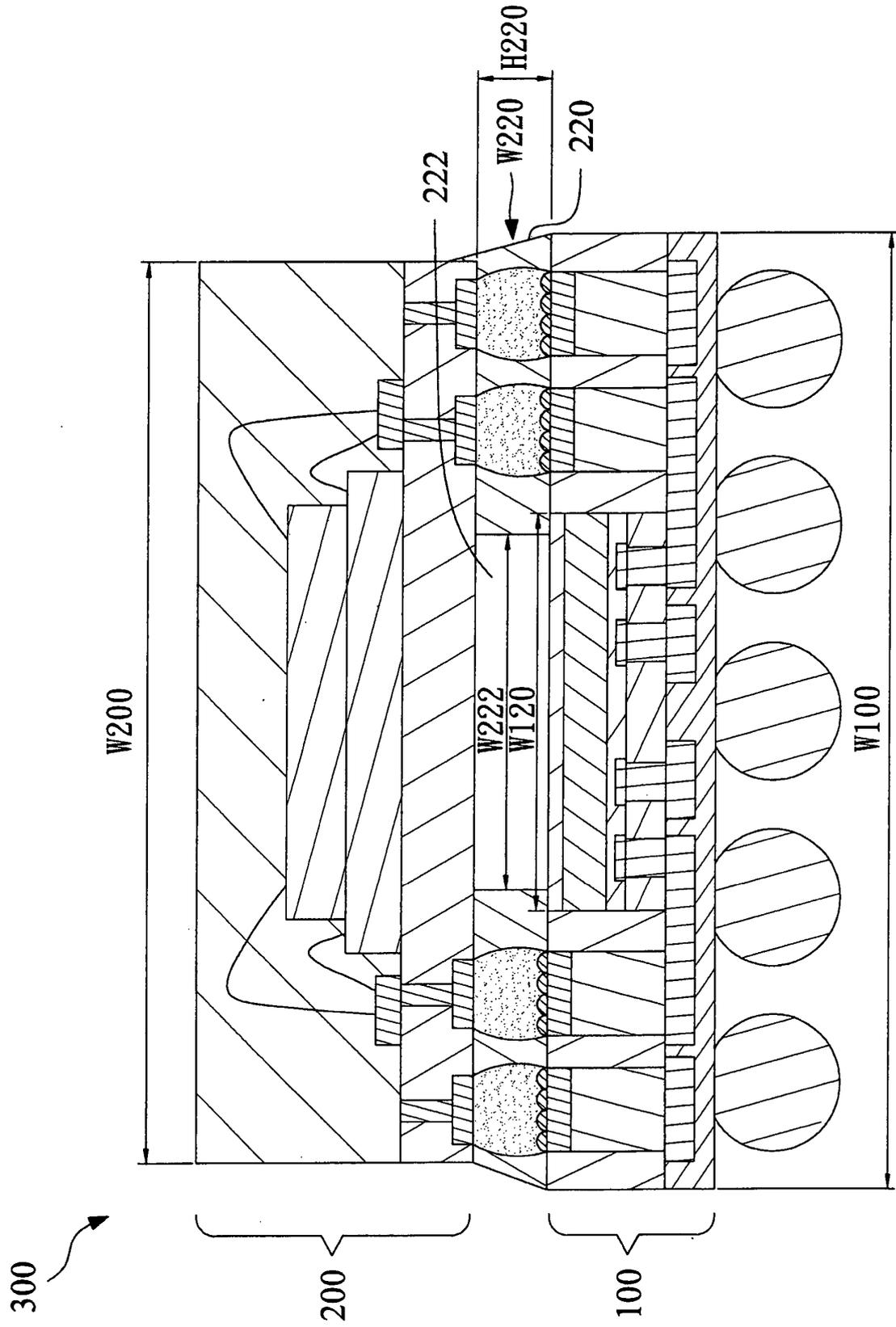


FIG. 7A

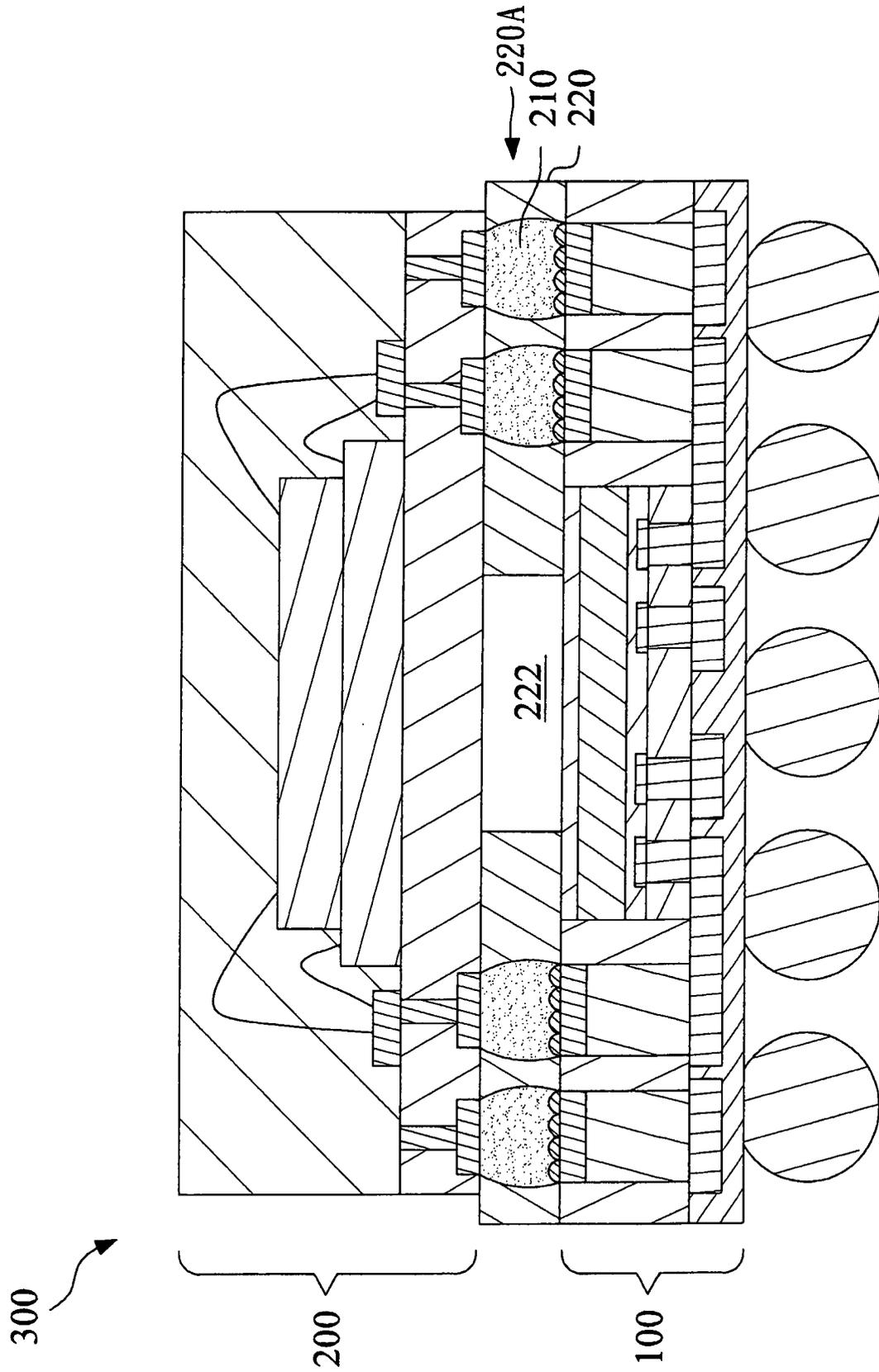


FIG. 7B

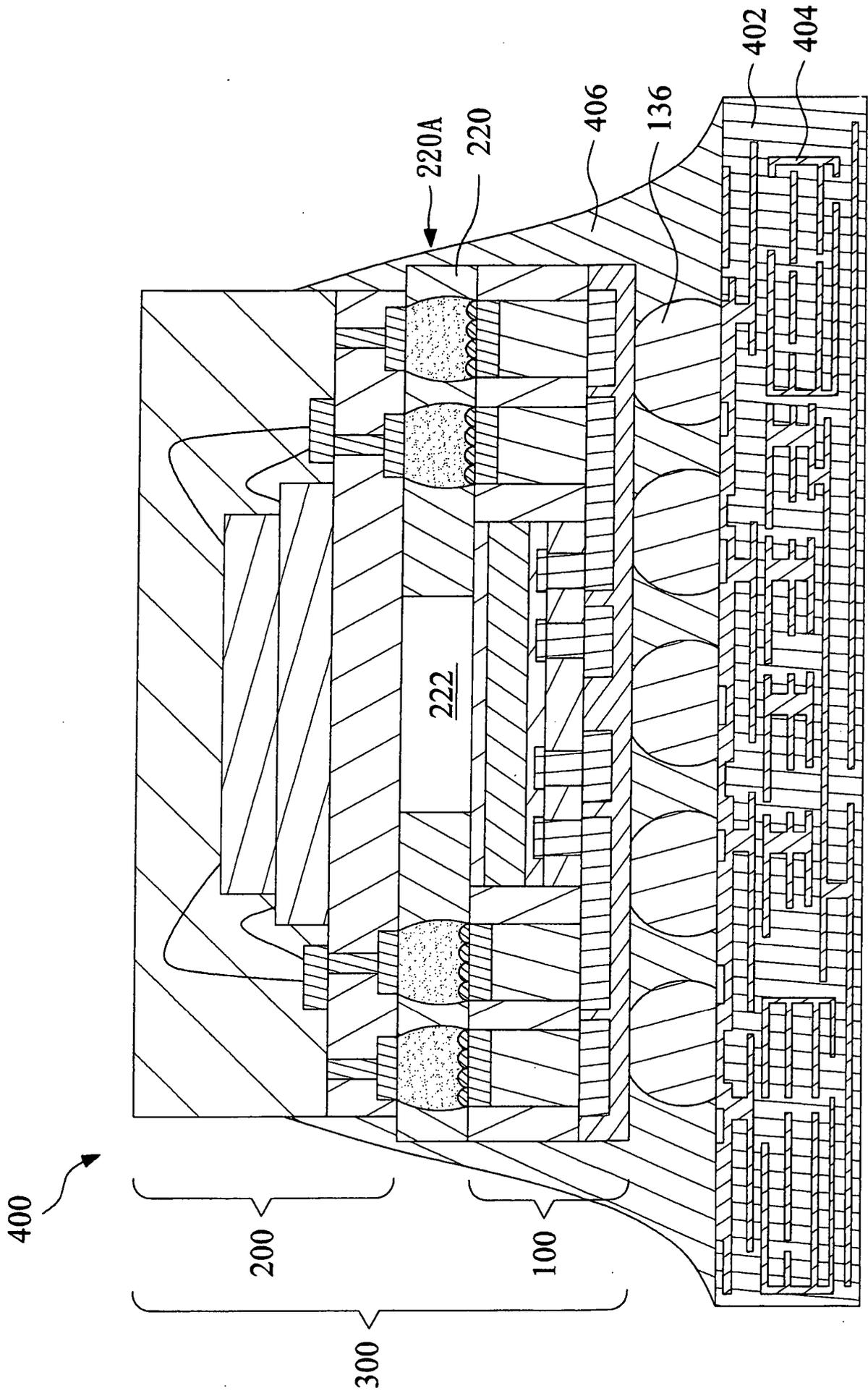


FIG. 8