

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-282923

(P2009-282923A)

(43) 公開日 平成21年12月3日(2009.12.3)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 6 F 12/16 (2006.01)	G 0 6 F 12/16 3 2 0 F	5 B 0 1 8
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 2 E	5 B 1 2 5
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 9 C	

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願2008-137059 (P2008-137059)
 (22) 出願日 平成20年5月26日 (2008. 5. 26)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100076233
 弁理士 伊藤 進
 (72) 発明者 遠藤 敬一郎
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 Fターム(参考) 5B018 GA02 HA14 HA22 MA24 NA06
 PA03 QA15 RA02
 5B125 BA02 CA11 DA09 DB11 DC03
 DE08 EA05 EJ09 EK02 EK06
 EK10

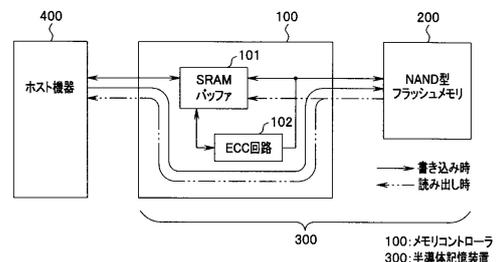
(54) 【発明の名称】 半導体記憶装置及び不揮発性メモリ

(57) 【要約】

【課題】複数のページ間でパリティに使用するビット数を有効に割り振り、ビットエラー発生率が高いページに対して訂正能力の高い誤り訂正を行える半導体記憶装置及び不揮発性メモリを提供することである。

【解決手段】半導体記憶装置300はメモリコントローラ100と不揮発性メモリ200を備える。不揮発性メモリは、複数のページで構成され、データとそのパリティが記憶される。メモリコントローラは、不揮発性メモリへのデータ書き込み時は、ホスト機器から入力したデータにパリティを付加して不揮発性メモリに記憶し、データ読み出し時は、不揮発性メモリからデータとそのパリティを読み出して誤り箇所を検出し、データ誤り訂正を行う機能を有する。メモリコントローラは、不揮発性メモリに記憶可能な複数のページのうちの所定数のページで使用可能な全てのパリティのビット数を、各ページのエラー発生率の大きさに応じて各ページ毎に割り振る。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数のページで構成され、データとそのパリティが記憶される不揮発性メモリと、
前記不揮発性メモリへのデータの書込み時は、ページデータにパリティを付加して前記不揮発性メモリに記憶させ、データの読出し時は、前記不揮発性メモリからページデータとそのパリティを読み出し、誤り箇所を検出し、データの誤り訂正を行う機能を備えたメモリコントローラと、を具備し、

前記メモリコントローラは、前記不揮発性メモリに記憶可能な複数のページのうちの所定数のページで使用可能な全てのパリティのビット数を、各ページのエラー発生率の大きさに応じて各ページ毎に割り振ることを特徴とする半導体記憶装置。

10

【請求項 2】

前記ページデータは複数の訂正単位のデータで構成され、

前記メモリコントローラは、前記不揮発性メモリに記憶する前記所定数のページの各ページを構成する複数の訂正単位ごとに付加される各パリティを、各ページのエラー発生率に応じて各ページの訂正単位に割り振ることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

メモリ領域が、同一長のページデータそれぞれを記憶可能な複数のデータ領域と、この複数のデータ領域それぞれに接続して設けられる、互いに同一長の複数のパリティ領域とを備えて構成される不揮発性メモリであって、

20

データ記憶可能な前記複数のデータ領域のうちの所定数のデータ領域に対応して前記複数のパリティ領域のうちの所定数のパリティ領域で使用可能な全てのパリティ領域を、各ページのエラー発生率の大きさに応じて各ページ毎に割り振ることを特徴とする不揮発性メモリ。

【請求項 4】

前記ページデータは複数の訂正単位のデータで構成され、

前記複数のデータ領域のうちの所定数のデータ領域に対応した各ページを構成する複数の訂正単位ごとに付加される各パリティ領域が、各ページのエラー発生率に応じて各ページの訂正単位に割り振られることを特徴とする請求項 3 に記載の不揮発性メモリ。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、半導体記憶装置に係り、特に不揮発性メモリとメモリコントローラとを備えた半導体記憶装置及び不揮発性メモリに関する。

【背景技術】

【0002】

メモリカード等への利用により、NAND型フラッシュメモリの需要が年々高まっている。用途が拡大するにつれ、より大容量かつ高速に動作するメモリカードが求められている。その要求に応えるため、より微細なプロセスを使用したNAND型フラッシュメモリが開発されている。

40

【0003】

NAND型フラッシュメモリはメモリコントローラによりデータの書込み及び読出し時の動作が制御される。ECC回路を有するメモリコントローラは、データの書込み時は、ホスト機器から入力したデータにパリティを付加してNAND型フラッシュメモリに記憶させ、データの読出し時は、NAND型フラッシュメモリからデータをそのパリティと共に読み出し、誤り箇所(アドレス等)を検出し、データの誤り訂正を行う。

【0004】

NAND型フラッシュメモリの記憶領域に記憶されるデータは、複数のブロック(消去単位)で構成され、各ブロックのデータは所定数(例えば128)のページで構成される。NAND型フラッシュメモリに対するデータの書込み/読出しの単位は、1ページ分のデ

50

ータ(ページデータ)または1ページ分のデータを幾つかに同等に分割したデータに対してパリティを付加したデータとされる。

【0005】

ECC回路に入力するデータ長とパリティのビット数はNAND型フラッシュメモリの1ページのビット数に依存する。1ページのビット数はNAND型フラッシュメモリに設定可能な、データ長とそれに付加されるパリティ長との和で規定される。NAND型フラッシュメモリにおいて、従来は一定のデータ長を有するデータに対して付加されるパリティビット数は一定(固定)であるために、どのページデータ(またはその分割データ)に対してもパリティとして1ページの記憶領域に収まる最大のパリティビット数を付加すると、ページ毎にビットエラー発生率が異なる場合は、ページによってエラー訂正能力が過剰に
10
なったり、足りなかったりする。つまり、ページによって、パリティビット数が多過ぎたり、少なかったりする。特に、単体のNAND型フラッシュメモリにページごとに評価試験を行い、エラー発生率の最も悪い(高い)評価値に合わせてパリティ数を決めていると、エラーが起きにくいページには過剰にパリティが付けられることになる。

【0006】

先行技術としては、多値セルメモリに対する読み出しデータのエラーをECCコードを利用して訂正するメモリコントローラがある(例えば、特許文献1参照)。

【特許文献1】特開2003-67260号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0007】

本発明は上記の問題に鑑み、ページ毎にビットエラー発生率が異なる不揮発性メモリにおいて、複数のページ間でパリティに使用するビット数を有効に割り当てることにより、ビットエラー発生率が高いページに対して、より訂正能力の高い誤り訂正を行うことができる半導体記憶装置及び不揮発性メモリを提供することを目的とするものである。

【課題を解決するための手段】

【0008】

本願発明の一態様によれば、複数のページで構成され、データとそのパリティを記憶する不揮発性メモリと、前記不揮発性メモリへのデータの書込み時は、ページデータにパリティを付加して前記不揮発性メモリに記憶させ、データの読み出し時は、前記不揮発性メモリからページデータとそのパリティを読み出し、誤り箇所を検出し、データの誤り訂正を行う機能を備えたメモリコントローラと、を具備し、前記メモリコントローラは、前記不揮発性メモリに記憶可能な複数のページのうちの所定数のページで使用可能な全てのパリティのビット数を、各ページのエラー発生率の大きさに応じて各ページに割り振ることを特徴とする半導体記憶装置が提供される。

30

【0009】

本願発明の他の態様によれば、メモリ領域が、同一長のページデータそれぞれを記憶可能な複数のデータ領域と、この複数のデータ領域それぞれに接続して設けられる、互いに同一長の複数のパリティ領域とを備えて構成される不揮発性メモリであって、データ記憶可能な前記複数のデータ領域のうちの所定数のデータ領域に対応して前記複数のパリティ領域のうちの所定数のパリティ領域で使用可能な全てのパリティ領域を、各ページのエラー発生率の大きさに応じて各ページ毎に割り振ることを特徴とする不揮発性メモリが提供される。

40

【発明の効果】

【0010】

本発明によれば、ページ毎にビットエラー発生率が異なる不揮発性メモリにおいて、複数のページ間でパリティに使用するビット数を有効に割り当てることにより、ビットエラー発生率が高いページに対して、より訂正能力の高い誤り訂正を行うことができる不揮発性半導体記憶装置及び不揮発性メモリを提供することが可能となる。

【発明を実施するための最良の形態】

50

【 0 0 1 1 】

発明の実施の形態について図面を参照して説明する。

図 1 1 は、本発明の関連技術の半導体記憶装置における N A N D 型フラッシュメモリの記憶領域にページ単位に記憶されたデータの構成を示している。N A N D 型フラッシュメモリは例えばページ番号 0 ~ 1 2 7 の 1 2 8 ページ分のデータを記憶する領域を備えている。1 ページ分のデータは、例えば 2 つの E C C の訂正単位(この単位は書込み時及び読出し時の単位でもある)で構成され、各訂正単位はデータとそのパリティ(斜線にて示す)で構成されている。

【 0 0 1 2 】

N A N D 型フラッシュメモリからデータを読み出す際には、メモリコントローラの制御によって N A N D 型フラッシュメモリから E C C の訂正単位の一組のデータ及びパリティが読み出されて E C C 回路に入力され、誤り検出及び訂正が行われる。

10

【 0 0 1 3 】

ところで、この例では N A N D 型フラッシュメモリから E C C 回路に入力するデータ長とパリティビット数(データ長とパリティ長で E C C の訂正単位を構成する)が、全てのページにおいて同じである。従って、1 ページに E C C 訂正単位が 2 つ(2 フレームという)あるとして、1 ページで使用できるパリティのビット数が n ビットだとすると、全てのページで E C C 回路に入力するパリティのビット数は $n / 2$ ビットとなる。

【 0 0 1 4 】

データ長に対するパリティビット数は一定(固定)であるために、1 ページに収まる最大のパリティビット数を設定したとき、ページ毎にビットエラー発生率が異なる場合は、ページによってエラー訂正能力が過剰になったり、足りなかったりする問題が生ずる。

20

【 0 0 1 5 】

そこで、本発明の実施形態においては、ページ毎にビットエラー発生率が異なる N A N D 型フラッシュメモリにおいて、複数のページ間でパリティのビット数を割り振るようにし、各ページに使用するパリティビット数を、ビットエラー発生率が高いページに対してより多く割り当て、ビットエラー発生率が低いページに対してより少なく割り当てることにより、限られたパリティビット数をより有効に使用し、ビットエラー発生率が高いページに対してはより訂正能力の高い誤り訂正を行えるようにしたものである。

【 0 0 1 6 】

30

[第 1 の実施形態]

図 1 は本発明の第 1 の実施形態の半導体記憶装置のブロック図を示している。

図 1 において、半導体記憶装置 3 0 0 は、メモリコントローラ 1 0 0 と、不揮発性メモリである N A N D 型フラッシュメモリ 2 0 0 とを備えている。

【 0 0 1 7 】

N A N D 型フラッシュメモリ 2 0 0 は、複数のページで構成され、データとそのパリティを一組とする訂正単位で記憶する。訂正単位は、書込み単位又は読出し単位と同じであって、1 ページ分であってもよいし、1 / 2 ページ分、又は 1 / 4 ページ分であってもよい。

【 0 0 1 8 】

40

メモリコントローラ 1 0 0 は、S R A M バッファ 1 0 1 と、E C C 回路 1 0 2 を備えている。

S R A M バッファ 1 0 1 は、ホスト機器 4 0 0 からのデータを一時保持し、所定長(例えば訂正単位)のデータとなったら N A N D 型フラッシュメモリ 2 0 0 に書き込むためと、N A N D 型フラッシュメモリ 2 0 0 から読み出したデータを一時保持し、所定長(例えば訂正単位)のデータにつき誤り訂正を行った後にホスト機器 4 0 0 へ出力するためである。

【 0 0 1 9 】

E C C 回路 1 0 2 は、N A N D 型フラッシュメモリ 2 0 0 に書き込む前に、S R A M バッファ 1 0 1 に保持した所定長のデータにつきこの E C C 回路 1 0 2 を通して該データの

50

訂正に必要なパリティを付けてからNAND型フラッシュメモリ200に書き込む。NAND型フラッシュメモリ200からデータを読み出すときは、SRAMバッファ101に一時保持し同時にこのデータをECC回路102へも入力し、ECC回路102は取り込んだデータのパリティを用いて該データの誤り箇所を検出し、SRAMバッファ101内のデータ(ECC回路102に取り込んだデータと同じもの)を訂正しに行く。

【0020】

なお、データ書き込み時にSRAMバッファ101へのデータが所定長に満たない時はNAND型フラッシュメモリ200が足りない分のデータをSRAMバッファ101に書き込んで所定長のデータとした上でECC回路102へ送り、ECC回路102でパリティを付加してNAND型フラッシュメモリ200へ書き込むようにしている。

10

【0021】

従って、メモリコントローラ100内のSRAMバッファ101及びECC回路102は、NAND型フラッシュメモリ200へのデータの書き込み時は、ホスト機器400から入力したデータにパリティを付加してNAND型フラッシュメモリ200に記憶させ、NAND型フラッシュメモリ200からのデータの読出し時は、NAND型フラッシュメモリ200からデータとそのパリティを読み出し、誤り箇所を検出し、データの誤り訂正を行う機能を有する。

【0022】

尚、ここでは、ホスト機器400と半導体記憶装置300が別構成の例を示しているが、半導体記憶装置300はホスト機器400内に組み込まれた態様であってもよい。

20

【0023】

メモリコントローラ100内のECC回路102は、データの書き込み時に、NAND型フラッシュメモリ200に記憶可能な複数のページのうちの連続する所定数のページで使用可能な全てのパリティのビット数を、各ページのエラー発生率の大きさに応じて各ページ(このときのページは1つの訂正単位に相当する)に割り当てる。或いは、メモリコントローラ100内のECC回路102は、NAND型フラッシュメモリ200に記憶する複数のページの各ページを構成する複数の訂正単位ごとに付加される各パリティを、各ページのエラー発生率に応じて各ページの訂正単位に割り当ててもよい。これらについては後で述べる。

【0024】

図2は図1における読み出し時の動作を説明する図である。NAND型フラッシュメモリ200から読み出されたデータはSRAMバッファ101及びECC回路102へ時間 t_1 で同時に入力され、取り込まれる。ECC回路102では、データの取り込みが終わった後に時間 t_2 にて取り込んだデータの誤り(エラー)訂正の計算を開始する。この計算では、訂正単位のデータに付加されているパリティを用いてデータの何処が壊れているかを解析する。そして、ECC回路102は、エラーの解析の計算が終了した時点 t_3 でその解析結果に基づいてSRAMバッファ101内のデータ(このデータはECC回路102に取り込んだデータと同じものである)を訂正しにいき、時間 t_4 にてエラー訂正を完了する。

30

【0025】

図3はNAND型フラッシュメモリ200における、消去単位であるブロック領域(以下、単にブロック)と、訂正単位(書き込み単位又は読出し単位に同じ)であるページ領域(以下、単にページ)を説明する図である。

40

NAND型フラッシュメモリ200のメモリ領域は、図3(A)に示すように複数のブロックで構成されている。そして、各ブロックは、図3(B)に示すように複数のページで構成されている。NAND型フラッシュメモリ200は、消去単位のブロックでデータを消去可能であるが、ブロックを構成する訂正単位のページでは消去することができない。

【0026】

1ブロックは、所定数の複数のページ、例えば1ページ分2kbyteのページが128ページ(=256kbyte)分のデータ領域で構成されるが、実際にはこのデータ領域に+ し

50

て、余りの領域を設けている。この余り領域は、データ領域を構成する全てのページのそれぞれのページの一定長のデータに対して誤り訂正を行うためにパリティデータを記憶したり、メモリ制御するために制御データを記憶したりするのに用いることが可能である。この実施形態では、この余り領域を図3(C)に示すようにパリティ領域と呼び、パリティビット(パリティ長Zbyte)を記憶するためのみに使用する場合について説明する。

【0027】

図4は訂正単位の構成を示している。訂正単位は、データとそのパリティで構成されている。データは例えば2kbyte, 1kbyte(=1024byte), 又は512byteなどである。図3(C)に示したように1ページのデータ部分が2kbyteであれば、訂正単位のデータ部分が2kbyte, 1kbyte, 512byteはそれぞれ、ページデータ部分を分割無し、2分割、4分割したものに相当している。なお、現在では、1ページのデータ部分が8kbyteのものも出現している。

10

【0028】

図5はデータに付加するパリティのサイズによって訂正可能なデータのビット数を示している。例えば、8bit訂正するのに10byteのパリティが必要である。

図6は第1の実施形態の半導体記憶装置における不揮発性メモリの記憶領域における、2つのページ間で使用するパリティのビット数を割り振った状態の一例を説明する図である。

【0029】

従来は全てのページでパリティに使用するビット数は均等であった。つまり、1ページで使用できるパリティのビット数がnビットだとすると、1ページに訂正単位が2フレームある場合は、全てのページでECC回路102に inputsするパリティの訂正単位のビット数はn/2ビットとなる。

20

【0030】

2つの連続するページ間でパリティに使用するビット数を割り振る場合、2つの連続する奇偶ページのうちの偶数ページのパリティビット数n/2からsビットを奇数ページのパリティとして使用すると、奇数ページのパリティ数はn/2+sとなり、従来のn/2ビット使用したエラー訂正より訂正能力を大きくできる。その分、偶数ページのパリティビット数はn/2-sと少なくなる。しかも、2つの連続する奇偶ページ間のパリティビット数は、1ページで使用できるパリティのビット数nビットで変わらず一定であることは勿論である。従って、図6の例は、奇数ページのエラー発生率が高い場合に有用となる。

30

【0031】

なお、図6の例では、偶数ページと奇数ページとで奇数ページをエラーが起きやすいページとしてパリティビット数を増やすように構成しているが、偶数ページをエラーが起きやすいページとしてパリティビット数を増やすように構成してもよい。

【0032】

図7は書き込み時に図6の2つの連続する奇偶ページ間でパリティに使用するビット数を割り振る場合のECC回路での動作を説明する図である。

図1のECC回路102において偶数ページ内の訂正単位のデータa又はbについては、図7(A)に示すようにデータa又はbがECC回路102に inputsされると、ECC回路102はそのデータに対してビット数n/2-sのパリティを付加して出力する。また、奇数ページ内の訂正単位のデータc又はdについては、図7(B)に示すようにデータc又はdがECC回路102に inputsされると、ECC回路102はそのデータに対してビット数n/2+sのパリティを付加して出力する。

40

【0033】

次に、2つの連続する奇偶ページとして、ページ0とページ1についてNAND型フラッシュメモリ200に対する書き込み及び読み出しの動作例を説明する。

書き込み時は、ホスト機器400からのページ0に対応する訂正単位のデータとして例えば1kbyteの生データ(パリティが付く前のデータ)a, bをSRAMバッファ101に

50

順次に保持した後、これらのデータ a , b を ECC 回路 1 0 2 に順次に取り込み、ECC 回路 1 0 2 にてデータ a , b にそれぞれパリティ数 $n / 2 - s$ を順次に付加した状態で保持する。次に、ページ 1 に対応する訂正単位のデータ c , d についても同様にして S R A M バッファ 1 0 1 に順次に保持した後、これらのデータ c , d を ECC 回路 1 0 2 に順次に取り込み、ECC 回路 1 0 2 にてデータ c , d にそれぞれパリティ数 $n / 2 + s$ を順次に付加した状態で保持する。これらの ECC 回路 1 0 2 で保持したデータを、ECC 回路 1 0 2 で図 6 のページ 0 及び 1 のようにページ 0 の領域の一部にページ 1 のパリティビット数の一部(斜線にて示す部分)が組み込まれるような形に組み替えを行った後、NAND 型フラッシュメモリ 2 0 0 の記憶領域にページ 0 についてはページ長の半分ずつを順次書き込み、次にページ 1 についてもページ長の半分ずつを順次書き込む。なお、組み替えの動作は S R A M バッファ 1 0 1 において行うことも可能である。

10

【 0 0 3 4 】

読み出し時は、NAND 型フラッシュメモリ 2 0 0 から ECC 回路 1 0 2 に図 6 と同様なページ 0 についてはページ長の半分ずつ順次読み込み、次にページ 1 についてもページ長の半分ずつを順次読み込んだ後に、ページ 0 及びページ 1 間でパリティビット数の組み替えを行って、図 6 右側に示したページ 0 及びページ 1 の ECC の訂正単位を得、これらの訂正単位のデータを S R A M バッファ 1 0 1 にも書き込み、図 2 で示したように ECC 回路 1 0 2 内で訂正単位毎にデータの誤り(エラー)を検出して、S R A M バッファ 1 0 1 に保持しているデータの同じエラー箇所を訂正することになる。

20

【 0 0 3 5 】

図 8 は NAND 型フラッシュメモリの記憶領域において、2 つの連続する奇偶ページ間において、(A)各ページのページ長を 4 分割して訂正単位とした場合、(B)各ページのページ長を 2 分割して訂正単位とした場合、(C)各ページのページ長を分割せずにそのページ長ままで訂正単位とした場合、の各場合について 2 ページ間の上下の訂正単位間でパリティビット数を奇数ページ $2 m + 1$ に多く割り当て、偶数ページ $2 m$ に少なく割り当てた 3 つの例を示している。図 8 (A) ~ (C) において、 m は 0 以上の整数である。勿論、パリティビット数を偶数ページ $2 m$ に多く割り当て、奇数ページ $2 m + 1$ に少なく割り当てて用いる構成も可能である。

【 0 0 3 6 】

図 8 (A) でページ長を X 、データ長を y_1 、パリティ長を z_1 と文字変数で表すと、 $X = (y_1 + z_1) \times 4$ の関係となる。1 ページ内のデータ長を例えば 2 kbyte とすると、データ長 y_1 は 5 1 2 byte である。図 8 (B) でページ長を X 、データ長を y_2 、パリティ長を z_2 と文字変数で表すと、 $X = (y_2 + z_2) \times 2$ の関係となる。1 ページ内のデータ長を 2 kbyte とすると、データ長 y_2 は 1 kbyte である。図 8 (C) でページ長を X 、データ長を y_3 、パリティ長を z_3 と文字変数で表すと、 $X = y_3 + z_3$ の関係となる。1 ページ内のデータ長を 2 kbyte とすると、データ長 y_3 は 2 kbyte である。

30

【 0 0 3 7 】

第 1 の実施形態によれば、不揮発性メモリである NAND 型フラッシュメモリの複数のページの内 2 ページからなる記憶領域のパリティ領域をビットエラー発生率に応じて割り振ることにより、ビットエラー発生率が高いページに対してより多くのビット数をパリティに割り当て、ビットエラー発生率が低いページに対してより少なく割り当て、限られた所定のパリティビット数をより有効に利用することが可能となる。

40

【 0 0 3 8 】

[第 2 の実施形態]

本発明の第 2 の実施形態の半導体記憶装置の構成は図 1 と同様である。

図 9 は第 2 の実施形態の半導体記憶装置における不揮発性メモリの記憶領域における 3 ページ間でパリティに使用するビット数を割り振った状態の一例を説明する図である。1 ページで使用できるパリティのビット数が n ビットとして説明する。

【 0 0 3 9 】

3 つの連続するページ間でパリティに使用するビット数を割り振る場合、3 つの連続す

50

るページのうちのページ $3m$ (m は 0 以上の整数) のパリティビット数 $n/2$ から s ビット、ページ $3m+1$ から t ビットをページ $3m+2$ のパリティとして使用すると、ページ $3m+2$ のパリティは $n/2 + s + t$ ビットとなり、従来の $n/2$ ビット使用したエラー訂正より訂正能力を大きくできる。その分、ページ $3m$ のパリティビット数は $n/2 - s$ となり、ページ $3m+1$ のパリティビット数は $n/2 - t$ となる。しかも、3つの連続するページ間で使用できるパリティビット数は、1ページで使用できるパリティのビット数 n ビットの3倍であり総パリティビット数が変わらず一定であることは勿論である。従って、図9の例は、ページ $3m+2$ のエラー発生率が高い場合に有用となる。

【0040】

なお、図9の例では、3つのページ $0, 1, 2$ のうちの3番目のページ 2 をエラーが最も起きやすいページとしてパリティビット数を最も増やすように構成しているが、ページ 0 又は 1 の1番目又は2番目のページをエラーが最も起きやすいページとしてパリティビット数を最も増やすように構成することも可能である。

10

【0041】

図10は書き込み時に図9の3つの連続するページ間でパリティに使用するビット数を割り振る場合のECC回路での動作を説明する図である。

図1のECC回路102においてページ $3m$ 内の訂正単位のデータ a 又は b については、図10(A)に示すようにデータ a 又は b がECC回路102に入力されると、ECC回路102はそのデータに対してビット数 $n/2 - s$ のパリティを付加して出力する。また、ページ $3m+1$ 内の訂正単位のデータ c 又は d については、図10(B)に示すようにデータ c 又は d がECC回路102に入力されると、ECC回路102はそのデータに対してビット数 $n/2 - t$ のパリティを付加して出力する。さらに、ページ $3m+2$ 内の訂正単位のデータ e 又は f については、図10(C)に示すようにデータ e 又は f がECC回路102に入力されると、ECC回路102はそのデータに対してビット数 $n/2 + s + t$ のパリティを付加して出力する。

20

【0042】

次に、3つの連続するページとして、ページ 0 とページ 1 とページ 2 についてNAND型フラッシュメモリ200に対する書き込み及び読み出しの動作例を説明する。

書き込み時は、ホスト機器400からのページ 0 に対応する訂正単位のデータとして例えば1kbyteの生データ(パリティが付く前のデータ) a, b をSRAMバッファ101に順次に保持した後、これらのデータ a, b をECC回路102に順次に取り込み、ECC回路102にてデータ a, b にそれぞれパリティ数 $n/2 - s$ を順次に付加した状態で保持する。次に、ページ 1 に対応する訂正単位のデータ c, d についても同様にしてSRAMバッファ101に順次に保持した後、これらのデータ c, d をECC回路102に順次に取り込み、ECC回路102にてデータ c, d にそれぞれパリティ数 $n/2 - t$ を順次に付加した状態で保持する。更に、ページ 2 に対応する訂正単位のデータ e, f についても同様にしてSRAMバッファ101に順次に保持した後、これらのデータ e, f をECC回路102に順次に取り込み、ECC回路102にてデータ e, f にそれぞれパリティ数 $n/2 + s + t$ を順次に付加した状態で保持する。これらのECC回路102で保持したデータを、ECC回路102で図9のページ $0, 1$ 及び 2 のようにページ 0 の領域の一部にページ 2 のパリティビット数の一部(斜線にて示す部分)が組み込まれ、かつページ 1 の領域の一部にページ 2 のパリティビット数の一部(斜線にて示す部分)が組み込まれような形に組み替えを行った後、NAND型フラッシュメモリ200の記憶領域にページ 0 についてはページ長の半分ずつを順次書き込み、次にページ 1 についてもページ長の半分ずつを順次書き込み、更にページ 2 についてもページ長の半分ずつを順次書き込む。なお、組み替えの動作はSRAMバッファ101において行うことも可能である。

30

40

【0043】

読み出し時は、NAND型フラッシュメモリ200からECC回路102に図9と同様なページ 0 についてはページ長の半分ずつ順次読み込み、次にページ 1 についてもページ長の半分ずつを順次読み込み、更にページ 2 についてもページ長の半分ずつを順次読み込

50

んだ後に、ページ0, 1及び2間でパリティビット数の組み替えを行って、図9右側に示したページ0, 1及び2のECCの訂正単位を得、これらの訂正単位のデータをSRAMバッファ101にも書き込み、図2で示したようにECC回路102内で訂正単位毎にデータの誤り(エラー)を検出して、SRAMバッファ101に保持しているデータの同じエラー箇所を訂正することになる。

【0044】

第2の実施形態によれば、不揮発性メモリであるNAND型フラッシュメモリの複数のページの内3ページからなる記憶領域のパリティ領域をビットエラー発生率に応じて割り振ることにより、ビットエラー発生率が高いページに対してより多くのビット数をパリティに割り当て、ビットエラー発生率が低いページに対してより少なく割り当て、限られた所定のパリティビット数をより有効に利用することが可能となる。

10

【0045】

尚、以上述べた実施形態では、図6や図9に示されるように連続する複数のページ(例えば2ページ、3ページ)からなる記憶領域のパリティ領域をビットエラー発生率に応じて割り振るものであったが、本発明はこれに限定されることなく、連続することなく飛び飛びに存在する複数のページからなる記憶領域のパリティ領域をビットエラー発生率に応じて割り振る場合に対しても応用することができる。

【図面の簡単な説明】

【0046】

【図1】本発明の第1の実施形態の半導体記憶装置のブロック図。

20

【図2】図1における読み出し時の動作を説明する図。

【図3】NAND型フラッシュメモリにおける、消去単位であるブロック領域と、訂正単位であるページ領域を説明する図。

【図4】訂正単位の構成を示す図。

【図5】データに付加するパリティのサイズによって訂正可能なデータのビット数を示す図。

【図6】第1の実施形態の半導体記憶装置における不揮発性メモリの記憶領域におけるページ間でパリティに使用するビット数を割り振った状態の一例を説明する図。

【図7】書き込み時に図6の2つの連続する奇偶ページ間でパリティに使用するビット数を割り振る場合のECC回路での動作を説明する図。

30

【図8】第1の実施形態におけるNAND型フラッシュメモリの記憶領域において、2つの連続する奇偶ページ間で各ページの一定ページ長を複数分割して訂正単位とした場合の3つの例を示す図。

【図9】本発明の第2の実施形態の半導体記憶装置における不揮発性メモリの記憶領域における3ページ間でパリティに使用するビット数を割り振った状態の一例を説明する図。

【図10】書き込み時に図9の3つの連続するページ間でパリティに使用するビット数を割り振る場合のECC回路での動作を説明する図。

【図11】本発明の関連技術の半導体記憶装置におけるNAND型フラッシュメモリの記憶領域にページ単位に記憶されたデータの構成を示す図。

【符号の説明】

40

【0047】

100...メモリコントローラ

101...SRAMバッファ

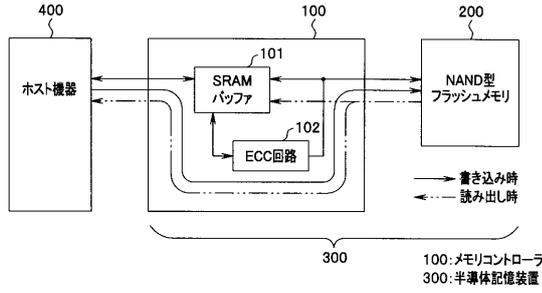
102...ECC回路(誤り訂正回路)

200...NAND型フラッシュメモリ(不揮発性メモリ)

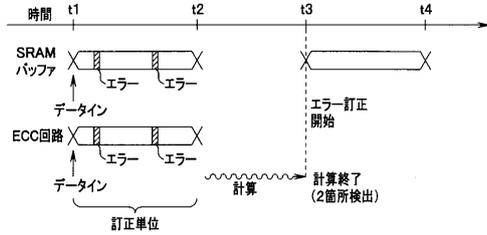
300...半導体記憶装置

400...ホスト機器

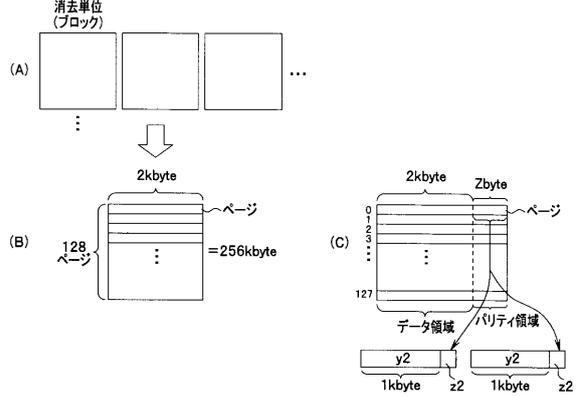
【図1】



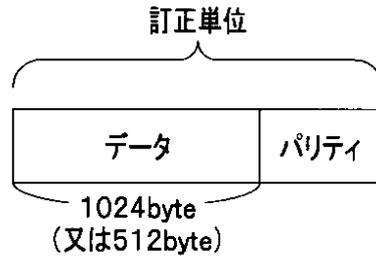
【図2】



【図3】



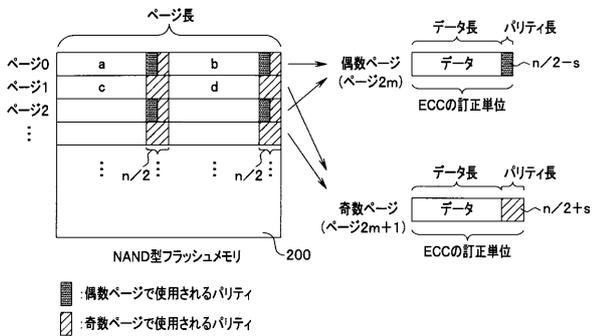
【図4】



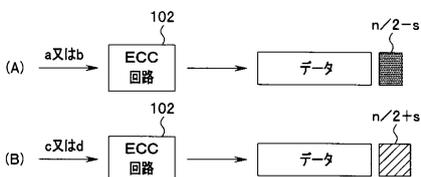
【図5】

	訂正可能なビット数	パリティ(バイト数)	
小	8bit	10byte	小
	12bit	20byte	
大	24bit	42byte	大

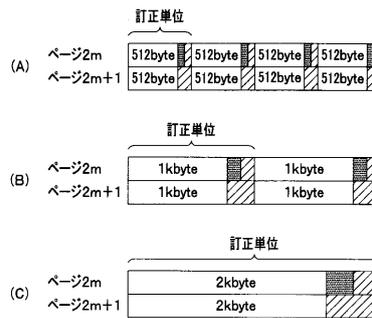
【図6】



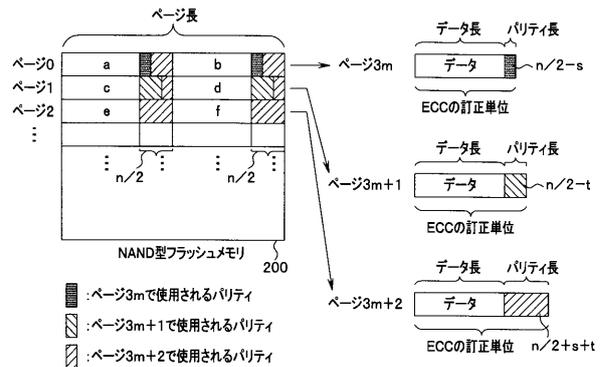
【図7】



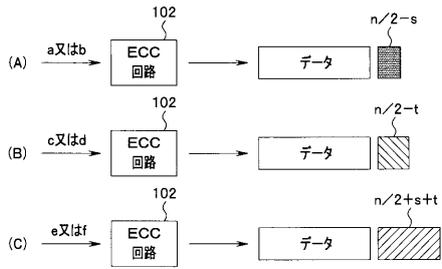
【図8】



【図9】



【 図 1 0 】



【 図 1 1 】

