



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년11월11일
(11) 등록번호 10-2465539
(24) 등록일자 2022년11월07일

(51) 국제특허분류(Int. Cl.)
H01L 43/02 (2006.01) H01L 43/08 (2006.01)
H01L 43/10 (2006.01) H01L 43/12 (2006.01)
(52) CPC특허분류
H01L 43/02 (2013.01)
H01L 43/08 (2013.01)
(21) 출원번호 10-2015-0132504
(22) 출원일자 2015년09월18일
심사청구일자 2020년08월27일
(65) 공개번호 10-2017-0034162
(43) 공개일자 2017년03월28일
(56) 선행기술조사문헌
KR1020050078652 A*
US20150171315 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김주현
경기도 화성시 동탄지성로 311-9 (기산동)
김기웅
경기도 화성시 동탄숲속로 96, 852동 702호(능동,
숲속마을모아미래도1단지아파트)
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 16 항

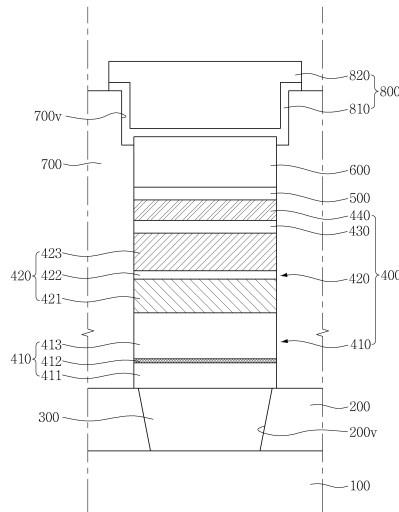
심사관 : 이별섭

(54) 발명의 명칭 자기 터널 접합 구조체를 포함하는 반도체 소자 및 그의 형성 방법

(57) 요약

반도체 소자 및 그의 형성 방법이 제공된다. 상기 반도체 소자는 하부 전극 및 상기 하부 전극 상에 위치하는 자기 터널 접합 구조체를 포함한다. 상기 자기 터널 접합 구조체는 상기 하부 전극에 가까이 위치하는 시드 패턴을 포함한다. 상기 시드 패턴은 비정질 시드층 및 상기 비정질 시드층의 일측 표면 상에 위치하는 시드 산화물 층을 포함한다.

대표도 - 도2



(52) CPC특허분류

H01L 43/10 (2013.01)

H01L 43/12 (2021.01)

(72) 발명자

오세충

경기도 용인시 수지구 진산로 90, 501동 402호(풍
덕천동, 진산마을 삼성래미안아파트)

임우창

경기도 성남시 분당구 서현로 181, 201동 1002호(
이매동, 이매촌한신아파트)

명세서

청구범위

청구항 1

시드 패턴;

상기 시드 패턴 상에 위치하는 고정 자성 패턴;

상기 고정 자성 패턴 상에 위치하는 터널 배리어 패턴; 및

상기 터널 배리어 패턴 상에 위치하는 자유 자성 패턴을 포함하되,

상기 시드 패턴은 제 1 비정질 시드층, 상기 제 1 비정질 시드층의 일측 표면 상에 위치하는 시드 산화물 층 (oxidized seed layer), 상기 제 1 비정질 시드층과 상기 시드 산화물 층 사이에 위치하는 제 2 비정질 시드층, 및 상기 시드 산화물 층 상의 결정질 시드층을 포함하고,

상기 제 2 비정질 시드층의 수직 두께는 상기 제 1 비정질 시드층의 수직 두께보다 작은 반도체 소자.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 시드 산화물 층은 상기 고정 자성 패턴과 마주보는 상기 제 1 비정질 시드층의 표면 상에 위치하는 반도체 소자.

청구항 4

제 3 항에 있어서,

상기 시드 산화물 층의 수직 두께는 상기 제 1 비정질 시드층의 수직 두께보다 작은 반도체 소자.

청구항 5

제 3 항에 있어서,

상기 제 2 비정질 시드층의 구성은 상기 제 1 비정질 시드층의 구성과 다른 반도체 소자.

청구항 6

제 5 항에 있어서,

상기 시드 산화물 층은 상기 제 2 비정질 시드층을 구성하는 물질들을 모두 포함하는 반도체 소자.

청구항 7

제 5 항에 있어서,

상기 제 2 비정질 시드층의 측면은 상기 시드 산화물 층의 측면과 수직 정렬되는 반도체 소자.

청구항 8

삭제

청구항 9

하부 전극; 및

상기 하부 전극에 가까이 위치하는 시드 패턴을 포함하는 자기 터널 접합 구조체를 포함하되,

상기 시드 패턴은 시드 산화물 층(oxidized seed layer), 상기 시드 산화물 층과 접하는 중간 비정질 시드층, 상기 중간 비정질 시드층 상의 결정질 시드층, 및 상기 중간 비정질 시드층과 상기 결정질 시드층 사이에 위치하는 상부 비정질 시드층을 포함하고,

상기 상부 비정질 시드층의 수직 두께는 상기 중간 비정질 시드층의 수직 두께보다 작은 반도체 소자.

청구항 10

제 9 항에 있어서,

상기 자기 터널 접합 구조체는 상기 시드 패턴 상에 위치하는 고정 자성 패턴, 상기 고정 자성 패턴 상에 위치하는 자유 자성 패턴 및 상기 고정 자성 패턴과 상기 자유 자성 패턴 사이에 위치하는 터널 배리어 패턴을 더 포함하되,

상기 시드 산화물 층의 수직 두께는 상기 터널 배리어 패턴의 수직 두께보다 작은 반도체 소자.

청구항 11

제 9 항에 있어서,

상기 시드 산화물 층은 상기 하부 전극과 상기 중간 비정질 시드층 사이에 위치하는 반도체 소자.

청구항 12

삭제

청구항 13

제 9 항에 있어서,

상기 시드 패턴은 상기 하부 전극과 상기 시드 산화물 층 사이에 위치하는 하부 비정질 시드층을 더 포함하는 반도체 소자.

청구항 14

제 13 항에 있어서,

상기 시드 산화물 층은 상기 하부 비정질 시드층을 구성하는 물질을 모두 포함하는 반도체 소자.

청구항 15

제 13 항에 있어서,

상기 하부 비정질 시드층은 상기 중간 비정질 시드층과 다른 구성을 갖는 반도체 소자.

청구항 16

제 13 항에 있어서,

상기 하부 비정질 시드층의 수직 두께는 상기 중간 비정질 시드층의 수직 두께보다 작은 반도체 소자.

청구항 17

제 9 항에 있어서,

상기 상부 비정질 시드층의 구성은 상기 중간 비정질 시드층의 구성과 다른 반도체 소자.

청구항 18

삭제

청구항 19

하부 전극;

상기 하부 전극 상에 위치하는 하부 비정질 시드층;

상기 하부 비정질 시드층 상에 위치하는 시드 산화물 층(oxidized seed layer);

상기 시드 산화물 층 상에 위치하는 중간 비정질 시드층;

상기 중간 비정질 시드층 상에 위치하는 결정질 시드층;

상기 결정질 시드층 상에 위치하는 고정 자성 패턴;

상기 고정 자성 패턴 상에 위치하는 터널 배리어 패턴; 및

상기 터널 배리어 패턴 상에 위치하는 자유 자성 패턴을 포함하고,

상기 하부 비정질 시드층의 수직 두께는 상기 중간 비정질 시드층의 수직 두께보다 작은 반도체 소자.

청구항 20

제 19 항에 있어서,

상기 고정 자성 패턴은 상기 결정질 시드층에 가까이 위치하는 하부 고정 자성층, 상기 터널 배리어 패턴에 가까이 위치하는 상부 고정 자성층 및 상기 하부 고정 자성층과 상기 상부 고정 자성층 사이에 위치하는 스페이서를 포함하되,

상기 시드 산화물 층의 수직 두께는 상기 스페이서의 수직 두께보다 작은 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명은 하부 전극과 상부 전극 사이에 자기 터널 접합 구조체가 위치하는 반도체 소자 및 그의 형성 방법에 관한 것이다.

배경 기술

[0002] 자기 기억 소자 등과 같은 반도체 소자는 자기 터널 접합 구조체를 포함한다. 상기 자기 터널 접합 구조체는 수직 방향으로 적층된 고정 자성 패턴, 터널 배리어 패턴 및 자유 자성 패턴을 포함할 수 있다. 상기 고정 자성 패턴의 결정 격자를 유지하기 위하여, 상기 자기 터널 접합 구조체는 상기 고정 자성 패턴 상에 위치하는 시드 패턴을 더 포함할 수 있다. 상기 자기 터널 접합 구조체를 포함하는 반도체 소자에서는 상기 고정 자성 패턴의 형성에 미치는 인접한 구성 요소의 영향을 효과적으로 차단하기 위한 다양한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는 고정 자성 패턴의 형성에 미치는 인접한 구성 요소의 영향을 효과적으로 차단할 수 있는 자기 터널 접합 구조체를 포함하는 반도체 소자 및 그의 형성 방법을 제공하는 것이다.

[0004] 본 발명이 해결하고자 하는 다른 과제는 하부 전극에 의한 자기 터널 접합 구조체의 전자기적 특성의 저하를 효과적으로 방지할 수 있는 반도체 소자 및 그의 형성 방법을 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 과제들은 앞서 언급한 과제들로 한정되지 않는다. 여기서 언급되지 않은 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 것이다.

과제의 해결 수단

[0006] 상기 해결하고자 하는 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 반도체 소자는 시드 패턴; 상기 시드 패턴 상에 위치하는 고정 자성 패턴; 상기 고정 자성 패턴 상에 위치하는 터널 배리어 패턴; 및 상기 터널 배리어 패턴 상에 위치하는 자유 자성 패턴을 포함한다. 상기 시드 패턴은 제 1 비정질 시드층 및 상기 제 1 비정질 시드층의 일측 표면 상에 위치하는 시드 산화물 층을 포함한다.

- [0007] 상기 시드 산화물 층의 측면은 상기 제 1 비정질 시드층의 측면과 수직 정렬될 수 있다.
- [0008] 상기 시드 산화물 층은 상기 고정 자성 패턴과 마주보는 상기 제 1 비정질 시드층의 표면 상에 위치할 수 있다.
- [0009] 상기 시드 산화물 층의 수직 두께는 상기 제 1 비정질 시드층의 수직 두께보다 작을 수 있다.
- [0010] 상기 시드 패턴은 상기 제 1 비정질 시드층과 상기 시드 산화물 층 사이에 위치하는 제 2 비정질 시드층을 더 포함할 수 있다. 상기 제 2 비정질 시드층의 구성은 상기 제 1 비정질 시드층의 구성과 다를 수 있다.
- [0011] 상기 시드 산화물 층은 상기 제 2 비정질 시드층을 구성하는 물질들을 모두 포함할 수 있다.
- [0012] 상기 제 2 비정질 시드층의 측면은 상기 시드 산화물 층의 측면과 수직 정렬될 수 있다.
- [0013] 상기 제 2 비정질 시드층의 수직 두께는 상기 제 1 비정질 시드층의 수직 두께보다 작을 수 있다.
- [0014] 상기 해결하고자 하는 다른 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 반도체 소자는 하부 전극; 및 상기 하부 전극에 가까이 위치하는 시드 패턴을 포함하는 자기 터널 접합 구조체를 포함한다. 상기 시드 패턴은 시드 산화물 층을 포함한다.
- [0015] 상기 자기 터널 접합 구조체는 상기 시드 패턴 상에 위치하는 고정 자성 패턴, 상기 고정 자성 패턴 상에 위치하는 자유 자성 패턴 및 상기 고정 자성 패턴과 상기 자유 자성 패턴 사이에 위치하는 터널 배리어 패턴을 더 포함할 수 있다. 상기 시드 산화물 층의 수직 두께는 상기 터널 배리어 패턴의 수직 두께보다 작을 수 있다.
- [0016] 상기 시드 패턴은 중간 비정질 시드층 및 상기 상기 중간 비정질 시드층 상에 위치하는 결정질 시드층을 더 포함할 수 있다. 상기 시드 산화물 층은 상기 하부 전극과 상기 중간 비정질 시드층 사이에 위치할 수 있다.
- [0017] 상기 시드 산화물 층의 측면은 상기 결정질 시드층의 측면과 수직 정렬될 수 있다.
- [0018] 상기 시드 패턴은 상기 하부 전극과 상기 시드 산화물 층 사이에 위치하는 하부 비정질 시드층을 더 포함할 수 있다. 상기 시드 산화물 층은 상기 하부 비정질 시드층을 구성하는 물질들을 모두 포함할 수 있다.
- [0019] 상기 하부 비정질 시드층은 상기 중간 비정질 시드층과 다른 구성을 가질 수 있다.
- [0020] 상기 하부 비정질 시드층의 수직 두께는 상기 중간 비정질 시드층의 수직 두께보다 작을 수 있다.
- [0021] 상기 시드 패턴은 상기 중간 비정질 시드층과 상기 결정질 시드층 사이에 위치하는 상부 비정질 시드층을 더 포함할 수 있다. 상기 상부 비정질 시드층의 구성은 상기 중간 비정질 시드층의 구성과 다를 수 있다.
- [0022] 상기 상부 비정질 시드층의 수직 두께는 상기 중간 비정질 시드층의 수직 두께보다 작을 수 있다.
- [0023] 상기 해결하고자 하는 다른 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 반도체 소자는 하부 전극; 상기 하부 전극 상에 위치하는 비정질 시드층; 상기 비정질 시드층 상에 위치하는 시드 산화물 층; 상기 시드 산화물 층 상에 위치하는 결정질 시드층; 상기 결정질 시드층 상에 위치하는 고정 자성 패턴; 상기 고정 자성 패턴 상에 위치하는 터널 배리어 패턴; 및 상기 터널 배리어 패턴 상에 위치하는 자유 자성 패턴을 포함한다.
- [0024] 상기 고정 자성 패턴은 상기 결정질 시드층에 가까이 위치하는 하부 고정 자성층, 상기 터널 배리어 패턴에 가까이 위치하는 상부 고정 자성층 및 상기 하부 고정 자성층과 상기 상부 고정 자성층 사이에 위치하는 스페이서를 포함할 수 있다. 상기 시드 산화물 층의 수직 두께는 상기 스페이서의 수직 두께보다 작을 수 있다.

발명의 효과

- [0025] 본 발명의 기술적 사상에 따른 반도체 소자 및 그의 형성 방법은 자기 터널 접합 구조체의 고정 자성 패턴의 형성에 미치는 하부 전극의 영향을 효과적으로 차단할 수 있다. 이에 따라 본 발명의 기술적 사상에 따른 반도체 소자 및 그의 형성 방법에서는 하부 전극에 의한 자기 터널 접합 구조체의 전자기적 특성의 저하가 효과적으로 방지될 수 있다. 따라서, 본 발명의 기술적 사상에 따른 반도체 소자 및 그의 형성 방법에서는 신뢰성이 향상될 수 있다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 일 실시 예에 따른 반도체 소자를 개략적으로 나타낸 도면이다.
- 도 2는 본 발명의 일 실시 예에 따른 반도체 소자의 자기 터널 접합 소자를 나타낸 도면이다.

도 3은 자기 터널 접합 구조체에서 외부 자기장에 따른 자성 변화를 나타낸 그래프이다.

도 4 내지 8은 각각 본 발명의 다른 실시 예에 따른 반도체 소자의 자기 터널 접합 소자를 나타낸 도면들이다.

도 9a 내지 9j는 본 발명의 일 실시 예에 따른 반도체 소자의 형성 방법을 순차적으로 나타낸 도면들이다.

도 10a 내지 10c는 본 발명의 다른 실시 예에 따른 반도체 소자의 형성 방법을 순차적으로 나타낸 도면들이다.

도 11a 내지 11d는 본 발명의 다른 실시 예에 따른 반도체 소자의 형성 방법을 순차적으로 나타낸 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 발명의 상기 목적과 기술적 구성 및 이에 따른 작용 효과에 관한 자세한 사항은 본 발명의 실시 예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 더욱 명확하게 이해될 것이다. 여기서, 본 발명의 실시 예들은 당업자에게 본 발명의 기술적 사상이 충분히 전달될 수 있도록 하기 위하여 제공되는 것이므로, 본 발명은 이하 설명되는 실시 예들에 한정되지 않도록 다른 형태로 구체화될 수 있다.
- [0028] 또한, 명세서 전체에 걸쳐서 동일한 참조 번호로 표시된 부분들은 동일한 구성 요소들을 의미하며, 도면들에 있어서 층 또는 영역의 길이와 두께는 편의를 위하여 과장되어 표현될 수 있다. 덧붙여, 제 1 구성 요소가 제 2 구성 요소 "상"에 있다고 기재되는 경우, 상기 제 1 구성 요소가 상기 제 2 구성 요소와 직접 접촉하는 상측에 위치하는 것뿐만 아니라, 상기 제 1 구성 요소와 상기 제 2 구성 요소 사이에 제 3 구성 요소가 위치하는 경우도 포함한다.
- [0029] 여기서, 상기 제 1, 제 2 등의 용어는 다양한 구성 요소를 설명하기 위한 것으로, 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로 사용된다. 다만, 본 발명의 기술적 사상을 벗어나지 않는 범위에서는 제 1 구성 요소와 제 2 구성 요소는 당업자의 편의에 따라 임의로 명명될 수 있다.
- [0030] 본 발명의 명세서에서 사용하는 용어는 단지 특정한 실시 예를 설명하기 위해 사용되는 것으로, 본 발명을 한정하려는 의도가 아니다. 예를 들어, 단수로 표현된 구성 요소는 문맥상 명백하게 단수만을 의미하지 않는다면 복수의 구성 요소를 포함한다. 또한, 본 발명의 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0031] 덧붙여, 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미가 있는 것으로 해석되어야 하며, 본 발명의 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0032]
- [0033] (실시 예)
- [0034] 도 1은 본 발명의 실시 예에 따른 반도체 소자를 개략적으로 나타낸 도면이다.
- [0035] 도 1을 참조하면, 본 발명의 실시 예에 따른 반도체 소자는 워드 라인(WL), 비트 라인(BL), 소스 라인(SL), 스위칭 소자(switching element, SE) 및 자기 터널 접합 소자(magnetic tunnel junction element, MTJ)를 포함할 수 있다.
- [0036] 상기 워드 라인(WL) 및 상기 비트 라인(BL)은 각각 일측 방향으로 연장될 수 있다. 예를 들어, 상기 워드 라인(WL)은 상기 비트 라인(BL)과 교차할 수 있다. 상기 소스 라인(SL)은 공통 전압을 인가할 수 있다. 예를 들어, 상기 소스 라인(SL)은 상기 워드 라인(WL)과 교차할 수 있다.
- [0037] 상기 스위칭 소자(SE)는 상기 소스 라인(SL)과 상기 자기 터널 접합 소자(MTJ) 사이에 위치할 수 있다. 상기 스위칭 소자(SE)는 상기 워드 라인(WL)에 의해 제어될 수 있다. 예를 들어, 상기 스위칭 소자(SE)는 상기 워드 라인(WL)과 전기적으로 연결된 게이트 전극을 포함하는 트랜지스터일 수 있다.
- [0038] 상기 자기 터널 접합 소자(MTJ)는 상기 스위칭 소자(SE)와 상기 비트 라인(BL) 사이에 위치할 수 있다. 상기 자기 터널 접합 소자(MTJ)는 상기 워드 라인(WL) 및 상기 비트 라인(BL)을 통해 인가되는 신호들에 의해 저항이

변경될 수 있다.

- [0039] 도 2는 도 1에 도시된 반도체 소자의 자기 터널 접합 소자를 개략적으로 나타낸 도면이다
- [0040] 도 2를 참조하면, 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 기관(100), 하부 층간 절연막(200), 하부 전극(300), 자기 터널 접합 구조체(400), 캡핑 패턴(500), 하드 마스크 패턴(600), 상부 층간 절연막(700) 및 상부 전극(800)을 포함할 수 있다.
- [0041] 상기 기관(100)은 반도체 웨이퍼를 포함할 수 있다. 예를 들어, 상기 기관(100)은 단결정 실리콘 웨이퍼 또는 SOI(Silicon On Insulator) 웨이퍼를 포함할 수 있다.
- [0042] 상기 하부 층간 절연막(200)은 상기 기관(100) 상에 위치할 수 있다. 상기 기관(100)과 상기 하부 층간 절연막(200) 사이에는 도 1에 도시된 워드 라인(WL), 소스 라인(SL) 및 스위칭 소자(SE)가 위치할 수 있다.
- [0043] 상기 하부 층간 절연막(200)은 절연성 물질을 포함할 수 있다. 예를 들어, 상기 하부 층간 절연막(200)은 실리콘 산화물 및/또는 실리콘 질화물을 포함할 수 있다. 상기 하부 층간 절연막(200)은 다층 구조일 수 있다.
- [0044] 상기 하부 층간 절연막(200)은 하부 비아 홀(200v)을 포함할 수 있다. 상기 하부 비아 홀(200v)은 상기 하부 층간 절연막(200)을 관통할 수 있다. 예를 들어, 도 1에 도시된 스위칭 소자(SE)의 일측 전극은 상기 하부 비아 홀(200v)에 의해 노출될 수 있다.
- [0045] 상기 하부 전극(300)은 도 1에 도시된 스위칭 소자(SE)와 전기적으로 연결될 수 있다. 예를 들어, 상기 하부 전극(300)은 상기 하부 층간 절연막(200)의 상기 하부 비아 홀(200v) 내에 위치할 수 있다. 상기 하부 전극(300)의 상부면의 레벨은 상기 하부 층간 절연막(200)의 상부면의 레벨과 동일할 수 있다.
- [0046] 상기 하부 전극(300)은 도전성 물질을 포함할 수 있다. 예를 들어, 상기 하부 전극(300)은 Cu, W 및 Ti 등과 같은 금속을 포함할 수 있다.
- [0047] 상기 자기 터널 접합 구조체(400)는 상기 하부 전극(300) 상에 위치할 수 있다. 예를 들어, 상기 자기 터널 접합 구조체(400)의 수평 폭은 상기 하부 전극(300)의 상부면의 수평 폭보다 클 수 있다. 상기 하부 전극(300)의 상부면은 상기 자기 터널 접합 구조체(400)에 의해 완전히 덮힐 수 있다.
- [0048] 본 발명의 실시 예에 따른 반도체 소자는 자기 터널 접합 구조체의 수평 폭이 하부 전극의 상부면의 수평 폭보다 큰 것으로 설명된다. 그러나, 본 발명의 다른 실시 예에 따른 반도체 소자는 자기 터널 접합 구조체가 하부 전극의 상부면보다 작은 수평 폭을 가질 수 있다.
- [0049] 본 발명의 실시 예에 따른 반도체 소자는 하부 전극의 상부면이 자기 터널 접합 구조체에 의해 완전히 덮히는 것으로 설명된다. 그러나, 본 발명의 다른 실시 예에 따른 반도체 소자는 자기 터널 접합 구조체가 하부 전극의 상부면을 부분적으로 덮을 수 있다.
- [0050] 상기 자기 터널 접합 구조체(400)는 시드 패턴(410), 고정 자성 패턴(420), 터널 배리어 패턴(430) 및 자유 자성 패턴(440)을 포함할 수 있다.
- [0051] 상기 시드 패턴(410)은 상기 고정 자성 패턴(420)의 형성에 미치는 상기 하부 전극(300)의 영향을 차단할 수 있다. 상기 시드 패턴(410)은 상기 하부 전극(300)의 결정 구조가 상기 고정 자성 패턴(420)으로 전사되는 것을 방지할 수 있다. 상기 시드 패턴(410)은 상기 하부 전극(300)에 가까이 위치할 수 있다.
- [0052] 상기 시드 패턴(410)은 비정질 시드층(amorphous seed layer, 411), 시드 산화물 층(oxidized seed layer, 412) 및 결정질 시드층(413)을 포함할 수 있다.
- [0053] 상기 비정질 시드층(411)은 상기 하부 전극(300)에 가까이 위치할 수 있다. 예를 들어, 상기 비정질 시드층(411)은 상기 하부 전극(300)의 상부면과 직접 접촉할 수 있다.
- [0054] 상기 비정질 시드층(411)은 비정질 상태일 수 있다. 상기 비정질 시드층(411)은 비정질화 물질(amorphization material)을 포함할 수 있다. 예를 들어, 상기 비정질 시드층(411)은 B, P, As 또는 Bi를 포함할 수 있다. 상기 비정질 시드층(411)은 도전성 물질을 포함할 수 있다. 예를 들어, 상기 비정질 시드층(411)은 CFBTa를 포함할 수 있다.
- [0055] 상기 시드 산화물 층(412)은 상기 비정질 시드층(411) 상에 위치할 수 있다. 상기 시드 산화물 층(412)은 상기 비정질 시드층(411)의 상부면과 직접 접촉할 수 있다. 예를 들어, 상기 비정질 시드층(411)의 측면은 상기 시드

산화물 층(412)의 측면과 수직 정렬될 수 있다.

- [0056] 상기 시드 산화물 층(412)은 산화물을 포함할 수 있다. 예를 들어, 상기 시드 산화물 층(412)은 산화된 도전성 물질을 포함할 수 있다. 상기 시드 산화물 층(412)은 상기 비정질 시드층(411)이 산화된 경우와 다른 구성을 가질 수 있다. 예를 들어, 상기 시드 산화물 층(412)은 상기 비정질 시드층(411)을 구성하는 물질들 중 일부의 산화물만을 포함할 수 있다. 예를 들어, 상기 시드 산화물 층(412)은 Ta 및/또는 B의 산화물을 포함할 수 있다.
- [0057] 상기 결정질 시드층(413)은 상기 시드 산화물 층(412) 상에 위치할 수 있다. 상기 결정질 시드층(413)은 상기 시드 산화물 층(412)의 상부면과 직접 접촉할 수 있다. 예를 들어, 상기 시드 산화물 층(412)의 측면은 상기 결정질 시드층(413)의 측면과 수직 정렬될 수 있다.
- [0058] 상기 결정질 시드층(413)은 결정질 상태일 수 있다. 상기 결정질 시드층(413)은 도전성 물질을 포함할 수 있다. 상기 결정질 시드층(413)은 상기 비정질 시드층(411) 및 상기 시드 산화물 층(412)과 다른 물질을 포함할 수 있다. 예를 들어, 상기 결정질 시드층(413)은 Ru을 포함할 수 있다.
- [0059] 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 시드 패턴(410)이 절연성인 시드 산화물 층(412)을 포함할 수 있다. 이에 따라 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자에서 상기 시드 산화물 층(412)의 수직 두께가 증가하면 전체적인 저항이 증가할 수 있다. 즉, 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자에서 상기 시드 산화물 층(412)의 수직 두께는 다른 구성 요소들의 수직 두께보다 상대적으로 얇을 수 있다. 예를 들어, 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자에서 상기 시드 산화물 층(412)은 4Å 이하의 수직 두께를 가질 수 있다.
- [0060] 상기 고정 자성 패턴(420)은 상기 시드 패턴(410) 상에 위치할 수 있다. 상기 고정 자성 패턴(420)은 상기 시드 패턴(410)의 상부면과 직접 접촉할 수 있다. 예를 들어, 상기 시드 패턴(410)의 측면은 상기 고정 자성 패턴(420)의 측면과 수직 정렬될 수 있다.
- [0061] 상기 고정 자성 패턴(420)은 SAF(synthetic Anti-Ferromagnetic) 구조를 포함할 수 있다. 예를 들어, 상기 고정 자성 패턴(420)은 하부 고정 자성층(421), 스페이서(422) 및 상부 고정 자성층(423)을 포함할 수 있다.
- [0062] 상기 하부 고정 자성층(421)은 상기 시드 패턴(410)에 가까이 위치할 수 있다. 예를 들어, 상기 하부 고정 자성층(421)은 상기 결정질 시드층(413)의 상부면과 직접 접촉할 수 있다. 상기 결정질 시드층(413)의 측면은 상기 하부 고정 자성층(421)의 측면과 수직 정렬될 수 있다.
- [0063] 상기 하부 고정 자성층(421)은 자성 물질을 포함할 수 있다. 상기 하부 고정 자성층(421)은 수직 자화 특성을 가질 수 있다. 상기 하부 고정 자성층(421)의 자화 방향은 상기 기판(100)의 표면과 수직할 수 있다. 예를 들어, 상기 하부 고정 자성층(421)은 Co, Fe 또는 Ni 중 적어도 하나 및 Pt, Pd, Ru 또는 Ta 중 하나를 포함할 수 있다.
- [0064] 상기 하부 고정 자성층(421)의 자화 방향을 고정될 수 있다. 상기 하부 고정 자성층(421)의 자화 방향은 외부 자기장의 영향을 받지 않을 수 있다. 예를 들어, 상기 하부 고정 자성층(421)의 자화 방향은 상기 하부 전극(300)과 상기 상부 전극(800) 사이에 형성되는 자기장에 의해 변경되지 않을 수 있다.
- [0065] 상기 스페이서(422)는 상기 하부 고정 자성층(421) 상에 위치할 수 있다. 상기 스페이서(422)는 상기 하부 고정 자성층(421)의 상부면과 직접 접촉할 수 있다. 예를 들어, 상기 하부 고정 자성층(421)의 측면은 상기 스페이서(422)의 측면과 수직 정렬될 수 있다.
- [0066] 상기 스페이서(422)는 비자성 물질을 포함할 수 있다. 예를 들어, 상기 스페이서(422)는 Ru, Ir, Re 또는 Os를 포함할 수 있다.
- [0067] 상기 스페이서(422)의 수직 두께는 상기 하부 고정 자성층(421)의 수직 두께보다 작을 수 있다. 상기 시드 산화물 층(412)의 수직 두께는 상기 스페이서(422)의 수직 두께보다 작을 수 있다.
- [0068] 상기 상부 고정 자성층(423)은 상기 스페이서(422) 상에 위치할 수 있다. 상기 상부 고정 자성층(423)은 상기 스페이서(422)의 상부면과 직접 접촉할 수 있다. 예를 들어, 상기 스페이서(422)의 측면은 상기 상부 고정 자성층(423)의 측면과 수직 정렬될 수 있다.
- [0069] 상기 상부 고정 자성층(423)은 자성 물질을 포함할 수 있다. 상기 상부 고정 자성층(423)은 수직 자화 특성을 가질 수 있다. 상기 상부 고정 자성층(423)은 비정질화 물질을 더 포함할 수 있다. 예를 들어, 상기 상부 고정 자성층(423)은 Co, Fe 또는 Ni 중 적어도 하나, Pt, Pd, Ru 또는 Ta 중 하나 및 B, P, As 또는 Bi 중 하나를

포함할 수 있다.

- [0070] 상기 상부 고정 자성층(423)의 자화 방향은 고정될 수 있다. 예를 들어, 상기 상부 고정 자성층(423)의 자화 방향은 상기 하부 전극(300)과 상기 상부 전극(800) 사이에 형성되는 자기장에 의해 변경되지 않을 수 있다.
- [0071] 상기 터널 배리어 패턴(430)은 상기 고정 자성 패턴(420) 상에 위치할 수 있다. 예를 들어, 상기 터널 배리어 패턴(430)은 상기 상부 고정 자성층(423)의 상부면과 직접 접촉할 수 있다. 상기 상부 고정 자성층(423)의 측면은 상기 터널 배리어 패턴(430)의 측면과 수직 정렬될 수 있다.
- [0072] 상기 터널 배리어 패턴(430)은 비자성 물질을 포함할 수 있다. 예를 들어, 상기 터널 배리어 패턴(430)은 MgO를 포함할 수 있다.
- [0073] 상기 터널 배리어 패턴(430)의 수직 두께는 상기 고정 자성 패턴(420)의 수직 두께보다 작을 수 있다. 상기 터널 배리어 패턴(430)의 수직 두께는 상기 스페이서(422)의 수직 두께보다 클 수 있다. 상기 시드 산화물 층(412)의 수직 두께는 상기 터널 배리어 패턴(430)의 수직 두께보다 작을 수 있다.
- [0074] 상기 자유 자성 패턴(440)은 상기 터널 배리어 패턴(430) 상에 위치할 수 있다. 상기 자유 자성 패턴(440)은 상기 터널 배리어 패턴(430)의 상부면과 직접 접촉할 수 있다. 예를 들어, 상기 터널 배리어 패턴(430)의 측면은 상기 자유 자성 패턴(440)의 측면과 수직 정렬될 수 있다.
- [0075] 상기 자유 자성 패턴(440)은 자성 물질을 포함할 수 있다. 상기 자유 자성 패턴(440)은 수직 자화 특성을 가질 수 있다. 상기 자유 자성 패턴(440)은 비정질화 물질을 더 포함할 수 있다. 예를 들어, 상기 자유 자성 패턴(440)은 Co, Fe 또는 Ni 중 적어도 하나, Pt, Pd, Ru 또는 Ta 중 하나 및 B, P, As 또는 Bi 중 하나를 포함할 수 있다.
- [0076] 상기 자유 자성 패턴(440)의 자화 방향은 외부 자기장에 의해 변경될 수 있다. 예를 들어, 상기 자유 자성 패턴(440)의 자화 방향은 상기 하부 전극(300)과 상기 상부 전극(800) 사이에 형성되는 자기장에 의해 변경될 수 있다. 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자의 저항은 상기 자유 자성 패턴(440)의 자화 방향에 따라 변경될 수 있다.
- [0077] 상기 캡핑 패턴(500)은 상기 자기 터널 접합 구조체(400) 상에 위치할 수 있다. 예를 들어, 상기 캡핑 패턴(500)은 상기 자유 자성 패턴(440)의 상부면과 직접 접촉할 수 있다. 상기 자유 자성 패턴(440)의 측면은 상기 캡핑 패턴(500)의 측면과 수직 정렬될 수 있다.
- [0078] 상기 캡핑 패턴(500)은 도전성 물질을 포함할 수 있다. 예를 들어, 상기 캡핑 패턴(500)은 Cu, Ta, Al, Au, Ti, TiN 또는 TaN 중 적어도 하나를 포함할 수 있다. 상기 캡핑 패턴(500)은 다층 구조일 수 있다.
- [0079] 상기 하드 마스크 패턴(600)은 상기 캡핑 패턴(500) 상에 위치할 수 있다. 상기 하드 마스크 패턴(600)은 상기 캡핑 패턴(500)의 상부면과 직접 접촉할 수 있다. 예를 들어, 상기 캡핑 패턴(500)의 측면은 상기 하드 마스크 패턴(600)의 측면과 수직 정렬될 수 있다.
- [0080] 상기 하드 마스크 패턴(600)은 도전성 물질을 포함할 수 있다. 상기 하드 마스크 패턴(600)은 일정 이상의 물리적 강도를 갖는 물질을 포함할 수 있다. 예를 들어, 상기 하드 마스크 패턴(600)은 텅스텐과 같은 금속을 포함할 수 있다.
- [0081] 상기 상부 층간 절연막(700)은 상기 하부 층간 절연막(200) 상에 위치할 수 있다. 상기 상부 층간 절연막(700)의 상부면은 상기 하드 마스크 패턴(600)의 상부면보다 높을 수 있다. 예를 들어, 상기 자기 터널 접합 구조체(400), 상기 캡핑 패턴(500) 및 상기 하드 마스크 패턴(600)은 상기 상부 층간 절연막(700)에 의해 둘러싸일 수 있다.
- [0082] 상기 상부 층간 절연막(700)은 절연성 물질을 포함할 수 있다. 예를 들어, 상기 상부 층간 절연막(700)은 실리콘 산화물을 포함할 수 있다.
- [0083] 상기 상부 층간 절연막(700)은 상부 비아 홀(700v)을 포함할 수 있다. 상기 하드 마스크 패턴(600)의 상부면은 상기 상부 비아 홀(700v)에 의해 노출될 수 있다. 예를 들어, 상기 상부 비아 홀(700v)의 바닥면의 수평 폭은 상기 하드 마스크 패턴(600)의 상부면의 수평 폭보다 클 수 있다. 상기 상부 비아 홀(700v)의 바닥면의 레벨은 상기 하드 마스크 패턴(600)의 상부면의 레벨보다 낮을 수 있다.
- [0084] 상기 상부 전극(800)은 도 1에 도시된 비트 라인(BL)과 전기적으로 연결될 수 있다. 상기 상부 전극(800)은 상

기 하드 마스크 패턴(600) 상에 위치할 수 있다. 예를 들어, 상기 상부 전극(800)은 상기 상부 비아 홀(700v) 내에 위치할 수 있다.

- [0085] 상기 상부 전극(800)의 상부면의 레벨은 상기 상부 층간 절연막(700)의 상부면의 레벨보다 높을 수 있다. 예를 들어, 상기 상부 전극(800)은 상기 상부 층간 절연막(700)의 상부면 상으로 연장될 수 있다.
- [0086] 상기 상부 전극(800)은 상부 배리어 패턴(810) 및 상부 도전 패턴(820)을 포함할 수 있다. 예를 들어, 상기 상부 배리어 패턴(810)은 상기 상부 층간 절연막(700)과 상기 상부 도전 패턴(820) 사이에 위치할 수 있다. 상기 상부 배리어 패턴(810)은 상기 상부 비아 홀(700v)에 의해 노출된 상기 하드 마스크 패턴(600)과 직접 접촉할 수 있다.
- [0087] 상기 상부 배리어 패턴(810) 및 상기 상부 도전 패턴(820)은 도전성 물질을 포함할 수 있다. 예를 들어, 상기 상부 배리어 패턴(810)은 금속 질화물을 포함하고, 상기 상부 도전 패턴(820)은 금속을 포함할 수 있다.
- [0088] 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 시드 패턴이 비정질 상태의 비정질 시드층, 결정질 상태의 결정질 시드층 및 상기 비정질 시드층과 상기 결정질 시드층 사이에 위치하는 시드 산화물 층을 포함할 수 있다. 따라서, 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자에서는 비정질 시드층 및 시드 산화물 층에 의해 고정 자성 패턴의 형성에 미치는 하부 전극의 영향이 차단될 수 있다.
- [0089] 도 3은 시드 패턴이 시드 산화물 층을 포함하지 않는 제 1 자기 터널 접합 소자(L1)와 시드 패턴이 시드 산화물 층을 포함하는 제 2 자기 터널 접합 소자(L2)의 외부 자기장에 따른 자성 변화를 나타낸 그래프이다. 여기서, 도 3의 세로 축은 표준화된 자성값(normalized magnetization value)을 나타내므로, 구체적인 수치를 도시/설명하지 않는다.
- [0090] 도 3을 참조하면, 그래프의 가운데에서 보여지는 자유 자성 패턴의 자성 변화는 상기 제 1 자기 터널 접합 소자(L1) 및 상기 제 2 자기 터널 접합 소자(L2)에서 큰 차이가 없으나, 그래프의 좌측 및 우측에서 보여지는 하부 고정 자성층 및 상부 고정 자성층의 자성 변화는 상기 제 1 자기 터널 접합 소자(L1)와 상기 제 2 자기 터널 접합 소자(L2)에서 차이가 있음을 알 수 있다. 보다 구체적으로는, 상기 제 1 자기 터널 접합 소자(L1)와 비교하여, 상기 제 2 자기 터널 접합 소자(L2)는 상대적으로 큰 외부 자기장에서 하부 고정 자성층 및 상부 고정 자성층의 자성 변화가 발생하는 것을 알 수 있다.
- [0091] 하부 고정 자성층 및 상부 고정 자성층의 자성 변화가 상대적으로 큰 외부 자기장에서 발생한다는 것은 상기 하부 고정 자성층 및 상기 상부 고정 자성층을 포함하는 고정 자성 패턴이 상대적으로 높은 보자력(coercivity)을 가짐에 따라 상대적으로 안정적이라는 것을 의미한다. 즉, 도 3의 그래프에서는 상기 제 1 자기 터널 접합 소자(L1)와 비교하여, 상기 제 2 자기 터널 접합 소자(L2)의 고정 자성 패턴이 안정적이라는 점을 알 수 있다.
- [0092] 결과적으로, 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 하부 전극과 고정 자성 패턴 사이에 위치하는 시드 패턴이 비정질 시드층 및 시드 산화물 층을 포함함에 따라 고정 자성 패턴의 형성에 미치는 하부 전극의 영향을 효과적으로 차단할 수 있다. 따라서, 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자에서는 하부 전극에 의한 자기 터널 접합 구조체의 전자기적 특성의 저하가 효과적으로 방지될 수 있다.
- [0093] 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 시드 산화물 층(412)이 비정질 시드층(411) 및 결정질 시드층(413)과 직접 접촉하는 것으로 설명된다. 그러나, 본 발명의 다른 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 도 4에 도시된 바와 같이, 시드 패턴(450)이 제 1 비정질 시드층(451), 상기 제 1 비정질 시드층(451) 상에 위치하는 제 2 비정질 시드층(452a), 상기 제 2 비정질 시드층(452a) 상에 위치하는 시드 산화물 층(452o) 및 상기 시드 산화물 층(452o) 상에 위치하는 결정질 시드층(453)을 포함할 수 있다.
- [0094] 상기 제 2 비정질 시드층(452a)의 구성은 상기 제 1 비정질 시드층(451)과 구성과 다를 수 있다. 예를 들어, 상기 제 2 비정질 시드층(452a)은 상기 제 1 비정질 시드층(451)을 구성하는 물질들 중 일부만을 포함할 수 있다.
- [0095] 상기 시드 산화물 층(452o)은 상기 제 2 비정질 시드층(452a)을 구성하는 모든 물질을 포함할 수 있다. 예를 들어, 상기 시드 산화물 층(452o)은 산화 공정에 의해 상기 제 2 비정질 시드층(452a)의 표면이 산화되어 형성될 수 있다.
- [0096] 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 시드 산화물 층(412)이 비정질 시드층(411)이 산화된 경우와 다른 구성을 갖는 것으로 설명된다. 그러나, 본 발명의 다른 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 도 5에 도시된 바와 같이, 시드 패턴(460)이 비정질 시드층(461a), 상기 비정질 시드층(461a)

상에 위치하는 결정질 시드층(462) 및 상기 비정질 시드층(461a)와 상기 결정질 시드층(462) 사이에 위치하되, 상기 비정질 시드층(461a) 내의 모든 물질들의 산화물을 포함하는 시드 산화물 층(461o)을 포함할 수 있다.

- [0097] 도 6은 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자를 나타낸 도면이다.
- [0098] 도 6을 참조하면, 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 기판(100), 하부 층간 절연막(200), 하부 전극(300), 자기 터널 접합 구조체(400), 캡핑 패턴(500), 하드 마스크 패턴(600), 상부 층간 절연막(700) 및 상부 전극(800)을 포함할 수 있다.
- [0099] 상기 자기 터널 접합 구조체(400)는 고정 자성 패턴(420), 터널 배리어 패턴(430), 자유 자성 패턴(440) 및 시드 패턴(470)을 포함할 수 있다. 상기 시드 패턴(470)은 상기 하부 전극(300)과 상기 고정 자성 패턴(420) 사이에 위치할 수 있다. 예를 들어, 상기 시드 패턴(470)은 시드 산화물 층(471), 중간 비정질 시드층(472), 상부 비정질 시드층(473) 및 결정질 시드층(474)을 포함할 수 있다.
- [0100] 상기 시드 산화물 층(471)은 상기 하부 전극(300)에 가까이 위치할 수 있다. 예를 들어, 상기 시드 산화물 층(471)은 상기 하부 전극(300)의 상부면과 직접 접촉할 수 있다.
- [0101] 상기 중간 비정질 시드층(472)은 상기 시드 산화물 층(471) 상에 위치할 수 있다. 상기 중간 비정질 시드층(472)은 상기 시드 산화물 층(471)의 상부면과 직접 접촉할 수 있다. 예를 들어, 상기 시드 산화물 층(471)의 측면은 상기 중간 비정질 시드층(472)의 측면과 수직 정렬될 수 있다.
- [0102] 상기 시드 산화물 층(471)은 상기 중간 비정질 시드층(472)이 산화된 경우와 다른 구성을 가질 수 있다. 예를 들어, 상기 시드 산화물 층(471)은 상기 중간 비정질 시드층(472)을 구성하는 물질들의 산화물을 포함하지 않을 수 있다.
- [0103] 상기 상부 비정질 시드층(473)은 상기 중간 비정질 시드층(472) 상에 위치할 수 있다. 상기 상부 비정질 시드층(473)은 상기 중간 비정질 시드층(472)의 상부면과 직접 접촉할 수 있다. 예를 들어, 상기 중간 비정질 시드층(472)의 측면은 상기 상부 비정질 시드층(473)의 측면과 수직 정렬될 수 있다.
- [0104] 상기 상부 비정질 시드층(473)은 상기 중간 비정질 시드층(472)와 다른 구성을 가질 수 있다. 예를 들어, 상기 상부 비정질 시드층(473)은 상기 중간 비정질 시드층(472) 및 상기 결정질 시드층(474)과 접촉 특성이 좋은 도전성 물질을 포함할 수 있다. 예를 들어, 상기 상부 비정질 시드층(473)은 Ta를 포함할 수 있다. 상기 상부 비정질 시드층(473)의 수직 두께는 상기 중간 비정질 시드층(472)의 수직 두께보다 작을 수 있다.
- [0105] 상기 결정질 시드층(474)은 상기 상부 비정질 시드층(473) 상에 위치할 수 있다. 상기 결정질 시드층(474)은 상기 상부 비정질 시드층(473)의 상부면과 직접 접촉할 수 있다. 예를 들어, 상기 상부 비정질 시드층(473)의 측면은 상기 결정질 시드층(474)의 측면과 수직 정렬될 수 있다.
- [0106] 결과적으로 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 시드 패턴이 하부 전극에 가까이 위치하는 시드 산화물 층을 포함할 수 있다. 이에 따라 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자에서는 시드 패턴에 의해 고정 자성 패턴이 상대적으로 높은 안정성을 가질 수 있다. 따라서, 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자에서는 시드 패턴에 의해 자기 터널 접합 구조체의 전자기적 특성의 저하가 효과적으로 방지될 수 있다.
- [0107] 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 시드 산화물 층(471)이 하부 전극(300)과 직접 접촉하는 것으로 설명된다. 그러나, 본 발명의 다른 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 도 7에 도시된 바와 같이, 시드 패턴(480)이 하부 비정질 시드층(481a), 상기 하부 비정질 시드층(481a) 상에 위치하는 시드 산화물 층(481o), 상기 시드 산화물 층(481o) 상에 위치하는 중간 비정질 시드층(482), 상기 중간 비정질 시드층(482) 상에 위치하는 상부 비정질 시드층(483) 및 상기 상부 비정질 시드층(483) 상에 위치하는 결정질 시드층(484)을 포함할 수 있다.
- [0108] 상기 하부 비정질 시드층(481a)은 상기 중간 비정질 시드층(482) 및 상기 상부 비정질 시드층(483)과 다른 구성을 가질 수 있다. 예를 들어, 상기 하부 비정질 시드층(481a)은 상기 중간 비정질 시드층(482)을 구성하는 물질들 및 상기 하부 비정질 시드층(483)을 구성하는 물질을 포함하지 않을 수 있다.
- [0109] 상기 시드 산화물 층(481o)은 상기 하부 비정질 시드층(481a)을 구성하는 모든 물질을 포함할 수 있다. 예를 들어, 상기 시드 산화물 층(481o)은 산화 공정에 의해 상기 하부 비정질 시드층(481a)의 표면이 산화되어 형성될

수 있다.

- [0110] 본 발명의 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 중간 비정질 시드층(472)과 결정질 시드층(474) 사이에 상부 비정질 시드층(473)이 위치하는 것으로 설명된다. 그러나, 본 발명의 다른 실시 예에 따른 반도체 소자의 자기 터널 접합 소자는 도 8에 도시된 바와 같이, 시드 패턴(490)이 중간 비정질 시드층(492)이 시드 산화물 층(491) 및 결정질 시드층(493)과 직접 접촉할 수 있다.
- [0111] 도 9a 내지 9j는 본 발명의 실시 예에 따른 반도체 소자의 형성 방법을 순차적으로 나타낸 도면들이다.
- [0112] 도 2 및 9a 내지 9j를 참조하여 본 발명의 실시 예에 따른 반도체 소자의 형성 방법을 설명한다. 먼저, 도 9a에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 기판(100) 상에 하부 비아 홀(200v)을 포함하는 하부 층간 절연막(200)을 형성하는 공정 및 상기 하부 비아 홀(200v) 내에 하부 전극(300)을 형성하는 공정을 포함할 수 있다.
- [0113] 상기 하부 층간 절연막(200)을 형성하는 공정은 상기 기판(100) 상에 실리콘 산화물, 실리콘 질화물과 같은 절연성 물질을 포함하는 적어도 하나 이상의 예비 하부 절연막을 형성하는 공정 및 상기 예비 하부 절연막을 수직 방향으로 관통하는 하부 비아 홀(200v)을 형성하는 공정을 포함할 수 있다.
- [0114] 상기 하부 전극(300)을 형성하는 공정은 상기 하부 비아 홀(200v)을 도전성 물질로 채우는 공정을 포함할 수 있다. 예를 들어, 상기 하부 전극(300)을 형성하는 공정은 상기 하부 층간 절연막(200) 상에 Cu, W, Ti와 같은 금속을 포함하는 하부 도전성 막을 형성하는 공정 및 상기 하부 층간 절연막(200)의 상부면이 노출되도록 상기 하부 도전성 막을 평탄화하는 공정을 포함할 수 있다. 상기 하부 도전성 막을 평탄화하는 공정은 화학적 기계적 연마(Chemical Mechanical Polishing; CMP) 공정을 포함할 수 있다.
- [0115] 도 9b에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 상기 하부 층간 절연막(200) 및 상기 하부 전극(300) 상에 비정질 시드막(amorphous seed film, 411f)을 형성하는 공정 및 상기 비정질 시드막(411f) 상에 예비 비정질 막(preliminary amorphous film, 412p)을 형성하는 공정을 포함할 수 있다.
- [0116] 상기 비정질 시드막(411f) 및 상기 예비 비정질 막(412p)은 비정질 상태로 형성될 수 있다. 상기 예비 비정질 막(412p)은 상기 비정질 시드막(411f)과 다른 구성을 가질 수 있다. 예를 들어, 상기 예비 비정질 막(412p)은 상기 비정질 시드막(411f)을 구성하는 물질들 중 일부만을 포함할 수 있다.
- [0117] 상기 예비 비정질 막(412p)은 상기 비정질 시드막(411f)보다 얇게 형성될 수 있다. 예를 들어, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법에서는 상기 예비 비정질 막(412p)이 4Å 이하의 두께로 형성될 수 있다.
- [0118] 도 9c에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 상기 예비 비정질 막(411f)을 이용하여 시드 산화물 막(oxidized seed film, 412f)을 형성하는 공정을 포함할 수 있다.
- [0119] 상기 시드 산화물 막(412f)을 형성하는 공정은 상기 예비 비정질 막(411f)을 산화하는 공정을 포함할 수 있다. 상기 예비 비정질 막(411f)의 산화 공정은 자연 산화 공정을 포함할 수 있다. 예를 들어, 상기 예비 비정질 막(411f)을 산화하는 공정은 상기 예비 비정질 막(411f)을 상온의 챔버 내에 안착하는 공정 및 상기 챔버 내에 소량의 산소 가스(O₂ gas)를 유입하여 상기 예비 비정질 막(411f)이 자연적으로 산화되도록 하는 공정을 포함할 수 있다.
- [0120] 도 9d에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 상기 시드 산화물 막(412f) 상에 결정질 시드막(413f)을 형성하는 공정을 포함할 수 있다.
- [0121] 상기 결정질 시드막(413f)은 결정질 상태로 형성될 수 있다. 상기 결정질 시드막(413f)은 상기 비정질 시드막(411f) 및 상기 예비 비정질 막(412p)과 다른 물질로 형성될 수 있다.
- [0122] 상기 비정질 시드막(411f), 상기 시드 산화물 막(412f) 및 상기 결정질 시드막(413f)은 시드막(410f)을 구성할 수 있다.
- [0123] 도 9e에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 상기 시드막(410f) 상에 하부 고정 자성막(421f)을 형성하는 공정, 상기 하부 고정 자성막(421f) 상에 스페이서막(422f)을 형성하는 공정, 상기 스페이서막(422f) 상에 예비 상부 고정 자성막(423a)을 형성하는 공정, 상기 예비 상부 고정 자성막(423a) 상에 터널 배리어막(430f)을 형성하는 공정, 상기 터널 배리어막(430f) 상에 예비 자유 자성막(440a)을 형성하

는 공정, 상기 예비 자유 자성막(440a) 상에 캡핑막(500f)을 형성하는 공정 및 상기 캡핑막(500f) 상에 하드 마스크막(600f)을 형성하는 공정을 포함할 수 있다.

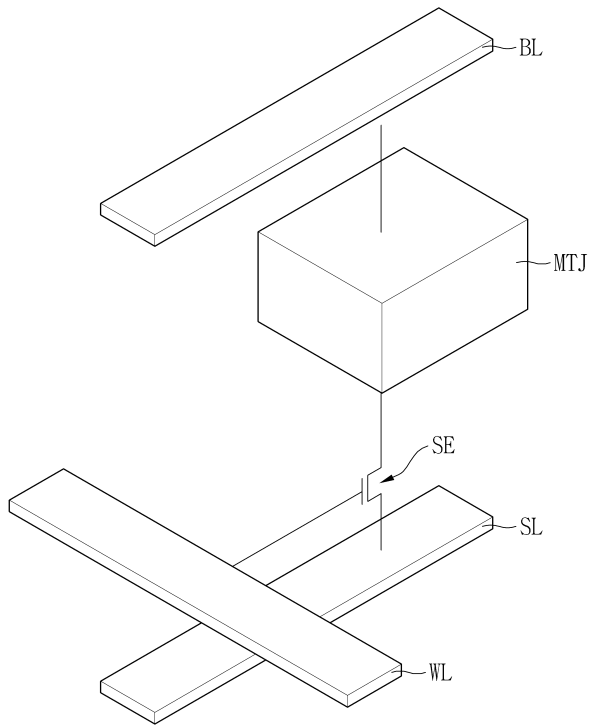
- [0124] 상기 하부 고정 자성막(421f)은 결정질 상태로 형성될 수 있다. 상기 예비 상부 고정 자성막(423a) 및 상기 예비 자유 자성막(440a)은 모두 비정질 상태로 형성될 수 있다.
- [0125] 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 비정질 시드막(411f) 및 시드 산화물 막(412f)을 포함하는 시드막(410f) 상에 하부 고정 자성막(421f) 및 예비 상부 고정 자성막(423a)을 형성할 수 있다. 따라서, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법에서는 상기 하부 고정 자성막(421f)의 형성 및 상기 예비 상부 고정 자성막(423a)의 형성에 미치는 상기 하부 전극(300)의 영향이 효과적으로 차단될 수 있다.
- [0126] 도 9f에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 상기 예비 상부 고정 자성막(423a) 및 상기 예비 자유 자성막(440a)을 이용하여 상부 고정 자성막(423c) 및 자유 자성막(440c)을 형성하는 공정을 포함할 수 있다.
- [0127] 상기 상부 고정 자성막(423c) 및 상기 자유 자성막(440c)을 형성하는 공정은 상기 예비 상부 고정 자성막(423a) 및 상기 예비 자유 자성막(440a)을 결정화하는 공정을 포함할 수 있다. 상기 예비 상부 고정 자성막(423a) 및 상기 예비 자유 자성막(440a)을 결정화하는 공정은 상기 하드 마스크막(600f)이 형성된 상기 기판(100)을 어닐링하는 공정을 포함할 수 있다.
- [0128] 도 9g에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 상기 하드 마스크막(600c) 상에 마스크 패턴(HM)을 형성하는 공정을 포함할 수 있다.
- [0129] 상기 마스크 패턴(HM)은 상기 하부 전극(300)과 수직 중첩할 수 있다. 예를 들어, 상기 마스크 패턴(HM)의 수평 폭은 상기 하부 전극(300)의 상부면의 수평 폭보다 클 수 있다.
- [0130] 도 9h에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 상기 마스크 패턴(HM)을 이용하여 상기 하드 마스크막(600c), 상기 캡핑막(500c), 상기 자유 자성막(440c), 상기 터널 배리어막(430f), 상기 상부 고정 자성막(423c), 상기 스페이서막(422f), 상기 하부 고정 자성막(421f) 및 상기 시드막(410f)을 순차적으로 패터닝하는 공정 및 상기 마스크 패턴(HM)을 제거하는 공정을 포함할 수 있다.
- [0131] 상기 하드 마스크막(600c)을 패터닝하는 공정에 의해 하드 마스크 패턴(600)이 형성될 수 있다. 상기 캡핑막(500c)을 패터닝하는 공정에 의해 캡핑 패턴(500)이 형성될 수 있다. 상기 캡핑 패턴(500)의 측면은 상기 하드 마스크 패턴(600)의 측면과 수직 정렬될 수 있다.
- [0132] 상기 자유 자성막(440c), 상기 터널 배리어막(430f), 상기 상부 고정 자성막(423c), 상기 스페이서막(422f), 상기 하부 고정 자성막(421f) 및 상기 시드막(410f)을 순차적으로 패터닝하는 공정에 의해 자기 터널 접합 구조체(400)가 형성될 수 있다. 상기 자기 터널 접합 구조체(400)는 시드 패턴(410), 고정 자성 패턴(420), 터널 배리어 패턴(430) 및 자유 자성 패턴(440)을 포함할 수 있다. 상기 자기 터널 접합 구조체(400)의 측면은 상기 캡핑 패턴(500)의 측면과 수직 정렬될 수 있다.
- [0133] 상기 고정 자성 패턴(420)은 상기 하부 고정 자성층(421), 상기 스페이서(422) 및 상기 상부 고정 자성층(423)을 포함할 수 있다. 상기 상부 고정 자성층(423)의 측면은 상기 터널 배리어 패턴(430)의 측면과 수직 정렬될 수 있다. 상기 스페이서(422)의 측면은 상기 상부 고정 자성층(423)의 측면과 수직 정렬될 수 있다. 상기 하부 고정 자성층(421)의 측면은 상기 스페이서(422)의 측면과 수직 정렬될 수 있다.
- [0134] 상기 시드막(410f)을 패터닝하는 공정은 상기 결정질 시드막(413f), 상기 시드 산화물 막(412f) 및 상기 비정질 시드막(411f)을 순차적으로 패터닝하는 공정을 포함할 수 있다. 상기 시드 패턴(410)은 상기 비정질 시드층(411), 상기 시드 산화물 층(412) 및 상기 결정질 시드층(413)을 포함할 수 있다. 상기 비정질 시드층(411)의 측면은 상기 시드 산화물 층(412)의 측면과 수직 정렬될 수 있다. 상기 시드 산화물 층(412)의 측면은 상기 결정질 시드층(413)의 측면과 수직 정렬될 수 있다.
- [0135] 도 9i에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 상기 하부 층간 절연막(200) 상에 상부 층간 절연막(700)을 형성하는 공정 및 상기 상부 층간 절연막(700)에 상부 비아 홀(700v)을 형성하는 공정을 포함할 수 있다.
- [0136] 상기 상부 층간 절연막(700)을 형성하는 공정은 실리콘 산화물과 같은 절연성 물질을 포함하는 막으로 상기 자기 터널 접합 구조체(400), 상기 캡핑 패턴(500) 및 상기 금속 마스크 패턴(600)을 덮는 공정을 포함할 수

있다.

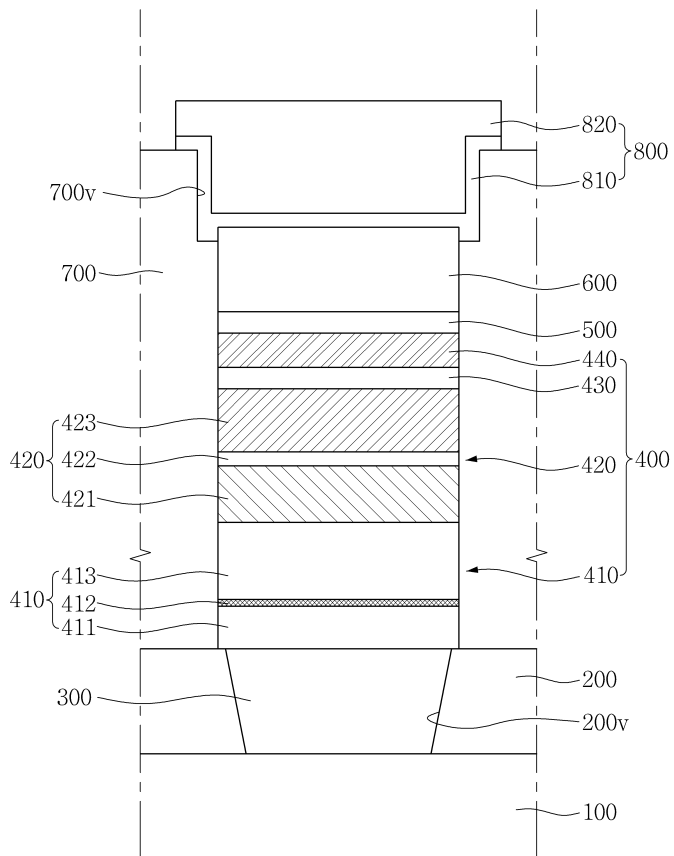
- [0137] 상기 상부 비아 홀(700v)을 형성하는 공정은 상기 하드 마스크 패턴(600)의 상부면을 노출하는 공정을 포함할 수 있다.
- [0138] 도 9j에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 상기 상부 층간 절연막(700)의 상기 상부 비아 홀(700v)을 채우는 상부 전극막(800f)을 형성하는 공정을 포함할 수 있다.
- [0139] 상기 상부 전극막(800f)을 형성하는 공정은 상기 상부 층간 절연막(700) 상에 상부 배리어막(810f)을 형성하는 공정 및 상기 상부 배리어막(810f) 상에 상부 도전막(820f)을 형성하는 공정을 포함할 수 있다.
- [0140] 도 2에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 상기 하드 마스크 패턴(600) 상에 상부 전극(800)을 형성하는 공정을 포함할 수 있다.
- [0141] 상기 상부 전극(800)을 형성하는 공정은 상기 상부 전극막(800f)을 패터닝하는 공정을 포함할 수 있다. 상기 상부 전극막(800f)을 패터닝하는 공정은 상기 상부 도전막(820f) 및 상기 상부 배리어막(810f)을 순차적으로 패터닝하는 공정을 포함할 수 있다.
- [0142] 결과적으로, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 시드 산화물 막(412f)을 포함하는 시드막(410f) 상에 하부 고정 자성막(421f) 및 상부 고정 자성막(423f)을 형성할 수 있다. 이에 따라, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법에서는 상대적으로 높은 안정성을 갖는 고정 자성 패턴(420)이 형성될 수 있다. 따라서, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법에서는 하부 전극(300)에 의해 자기 터널 접합 구조체(400)의 전자기적 특성의 저하가 효과적으로 방지될 수 있다.
- [0143] 도 10a 내지 10c는 본 발명의 실시 예에 따른 반도체 소자의 형성 방법을 순차적으로 나타낸 도면들이다.
- [0144] 도 5 및 10a 내지 10c를 참조하여 본 발명의 실시 예에 따른 반도체 소자의 형성 방법을 설명한다. 먼저, 도 10a에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 기판(100) 상에 하부 비아 홀(200v)을 포함하는 하부 층간 절연막(200)을 형성하는 공정, 상기 하부 비아 홀(200v) 내에 하부 전극(300)을 형성하는 공정 및 상기 하부 층간 절연막(200)과 상기 하부 전극(300) 상에 비정질 시드막(451f)을 형성하는 공정을 포함할 수 있다.
- [0145] 도 10b에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 산화 공정에 의해 상기 비정질 시드막(451f)의 상단에 시드 산화물 막(451p)을 형성하는 공정을 포함할 수 있다.
- [0146] 상기 시드 산화물 막(451p)을 형성하는 공정은 상기 비정질 시드막(451f)의 상단을 산화하는 공정을 포함할 수 있다. 예를 들어, 상기 시드 산화물 막(451p)을 형성하는 공정은 상기 비정질 시드막(451f)의 상단을 자연적으로 산화하는 공정을 포함할 수 있다.
- [0147] 도 10c에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 상기 하부 층간 절연막(200)과 상기 하부 전극(300) 상에 시드막(450f)을 형성하는 공정을 포함할 수 있다.
- [0148] 상기 시드막(450f)을 형성하는 공정은 상기 시드 산화물 막(451p) 상에 결정질 시드막(452f)을 형성하는 공정을 포함할 수 있다.
- [0149] 도 5에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 상기 시드막(450f)이 패터닝된 시드 패턴(450)을 포함하는 자기 터널 접합 구조체(400), 상기 자기 터널 접합 구조체(400) 상에 위치하는 캡핑 패턴(500), 상기 캡핑 패턴(500) 상에 위치하는 하드 마스크 패턴(600), 상기 자기 터널 접합 구조체(400), 상기 캡핑 패턴(500) 및 상기 하드 마스크 패턴(600)을 둘러싸는 상부 층간 절연막(700)을 형성하는 공정 및 상기 하드 마스크 패턴(600)의 상부면과 접촉하는 상부 전극(800)을 형성하는 공정을 포함할 수 있다.
- [0150] 결과적으로, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법은 하부 전극(300)과 하부 고정 자성막(421f) 사이에 시드 산화물 막(451p)을 형성할 수 있다. 따라서, 본 발명의 실시 예에 따른 반도체 소자의 형성 방법에서는 상대적으로 높은 안정성을 갖는 상기 고정 자성 패턴(420)이 형성될 수 있다.
- [0151] 도 11a 내지 11d는 본 발명의 실시 예에 따른 반도체 소자의 형성 방법을 순차적으로 나타낸 도면들이다.

도면

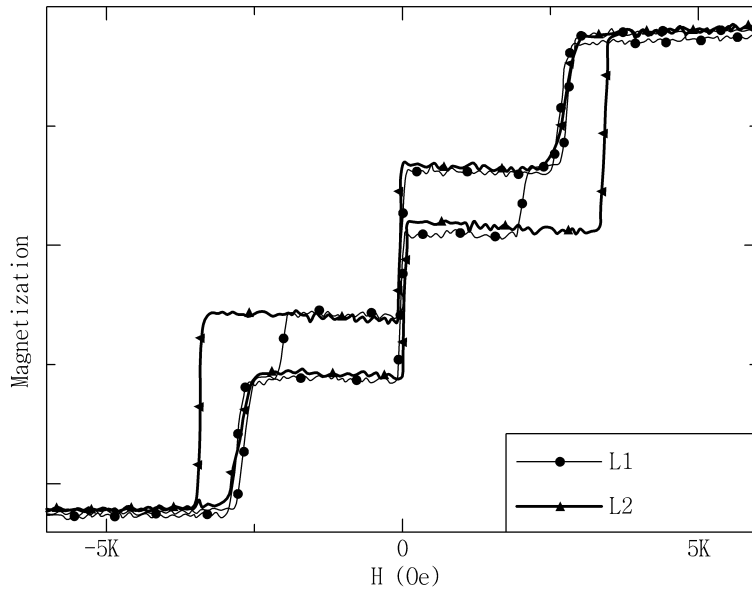
도면1



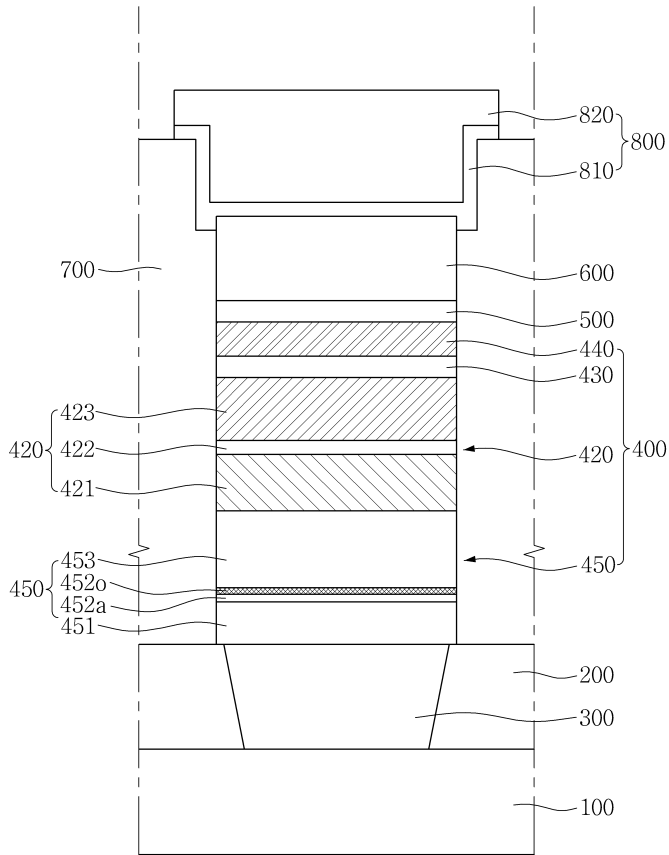
도면2



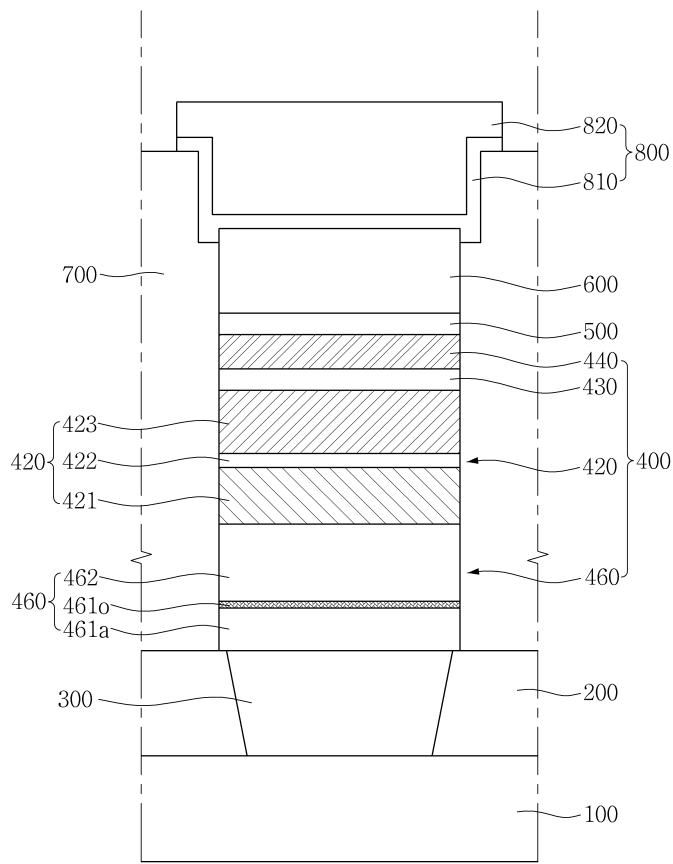
도면3



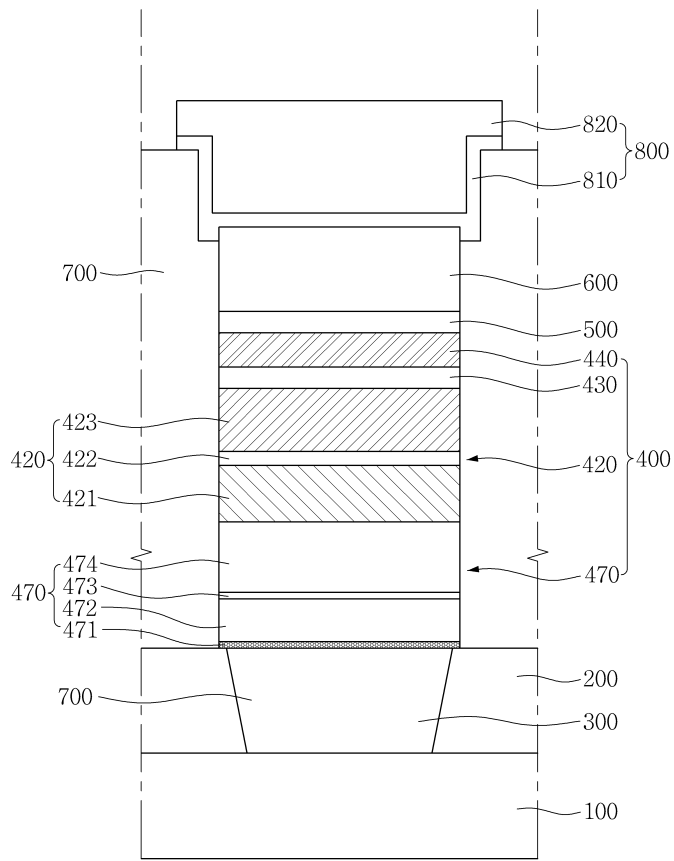
도면4



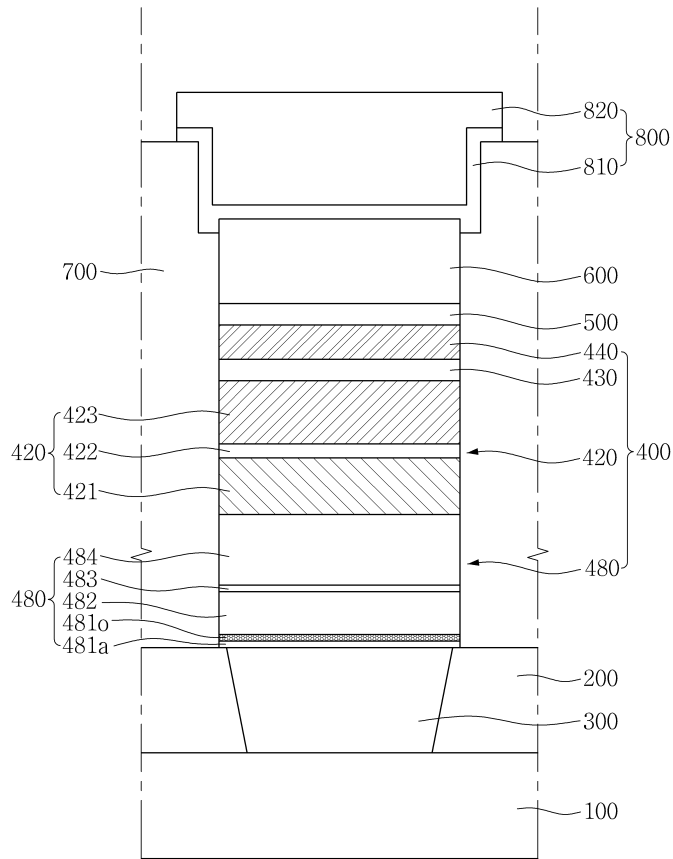
도면5



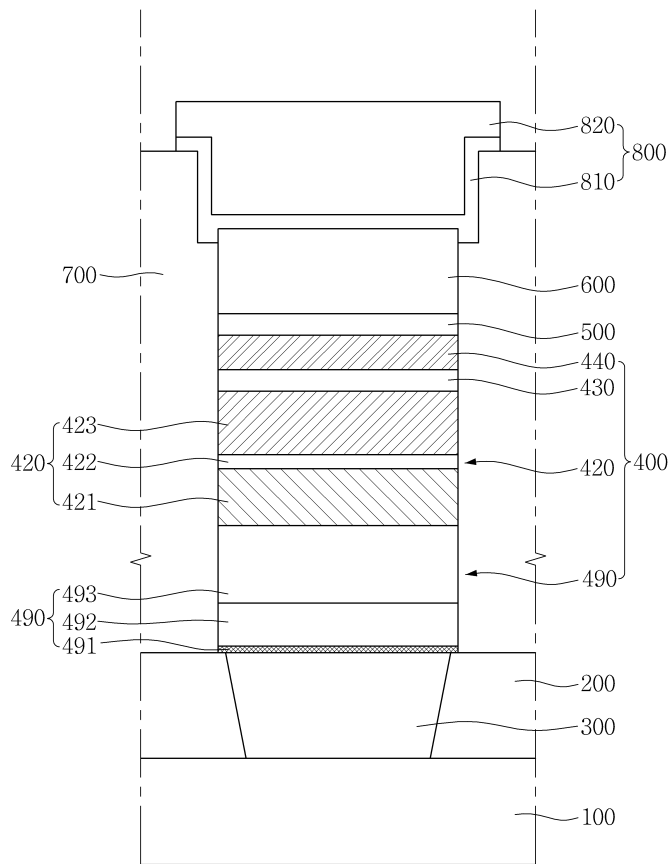
도면6



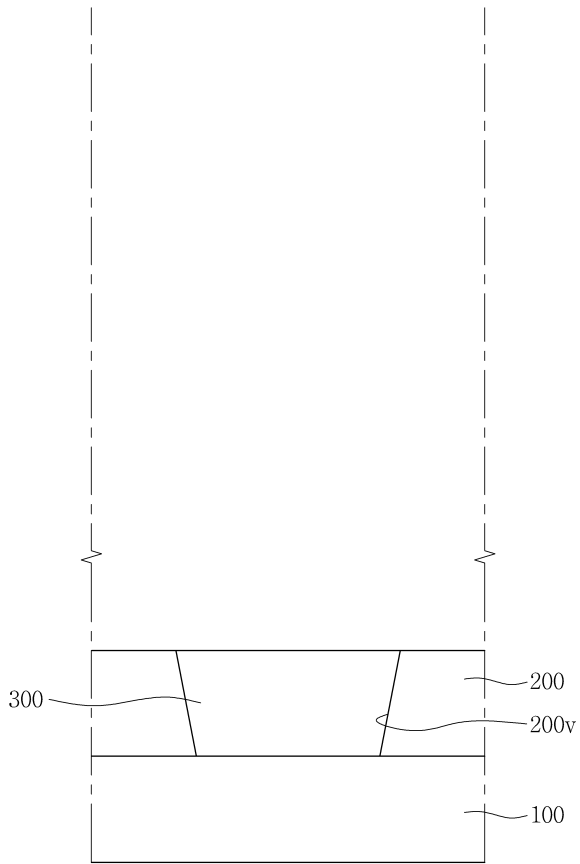
도면7



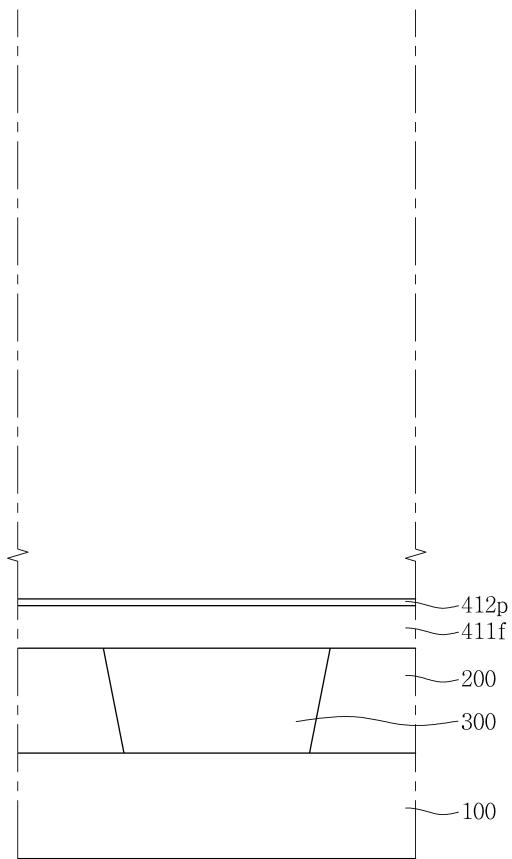
도면8



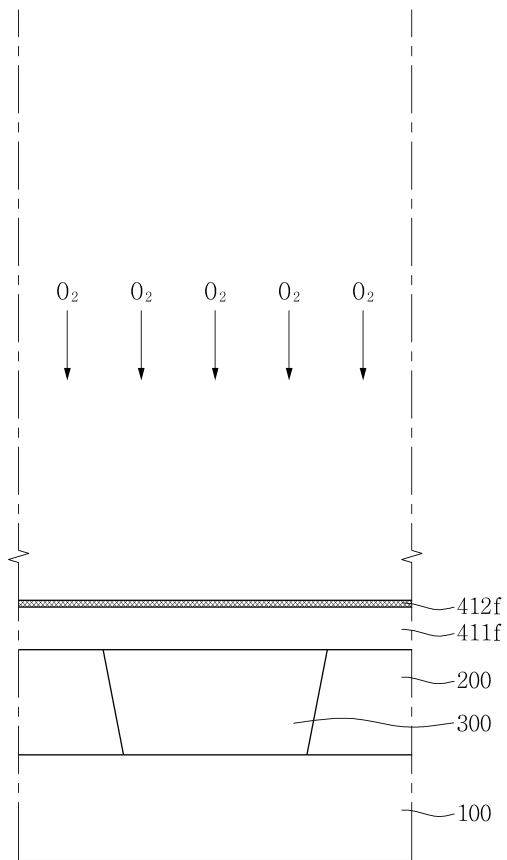
도면9a



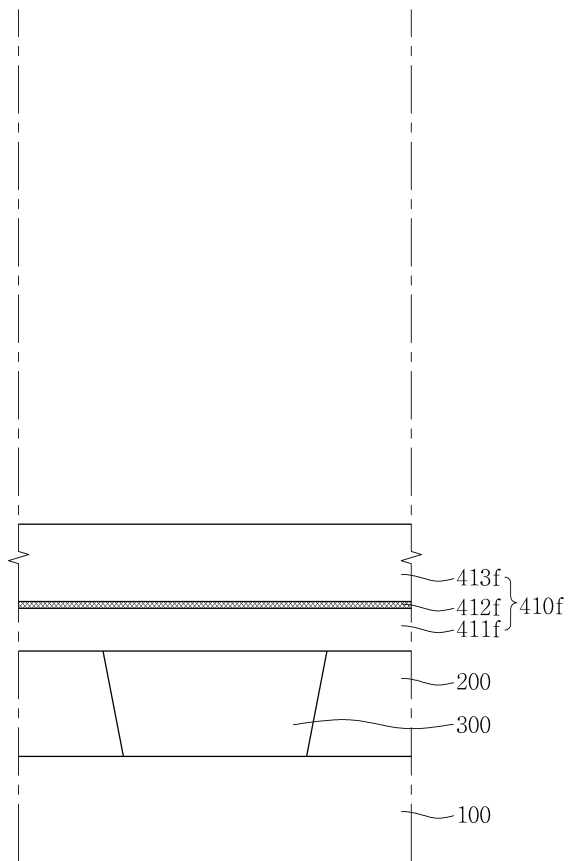
도면9b



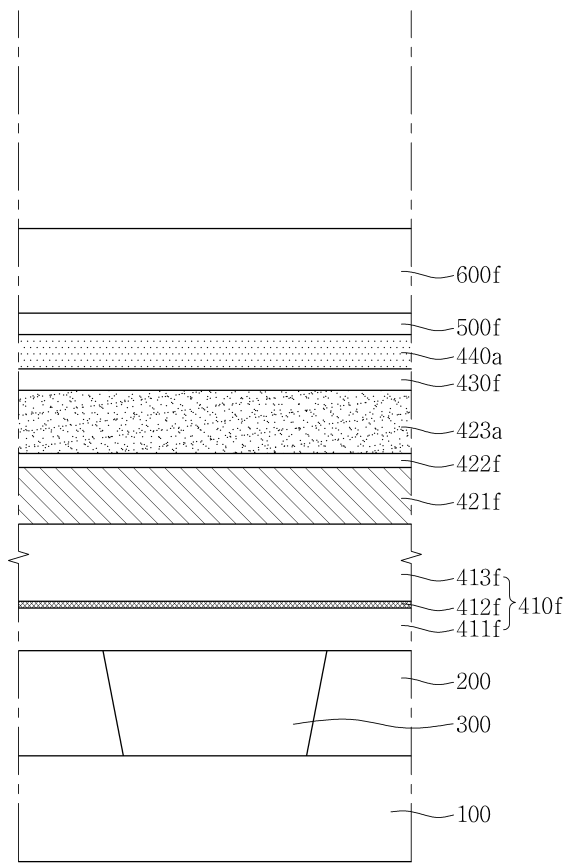
도면9c



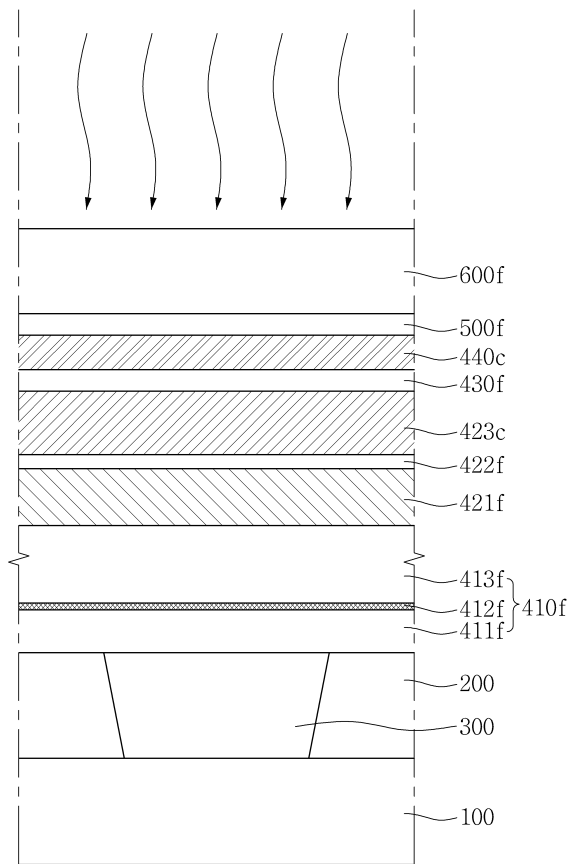
도면9d



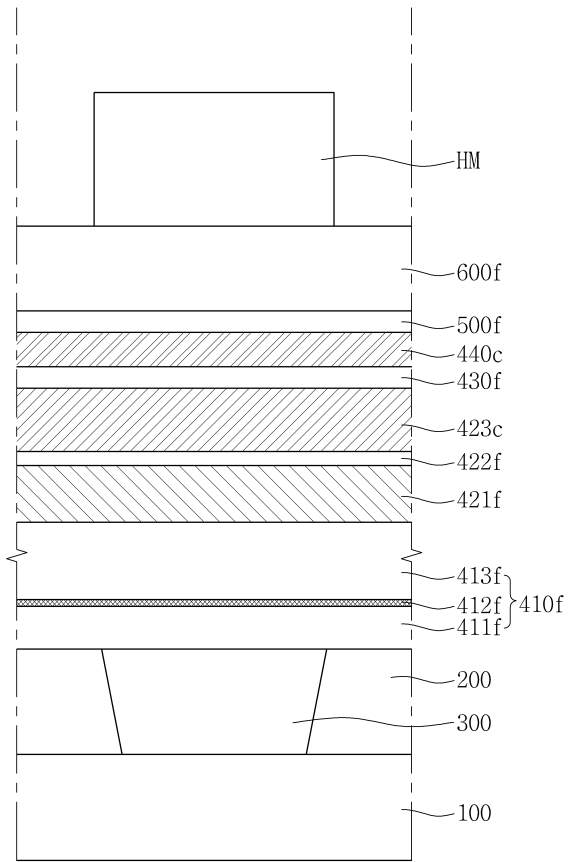
도면9e



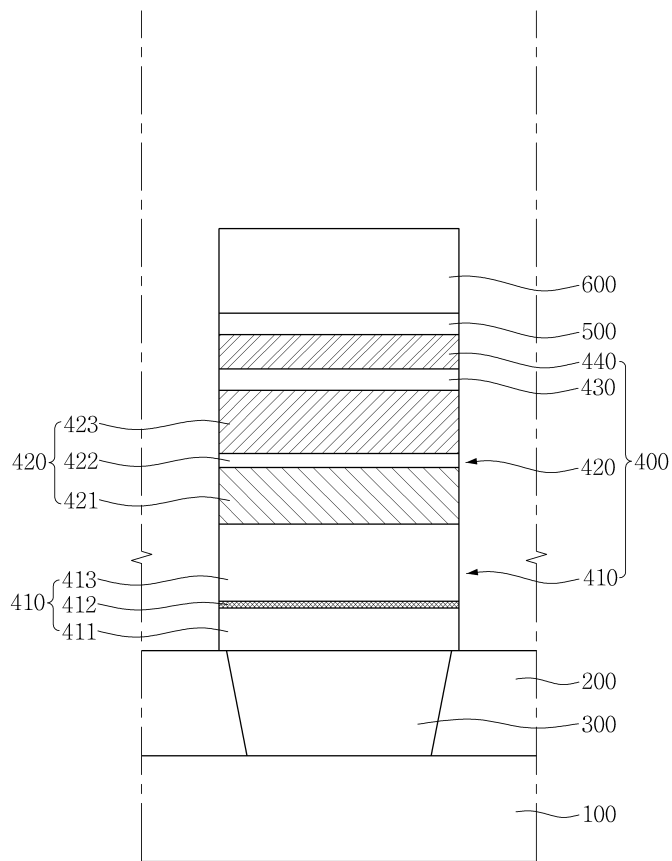
도면9f



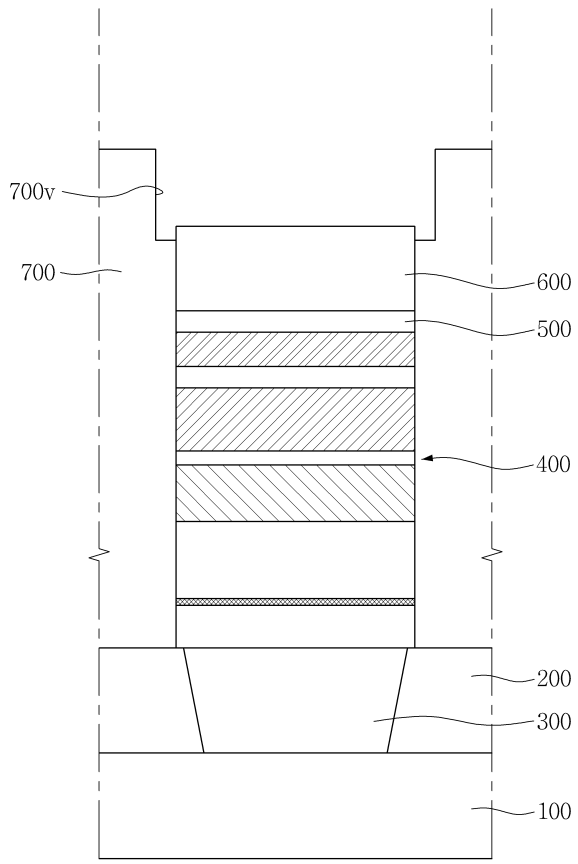
도면9g



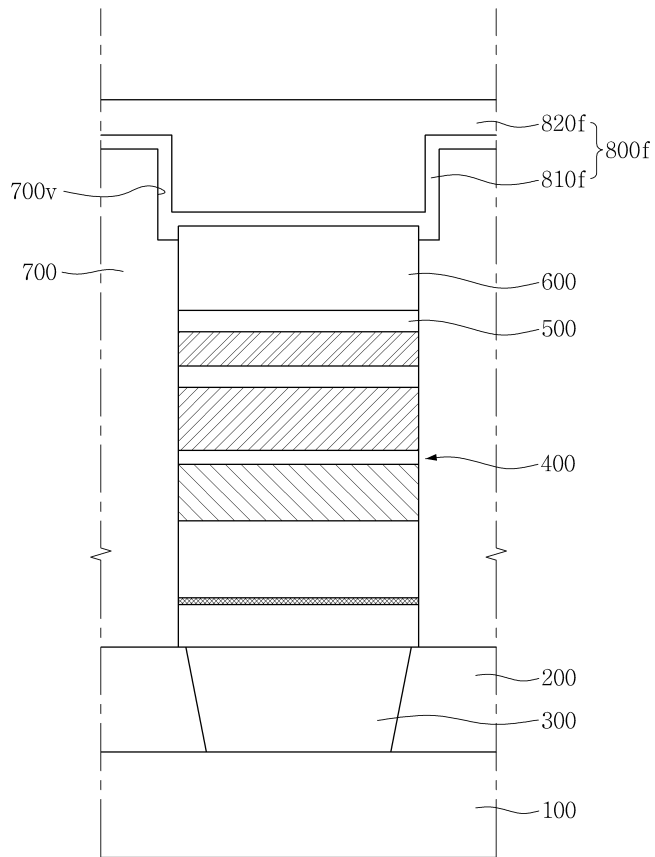
도면9h



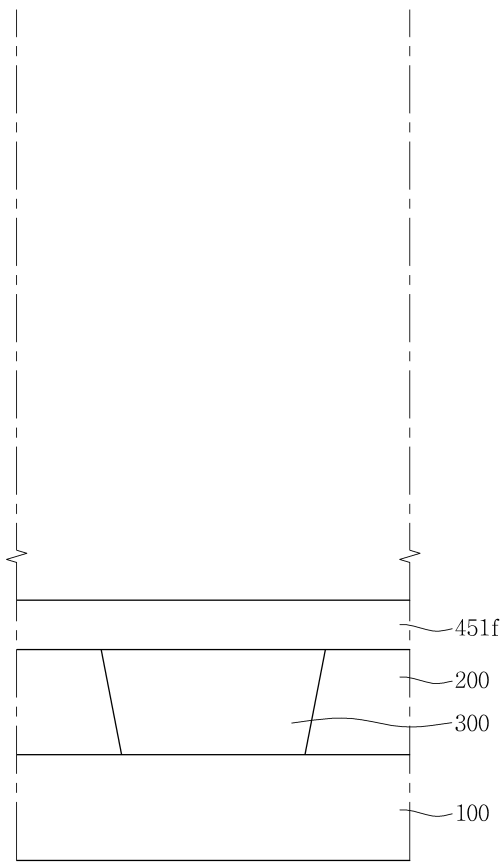
도면9i



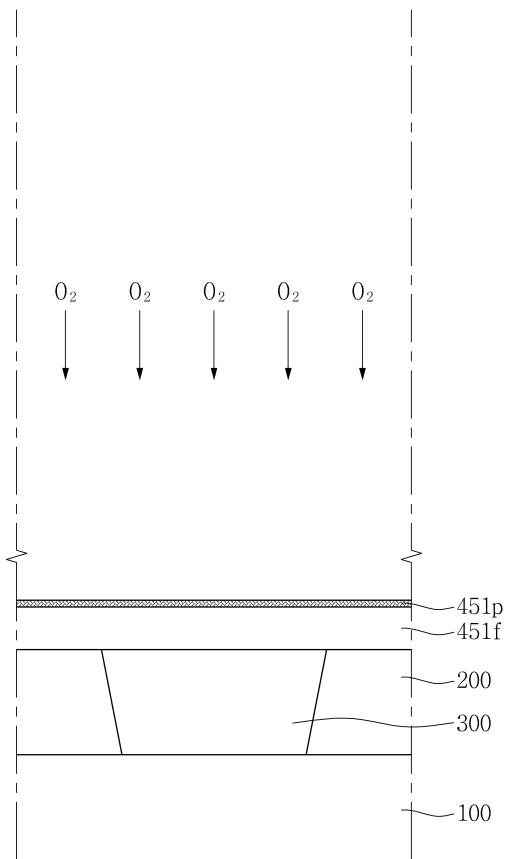
도면9j



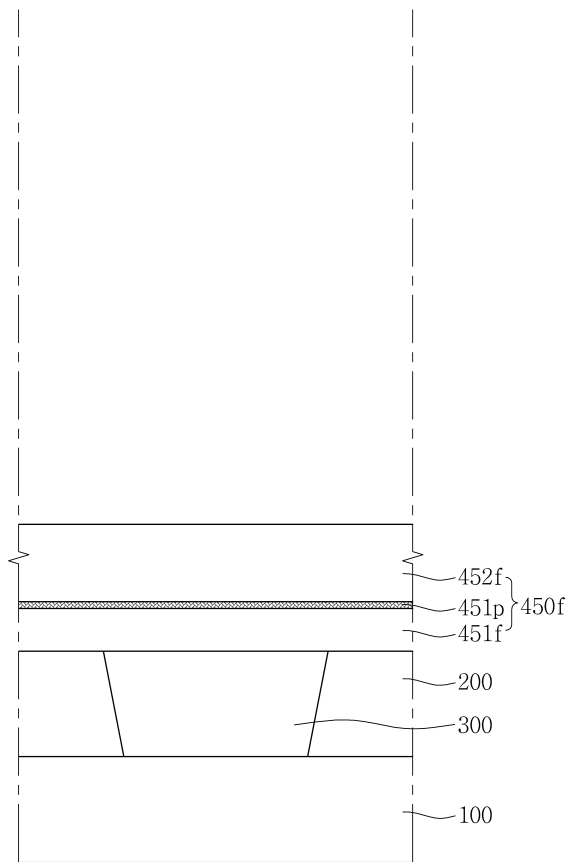
도면10a



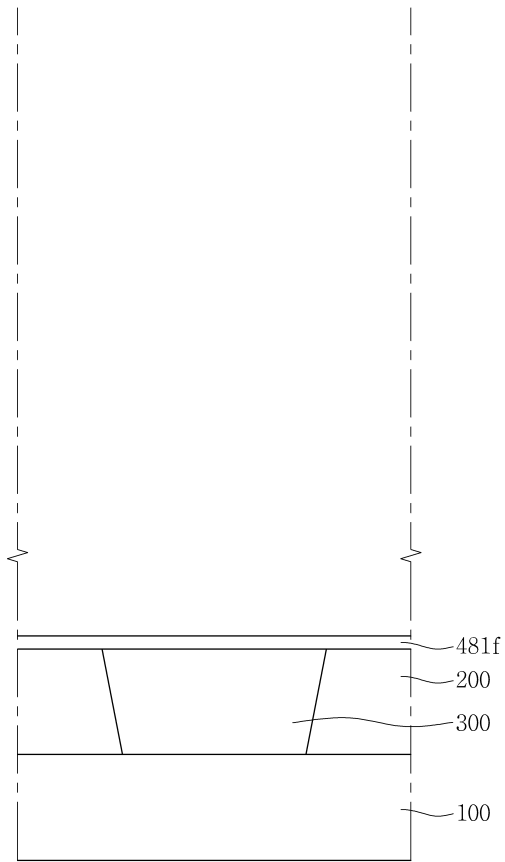
도면10b



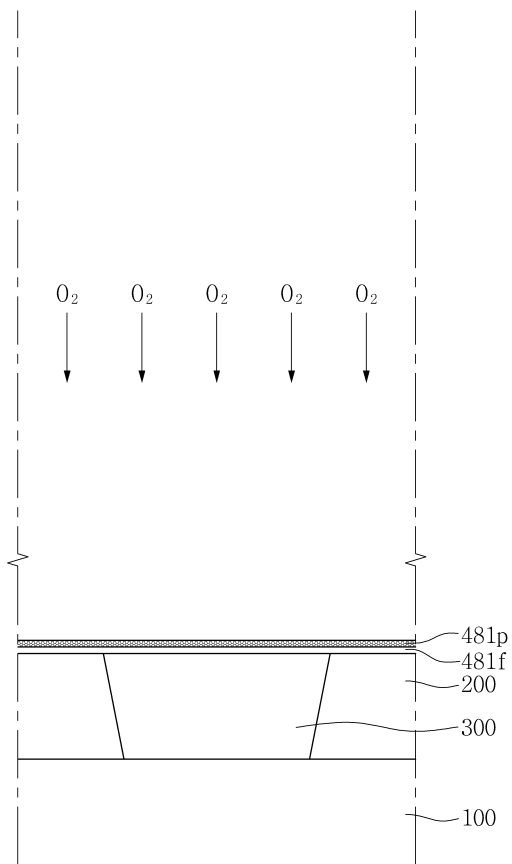
도면10c



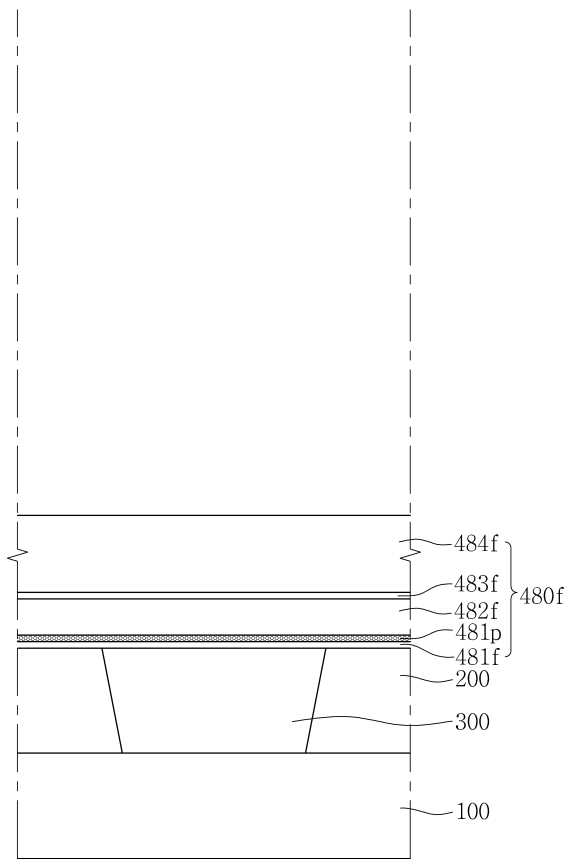
도면11a



도면11b



도면11c



도면11d

