



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월30일
 (11) 등록번호 10-1391081
 (24) 등록일자 2014년04월24일

(51) 국제특허분류(Int. Cl.)
 H01L 23/12 (2006.01) H01L 23/48 (2006.01)
 (21) 출원번호 10-2012-0106075
 (22) 출원일자 2012년09월24일
 심사청구일자 2012년09월24일
 (65) 공개번호 10-2014-0039656
 (43) 공개일자 2014년04월02일
 (56) 선행기술조사문헌
 KR1020080027586 A*
 KR1020120093587 A*
 KR1020120093580 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 에스티에스반도체통신 주식회사
 충청남도 천안시 서북구 백석공단7로 16 (백석동)
 (72) 발명자
 이연목
 서울 중랑구 봉화산로 216, 403동 203호 (신내동, 동성아파트)
 (74) 대리인
 특허법인세아

전체 청구항 수 : 총 4 항

심사관 : 퇴-이명진

(54) 발명의 명칭 플립칩 반도체 패키지 및 그 제조방법

(57) 요약

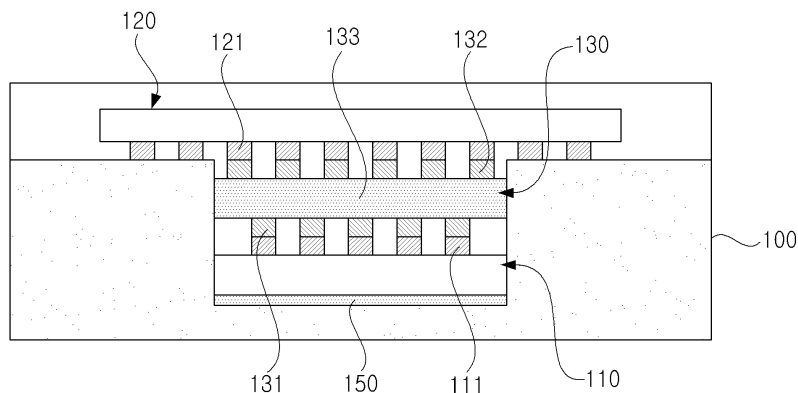
본 발명은 플립칩 반도체 패키지 및 그 제조방법에 관한 것이다.

본 발명에 따른 플립칩 반도체 패키지는 일면에 캐비티가 형성된 인쇄회로기판과; 상기 캐비티 내에 내장되며, 상면에 제1 도전성 범프를 구비하는 제1 반도체 칩과;

상기 제1 반도체 칩 상에 적층되며, 하면에 제2 도전성 범프를 구비하는 제2 반도체 칩; 및 상기 제1 반도체 칩과 상기 제2 반도체 칩 사이에 개재되며, 하면에 상기 제1 도전성 범프와 전기접속되는 제1 회로패턴을 구비하고, 상면에 상기 제2 도전성 범프와 전기접속되는 제2 회로패턴을 구비하는 인터포저를 포함하는 것을 특징으로 한다.

본 발명에 의하면, 반도체 패키지의 두께는 증가시키지 않으면서 인쇄회로기판의 면적을 감소시킬 수 있고, 인쇄회로기판의 면적을 감소시킴으로써 인쇄회로기판의 힘을 감소시킬 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

일면에 캐비티가 형성된 인쇄회로기판과;

상기 캐비티 내에 내장되며, 상면에 제1 도전성 범프를 구비하는 제1 반도체 칩과;

상기 캐비티와 상기 제1 반도체 칩 사이에 개재된 접촉층과;

상기 제1 반도체 칩 상에 적층되며, 하면에 제2 도전성 범프를 구비하는 제2 반도체 칩; 및

상기 제1 반도체 칩과 상기 제2 반도체 칩 사이에 개재되며, 하면에 상기 제1 도전성 범프와 전기접속되는 제1 회로패턴을 구비하고, 상면에 상기 제2 도전성 범프와 전기접속되는 제2 회로패턴을 구비하는 인터포저를 포함하는 것을 특징으로 하는 플립칩 반도체 패키지.

청구항 2

삭제

청구항 3

제 1 항에 있어서, 상기 제2 반도체 칩의 면적은 상기 제1 반도체 칩의 면적보다 더 넓은 것을 특징으로 하는 플립칩 반도체 패키지.

청구항 4

인쇄회로기판의 일면에 캐비티를 형성하는 과정과;

상면에 제1 도전성 범프를 구비하는 제1 반도체 칩의 하면에 접촉층을 형성한 다음 상기 제1 반도체 칩을 상기 캐비티 내에 삽입하는 과정과;

하면에 상기 제1 도전성 범프와 전기접속되는 제1 회로패턴을 구비하고, 상면에 제2 도전성 범프와 전기접속되는 제2 회로패턴을 구비하는 인터포저를 상기 제1 반도체 칩 상에 배치하고 상기 제1 도전성 범프와 상기 제1 회로패턴을 본딩하는 과정; 및

하면에 상기 제2 도전성 범프를 구비하는 제2 반도체 칩을 상기 인터포저 상에 배치하고 상기 제2 도전성 범프와 상기 제2 회로패턴을 본딩하는 과정을 포함하는 것을 특징으로 하는 플립칩 반도체 패키지 제조방법.

청구항 5

삭제

청구항 6

제 4 항에 있어서, 상기 제1 도전성 범프와 상기 제1 회로패턴 및 상기 제2 도전성 범프와 상기 제2 회로패턴은 플립칩 기술에 의해 본딩되는 것을 특징으로 하는 플립칩 반도체 패키지 제조방법.

명세서

기술분야

본 발명은 반도체 패키지 및 그 제조방법에 관한 것으로, 특히 복수의 반도체 칩을 플립칩 기술로 집합하여 패키징하는 플립칩 반도체 패키지 및 그 제조방법에 관한 것이다.

[0001]

배경 기술

- [0002] 일반적으로 반도체 패키지는 각종 전자 회로 및 배선이 적층되어 형성된 단일 소자나 집적회로 등의 반도체 칩을 먼지, 습기, 전기적, 기계적 부하 등의 각종 외부 환경으로부터 보호하고 반도체 칩의 전기적 성능을 최적화, 극대화하기 위해 리드 프레임이나 인쇄회로기판(Printed Circuit Board) 등을 이용해 메인보드로의 신호 입/출력 단자를 형성하고 봉지재를 이용하여 몰딩한 것을 일컫는다.
- [0003] 최근, 전자기기의 경박단소화 추세에 따라 관련 반도체 패키지 또한 더욱 작은 사이즈, 적은 전력 소모 및 우수한 전기적 특성을 갖도록 설계되고 있으며, 이를 위해 플립칩 기술이 많이 사용되고 있다.
- [0004] 플립칩은 PCB나 리드프레임(leadframe) 같은 패키지 캐리어(carrier)와 반도체 칩을 전기적으로 연결하는 하나의 방식을 일컫는 용어이다. 일반적인 패키지에서 반도체 칩과 캐리어의 접합은 와이어(wire)를 이용하며, 와이어는 대체로 길이가 1~5mm정도 이며 직경은 25~35Å 정도이다. 반면 플립칩 패키지에서 반도체 칩과 캐리어의 접합은 반도체 칩 표면에 형성된 도체물질인 범프(bump)에 의해 이루어진다. 즉, 반도체 칩에 범프를 형성시킨 후 범프가 형성된 면을 캐리어에 직접 접합하게 되는 것입니다. 한 개의 범프는 보통 높이가 70~100Å이고, 직경이100~125Å 정도이다.
- [0005] 이러한 플립칩 기술은, 반도체 칩과 캐리어의 거리가 짧아 짐(0.1 mm 대 1-5 mm)에 따라, 신호 저항 계수가 크게 감소하며 신호 저항 계수의 감소는 초고속의 통신과 스위칭 장치의 핵심적인 요소이다. 또한, 플립칩 접합 기술을 사용함에 따라, 기존의 반도체 칩 끝 부분을 통해 우회하던 전기신호가 반도체 칩의 핵심부분으로 바로 이동하게 되며 이를 통해 핵심전력의 노이즈(noise)를 줄이게 되고 칩의 성능을 개선하게 된다. 또한, 기존의 반도체 칩 측면만을 이용한 방식에서 벗어나 전면을 접점으로 이용함에 따라 집적도를 높일 수 있게 되며, 이는 QFP와 BGA 패키지를 비교하는 것과 유사하다. 또한, 필요한 본드 패드(bond pads)의 수량(면적)에 의해 반도체 칩의 사이즈가 결정되던 와이어 본딩 방식에 비해 그만큼 반도체 칩의 사이즈를 줄일 수 있고, 뿐만 아니라 전체적인 패키지 사이즈를 줄일 수 있다. 또한, 열방출 경로가 집중되지 않고 고르게 분산되므로 칩 내부에서 발생하는 열을 빠르게 방출할 수 있는 등의 장점이 있다.
- [0006] 한편, 2개 이상의 플립칩을 하나의 패키지에 구현해야 하는 경우 반도체 칩과 인쇄회로기판을 전기적으로 접속 하는데 어려움이 있어서 도 1에 도시된 바와 같이 반도체 칩을 인쇄회로기판 위에 나란하게 배치하였다.
- [0007] 도 1은 종래 일반적인 반도체 패키지의 구조를 나타낸 평면도로서, 2개의 반도체 칩(10, 20)이 인쇄회로기판(1) 위에 실장된 반도체 패키지를 나타낸 것이다.
- [0008] 그러나, 도 1에 도시된 바와 같이 종래 기술에서는 복수의 반도체 칩이 인쇄회로기판 위 동일 평면상에 배치되기 때문에 인쇄회로기판의 면적 감소 및 반도체 패키지의 사이즈 감소에 한계가 있으며, 또한 인쇄회로기판의 면적이 넓어 기판의 휨(warpage) 제어가 곤란한 등의 문제점이 있었다.
- [0009]

발명의 내용

해결하려는 과제

- [0010] 따라서, 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 일반적인 목적은 종래 기술에서의 한계와 단점에 의해 발생하는 다양한 문제점을 실질적으로 보완할 수 있는 플립칩 반도체 패키지 및 그 제조방법을 제공하기 위한 것이다.
- [0011] 본 발명의 보다 구체적인 다른 목적은 복수의 반도체 칩을 플립칩 기술로 접합하는 반도체 패키지에서 반도체 칩이 실장되는 인쇄회로기판의 면적을 줄일 수 있는 플립칩 반도체 패키지 및 그 제조방법을 제공하기 위한 것이다.

과제의 해결 수단

- [0012] 이를 위해 본 발명의 일 실시예에 따른 플립칩 반도체 패키지는 일면에 캐비티가 형성된 인쇄회로기판과; 상기

캐비티 내에 내장되며, 상면에 제1 도전성 범프를 구비하는 제1 반도체 칩과; 상기 제1 반도체 칩 상에 적층되며, 하면에 제2 도전성 범프를 구비하는 제2 반도체 칩; 및 상기 제1 반도체 칩과 상기 제2 반도체 칩 사이에 개재되며, 하면에 상기 제1 도전성 범프와 전기접속되는 제1 회로패턴을 구비하고, 상면에 상기 제2 도전성 범프와 전기접속되는 제2 회로패턴을 구비하는 인터포저를 포함하는 것을 특징으로 한다.

- [0013] 본 발명의 일 실시예에 따른 플립칩 반도체 패키지는 상기 캐비티와 상기 제1 반도체 칩 사이에 개재된 접착층을 더 포함할 수 있다.
- [0014] 본 발명의 일 실시예에 따른 플립칩 반도체 패키지에서 상기 제2 반도체 칩의 면적은 상기 제1 반도체 칩의 면적보다 더 넓을 수 있다.
- [0015] 또한, 본 발명의 일 실시예에 따른 플립칩 반도체 패키지 제조방법은 인쇄회로기판의 일면에 캐비티를 형성하는 과정과; 상면에 제1 도전성 범프를 구비하는 제1 반도체 칩을 상기 캐비티 내에 삽입하는 과정과; 하면에 상기 제1 도전성 범프와 전기접속되는 제1 회로패턴을 구비하고, 상면에 제2 도전성 범프와 전기접속되는 제2 회로패턴을 구비하는 인터포저를 상기 제1 반도체 칩 상에 배치하고 상기 제1 도전성 범프와 상기 제1 회로패턴을 본딩하는 과정; 및 하면에 상기 제2 도전성 범프를 구비하는 제2 반도체 칩을 상기 인터포저 상에 배치하고 상기 제2 도전성 범프와 상기 제2 회로패턴을 본딩하는 과정을 포함하는 것을 특징으로 한다.
- [0016] 본 발명의 일 실시예에 따른 플립칩 반도체 패키지 제조방법에서 상기 제1 반도체 칩을 상기 캐비티 내에 삽입하는 과정 전에 상기 제1 반도체 칩을 상기 캐비티 내에 고정시키기 위한 접착층을 상기 제1 반도체 칩의 하면에 형성하는 과정을 더 포함할 수 있다.
- [0017] 본 발명의 일 실시예에 따른 플립칩 반도체 패키지 제조방법에서 상기 제1 도전성 범프와 상기 제1 회로패턴 및 상기 제2 도전성 범프와 상기 제2 회로패턴은 플립칩 기술에 의해 본딩될 수 있다.

발명의 효과

- [0018] 본 발명에 따른 플립칩 반도체 패키지 및 그 제조방법에 의하면, 복수의 반도체 칩을 플립칩 기술로 접합하는 반도체 패키지에서 반도체 칩이 실장되는 인쇄회로기판에 캐비티를 형성하고 그 캐비티 내에 반도체 칩을 삽입한 후에 그 위에 다른 반도체 칩을 적층함으로써 인쇄회로기판의 동일 평면상에 복수의 반도체 칩이 배치되는 구조에 비해 인쇄회로기판의 면적을 크게 줄일 수 있다.
- [0019] 또한, 본 발명에 따른 플립칩 반도체 패키지 및 그 제조방법에 의하면, 반도체 패키지의 두께는 증가시키지 않으면서 인쇄회로기판의 면적을 감소시킴으로써 반도체 패키지의 사이즈를 그만큼 감소시킬 수 있다.
- [0020] 또한, 본 발명에 따른 플립칩 반도체 패키지 및 그 제조방법에 의하면, 반도체 칩이 실장되는 인쇄회로기판의 면적을 감소시킴으로써 인쇄회로기판의 휨을 감소시킬 수 있다.

도면의 간단한 설명

- [0021] 도 1은 종래 일반적인 반도체 패키지의 구조를 나타낸 평면도이다.
 도 2는 본 발명의 일 실시예에 따른 반도체 패키지의 구조를 나타낸 단면도이다.
 도 3a 내지 도 3e는 본 발명의 일 실시예에 따른 플립칩 반도체 패키지의 제조과정을 설명하기 위한 공정단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부 도면을 참조하여 본 발명의 실시 예를 상세히 설명하면 다음과 같다.
- [0023] 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 또한, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

- [0024] 도 2는 본 발명의 일 실시예에 따른 플립칩 반도체 패키지의 구조를 나타낸 단면도이다.
- [0025] 도 2를 참조하면, 본 실시예에 따른 플립칩 반도체 패키지는 일면에 캐비티(cavity)(101)가 형성된 인쇄회로기판(100)과, 상기 캐비티(101) 내에 내장된 제1 반도체 칩(110)과, 상기 제1 반도체 칩(110) 상에 적층된 제2 반도체 칩(120)과, 적층된 상기 제1 반도체 칩(110)과 상기 제2 반도체 칩(120) 사이에 배치된 인터포저(130) 및 상기 제1 및 제2 반도체 칩(110, 120)과 상기 인쇄회로기판(100) 전면을 봉지하고 있는 몰딩부(140)를 포함한다. 또한, 상기 제1 반도체 칩(110)과 상기 인쇄회로기판(100) 사이에 형성된 접촉층(150)을 포함한다.
- [0026] 상기 캐비티(101)는 제1 반도체 칩(110)이 삽입될 위치에 대응되는 인쇄회로기판(100)의 임의의 절연층(미도시)에 형성되며, 제1 반도체 칩(110)을 수용할 수 있을 정도의 깊이를 갖는다.
- [0027] 상기 제1 반도체 칩(110)은 일면에 도전성 범프(bump)(111)를 구비하며, 도전성 범프(111)가 형성된 면이 위를 향하도록 캐비티(101)에 삽입되어 있다. 즉, 도전성 범프(111)가 형성되지 않은 타면이 인쇄회로기판(100)의 캐비티(101) 바닥에 고정되어 있다. 여기서, 제1 반도체 칩(110)의 타면에 비전도성의 양면테이프(150)를 부착하여 제1 반도체 칩(110)이 캐비티(101) 내에 고정되도록 한다.
- [0028] 상기 제2 반도체 칩(120)은 일면에 도전성 범프(121)를 구비하며, 도전성 범프(121)가 형성된 면이 아래쪽을 향하도록 하여 제1 반도체 칩(110) 상에 적층되어 있다.
- [0029] 상기 인터포저(130)는 제1 반도체 칩(110)과 제2 반도체 칩(120) 사이에 개재되어 있다. 여기서, 인터포저(130)는 비전도성 소재로 된 베이스 기판(133)과, 상기 베이스 기판(133)의 하면 및 상면에 각각 형성된 제1 및 제2 회로패턴(131, 132)을 포함하며, 제1 회로패턴(131)은 제1 반도체 칩(110)의 도전성 범프(111)와 접속되고(전기적으로 연결되고), 제2 회로패턴(132)은 제2 반도체 칩(120)의 도전성 범프(121)와 접속되어 있다. 또한, 인터포저(130)는 적층되는 칩(120, 130) 사이의 상하 간격을 유지하도록 하고, 제2 반도체 칩(120)의 도전성 범프(121)와 접속되는 제2 회로패턴(132)이 인쇄회로기판(100) 상면에 형성된 회로패턴(미도시)과 동일 평면(레벨)상에 위치하도록 한다.
- [0030] 상기 몰딩부(140)는 반도체 칩(110, 120) 등을 외부 환경으로부터 보호하기 위한 것으로 인쇄회로기판(100) 위에 상기 반도체 칩(110, 120) 전체를 덮도록 형성된다. 몰딩부(140) 형성에 사용되는 반도체 패키지용 봉지재는, MUF용 봉지재로써 반도체 칩(110, 120)과 인쇄회로기판(100)의 접합면에서 보이드(Void)가 발생하지 않는 재질이 적합하다. 또한 MUF용 봉지재로는 이온 함량이 적고 흡습율(hygroscopic property)이 낮으며, 반도체 칩(110, 120)과 인쇄회로기판(100)과의 접착력이 우수하고 흐름성(flowability)이 우수한 재질이 적합하다.
- [0031] 전술한 바와 같이, 본 실시예에 따른 플립칩 반도체 패키지는 인쇄회로기판에 캐비티를 형성한 다음 그 캐비티 내에 제1 반도체 칩을 삽입하고 그 위에 제2 반도체 칩을 적층함으로써 인쇄회로기판의 동일 평면상에 복수의 반도체 칩이 플립칩 본딩되는 구조에 비해 인쇄회로기판의 면적을 크게 줄일 수 있다.
- [0032] 또한, 본 발명에 따른 플립칩 반도체 패키지는 제1 반도체 칩이 인쇄회로기판의 캐비티 내에 완전히 수용(매립)되고, 제2 반도체 칩의 도전성 범프와 접속되는 제2 회로패턴이 인쇄회로기판 상면에 형성된 회로패턴과 동일 평면(레벨)상에 위치하므로 2개의 반도체 칩을 적층하더라도 반도체 패키지의 두께는 증가하지 않는다. 따라서, 반도체 패키지의 두께를 증가시키지 않으면서 면적을 감소시킴으로써 그만큼 반도체 패키지의 사이즈를 감소시킬 수 있다.
- [0033] 또한, 본 발명에 따른 플립칩 반도체 패키지는 인쇄회로기판의 면적을 감소시킴으로써 인쇄회로기판의 힘을 감소시킬 수 있다.
- [0034] 또한, 적층되는 반도체 칩의 크기가 다른 경우 크기가 상대적으로 작은 칩을 캐비티 내에 삽입하고 그 위에 상대적으로 큰 칩을 적층하여 위쪽에 배치되는 칩의 가장자리가 인쇄회로기판의 상면에 걸치도록 함으로써 적층에 의해 칩 실장영역에 국부적인 응력이 유발되는 것을 방지할 수 있다.
- [0035] 전술한 구성을 갖는 본 발명의 플립칩 반도체 패키지 제조방법에 대해 설명하면 다음과 같다.
- [0036] 도 3a 내지 도 3e는 본 발명의 일 실시예에 따른 플립칩 반도체 패키지의 제조과정을 설명하기 위한 공정단면도이다.
- [0037] 먼저, 도 3a에 도시된 바와 같이 인쇄회로기판(100)의 임의의 절연층(미도시)에 캐비티(101)를 형성한다. 여기서, 캐비티(101)는 제1 반도체 칩(110)이 삽입될 위치에, 완전히 수용되도록 가공되며, 레이저 커팅, 펀칭, 라우팅 등의 기술을 적용하여 형성될 수 있다.

[0038] 다음으로, 도 3b에 도시된 바와 같이 제1 반도체 칩(110)의 일면 즉, 도전성 범프(111)가 형성되지 않은 면에 양면테이프(50)를 부착한 다음 제1 반도체 칩(110)을 캐비티(101) 내에 고정시킨다. 여기서, 양면테이프(50)는 제1 반도체 칩(110)이 캐비티(101) 내에 고정되도록 하기 위한 것으로 절연성(비전도성) 재질로 이루어진다.

[0039] 다음으로, 도 3c에 도시된 바와 같이 제1 반도체 칩(110) 위에 인터포저(130)를 배치한다. 여기서, 인터포저(130)는 비전도성 소재로 된 베이스 기판(133)과, 베이스 기판(133)의 하면 및 상면에 각각 형성된 제1 및 제2 회로패턴(131, 132)을 포함하며, 제1 회로패턴(131)은 제1 반도체 칩(110)의 도전성 범프(111)와 접촉되고(전기적으로 연결되고), 제2 회로패턴(132)은 제2 반도체 칩의 도전성 범프와 접속된다. 이와 같이 인터포저(130)를 제1 반도체 칩(110)과 제2 반도체 칩 사이에 개재함으로써 적층되는 칩(120, 130) 사이의 상하 간격을 유지하도록 하고, 제2 반도체 칩의 도전성 범프와 접속되는 제2 회로패턴(132)이 인쇄회로기판(100) 상면에 형성된 회로패턴(미도시)과 동일 평면(레베)상에 위치하도록 한다.

[0040] 다음으로, 도 3d에 도시된 바와 같이 인터포저(130) 위에 제2 반도체 칩(120)을 배치하며, 제2 반도체 칩(120)의 도전성 범프(121)가 인터포저(130)의 제2 회로패턴(132) 및 인쇄회로기판(100) 상면에 형성된 회로패턴(미도시)과 플립칩 본딩되도록 한다.

[0041] 다음으로, 도 3e에 도시된 바와 같이 반도체 칩(110, 120) 전체를 덮도록 MUF용 봉지재로 몰딩한다.

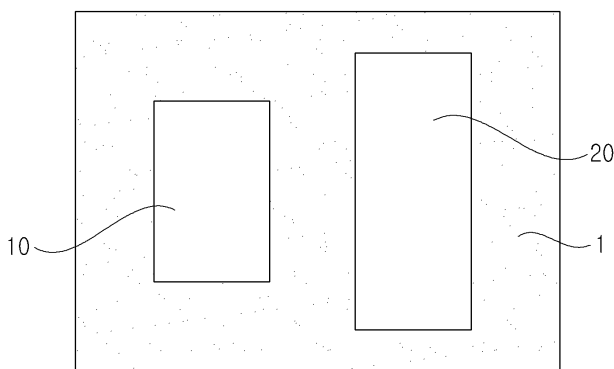
[0042] 한편, 본 발명의 상세한 설명 및 첨부도면에서는 구체적인 실시예에 관해 설명하였으나, 본 발명은 개시된 실시예에 한정되지 않고 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다. 따라서, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들을 포함하는 것으로 해석되어야 할 것이다.

부호의 설명

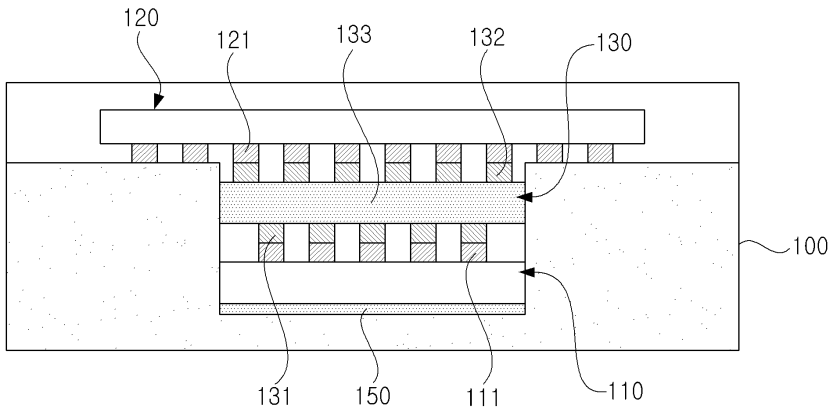
- | | | |
|--------|-------------------|------------|
| [0043] | 100 : 인쇄회로기판(PCB) | 101 : 캐비티 |
| | 110, 120 : 반도체 칩 | 130 : 인터포저 |
| | 140 : 몰딩부 | 150 : 접착층 |

도면

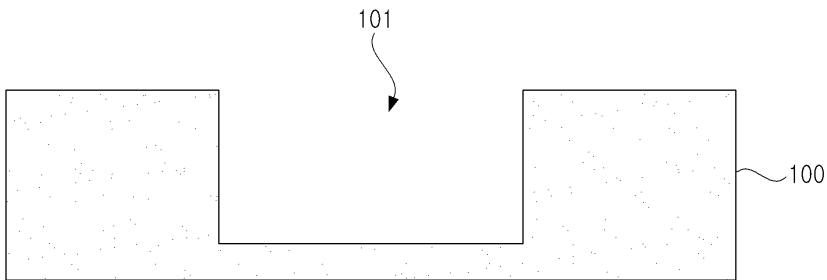
도면1



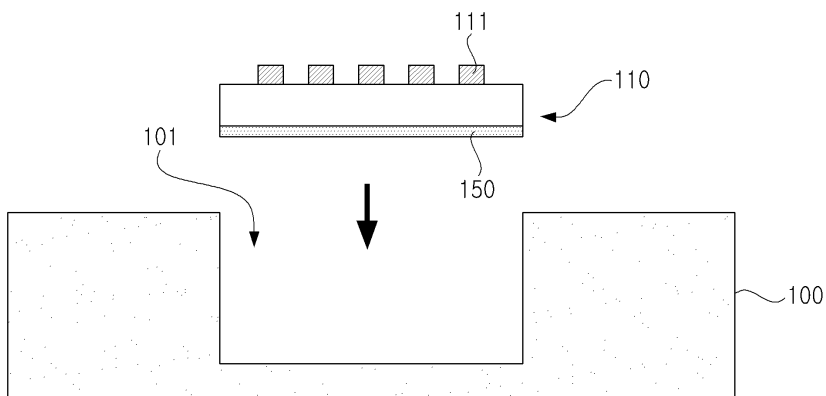
도면2



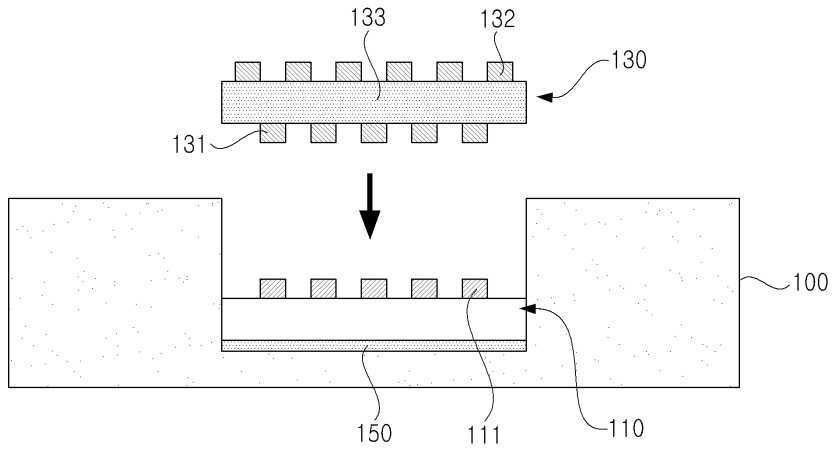
도면3a



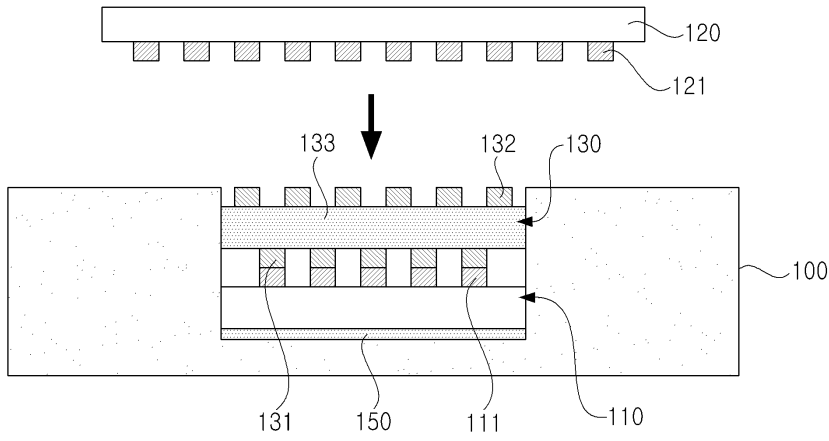
도면3b



도면3c



도면3d



도면3e

