

413949

89年9月4日

修正本

修正本

89年9月4日 請件日期 補正 5.26

案號：88108643

類別：

補正

29/186, G02F/136

(以上各欄由本局填註)

公告本

發明專利說明書

供液晶顯示器用之薄膜電晶體陣列面板及其製造方法

413949

一、發明名稱

中文

英文

THIN FILM TRANSISTOR ARRAY PANELS FOR LIQUID CRYSTAL DISPLAYS AND METHODS OF MANUFACTURING THE SAME

二、發明人

姓名
(中文)1. 朴雲用
2. 宋俊杲姓名
(英文)1. WOON-YONG PARK
2. JUN-HO SONG

國籍

1. 南韓 2. 南韓

住、居所

1. 大韓民國京畿道水原市八達區梅灘1洞住公5團地APT. 521-1107
2. 大韓民國京畿道水原市八達區牛滿2洞鮮京APT. 103-505

三、申請人

姓名
(名稱)
(中文)

1. 韓商三星電子股份有限公司

姓名
(名稱)
(英文)

1. SAMSUNG ELECTRONICS CO., LTD.

國籍

1. 南韓

住、居所
(事務所)

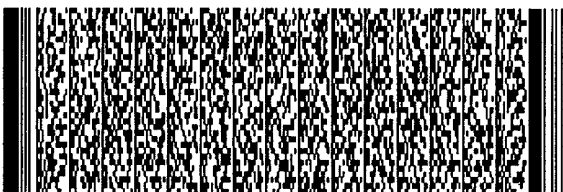
1. 大韓民國京畿道水原市八達區梅灘洞416番地

代表人
姓名
(中文)

1. 尹鍾龍

代表人
姓名
(英文)

1. JONG-YONG YUN



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
南韓 KR	1998/12/12	98-54583	無
南韓 KR	1998/12/28	98-63913	無

有關微生物已寄存於

寄存日期

寄存號碼

無



本案已向

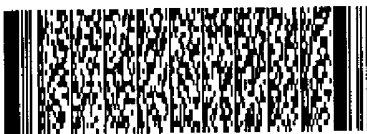
國(地區)申請專利	申請日期	案號	主張優先權
南韓 KR	1998/12/12	98-54583	無
南韓 KR	1998/12/28	98-63913	無

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

(a)發明領域

本發明係關於一種用於一液晶顯示器 (LCD) 之薄膜電晶體 (TFT) 面板及其製造方法。

(b)相關技藝說明

一 LCD (液晶顯示器) 為最流行之 FPDs (平面顯示器) 其中一種，LCD 具有二面板而面板具有二電極，用以產生電場及介置於其間之一液晶層，入射光線之透光率則由施加於液晶層之電場強度所控制。

產生電場之電極係設於面板之二側或任一側上，且其中一面板具有至少一種電極，其具有切換元件如薄膜電晶體。

大體上，一 LCD 之 TFT (薄膜電晶體) 陣列面板包括複數像素極及 TFTs，以控制供給至像素極之訊號。TFT 陣列面板係藉由光石版印刷法使用複數光罩製成，需要五或六個光石版印刷步驟才能完成 TFT 陣列面板，由於光石版印刷過程成本高且耗時，因此有必要減少光石版印刷步驟次數。

利用四次光石版印刷步驟以製造一 TFT 陣列面板之一習知方法可見於「以新光石版印刷法利用 4 次光罩製程之 TFT」(即 Chang Wook Han 多人在 18 屆 98 年國際顯示器研討會亞洲展會議記錄中第 1109-1112 頁，日期為 1998 年 9 月 28 日至 10 月 1 日)，惟，Han 等人並未揭述有關於墊塊者。

另一方面，一貯存式電容器用於維持施加於一像素之電壓，其通常提供於 TFT 陣列面板中，且貯存式電容器包括



五、發明說明(1)

發明背景

(a)發明領域

本發明係關於一種用於一液晶顯示器(LCD)之薄膜電晶體(TFT)面板及其製造方法。

(b)相關技藝說明

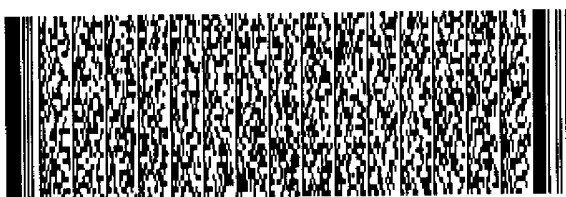
一 LCD(液晶顯示器)為最流行之 FPDs(平面顯示器)其中一種，LCD具有二面板而面板具有二電極，用以產生電場及介置於其間之一液晶層，入射光線之透光率則由施加於液晶層之電場強度所控制。

產生電場之電極係設於面板之二側或任一側上，且其中一面板具有至少一種電極，其具有切換元件如薄膜電晶體。

大體上，一 LCD之 TFT(薄膜電晶體)陣列面板包括複數像素極及 TFTs，以控制供給至像素極之訊號。TFT陣列面板係藉由光石版印刷法使用複數光罩製成，需要五或六個光石版印刷步驟才能完成 TFT陣列面板，由於光石版印刷過程成本高且耗時，因此有必要減少光石版印刷步驟次數。

利用四次光石版印刷步驟以製造一 TFT陣列面板之一習知方法可見於「以新光石版印刷法利用 4次光罩製程之 TFT」(即 Chang Wook Han 多人在 18屆 98年國際顯示器研討會亞洲展會議記錄中第 1109-1112頁，日期為 1998年 9月 28日至 10月 1日)，惟，Han 等人並未揭述有關於墊塊者。

另一方面，一貯存式電容器用於維持施加於一像素之電壓，其通常提供於 TFT陣列面板中，且貯存式電容器包括



五、發明說明(2)

一貯存電極、一部分像素極以及一介置於其間之鈍化層。貯存電極係由相同於一閘線路者之層所製成，且部分之像素極係形成於鈍化層上。貯存電極係覆上一閘絕緣層、一半導體層及一鈍化層，且大部分之像素極直接形成於基材上，如 Han 等人所述，因此像素極應建立閘絕緣層，半導體層及鈍化層等三層，以利疊覆於貯存電極，但是可能造成接近高階處之像素極斷接。

Han 等人之問題在於其難以在一廣大區域中製成，即使可能，其亦難以在柵條區域下方有均勻之蝕刻深度。

第 4,231,811、5,618,643、4,415,262 號美國專利及第 61-181130 號日本專利申請等亦揭示相似於 Han 等人之方法，而其問題亦如 Han 等人所面對者。

發明概述

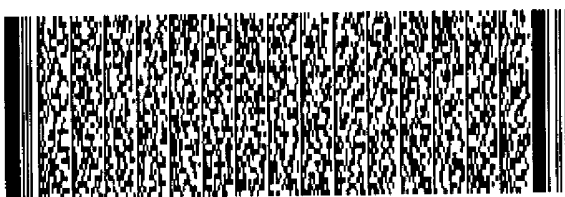
因此，本發明之一目的在建議新穎之薄膜電晶體製法。

本發明之另一目的在簡化一用於 LCD 之 TFT 陣列面板製造方法，藉此減少製造成本及增加產量。

本發明之另一目的在防止一用於 LCD 之 TFT 陣列面板漏電。

本發明之上述及其他目的之達成係藉由將一具有接觸孔之閘絕緣層圖型製出圖型，接觸孔沿著一半導體層圖型及一歐姆接觸層圖型以曝現一閘墊塊，蝕除一未覆以雙層式結構、像素極及資料線路等導體圖型之歐姆接觸層，及蝕除未覆以一鈍化層之導體圖型頂導體層。

在本發明之一製造方法中，一閘線路利用一第一光罩以



五、發明說明(2)

一貯存電極、一部分像素極以及一介置於其間之鈍化層。貯存電極係由相同於一閘線路者之層所製成，且部分之像素極係形成於鈍化層上。貯存電極係覆上一閘絕緣層、一半導體層及一鈍化層，且大部分之像素極直接形成於基材上，如 Han 等人所述，因此像素極應建立閘絕緣層，半導體層及鈍化層等三層，以利疊覆於貯存電極，但是可能造成接近高階處之像素極斷接。

Han 等人之問題在於其難以在一廣大區域中製成，即使可能，其亦難以在柵條區域下方有均勻之蝕刻深度。

第 4,231,811、5,618,643、4,415,262 號美國專利及第 61-181130 號日本專利申請等亦揭示相似於 Han 等人之方法，而其問題亦如 Han 等人所面對者。

發明概述

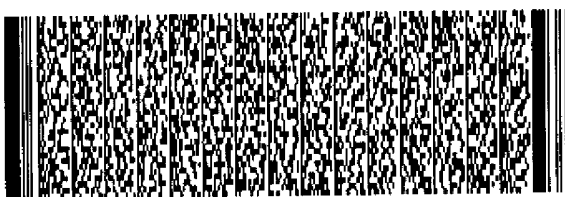
因此，本發明之一目的在建議新穎之薄膜電晶體製法。

本發明之另一目的在簡化一用於 LCD 之 TFT 陣列面板製造方法，藉此減少製造成本及增加產量。

本發明之另一目的在防止一用於 LCD 之 TFT 陣列面板漏電。

本發明之上述及其他目的之達成係藉由將一具有接觸孔之閘絕緣層圖型製出圖型，接觸孔沿著一半導體層圖型及一歐姆接觸層圖型以曝現一閘墊塊，蝕除一未覆以雙層式結構、像素極及資料線路等導體圖型之歐姆接觸層，及蝕除未覆以一鈍化層之導體圖型頂導體層。

在本發明之一製造方法中，一閘線路利用一第一光罩以



五、發明說明(3)

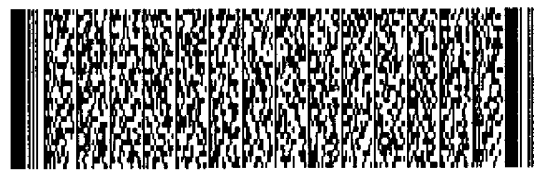
形成於一絕緣基材上，包括一開絕緣層圖型、一半導體層圖型及一歐姆接觸層圖型之三層物係形成於同一者上且利用一第二光罩以覆蓋開線路。一導體圖型利用一第三光罩以形成，其具有一雙層式結構且由一底導體層與一頂導體層製成，及蝕除未覆以導體圖型之歐姆接觸層圖型。一鈍化層利用一第四光罩而形成，且蝕除未覆以鈍化層之導體圖型頂導體層。

在此，歐姆接觸層圖型可由一矽化物、微結晶矽或摻雜之非晶矽製成。

開絕緣層圖型、半導體層圖型及歐姆接觸層圖型可具有互為相同之形狀。

在一方法中，一開絕緣層及一半導體層係依序積置，及積置一可矽化之金屬層於半導體層上以形成一矽化物之歐姆接觸層且去之。隨後歐姆接觸層、半導體層及開絕緣層利用第三光罩製出圖型，以形成歐姆接觸層圖型、半導體層圖型及開絕緣層圖型。

在另一方法中，一開絕緣層及一半導體層依序積置，且利用第三光罩將半導體層及開絕緣層製出圖型，以形成半導體層圖型及開絕緣層圖型，半導體層圖型上之可矽化金屬層積置以形成矽化物製成之歐姆接觸層圖型，並去除此處之開線路可由底層及頂層構成，此時底層可由鋁或鋁合金製成，而頂層由鉬或鉬合金製成，及金屬層可由鉻製成。再者，底層可由鉻製成，頂層由鋁或鋁合金製成，而金屬層由鉬或鉬合金製成。



五、發明說明 (3)

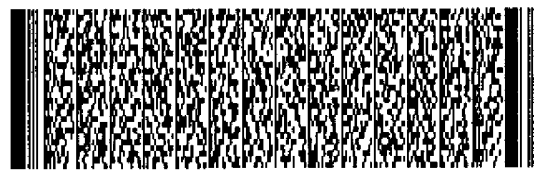
形成於一絕緣基材上，包括一開絕緣層圖型、一半導體層圖型及一歐姆接觸層圖型之三層物係形成於同一者上且利用一第二光罩以覆蓋開線路。一導體圖型利用一第三光罩以形成，其具有一雙層式結構且由一底導體層與一頂導體層製成，及蝕除未覆以導體圖型之歐姆接觸層圖型。一鈍化層利用一第四光罩而形成，且蝕除未覆以鈍化層之導體圖型頂導體層。

在此，歐姆接觸層圖型可由一矽化物、微結晶矽或摻雜之非晶矽製成。

開絕緣層圖型、半導體層圖型及歐姆接觸層圖型可具有互為相同之形狀。

在一方法中，一開絕緣層及一半導體層係依序積置，及積置一可矽化之金屬層於半導體層上以形成一矽化物之歐姆接觸層且去之。隨後歐姆接觸層、半導體層及開絕緣層利用第三光罩製出圖型，以形成歐姆接觸層圖型、半導體層圖型及開絕緣層圖型。

在另一方法中，一開絕緣層及一半導體層依序積置，且利用第三光罩將半導體層及開絕緣層製出圖型，以形成半導體層圖型及開絕緣層圖型，半導體層圖型上之可矽化金屬層積置以形成矽化物製成之歐姆接觸層圖型，並去除此處之開線路可由底層及頂層構成，此時底層可由鋁或鋁合金製成，而頂層由鉬或鉬合金製成，及金屬層可由鉻製成。再者，底層可由鉻製成，頂層由鋁或鋁合金製成，而金屬層由鉬或鉬合金製成。



五、發明說明 (4)

在另一方法中，一開絕緣層及一半導體層係依序積置，且一摻雜之非晶矽積置於半導體層上及微結晶以形成一歐姆接觸層，隨後歐姆接觸層、半導體層及開絕緣層利用第型三光罩製出圖型，以形成歐姆接觸層圖型、半導體層圖型及開絕緣層圖型。

再者，開絕緣層圖型、半導體層圖型及歐姆接觸層圖型在形成此三層之步驟中可具有互不相同之形狀。

在此方法中，一開絕緣層、一半導體層及一歐姆接觸層依序積置，然後在歐姆接觸層上之一光阻層係塗覆及顯影，以形成一光阻層圖型且至少具有一第一部分、一較第一部分厚之第二部分及一較第二部分厚之第三部分。其次，將第一部分下方之歐姆接觸層、半導體層及開絕緣層製出圖型，以形成歐姆接觸層圖型及半導體層圖型。

在此，光阻層利用第二光罩以曝光及顯影，第二光罩包括至少一第一區、一第二區及一第三區，分別具有不同透光率且對應於第一部分、第二部分及第三部分。而大於三區者。

第二光罩包括一光罩基材及形成於光罩基材上之至少一光罩層，且第二、三區之間之透光率差異係藉由光罩層之透光率或調整光罩層高度而控制。此外，第二光罩之透光率差異係藉由形成一長縫或格柵圖型而控制，格



五、發明說明 (4)

在另一方法中，一開絕緣層及一半導體層係依序積置，且一摻雜之非晶矽積置於半導體層上及微結晶以形成一歐姆接觸層，隨後歐姆接觸層、半導體層及開絕緣層利用第型三光罩製出圖型，以形成歐姆接觸層圖型、半導體層圖型及開絕緣層圖型。

再者，開絕緣層圖型、半導體層圖型及歐姆接觸層圖型在形成此三層之步驟中可具有互不相同之形狀。

在此方法中，一開絕緣層、一半導體層及一歐姆接觸層依序積置，然後在歐姆接觸層上之一光阻層係塗覆及顯影，以形成一光阻層圖型且至少具有一第一部分、一較第一部分厚之第二部分及一較第二部分厚之第三部分。其次，將第一部分下方之歐姆接觸層、半導體層及開絕緣層製出圖型，以形成歐姆接觸層圖型及半導體層圖型。

在此，光阻層利用第二光罩以曝光及顯影，第二光罩包括至少一第一區、一第二區及一第三區，分別具有不同透光率且對應於第一部分、第二部分及第三部分。而大於三區者。

第二光罩包括一光罩基材及形成於光罩基材上之至少一光罩層，且第二、三區之間之透光率差異係藉由第二光罩層之透光率或調整光罩層高度而控制。此外，第二光罩層之透光率差異係藉由形成一長縫或格柵圖型而控制，格



五、發明說明(5)

柵則小於曝光步驟中所用光線之解析度。光罩可包括至少二片基材，且具有至少二區。

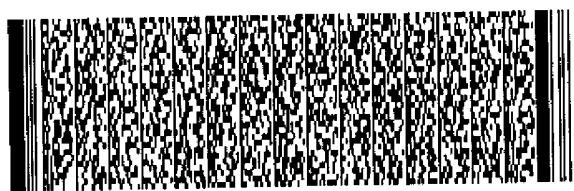
底導體層有必要以銻錫氧化物製成。

在此，開線路包括一開線、一做為開線支線之開極及一連接於開線且自一外部電路傳送一掃描訊號至開線之開墊塊。導體圖型包括一資料線路及一像素極，且三層及鈍化層具有一接觸孔及一第一開孔，分別將開墊塊接電於外部電路。

再者，導體圖型進一步包含一冗餘開墊塊，係通過接觸孔以連接至開墊塊，且冗餘開墊塊之底導體層透過第一開孔而曝現。

在此，歐姆接觸層圖型具有二分隔部分，及資料線路包括一相交於開線之資料線、一連接於資料線且形成於歐姆接觸層圖型一部分上之源極、一相關於開極而相對立於源極與分離於源極而形成於歐姆接觸層圖型其他部分上之汲極，及一連接於資料線且自一外部電路傳送一影像訊號至資料線之資料墊塊。像素極連接於汲極，且鈍化層具有一第二開孔以曝現像素極之底導體層圖型及一第三開孔以曝現資料墊塊之底導體層圖型。鈍化層可具有一第四開孔，以為曝現相鄰資料線之間開線上之開絕緣層圖型部分，較佳為去除未覆以鈍化層之半導體層圖型。

在本發明之另一製造方法中，一包括一開線、一開極及開墊塊之開線路藉由光石版印刷過程使用一第一光罩而形成於一絕緣基材上。其次，開線路上之一開絕緣層、一半



五、發明說明 (5)

柵則小於曝光步驟中所用光線之解析度。光罩可包括至少二片基材，且具有至少二區。

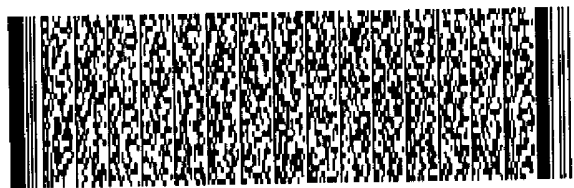
底導體層有必要以銻錫氧化物製成。

在此，開線路包括一開線、一做為開線支線之開極及一連接於開線且自一外部電路傳送一掃描訊號至開線之開墊塊。導體圖型包括一資料線路及一像素極，且三層及鈍化層具有一接觸孔及一第一開孔，分別將開墊塊接電於外部電路。

再者，導體圖型進一步包含一冗餘開墊塊，係通過接觸孔以連接至開墊塊，且冗餘開墊塊之底導體層透過第一開孔而曝現。

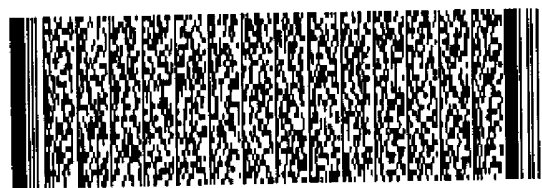
在此，歐姆接觸層圖型具有二分隔部分，及資料線路包括一相交於開線之資料線、一連接於資料線且形成於歐姆接觸層圖型一部分上之源極、一相關於開極而相對立於源極與分離於源極而形成於歐姆接觸層圖型其他部分上之汲極，及一連接於資料線且自一外部電路傳送一影像訊號至資料線之資料墊塊。像素極連接於汲極，且鈍化層具有一第二開孔以曝現像素極之底導體層圖型及一第三開孔以曝現資料墊塊之底導體層圖型。鈍化層可具有一第四開孔，以為曝現相鄰資料線之間開線上之開絕緣層圖型部分，較佳為去除未覆以鈍化層之半導體層圖型。

在本發明之另一製造方法中，一包括一開線、一開極及開墊塊之開線路藉由光石版印刷過程使用一第一光罩而形成於一絕緣基材上。其次，開線路上之一開絕緣層、一半



五、發明說明 (6)

導體層及一歐姆接觸層依序積置，且沿著開絕緣層之半導
 導體層及歐姆接觸層係藉由光石版印刷過程使用一第二光罩
 而製出圖型，以形成一具有接觸孔可曝現開墊塊之開絕緣
 層圖型、一半導體層圖型及一歐姆接觸層圖型。形成一雙
 層式結構之導體層，係由一底導體層及一頂導體層構成，
 其藉由光石版印刷過程使用一第三光罩以一資材墊塊、一
 路，包括一資材線、一源極、一汲極及一資材墊塊之連
 接於汲極之像素極、及一經過接觸孔以連接於開墊塊之
 餘開墊塊。其次，蝕除曝現之歐姆接觸層圖型，且一鈍化
 層積置於基材上，隨後鈍化層藉由光石版印刷過程使用一第
 四光罩而製出圖型，以形成一鈍化層圖型，其具有一第
 一至三開孔以分別曝現冗餘開墊塊、資材墊塊及像素極，
 及去除未覆以鈍化層之頂導體層。且歐姆接觸層由矽化
 在此最好第三開孔大於像素極，且歐姆接觸層由矽化
 物、微結晶矽或非晶矽製成。半導體層圖型及歐姆接觸層圖型
 再者，開絕緣層圖型、半導體層圖型及歐姆接觸層圖型
 在形成三層之步驟中可具有互為不同之形狀。開線、一開
 在本發明之另一製造方法中，形成一絕緣基材上，及形成一開絕緣層
 極及開墊塊之開線路。形成一半導體層圖型於絕緣層圖型上，
 以覆蓋開線路。形成一歐姆接觸層圖型於半導體層圖型上，
 形成一資材線、一源極、一汲極及一資材墊塊之資材線路。
 成一鈍化層及形成一連接於汲極之像素極，此時，開絕緣
 層圖型利用一光阻圖型做為一蝕刻光罩而製出圖型，



五、發明說明 (6)

導體層及一歐姆接觸層依序積置，且沿著開絕緣層之半導
 導體層及歐姆接觸層係藉由光石版印刷過程使用一第二光罩
 而製出圖型，以形成一具有接觸孔可曝現開墊塊之開絕緣
 層圖型、一半導體層圖型及一歐姆接觸層圖型。形成一雙
 層式結構之導體層，係由一底導體層及一頂導體層構成，
 其藉由光石版印刷過程使用一第三光罩以一資材墊塊、一
 路，包括一資材線、一源極、一汲極及一連接於開墊塊之
 接於汲極之像素極、及一經過接觸孔以連接圖型，且一鈍化
 餘開墊塊。其次，蝕除曝現之歐姆接觸層藉由光石版印刷過
 層積置於基材上，隨後鈍化層藉由光石版印刷過程使用一第
 第一至三開孔以分別曝現冗餘開墊塊、資材墊塊及像素極，
 及去除未覆以鈍化層之頂導體層。且歐姆接觸層由矽化
 在此最好第三開孔大於像素極，且歐姆接觸層由矽化
 物、微結晶矽或非晶矽製成。半導體層圖型及歐姆接觸層圖
 再者，開絕緣層圖型、半導體層圖型及歐姆接觸層圖型
 在形成三層之步驟中可具有互為不同之形狀。包括一開線、一
 在本發明之另一製造方法中，形成一絕緣基材上，及形成一開
 極及開墊塊之開線路。形成一半導體層圖型於絕緣層圖型上，
 以覆蓋開線路。形成一歐姆接觸層圖型於半導體層圖型上，及
 形成一資材線、一源極、一汲極及一資材墊塊之資材線路。形
 成一鈍化層及形成一連接於汲極之像素極，此時，開絕緣
 層圖型利用一光阻圖型做為一蝕刻光罩而製出圖型，



五、發明說明 (7)

光罩依據沿著半導體層圖型及歐姆接觸層圖型之部分而具有不同厚度。

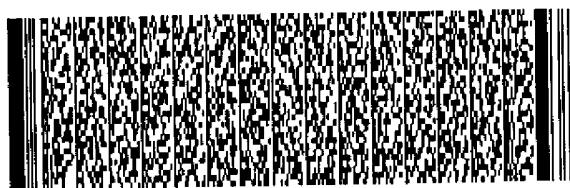
在此，光阻圖型具有一第一部分、一較第一部分厚之第二部分及一較第二部分厚之第三部分，且光阻圖型利用光石版印刷過程以一光罩形成，光罩具有第一至第三區，分別對應於第一至第三部分且具有不同透光率。

光阻圖型較佳為一正光阻層，且第三區之透光率小於第一區者及大於第二區者。

光罩包括一光罩基材及至少一形成於光罩基材上之光罩層，且第二、三區之間之透光率差異係藉由形成不同透光率之光罩層，或藉由調整光罩層高度而控制。

再者，光罩之透光率差異係由形成一長縫或一格柵圖型所控制，格柵小於曝光步驟中所用光線之解析度。

在本發明之另一製造方法中，形成一包括一開線、一開極及開墊塊之開線路以及一包括一共同訊號線及一共同電極之共同線路於一絕緣基材上，依序積置一開絕緣層，以一半導體層及一歐姆接觸層於開線與共同線路上，且塗覆一光阻層於歐姆接觸層上。隨後光阻層係經曝光及顯影，以形成一依部分而有不同厚度之光阻圖型，且半導體層及歐姆接觸層利用光阻圖型以製出圖型，以形成一半導體層及歐姆接觸層圖型，及一曝現開墊塊之接觸孔。其次，一導體層係沿著第一歐姆接觸層圖型及一歐姆接觸層圖型積置及製出圖型，以形成一資料線路且包括一資料線、一源極、一資料墊塊及一像素極，及一位於



五、發明說明 (7)

光罩依據沿著半導體層圖型及歐姆接觸層圖型之部分而具有不同厚度。

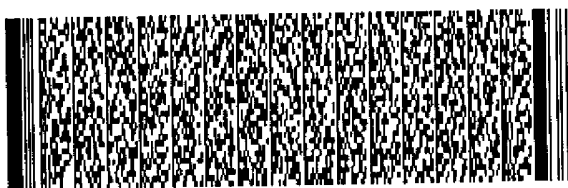
在此，光阻圖型具有一第一部分、一較第一部分厚之第二部分及一較第二部分厚之第三部分，且光阻圖型利用光石版印刷過程以一光罩形成，光罩具有第一至第三區，分別對應於第一至第三部分且具有不同透光率。

光阻圖型較佳為一正光阻層，且第三區之透光率小於第一區者及大於第二區者。

光罩包括一光罩基材及至少一形成於光罩基材上之光罩層，且第二、三區之間之透光率差異係藉由形成不同透光率之光罩層，或藉由調整光罩層高度而控制。

再者，光罩之透光率差異係由形成一長縫或一格柵圖型所控制，格柵小於曝光步驟中所用光線之解析度。

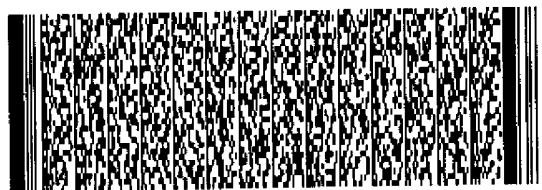
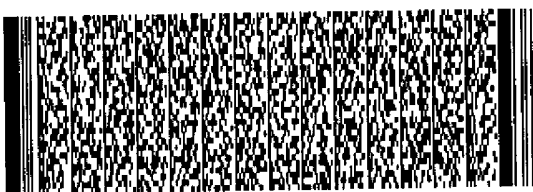
在本發明之另一製造方法中，形成一包括一開線、一開極及開墊塊之開線路以及一包括一共同訊號線及一共同電極之共同線路於一絕緣基材上，依序積置一開絕緣層，以一半導體層及一歐姆接觸層於開線與共同線路上，且塗覆一光阻層於歐姆接觸層上。隨後光阻層係經曝光及顯影，以形成一依部分而有不同厚度之光阻圖型，且半導體層及歐姆接觸層利用光阻圖型以製出圖型，以形成一半導體層及歐姆接觸層圖型，及一曝現開墊塊之接觸孔。其次，一導體層係沿著第一歐姆接觸層圖型及一第一歐姆接觸層圖型積置及製出圖型，以形成一資料線路且包括一資料線、一源極、一資料墊塊及一像素極，及一位於



五、發明說明(8)

下方之第二歐姆接觸層圖型。一鈍化層積置及製出圖型，以曝現開墊塊及資料墊塊。

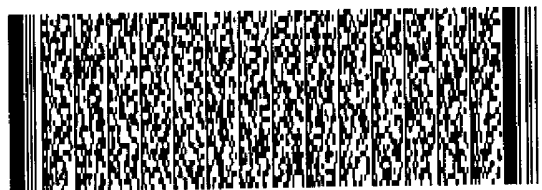
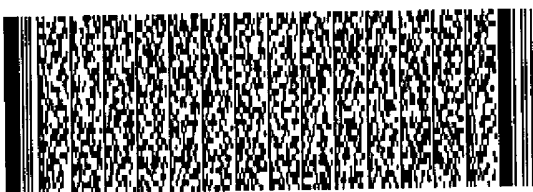
本發明用於一液晶顯示器之薄膜電晶體陣列面板中，一開線路形成於絕緣基材上，且包括一開線、一連接於開線之開極及一連接於開線末端之開墊塊，及形成一開絕緣層以覆蓋開線路及具有一接觸孔可曝現開墊塊。一半導體層形成於開絕緣層上。及形成一具有雙層式結構之資料線，係由底導體層及頂導體層製成，及包括一相交於開線之資料線、一連接於資料線之極、一相關於開極且相對立於源極與分離於源極之汲極、及一連接於資料線且主要通過接觸孔而覆蓋開墊塊，且主要由底導體層製成，及形成一冗餘開墊塊，以形成一形至絕緣層之第四開孔，以曝現像素極、相鄰資料線之僅有頂導體層與底導體層之邊界最好重合於開絕緣層與鈍化層重疊之處之邊界，且相鄰資料線下方之半導體層圖型呈分離。圖型與底導體層最好由錫氧化物製成，及一歐姆接觸層圖型與頂導體層之微結晶摻雜之非晶矽製成，以減少半導體層與資料線之間之歐姆接觸層之邊界重合於半導體層與資料線重疊之處之邊界。



五、發明說明(8)

下方之第二歐姆接觸層圖型。一鈍化層積置及製出圖型，以曝現開墊塊及資料墊塊。

本發明用於一液晶顯示器之薄膜電晶體陣列面板中，一開線路形成於絕緣基材上，且包括一開線、一連接於開線之開極及一連接於開線末端之開墊塊，及形成一開絕緣層以覆蓋開線路及具有一接觸孔可曝現開墊塊。一半導體層形成於開絕緣層上。及形成一具有雙層式結構之資料線，係由底導體層及頂導體層製成，及包括一相交於開線之資料線、一連接於資料線之極、一相關於開極且相對立於源極與分離於源極之汲極、及一連接於資料線且主要通過接觸孔而覆蓋開墊塊，且主要由底導體層製成，及形成一冗餘開墊塊，及形成一形至絕緣層之第四開孔，以曝現像素極、相鄰資料線之僅有頂導體層與底導體層之邊界最好重合於開絕緣層與鈍化層重疊之處之邊界，且相鄰資料線下方之半導體層圖型呈分離。圖型與底導體層最好由錫氧化物製成，及一歐姆接觸層圖型與頂導體層之間之接觸電阻，且其形成於半導體層與資料線重疊之處之邊界。



五、發明說明 (9)

圖式簡單說明

圖 1係一基材經區隔以製造本發明實例用於一 LCD之 TFT陣列面板平面圖。

圖 2係本發明實例用於一 LCD之 TFT陣列面板配置圖。

圖 3係本發明第一實例用於一 LCD之 TFT陣列面板配置圖，且為主要包括圖 2所示像素與墊塊之一部分放大圖。

圖 4、5分別係沿圖 1之 IV-IV'及 V-V'線所取之截面圖。

圖 6A係本發明第一實例第一製造步驟中之 TFT陣列面板配置圖。

圖 6B、6C分別係沿圖 6A之 VIB-VIB'及 VIC-VIC'線所取之截面圖。

圖 7A係圖 6A至 6C後續製造步驟中之 TFT陣列面板配置圖。

圖 7B、7C係分別沿圖 7A之 VIIB-VIIB'及 VIIC-VIIC'線所取之截面圖。

圖 8A係圖 7A至 7C後續製造步驟中之 TFT陣列面板配置圖。

圖 8B、8C係分別沿圖 8A之 VIIIIB-VIIIIB'及 VIIIIC-VIIIIC'線所取之截面圖。

圖 9係本發明第二實例用於一 LCD之 TFT陣列面板配置圖。

圖 10係本發明第三實例用於一 LCD之 TFT陣列面板配置圖。

圖 11、12係分別沿圖 10之 XI-XI'及 XII-XII'線所取之截



五、發明說明 (9)

圖式簡單說明

圖 1係一基材經區隔以製造本發明實例用於一 LCD之 TFT陣列面板平面圖。

圖 2係本發明實例用於一 LCD之 TFT陣列面板配置圖。

圖 3係本發明第一實例用於一 LCD之 TFT陣列面板配置圖，且為主要包括圖 2所示像素與墊塊之一部分放大圖。

圖 4、5分別係沿圖 1之 IV-IV'及 V-V'線所取之截面圖。

圖 6A係本發明第一實例第一製造步驟中之 TFT陣列面板配置圖。

圖 6B、6C分別係沿圖 6A之 VIB-VIB'及 VIC-VIC'線所取之截面圖。

圖 7A係圖 6A至 6C後續製造步驟中之 TFT陣列面板配置圖。

圖 7B、7C係分別沿圖 7A之 VIIB-VIIB'及 VIIC-VIIC'線所取之截面圖。

圖 8A係圖 7A至 7C後續製造步驟中之 TFT陣列面板配置圖。

圖 8B、8C係分別沿圖 8A之 VIIIIB-VIIIIB'及 VIIIIC-VIIIIC'線所取之截面圖。

圖 9係本發明第二實例用於一 LCD之 TFT陣列面板配置圖。

圖 10係本發明第三實例用於一 LCD之 TFT陣列面板配置圖。

圖 11、12係分別沿圖 10之 XI-XI'及 XII-XII'線所取之截



五、發明說明(10)

面圖。

圖 13A係本發明第三實例第一製造步驟中之 TFT陣列面板配置圖。

圖 13B、13C係分別沿圖 13A之 XIIIB-XIIIB'及 XIIIC-XIIIC'線所取之截面圖。

圖 14A係圖 13A至 13C後續製造步驟中之 TFT陣列面板配置圖。

圖 14B、14C係分別沿圖 14A之 XIVB-XIVB'及 XIVC-XIVC'線所取之截面圖。

圖 15A、15B、16A、16B、17係分別為圖 14A至 14C所示製造步驟中使用之光罩截面圖。

圖 18A、18B係分別沿圖 14A之 XIVB-XIVB'及 XIVC-XIVC'線所取，在圖 14B、14C後續製造步驟中之截面圖。

圖 19A係圖 18A至 18B後續製造步驟中之 TFT陣列面板配置圖。

圖 19B、19C係分別沿圖 19A之 XIXB-XIXB'及 XIXC-XIXC'線所取之截面圖。

圖 20係本發明第四實例用於一 LCD之 TFT陣列面板配置圖。

圖 21、22係分別沿圖 20之 XXI-XXI'及 XXII-XXII'線所取之截面圖。

圖 23A係本發明第四實例第一製造步驟中之 TFT陣列面板配置圖。

圖 23B、23C係分別沿圖 23A之 XXIIIB-XXIIIB'及



五、發明說明(10)

面圖。

圖 13A係本發明第三實例第一製造步驟中之 TFT陣列面板配置圖。

圖 13B、13C係分別沿圖 13A之 XIIIB-XIIIB'及 XIIIC-XIIIC'線所取之截面圖。

圖 14A係圖 13A至 13C後續製造步驟中之 TFT陣列面板配置圖。

圖 14B、14C係分別沿圖 14A之 XIVB-XIVB'及 XIVC-XIVC'線所取之截面圖。

圖 15A、15B、16A、16B、17係分別為圖 14A至 14C所示製造步驟中使用之光罩截面圖。

圖 18A、18B係分別沿圖 14A之 XIVB-XIVB'及 XIVC-XIVC'線所取，在圖 14B、14C後續製造步驟中之截面圖。

圖 19A係圖 18A至 18B後續製造步驟中之 TFT陣列面板配置圖。

圖 19B、19C係分別沿圖 19A之 XIXB-XIXB'及 XIXC-XIXC'線所取之截面圖。

圖 20係本發明第四實例用於一 LCD之 TFT陣列面板配置圖。

圖 21、22係分別沿圖 20之 XXI-XXI'及 XXII-XXII'線所取之截面圖。

圖 23A係本發明第四實例第一製造步驟中之 TFT陣列面板配置圖。

圖 23B、23C係分別沿圖 23A之 XXIIIB-XXIIIB'及



五、發明說明 (11)

XXIIIIC-XXIIIIC'線所取之截面圖。

圖 24A係圖 23A至 23C後續製造步驟中之 TFT陣列面板配置圖。

圖 24B、24C係分別沿圖 24A之 XXIVB-XXIVB'及 XXIVC-XXIVC'線所取之截面圖。

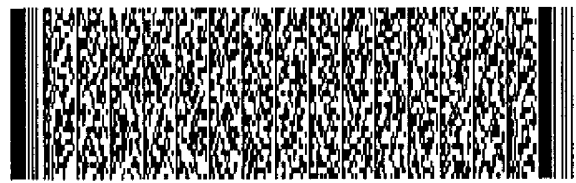
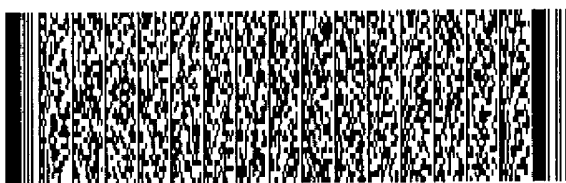
圖 25A係圖 24A至 24C後續製造步驟中之 TFT陣列面板配置圖。

圖 25B、25C係分別沿圖 25A之 XXVB-XXVB'及 XXVC-XXVC'線所取之截面圖。

較佳實例詳細說明

本發明將參考相關圖式而詳細說明如下，圖中揭示本發明之較佳實例，惟，本發明可用多種不同方法實施，且不限於文內所載述之實例，諸實例反倒可用以充分而完整闡釋本發明及供習於此技著瞭解其範疇。圖式中，諸層與區域之厚度係經放大以求清晰，圖中相同編號則指相同元件，可以瞭解的是，當一元件如一層、區域或基材吾人稱之為在另一元件上時，則此可為直接在另一元件或亦可存在一介置元件；反之，當一元件稱為直接在另一元件上，則其間即無介置元件。

本發明中，一具有接觸孔以曝現閘墊塊之閘絕緣層圖型係藉由沿一半導體層圖型與一歐姆接觸層圖型蝕刻而形成，其形成一具有一資料線與一像素極之雙層式導體圖型，隨後去除未覆上雙式導體圖型之歐姆接觸層圖型部分，形成一鈍化層，然後蝕除未覆上鈍化層之雙層式導體



五、發明說明 (11)

XXIIIIC-XXIIIIC'線所取之截面圖。

圖 24A係圖 23A至 23C後續製造步驟中之 TFT陣列面板配置圖。

圖 24B、24C係分別沿圖 24A之 XXIVB-XXIVB'及 XXIVC-XXIVC'線所取之截面圖。

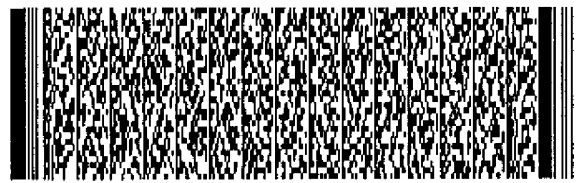
圖 25A係圖 24A至 24C後續製造步驟中之 TFT陣列面板配置圖。

圖 25B、25C係分別沿圖 25A之 XXVB-XXVB'及 XXVC-XXVC'線所取之截面圖。

較佳實例詳細說明

本發明將參考相關圖式而詳細說明如下，圖中揭示本發明之較佳實例，惟，本發明可用多種不同方法實施，且不限於文內所載述之實例，諸實例反倒可用以充分而完整闡釋本發明及供習於此技著瞭解其範疇。圖式中，諸層與區域之厚度係經放大以求清晰，圖中相同編號則指相同元件，可以瞭解的是，當一元件如一層、區域或基材吾人稱之為在另一元件上時，則此可為直接在另一元件或亦可存在一介置元件；反之，當一元件稱為直接在另一元件上，則其間即無介置元件。

本發明中，一具有接觸孔以曝現閘墊塊之閘絕緣層圖型係藉由沿一半導體層圖型與一歐姆接觸層圖型蝕刻而形成，其形成一具有一資料線與一像素極之雙層式導體圖型，隨後去除未覆上雙式導體圖型之歐姆接觸層圖型部分，形成一鈍化層，然後蝕除未覆上鈍化層之雙層式導體



五、發明說明 (12)

圖型之一頂層部分。

現在將參考圖 1至 5說明本發明實施例之一 TFT陣列面板結構。

如圖 1所示，複數面板區域形成於絕緣板 10上，如圖 1所示，四個面板區域 110、120、130、140形成於一玻璃板 10上，當面板為 TFT陣列面板時，面板區域 110、120、130、140即包括顯示區域 111、121、131、141，且分別具有複數像素與周邊區域 112、122、132、142，TFTs、線路及像素極係以矩陣方式重覆排列於顯示區域 111、121、131、141中，而待連接至外部電路與靜電放電防護電路之墊塊則提供於周邊區域 112、122、132、142中。

大體上，面板區域 110、120、130、140中之元件係利用一步進器做光石版印刷過程而成，即一種曝光設備。使用步進器時，顯示區域 111、121、131、141及周邊區域 112、122、132、142係分割成若干段，且塗覆於板 10之薄膜上之一 PR層透過一或多個光罩而一段一段地曝光。隨後令 PR層顯影，且 PR層下方之薄膜經蝕除而形成薄膜圖型，一完成之 LCD面板即藉由重覆上述製圖步驟而取得。

圖 2係圖 1所示本發明實例之一 TFT陣列面板區域之配置圖。

如圖 2所示，複數 TFTs、接電於此之複數像素極、及包括閘線 22與資料線 62之複數線路皆形成於顯示區域中，且周圍繞以一假想線 1。分別接於閘線 22與資料線 62、一閘短路匯流排 4與一資料短路匯流排 5之閘墊塊 24與資料墊塊



五、發明說明 (12)

圖型之一頂層部分。

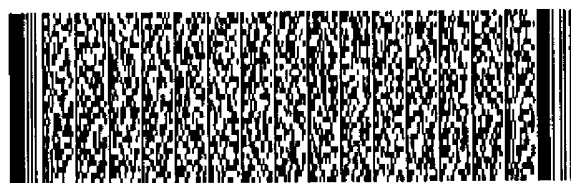
現在將參考圖 1至 5說明本發明實施例之一 TFT陣列面板結構。

如圖 1所示，複數面板區域形成於絕緣板 10上，如圖 1所示，四個面板區域 110、120、130、140形成於一玻璃板 10上，當面板為 TFT陣列面板時，面板區域 110、120、130、140即包括顯示區域 111、121、131、141，且分別具有複數像素與周邊區域 112、122、132、142，TFTs、線路及像素極係以矩陣方式重覆排列於顯示區域 111、121、131、141中，而待連接至外部電路與靜電放電防護電路之墊塊則提供於周邊區域 112、122、132、142中。

大體上，面板區域 110、120、130、140中之元件係利用一步進器做光石版印刷過程而成，即一種曝光設備。使用步進器時，顯示區域 111、121、131、141及周邊區域 112、122、132、142係分割成若干段，且塗覆於板 10之薄膜上之一 PR層透過一或多個光罩而一段一段地曝光。隨後令 PR層顯影，且 PR層下方之薄膜經蝕除而形成薄膜圖型，一完成之 LCD面板即藉由重覆上述製圖步驟而取得。

圖 2係圖 1所示本發明實例之一 TFT陣列面板區域之配置圖。

如圖 2所示，複數 TFTs、接電於此之複數像素極、及包括閘線 22與資料線 62之複數線路皆形成於顯示區域中，且周圍繞以一假想線 1。分別接於閘線 22與資料線 62、一閘短路匯流排 4與一資料短路匯流排 5之閘墊塊 24與資料墊塊



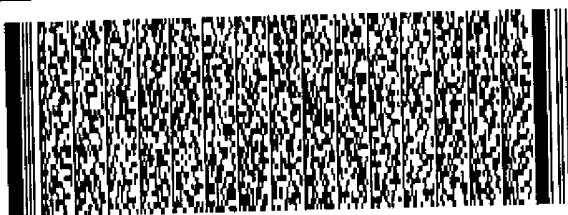
五、發明說明 (13)

64係形成於周邊區域中，開短路匯流排4及資料短路匯流排5分別連接於全部開線22與全部資料線62，且經由一接頭6而相互接電，以使其皆在相同電位，藉以避免裝置之元件發生靜電放電故障。短路匯流排4、5將藉由沿著切割線2切割面板而去除，一編號7代表形成於絕緣層(圖中未示)中之接觸孔，且其介置於接頭6與短路匯流排4、5之間，接頭6即經由接觸孔7而接至短路匯流排。

圖3至5係圖2所示本發明實例之一TFT陣列面板放大圖，圖3係一配置圖，而圖4、5係沿圖3之IV-IV'與V-V'線所取之截面圖。

一金屬或導電材料製成之開線，例如鋁(Al)與鋁合金、鉬(Mo)或鉬鎢(MoW)合金、鉻(Cr)及鈦，其形成於一絕緣基材10上。開線包括在水平方向延伸之複數開線(掃描訊號線)22、連接於各別開線22末端與自外部電路至開線22以傳輸掃描訊號之複數開墊塊24、及做為開線22支線之複數TFTs開極26。

開線22、24、26可為一多層式結構以及一單層式結構，當開線22、24、26具有單層式結構時，其厚度大約1000至3000埃。當製成一雙層式結構之開線22、24、26時，最好其底層係由低電阻材料製成，例如鋁(Al)與鋁鈹(Al-Nd)，且厚度為1000至2000埃，而其頂層則由與其他材料呈良好接觸性之材料製成，例如鉬鎢(MoW)合金，且厚度為500至1000埃。一材料如鉻、鉬或鉬合金可用於單層式結構，而以鋁及鋁合金做為雙層式結構。



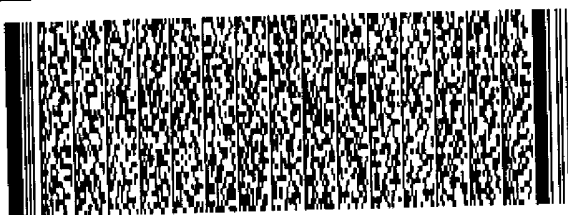
五、發明說明 (13)

64係形成於周邊區域中，開短路匯流排4及資料短路匯流排5分別連接於全部開線22與全部資料線62，且經由一接頭6而相互接電，以使其皆在相同電位，藉以避免裝置之元件發生靜電放電故障。短路匯流排4、5將藉由沿著切割線2切割面板而去除，一編號7代表形成於絕緣層(圖中未示)中之接觸孔，且其介置於接頭6與短路匯流排4、5之間，接頭6即經由接觸孔7而接至短路匯流排。

圖3至5係圖2所示本發明實例之一TFT陣列面板放大圖，圖3係一配置圖，而圖4、5係沿圖3之IV-IV'與V-V'線所取之截面圖。

一金屬或導電材料製成之開線，例如鋁(Al)與鋁合金、鉬(Mo)或鉬鎢(MoW)合金、鉻(Cr)及鈦，其形成於一絕緣基材10上。開線包括在水平方向延伸之複數開線(掃描訊號線)22、連接於各別開線22末端與自外部電路至開線22以傳輸掃描訊號之複數開墊塊24、及做為開線22支線之複數TFTs開極26。

開線22、24、26可為一多層式結構以及一單層式結構，當開線22、24、26具有單層式結構時，其厚度大約1000至3000埃。當製成一雙層式結構之開線22、24、26時，最好其底層係由低電阻材料製成，例如鋁(Al)與鋁鈹(Al-Nd)，且厚度為1000至2000埃，而其頂層則由與其他材料呈良好接觸性之材料製成，例如鉬鎢(MoW)合金，且厚度為500至1000埃。一材料如鉻、鉬或鉬合金可用於單層式結構，而以鋁及鋁合金做為雙層式結構。



五、發明說明 (14)

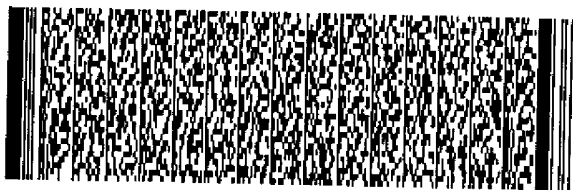
一具有 2500至 3000埃厚度之氮化矽 (SiN_x) 閘絕緣層圖型 30係形成於閘線 22、24、26上且覆蓋之。

一半導體製成之半導體層圖型 42、47，例如厚度為 1000至 2000埃之氮化非晶系矽，係形成於閘絕緣層圖型 30上，半導體層圖型 42、47則由做為 TFTs 通道層且鄰近於閘極 26之複數第一部分 42以及隔離於閘線 22上方之複數第二部分 47構成，而第二部分 47延伸至閘墊塊 24。

一具有數埃至數十埃厚度之歐姆接觸層圖型 55、56、57、58係形成於半導體層圖型 42、47上，歐姆接觸層圖型 55、56、57、58具有一摻雜微結晶非晶系矽或鉻或鉬矽化物之單層式結構，或摻雜微結晶非晶系矽與其上形成鉻或鉬矽化物之雙層式結構。歐姆接觸層圖型具有分離之 4 個部分，二部分 55、56係相關於閘極 24而呈相對立，部分 58沿著閘墊塊 24而設，而剩餘之部分 57係位於半導體層圖型 47與像素極或資料線之重疊處，容後詳述。

閘絕緣層圖型 30、半導體層圖型 47及歐姆接觸層圖型 58具有接觸孔 31以曝現出閘墊塊 24。

一導體圖型具有一雙層式結構，包括一底導體層 62、63、64、65、66、67及一頂導體層 72、74、75、76、77，導體圖型係形成於歐姆接觸層圖型 55、56、57、58及基材 10上。底導體層 62、63、64、65、66、67之厚度為 300至 1000埃，係由透明材料製成，如 ITO (銻錫氧化物)，且頂導體層 72、74、75、76、77之厚度為 1000至 3500埃，係由導電材料製成，例如鉬或鉬鎢、鉻、鋁、或鋁合金及鈹。



五、發明說明 (14)

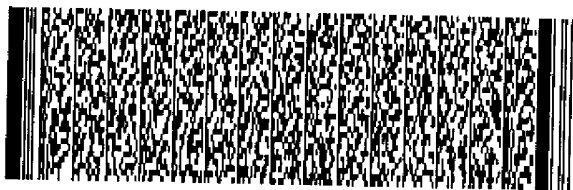
一具有 2500至 3000埃厚度之氮化矽 (SiN_x) 開絕緣層圖型 30係形成於開線 22、24、26上且覆蓋之。

一半導體製成之半導體層圖型 42、47，例如厚度為 1000至 2000埃之氮化非晶系矽，係形成於開絕緣層圖型 30上，半導體層圖型 42、47則由做為 TFTs 通道層且鄰近於開極 26之複數第一部分 42以及隔離於開線 22上方之複數第二部分 47構成，而第二部分 47延伸至開墊塊 24。

一具有數埃至數十埃厚度之歐姆接觸層圖型 55、56、57、58係形成於半導體層圖型 42、47上，歐姆接觸層圖型 55、56、57、58具有一摻雜微結晶非晶系矽或鉻或鉬矽化物之單層式結構，或摻雜微結晶非晶系矽與其上形成鉻或鉬矽化物之雙層式結構。歐姆接觸層圖型具有分離之 4 個部分，二部分 55、56係相關於開極 24而呈相對立，部分 58沿著開墊塊 24而設，而剩餘之部分 57係位於半導體層圖型 47與像素極或資料線之重疊處，容後詳述。

開絕緣層圖型 30、半導體層圖型 47及歐姆接觸層圖型 58具有接觸孔 31以曝現出開墊塊 24。

一導體圖型具有一雙層式結構，包括一底導體層 62、63、64、65、66、67及一頂導體層 72、74、75、76、77，導體圖型係形成於歐姆接觸層圖型 55、56、57、58及基材 10上。底導體層 62、63、64、65、66、67之厚度為 300至 1000埃，係由透明材料製成，如 ITO (銻錫氧化物)，且頂導體層 72、74、75、76、77之厚度為 1000至 3500埃，係由導電材料製成，例如鉬或鉬鎢、鉻、鋁、或鋁合金及鈹。



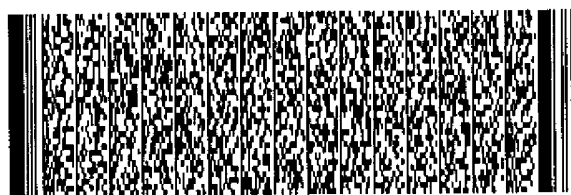
五、發明說明 (15)

資料線路具有延伸於垂直方向之複數資料線 62、72、連接於資料線 62 一末端與自外部電路至資料線 62、72 以傳輸影像訊號之複數資料墊塊 64、74、及做為歐姆接觸層圖型部分 55 上之資料線 62 支線之複數 TFTs 之源極 65、75，資料線路亦具有複數汲極 66、76，且形成於歐姆接觸層圖型之部分 56 上。複數係素極 63 形成於像素區域中，且由閘線 22 與資料線 62、72 圍繞，資料墊塊 64、74 與像素極 63 之主要部分分別僅包括底導體層 64、63，且其邊緣部分具有雙層式結構。惟，像素極 63 可以僅包括底導體層 63。像素極 63 經由閘絕緣層 30 而重疊於閘線 22，以利形成一貯存電容器。複數冗餘之閘墊塊 67、77 形成於閘墊塊 24 上且連接於閘墊塊 24，冗餘之閘墊塊 67、77 用於保護閘墊塊 24 及補充一外部電路與閘墊塊 24 之間之電力接觸。大部分之冗餘閘墊塊 67、77 僅包括底導體層 63，但是邊緣除外。

在此實例中，透明材料採用為底導體層之範例，但是一不透明之導電材料可用於反射型之 LCD 中。

歐姆接觸層圖型 55、56、57、58 係位於半導體層圖型 42、47 與底導體層 62、63、64、65、66、67 相互重疊處，且介置於其間以利扮演減少半導體層圖型 42、47 與底導體層 62、63、64、65、66、67 之間接觸電阻之角色。

一具有 1500 至 4000 埃厚度且由絕緣材料如氮化矽製成之鈍化層 80 係覆蓋整個表面，鈍化層 80 沿著頂導體層 72、74、75、76、77 而具有開孔 81、82、83 以曝現像素電極 63 之下導體層 63、67 及 64，冗餘之閘墊塊 67 與資料墊塊 64，



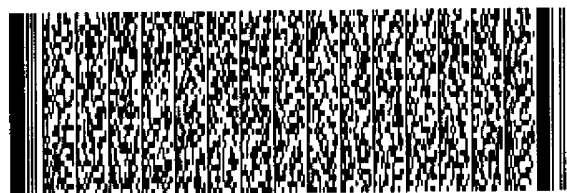
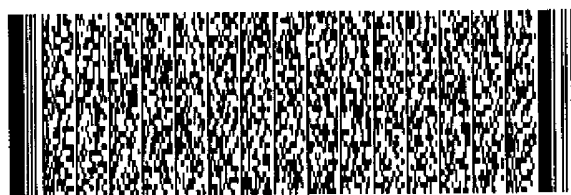
五、發明說明 (15)

資料線路具有延伸於垂直方向之複數資料線 62、72、連接於資料線 62一末端與自外部電路至資料線 62、72以傳輸影像訊號之複數資料墊塊 64、74、及做為歐姆接觸層圖型部分 55上之資料線 62支線之複數 TFTs之源極 65、75，資料線路亦具有複數汲極 66、76，且形成於歐姆接觸層圖型之部分 56上。複數係素極 63形成於像素區域中，且由閘線 22與資料線 62、72圍繞，資料墊塊 64、74與像素極 63之主要部分分別僅包括底導體層 64、63，且其邊緣部分具有雙層式結構。惟，像素極 63可以僅包括底導體層 63。像素極 63經由閘絕緣層 30而重疊於閘線 22，以利形成一貯存電容器。複數冗餘之閘墊塊 67、77形成於閘墊塊 24上且連接於閘墊塊 24，冗餘之閘墊塊 67、77用於保護閘墊塊 24及補充一外部電路與閘墊塊 24之間之電力接觸。大部分之冗餘閘墊塊 67、77僅包括底導體層 63，但是邊緣除外。

在此實例中，透明材料採用為底導體層之範例，但是一不透明之導電材料可用於反射型之 LCD 中。

歐姆接觸層圖型 55、56、57、58係位於半導體層圖型 42、47與底導體層 62、63、64、65、66、67相互重疊處，且介置於其間以利扮演減少半導體層圖型 42、47與底導體層 62、63、64、65、66、67之間接觸電阻之角色。

一具有 1500至 4000埃厚度且由絕緣材料如氮化矽製成之鈍化層 80係覆蓋整個表面，鈍化層 80沿著頂導體層 72、74、75、76、77而具有開孔 81、82、83以曝現像素電極 63之下導體層 63、67及 64，冗餘之閘墊塊 67與資料墊塊 64，



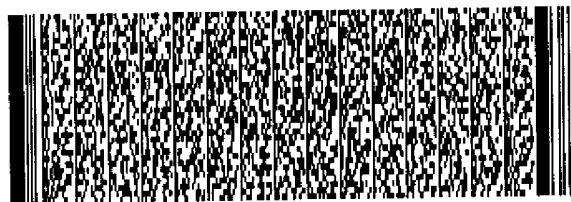
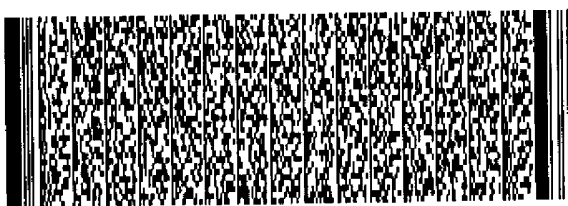
五、發明說明 (16)

及開孔 84、85 以曝現開線 22 上方之開絕緣層圖型 30。開孔 84、85 將半導體層圖型分隔成二部分 42、47，以防止在先前開型中具有圖 1、3 所示開線 22 之開極、資料線 62、72 之源極、及像素極 63 之汲極之寄生式電晶體，且像素極 63 重疊於先前之開線 22。為了避免半導體層圖型不限制於先前之開型中，亦即由於半導體層中通道係二個開訊號產生，若二相鄰之資料線經由半導體層而相互連接，則施加於二資料線之影像訊號即受到干擾。據此，必須將二相鄰資料線之間之半導體層部分予以分離，此時，若開孔 81 大於像素極 63，像素極 63 即僅由上述之底導體層形成。

現在將參考圖 6A 至 8C 以及圖 3 至 5 說明本發明薄膜電晶體陣列面板之製造方法。

圖 6A 係本發明第一實例之第一製造步驟中之 TFT 陣列面板配置圖，圖 6B、6C 分別為沿圖 6A 之 VIB-VIB' 及 VIC-VIC' 線所取之截面圖；圖 7A 係圖 6A 至 6C 之後續製造步驟中之 TFT 陣列面板配置圖，圖 7B、7C 分別為沿圖 7A 之 VIIB-VIIB' 及 VIIC-VIIC' 線所取之截面圖；圖 8A 係圖 7A 至 7C 之後續製造步驟中之 TFT 陣列面板配置圖，圖 8B、8C 分別為沿圖 8A 之 VIIIB-VIIIB' 及 VIIIC-VIIIC' 線所取之截面圖。

首先，如圖 6A 至 6C 所示，一橫開線路包括複數開線 22、複數開墊塊 24 及複數開極 26，其係利用一第一光石版印刷過程製成，如上所述，開線路 22、24、26 可具有一鋁鈹 (Al-Nd) 層及一鉬鎢合金 (MoW) 層之雙層式結構，且利用乾式蝕刻製成。或者，開線路 22、24、26 可包括一鉻 (Cr) 層



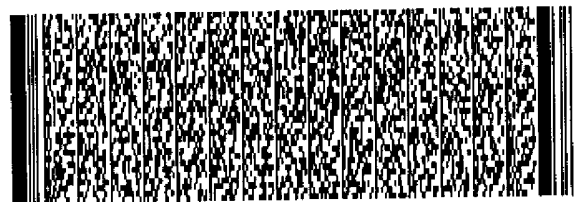
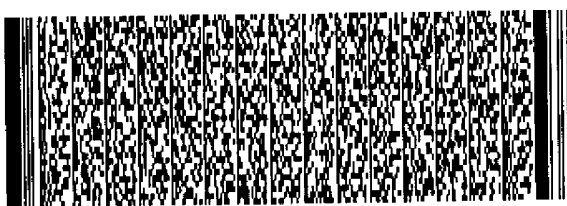
五、發明說明 (16)

及開孔 84、85 以曝現開線 22 上方之開絕緣層圖型 30。開孔 84、85 將半導體層圖型分隔成二部分 42、47，以防止在先前開型中具有圖 1、3 所示開線 22 之開極、資料線 62、72 之源極、及像素極 63 之汲極之寄生式電晶體，且像素極 63 重疊於先前之開線 22。為了避免半導體層圖型不限制於先前之開型中，亦即由於半導體層中通道係二個開訊號產生，若二相鄰之資料線經由半導體層而相互連接，則施加於二資料線之影像訊號即受到干擾。據此，必須將二相鄰資料線之間之半導體層部分予以分離，此時，若開孔 81 大於像素極 63，像素極 63 即僅由上述之底導體層形成。

現在將參考圖 6A 至 8C 以及圖 3 至 5 說明本發明薄膜電晶體陣列面板之製造方法。

圖 6A 係本發明第一實例之第一製造步驟中之 TFT 陣列面板配置圖，圖 6B、6C 分別為沿圖 6A 之 VIB-VIB' 及 VIC-VIC' 線所取之截面圖；圖 7A 係圖 6A 至 6C 之後續製造步驟中之 TFT 陣列面板配置圖，圖 7B、7C 分別為沿圖 7A 之 VIIB-VIIB' 及 VIIC-VIIC' 線所取之截面圖；圖 8A 係圖 7A 至 7C 之後續製造步驟中之 TFT 陣列面板配置圖，圖 8B、8C 分別為沿圖 8A 之 VIII B-VIII B' 及 VIII C-VIII C' 線所取之截面圖。

首先，如圖 6A 至 6C 所示，一橫開線路包括複數開線 22、複數開墊塊 24 及複數開極 26，其係利用一第一光石版印刷過程製成，如上所述，開線路 22、24、26 可具有一鋁鈹 (Al-Nd) 層及一鉬鎢合金 (MoW) 層之雙層式結構，且利用乾式蝕刻製成。或者，開線路 22、24、26 可包括一鉻 (Cr) 層

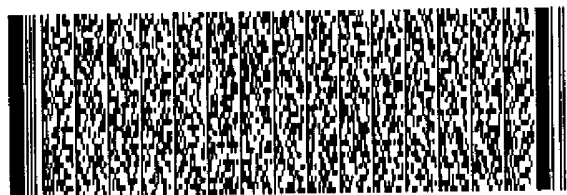
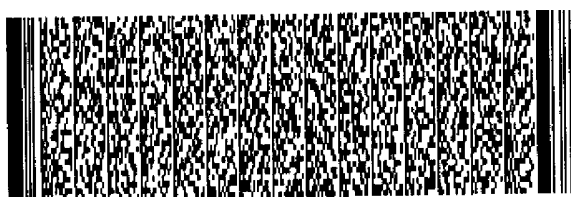


五、發明說明 (17)

及一鋁鈹 (Al-Nd)層，且利用濕式蝕刻製成。

其次，如圖 7A與 7C中所示，一開絕緣層 30、一半導體層 40例如利用化學氣體沉積 (CVD)而依序積置，隨後一可矽化之耐火金屬如鉻與鈿製成之金屬層 (圖中未示)係積置於半導體層 40上，以利形成一金屬矽化物層 50，做為半導體層 40與金屬層之間之一歐姆接觸層，隨後去除金屬層。開絕緣層 30、半導體層 40及金屬矽化物層 50同時在一第二光石版印刷過程中利用電漿蝕刻而製出圖型，此時，半導體層 40之蝕刻率最好大於開絕緣層 30者，例如 3:1，以利形成一推拔角，圖型 30、40、50沿著開線路 22、24、26延伸而完全覆蓋之，如圖 7A所示，此時，曝現出開墊塊 24之接觸孔 31則同時製成。

製造步驟可以更改，例如半導體層 40與開絕緣層 30呈圖型狀，且金屬層積置以形成矽化物層 50且去除之。此例子中，由於金屬層直接通過接觸孔 31而積置於開墊塊 24上，開墊塊 24之結構可依開墊塊 24之材質而改變。例如開線路 22、24、26具有一鋁或鋁合金頂層與一鉻底層之雙層式結構，而金屬層係由鈿或鈿合金製成且以鋁為蝕刻劑，此時，由於鈿或鈿合金已蝕除，因此當金屬層在金屬矽化物 50形成後以鋁為蝕刻劑蝕除時，鋁或鋁合金頂層即去除以利曝現底層，由於底層為鉻層，因此其與 ITO之接觸性質極佳。另一範例為開線路 22、24、26具有一鈿或鈿合金頂層與一鋁或鋁合金底層之雙層式結構。而金屬層由鉻製成，此時，當金屬層蝕除時，鈿或鈿合金頂層並不蝕除。

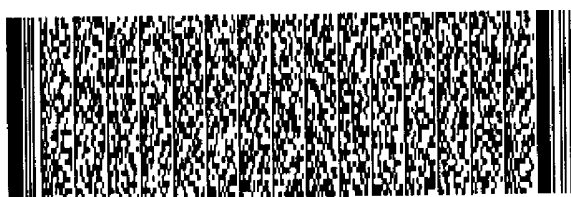


五、發明說明 (17)

及一鋁鈹 (Al-Nd)層，且利用濕式蝕刻製成。

其次，如圖 7A與 7C中所示，一開絕緣層 30、一半導體層 40例如利用化學氣體沉積 (CVD)而依序積置，隨後一可矽化之耐火金屬如鉻與鈿製成之金屬層 (圖中未示)係積置於半導體層 40上，以利形成一金屬矽化物層 50，做為半導體層 40與金屬層之間之一歐姆接觸層，隨後去除金屬層。開絕緣層 30、半導體層 40及金屬矽化物層 50同時在一第二光石版印刷過程中利用電漿蝕刻而製出圖型，此時，半導體層 40之蝕刻率最好大於開絕緣層 30者，例如 3:1，以利形成一推拔角，圖型 30、40、50沿著開線路 22、24、26延伸而完全覆蓋之，如圖 7A所示，此時，曝現出開墊塊 24之接觸孔 31則同時製成。

製造步驟可以更改，例如半導體層 40與開絕緣層 30呈圖型狀，且金屬層積置以形成矽化物層 50且去除之。此例子中，由於金屬層直接通過接觸孔 31而積置於開墊塊 24上，開墊塊 24之結構可依開墊塊 24之材質而改變。例如開線路 22、24、26具有一鋁或鋁合金頂層與一鉻底層之雙層式結構，而金屬層係由鈿或鈿合金製成且以鋁為蝕刻劑，此時，由於鈿或鈿合金已蝕除，因此當金屬層在金屬矽化物 50形成後以鋁為蝕刻劑蝕除時，鋁或鋁合金頂層即去除以利曝現底層，由於底層為鉻層，因此其與 ITO之接觸性質極佳。另一範例為開線路 22、24、26具有一鈿或鈿合金頂層與一鋁或鋁合金底層之雙層式結構。而金屬層由鉻製成，此時，當金屬層蝕除時，鈿或鈿合金頂層並不蝕除。



五、發明說明 (18)

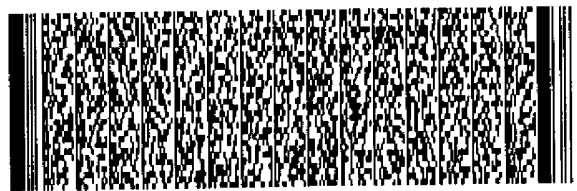
此時，一微結晶之非晶系矽層可更替矽化物層 50，開絕緣層 30、半導體層 40及摻雜以 N型之微結晶非晶系矽層係依序積置及製圖。

一摻雜之非結晶矽層及一矽化物層併用為一歐姆接觸層。

其次，如圖 8A至 8C所示，一 ITO層之底導體層及一例如鉬鎢合金或鉻之頂導體層係積置及製圖以形成一雙層式結構之導體圖型，其包括複數資料線 62、72、複數資料墊塊 64、74、複數源極 65、75、複數汲極 66、76、複數像素極 63、73、及複數冗餘之開墊塊 67、77，未覆上導體圖型之矽化物層 50部分則去除以利形成一歐姆接觸層圖型 55、56、57、58。

如圖 3至 5所示，一以氮化矽製成之鈍化層 80係積置及利用一第四光石版印刷過程乾式蝕刻而製成圖型，以利形成開孔 81、82、83、84、85。其次，未覆上鈍化層 80之像素極 63、73、冗餘開墊塊 67、77、及資料墊塊 64、74等等之頂層部分皆去除，此時，未覆以鈍化層 80之半導體層 40部分去除之，因此，像素極 63、73、冗餘之開墊塊 67、77、及資料墊塊 64、74包括幾乎僅有底導體層 63、67、64，而半導體層 40分割成二部分 42、47，以透過開孔 84、85而曝現出開絕緣層 30。在此，鈍化層 80及半導體層 40可利用乾式蝕刻而連續地蝕除，其可採用 $(CF_4)/O$ 蝕刻氣體，具有 10比 1之氮化矽對非晶系矽蝕除率。

TFT陣列面板之其中一種變化結構係揭示於圖 9中。



五、發明說明 (18)

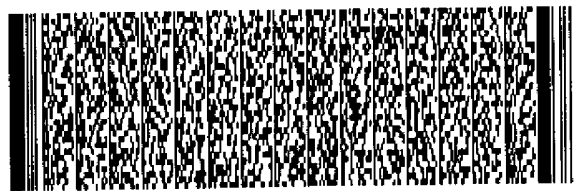
此時，一微結晶之非晶系矽層可更替矽化物層 50，開絕緣層 30、半導體層 40及摻雜以 N型之微結晶非晶系矽層係依序積置及製圖。

一摻雜之非結晶矽層及一矽化物層併用為一歐姆接觸層。

其次，如圖 8A至 8C所示，一 ITO層之底導體層及一例如鉬鎢合金或鉻之頂導體層係積置及製圖以形成一雙層式結構之導體圖型，其包括複數資料線 62、72、複數資料墊塊 64、74、複數源極 65、75、複數汲極 66、76、複數像素極 63、73、及複數冗餘之開墊塊 67、77，未覆上導體圖型之矽化物層 50部分則去除以利形成一歐姆接觸層圖型 55、56、57、58。

如圖 3至 5所示，一以氮化矽製成之鈍化層 80係積置及利用一第四光石版印刷過程乾式蝕刻而製成圖型，以利形成開孔 81、82、83、84、85。其次，未覆上鈍化層 80之像素極 63、73、冗餘開墊塊 67、77、及資料墊塊 64、74等等之頂層部分皆去除，此時，未覆以鈍化層 80之半導體層 40部分去除之，因此，像素極 63、73、冗餘之開墊塊 67、77、及資料墊塊 64、74包括幾乎僅有底導體層 63、67、64，而半導體層 40分割成二部分 42、47，以透過開孔 84、85而曝現出開絕緣層 30。在此，鈍化層 80及半導體層 40可利用乾式蝕刻而連續地蝕除，其可採用 $(CF_4)/O$ 蝕刻氣體，具有 10比 1之氮化矽對非晶系矽蝕除率。

TFT陣列面板之其中一種變化結構係揭示於圖 9中。



五、發明說明 (19)

圖 9係本發明第二實例之用於 LCD之 TFT陣列面板配置圖。

如圖 9所示，一像素極 63具有一長縫式形狀於開孔 68上，以利加寬其視角，形成於開孔 68邊緣處之弧形邊區構成多數區域，此處液晶層之分子軸線平均方向係在一像素區中有差異，藉此擴大視角。像素中之開孔數可大於 1。

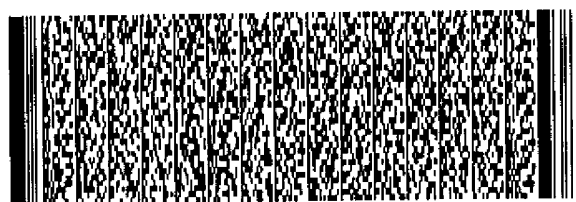
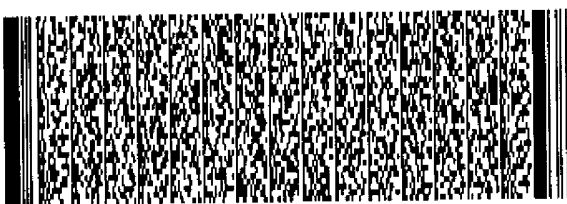
依本發明所示，用於液晶顯示器之 TFT陣列面板可利用第四光石版印刷步驟製造，且閘墊塊可受到充分保護。此外，液晶顯示器之漏洩電流可以有效降低。

其次，在對閘絕緣層、半導體層及歐姆接觸層製出圖型之步驟中依據其位置而有不同透光率之光罩係用於減少光石版印刷步驟之數量。

在諸實例中，當製成閘絕緣層圖型以形成接觸孔而曝現出閘墊塊時，半導體層及歐姆接觸層係一次製成圖型，此時，一顯示區域中之一部分閘絕緣層仍保有，但是在周邊區中之閘絕緣層則完全去除。

圖 10係本發明第三實例之用於 LCD之 TFT陣列面板配置圖，而圖 11、12係分別沿圖 10之 XI-XI'及 XII-XII'線所取之截面圖。

一金屬或導電材料如鋁 (Al)或鋁合金、鉬 (Mo)或鉬鎢 (MoW)合金、鉻 (Cr)及鉭 (Ta)製成之閘線路係形成於一絕緣基材 10上，閘線路包括延伸於水平方向之複數閘線 (掃描訊號線) 22，連接於各別閘線 22末端且傳送一掃描訊號自一外部電路至閘線 22之複數閘墊塊 24、做為閘線 22支線



五、發明說明 (19)

圖 9係本發明第二實例之用於 LCD之 TFT陣列面板配置圖。

如圖 9所示，一像素極 63具有一長縫式形狀於開孔 68上，以利加寬其視角，形成於開孔 68邊緣處之弧形邊區構成多數區域，此處液晶層之分子軸線平均方向係在一像素區中有差異，藉此擴大視角。像素中之開孔數可大於 1。

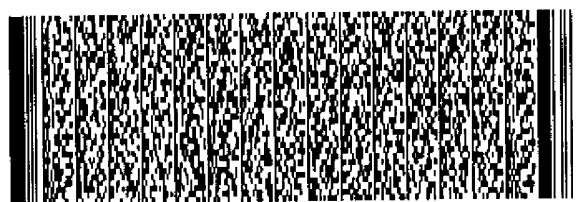
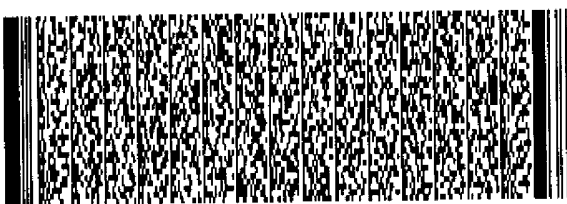
依本發明所示，用於液晶顯示器之 TFT陣列面板可利用第四光石版印刷步驟製造，且閘墊塊可受到充分保護。此外，液晶顯示器之漏洩電流可以有效降低。

其次，在對閘絕緣層、半導體層及歐姆接觸層製出圖型之步驟中依據其位置而有不同透光率之光罩係用於減少光石版印刷步驟之數量。

在諸實例中，當製成閘絕緣層圖型以形成接觸孔而曝現出閘墊塊時，半導體層及歐姆接觸層係一次製成圖型，此時，一顯示區域中之一部分閘絕緣層仍保有，但是在周邊區中之閘絕緣層則完全去除。

圖 10係本發明第三實例之用於 LCD之 TFT陣列面板配置圖，而圖 11、12係分別沿圖 10之 XI-XI'及 XII-XII'線所取之截面圖。

一金屬或導電材料如鋁 (Al)或鋁合金、鉬 (Mo)或鉬鎢 (MoW)合金、鉻 (Cr)及鉭 (Ta)製成之閘線路係形成於一絕緣基材 10上，閘線路包括延伸於水平方向之複數閘線 (掃描訊號線) 22，連接於各別閘線 22末端且傳送一掃描訊號自一外部電路至閘線 22之複數閘墊塊 24、做為閘線 22支線



五、發明說明 (20)

之複數 TFTs 閘極 26。

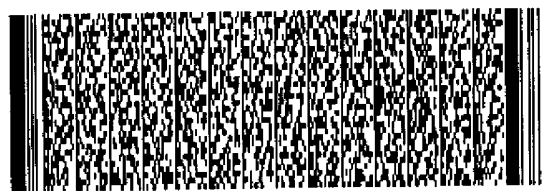
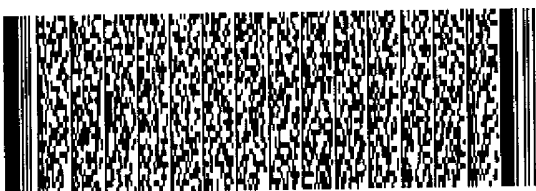
閘線路 22、24、26 可具有一多層式結構及一單層式結構，當閘線 22、24、26 具有多層式結構時，最好一層由低電阻材料製成，而另一層由可良好接觸於其他材料之材料製成，例如鉻/鋁(或鋁合金)及鋁/鈦之雙層材料。

一氮化矽(SiN_x)製成之閘絕緣層 30 係形成於閘線路 22、24、26 上且覆蓋之。

由半導體如氫化非結晶矽製成之一半導體圖型 42、48 係形成於閘絕緣層 30 上，由例如大量摻以雜質與矽化物之摻雜性非結晶矽製成之一歐姆接觸層圖型 55、56、57、59 則形成於半導體層圖型 42、48 上。

此時，顯示區域之半導體層圖型 42、48 及歐姆接觸層圖型 55、56、57、59 係形成於閘線路 22、24、26 與一資料線路相互重疊處，容後詳述，周邊長之半導體圖型 42、48 及歐姆接觸層圖型 55、56、57、59 則形成於整個表面上，在此，閘墊塊 24 上之歐姆接觸層圖型 55、56、57、59、半導體圖型 42、48 及閘絕緣層 30 皆具有接觸孔 31 以曝現出閘墊塊 24。

由透明導電材料如 ITO 或不透明導電材料製成之一第一資料層圖型 62、63、64、65、66、67 係形成於歐姆接觸層圖型 55、56、58 上，而由導電材料如鈦或鈦鎢、鉻、鋁或鋁合金及鈹製成之一第二資料層圖型 72、74、75、76、77 則形成於第一資料層圖型 62、63、64、65、66、67 上。資料線路具有複數資料線部分，各包括延伸於垂直方向之一



五、發明說明 (20)

之複數 TFTs 閘極 26。

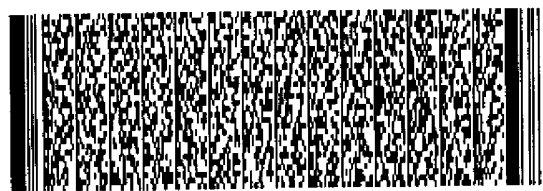
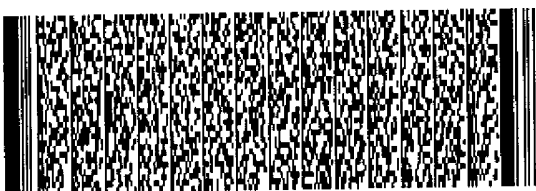
閘線路 22、24、26 可具有一多層式結構及一單層式結構，當閘線 22、24、26 具有多層式結構時，最好一層由低電阻材料製成，而另一層由可良好接觸於其他材料之材料製成，例如鉻/鋁(或鋁合金)及鋁/鈦之雙層材料。

一氮化矽(SiN_x)製成之閘絕緣層 30 係形成於閘線路 22、24、26 上且覆蓋之。

由半導體如氫化非結晶矽製成之一半導體圖型 42、48 係形成於閘絕緣層 30 上，由例如大量摻以雜質與矽化物之摻雜性非結晶矽製成之一歐姆接觸層圖型 55、56、57、59 則形成於半導體層圖型 42、48 上。

此時，顯示區域之半導體層圖型 42、48 及歐姆接觸層圖型 55、56、57、59 係形成於閘線路 22、24、26 與一資料線路相互重疊處，容後詳述，周邊長之半導體圖型 42、48 及歐姆接觸層圖型 55、56、57、59 則形成於整個表面上，在此，閘墊塊 24 上之歐姆接觸層圖型 55、56、57、59、半導體圖型 42、48 及閘絕緣層 30 皆具有接觸孔 31 以曝現出閘墊塊 24。

由透明導電材料如 ITO 或不透明導電材料製成之一第一資料層圖型 62、63、64、65、66、67 係形成於歐姆接觸層圖型 55、56、58 上，而由導電材料如鈦或鈦鎢、鉻、鋁或鋁合金及鈹製成之一第二資料層圖型 72、74、75、76、77 則形成於第一資料層圖型 62、63、64、65、66、67 上。資料線路具有複數資料線部分，各包括延伸於垂直方向之一



五、發明說明 (21)

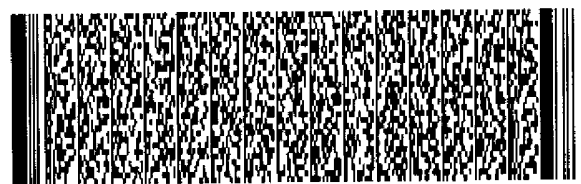
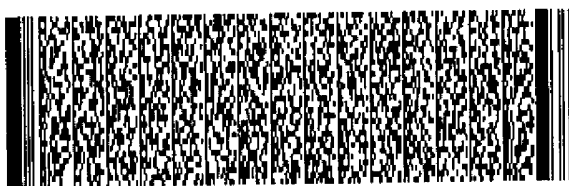
資料線 62、72、連接於資料線 62、72 一端且傳送影像訊號自一外部電路至資料線 62、72 之複數資料墊片 64、74 及一 TFT 之複數源極 65、75 且做為資料線 62、72 之支線。資料線路亦具有相關於各別閘極 26 而相對立於各別源極且分隔於資料線部分之 TFTs 之複數汲極 66、76、連接於汲極 66、76 之複數像素極 63、形成於閘墊塊 24 上且通過接觸孔 31 以連接至閘墊塊 24 之複數冗餘閘墊塊 67、77。在此之資料線 62、72、源極 65、75、及汲極 66、76 具有雙層式結構，冗餘之閘墊塊 67、77 及資料墊塊 64、74 之部分具有雙層式結構，而冗餘閘墊塊 67、77 及資料墊塊 64、74 之其餘部分則由第一資料層圖型 67、64 製成。像素極 63 具有第一資料層圖型 67、64 之單層式結構。

第二資料層圖型 72、74、75、76、78 可具有一相似於閘線路 22、24、26 之多層式結構，當然，當資料線路具有一多層式結構時，其最好一層由低電阻材料製成，而另一層由可良好接觸於其他材料之材料製成。

歐姆接觸層圖型 55、56、58 所扮演之角色在於減少半導體層圖型 42、48 與第一資料層圖型 62、63、64、65、66、67 之間之接觸電阻，且僅形成於其間。

第二資料層圖型 72、74、75、76、77 及半導體層圖型 42、48 係覆以一鈍化層 80，鈍化層 80 所扮演之角色在於保護至少源極 75 與汲極 76 之間之半導體 42 通道部分。鈍化層 80 可由一絕緣材料製成，例如 SiN_x 或丙烯酸有機材料。

在此實例中，透明之 ITO 為像素極 63 之材料例子，但是



五、發明說明 (21)

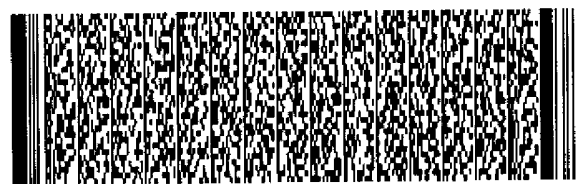
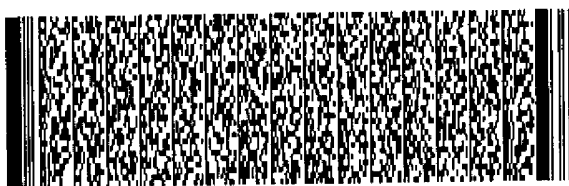
資料線 62、72、連接於資料線 62、72 一端且傳送影像訊號自一外部電路至資料線 62、72 之複數資料墊片 64、74 及一 TFT 之複數源極 65、75 且做為資料線 62、72 之支線。資料線路亦具有相關於各別閘極 26 而相對立於各別源極且分隔於資料線部分之 TFTs 之複數汲極 66、76、連接於汲極 66、76 之複數像素極 63、形成於閘墊塊 24 上且通過接觸孔 31 以連接至閘墊塊 24 之複數冗餘閘墊塊 67、77。在此之資料線 62、72、源極 65、75、及汲極 66、76 具有雙層式結構，冗餘之閘墊塊 67、77 及資料墊塊 64、74 之部分具有雙層式結構，而冗餘閘墊塊 67、77 及資料墊塊 64、74 之其餘部分則由第一資料層圖型 67、64 製成。像素極 63 具有第一資料層圖型 67、64 之單層式結構。

第二資料層圖型 72、74、75、76、78 可具有一相似於閘線路 22、24、26 之多層式結構，當然，當資料線路具有一多層式結構時，其最好一層由低電阻材料製成，而另一層由可良好接觸於其他材料之材料製成。

歐姆接觸層圖型 55、56、58 所扮演之角色在於減少半導體層圖型 42、48 與第一資料層圖型 62、63、64、65、66、67 之間之接觸電阻，且僅形成於其間。

第二資料層圖型 72、74、75、76、77 及半導體層圖型 42、48 係覆以一鈍化層 80，鈍化層 80 所扮演之角色在於保護至少源極 75 與汲極 76 之間之半導體 42 通道部分。鈍化層 80 可由一絕緣材料製成，例如 SiN_x 或丙烯酸有機材料。

在此實例中，透明之 ITO 為像素極 63 之材料例子，但是



五、發明說明 (22)

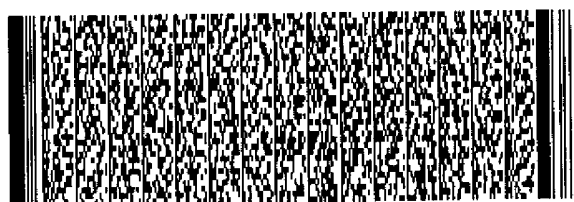
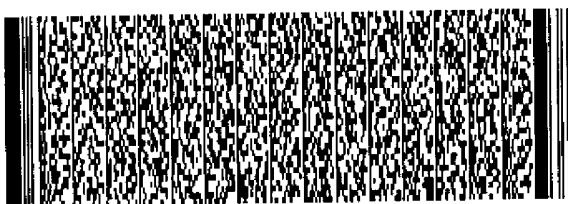
不透明之導電材料則可用於反射型之LCD中。

以下參考圖 13A至 19C以及圖 10至 12說明本發明實例之一 TFT陣列面板製造方法。

首先，如圖 13A至 13C所示，一例如 1000至 3000埃厚度金屬製成之導體層係利用如濺射而積置於一基材 10上，及一包括複數閘線 22、複數閘墊塊 24及複數閘極 26之閘線路則利用第一光石版印刷步驟之乾式或濕式蝕刻形成。

其次，如圖 14A至 14C所示，厚度分別為 1500至 5000埃之一閘絕緣層 30及一半導體層 40係利用例如化學氣體沉積 (CVD)而依序積置，隨後由可矽化之耐火金屬如鉻與鈦製成之金屬層 (圖中未示)係積置於半導體層 40上，以利形成一厚度為 300至 600埃之金屬矽化物層 50以作為一歐姆接觸層及去除的金屬層。然後，金屬矽化物層 50、半導體層 40、閘絕緣層 30一次製成圖型，其利用第二光石版印刷過程以形成一半導體層圖型 42、48、一矽化物圖型 52、58及接觸孔 31(參閱圖 18A、18B)，此時周邊區 P中間墊塊 24上之矽化物層 50、半導體層 40及閘絕緣層 30部分皆去除，惟，在顯示區中僅去除矽化物層 50及半導體層 40部分，以留下半導體層圖型 42、48、矽化物圖型 52、58於其下方，以及閘絕緣層 50。基於此目的，一光阻劑 (PR)圖型製成可令其厚度依據位置而改變，且 PR圖型下方諸層利用 PR圖型做為一蝕刻光罩而以乾式蝕除，此將參考圖 14B至 18B而說明之。

首先，一厚度為 5000至 30000埃之較佳正 PR層係塗覆於



五、發明說明 (22)

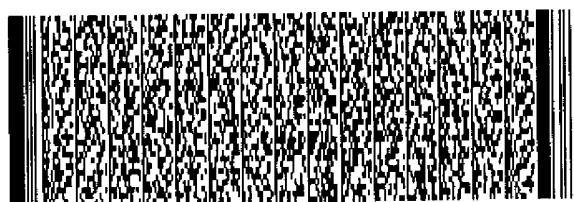
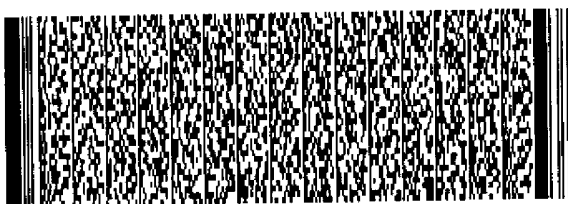
不透明之導電材料則可用於反射型之LCD中。

以下參考圖 13A至 19C以及圖 10至 12說明本發明實例之一 TFT陣列面板製造方法。

首先，如圖 13A至 13C所示，一例如 1000至 3000埃厚度金屬製成之導體層係利用如濺射而積置於一基材 10上，及一包括複數閘線 22、複數閘墊塊 24及複數閘極 26之閘線路則利用第一光石版印刷步驟之乾式或濕式蝕刻形成。

其次，如圖 14A至 14C所示，厚度分別為 1500至 5000埃之一閘絕緣層 30及一半導體層 40係利用例如化學氣體沉積 (CVD)而依序積置，隨後由可矽化之耐火金屬如鉻與鈦製成之金屬層 (圖中未示)係積置於半導體層 40上，以利形成一厚度為 300至 600埃之金屬矽化物層 50以作為一歐姆接觸層及去除的金屬層。然後，金屬矽化物層 50、半導體層 40、閘絕緣層 30一次製成圖型，其利用第二光石版印刷過程以形成一半導體層圖型 42、48、一矽化物圖型 52、58及接觸孔 31(參閱圖 18A、18B)，此時周邊區 P中間墊塊 24上之矽化物層 50、半導體層 40及閘絕緣層 30部分皆去除，惟，在顯示區中僅去除矽化物層 50及半導體層 40部分，以留下半導體層圖型 42、48、矽化物圖型 52、58於其下方，以及閘絕緣層 50。基於此目的，一光阻劑 (PR)圖型製成可令其厚度依據位置而改變，且 PR圖型下方諸層利用 PR圖型做為一蝕刻光罩而以乾式蝕除，此將參考圖 14B至 18B而說明之。

首先，一厚度為 5000至 30000埃之較佳正 PR層係塗覆於



五、發明說明 (23)

矽化物層 50 上，且經由一或多個光罩 300、410、420 而曝光，如圖 14B、14C 所示，PR 層在顯示區 D 及周邊區 P 中各不相同，區域 C 中 PR 層曝光部分中之硬質聚合物係自表面分解至一位置，而在顯示區 D 中該位置下方則不變。惟，區域 B 中曝光部分內之聚合物則在周邊區 P 中自表面完全分解至底面，區域 C、B 中之矽化物層 50 部分進行去除。

基於此目的，用於顯示區 D 之一光罩部分 300 可具有不同於周邊區 P 所用之光罩部分 410、420 者之結構，此三個範例將參考圖 15A 至 17 而說明之。

第一、二範例利用二件光罩以用於顯示區 D 及周邊區 P。

如圖 15A、15B 所示，光罩 300、400 分別包括光罩基材 310、410、設於其上例如鉻製成之不透明圖型層 320、420 及覆蓋於不透明圖型層 320、420 與基材 310、410 曝現部分之薄膜 330、430，用於顯示區 D 之光罩 300 薄膜 330 之光透光率係低於周邊區 P 之光罩 400 者，薄膜 330 之光透光率較佳為薄膜 430 者之 10% 至 80%，最佳為 20% 至 60%。

其次，如圖 16A、16B 所示，一厚度為 100 至 300 埃之鉻層 350 形成於一顯示區 D 光罩 300 之光罩基材 310 上，以利減低光透光率，而在周邊區 P 之光罩 400 中則無鉻層，光罩 300 之薄膜 340 之光透光率可等於光罩 400 之薄膜 430 者。

上述二者之混合結構即可得之。

上述二範例可用於採用步進器之步進-重覆曝光法中，因為顯示區 D 之光罩 300 及周邊區 P 之光罩 400 皆由分離件構成，此時 PR 層之厚度可藉由調整曝光時間而控制。



五、發明說明 (23)

矽化物層 50上，且經由一或多個光罩 300、410、420而曝光，如圖 14B、14C所示，PR層在顯示區 D及周邊區 P中各不相同，區域 C中 PR層曝光部分中之硬質聚合物係自表面分解至一位置，而在顯示區 D中該位置下方則不變。惟，區域 B中曝光部分內之聚合物則在周邊區 P中自表面完全分解至底面，區域 C、B中之矽化物層 50部分進行去除。

基於此目的，用於顯示區 D之一光罩部分 300可具有不同於周邊區 P所用之光罩部分 410、420者之結構，此三個範例將參考圖 15A至 17而說明之。

第一、二範例利用二件光罩以用於顯示區 D及周邊區 P。

如圖 15A、15B所示，光罩 300、400分別包括光罩基材 310、410、設於其上例如鉻製成之不透明圖型層 320、420及覆蓋於不透明圖型層 320、420與基材 310、410曝現部分之薄膜 330、430，用於顯示區 D之光罩 300薄膜 330之光透光率係低於周邊區 P之光罩 400者，薄膜 330之光透光率較佳為薄膜 430者之 10%至 80%，最佳為 20%至 60%。

其次，如圖 16A、16B所示，一厚度為 100至 300埃之鉻層 350形成於一顯示區 D光罩 300之光罩基材 310上，以利減低光透光率，而在周邊區 P之光罩 400中則無鉻層，光罩 300之薄膜 340之光透光率可等於光罩 400之薄膜 430者。

上述二者之混合結構即可得之。

上述二範例可用於採用步進器之步進-重覆曝光法中，因為顯示區 D之光罩 300及周邊區 P之光罩 400皆由分離件構成，此時 PR層之厚度可藉由調整曝光時間而控制。



五、發明說明 (24)

惟，顯示區 D 及周邊區 P 可通過一單光罩而曝光，此一光罩之一基材將參考圖 17 而說明之。

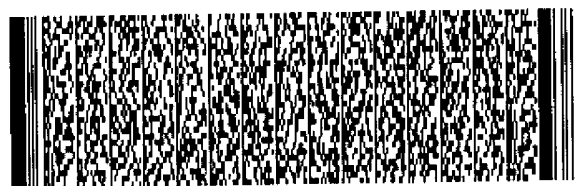
如圖 17 所示，一透光率控制層 550 形成於一光罩 500 之基材 510 上，及一圖型層 520 形成於透光率控制層 510 上。透光率控制層 550 不僅設於圖型層 520 下方，亦在顯示區 D 之整個區域中，而在周邊區 P 中則僅有在圖型層 520 下方。因此，至少二個具有不同厚度之圖型，即透光率控制層 550 及圖型層 520 與透光率控制層 550 之其他雙層，其係形成於基材 510 上。

一透光率控制層可提供於用在周邊區 P 之區域中，此時，用於周邊區 P 之透光率控制層之透光率應大於顯示區 D 者。

為了製造一具有透光率控制層 550 之光罩 500，具有一蝕除率不同於透光率控制層 550 者之透光率控制層 550 及一圖型層 520 係依序積置於基材 500 上。一 PR 層 (圖中未示) 塗覆於圖型層 520 上，隨後曝光及顯影，圖型層 520 利用 PR 層做為一蝕刻光罩而蝕除之，其次去除剩餘之 PR，且形成一曝現出部分透光率控制層以對應於周邊區接觸孔之新 PR 圖型 (圖中未示)，隨後利用新 PR 層做為一蝕刻光罩蝕除透光率控制層 550，以利取得完整之光罩 500。

另者，透光率利用一光罩而依位置改變，光罩具有長縫或一柵形圖型且小於曝光設備之解析度。

據此，不包含分割區域如顯示區與周邊區之一光罩即可採用，此光罩可差異性地控制面向接觸孔 31 之第一區傳輸



五、發明說明 (24)

惟，顯示區 D 及周邊區 P 可通過一單光罩而曝光，此一光罩之一基材將參考圖 17 而說明之。

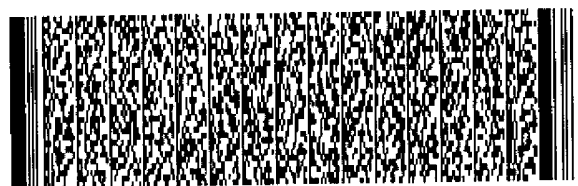
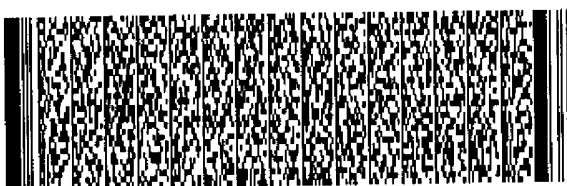
如圖 17 所示，一透光率控制層 550 形成於一光罩 500 之基材 510 上，及一圖型層 520 形成於透光率控制層 510 上。透光率控制層 550 不僅設於圖型層 520 下方，亦在顯示區 D 之整個區域中，而在周邊區 P 中則僅有在圖型層 520 下方。因此，至少二個具有不同厚度之圖型，即透光率控制層 550 及圖型層 520 與透光率控制層 550 之其他雙層，其係形成於基材 510 上。

一透光率控制層可提供於用在周邊區 P 之區域中，此時，用於周邊區 P 之透光率控制層之透光率應大於顯示區 D 者。

為了製造一具有透光率控制層 550 之光罩 500，具有一蝕除率不同於透光率控制層 550 者之透光率控制層 550 及一圖型層 520 係依序積置於基材 500 上。一 PR 層 (圖中未示) 塗覆於圖型層 520 上，隨後曝光及顯影，圖型層 520 利用 PR 層做為一蝕刻光罩而蝕除之，其次去除剩餘之 PR，且形成一曝現出部分透光率控制層以對應於周邊區接觸孔之新 PR 圖型 (圖中未示)，隨後利用新 PR 層做為一蝕刻光罩蝕除透光率控制層 550，以利取得完整之光罩 500。

另者，透光率利用一光罩而依位置改變，光罩具有長縫或一柵形圖型且小於曝光設備之解析度。

據此，不包含分割區域如顯示區與周邊區之一光罩即可採用，此光罩可差異性地控制面向接觸孔 31 之第一區傳輸



五、發明說明 (25)

率、面向半導體層圖型 42、48 之第二區透光率、及面向其餘區而不含第一、二區之第三區透光率。隨後，如圖 14B 所示，製成一 PR 圖型，其具有一第一部分 A 且此處之光阻劑去除或極少、一第二部分且具有一第一厚度、及一第三部分且具有一第二厚度且小於第一厚度。

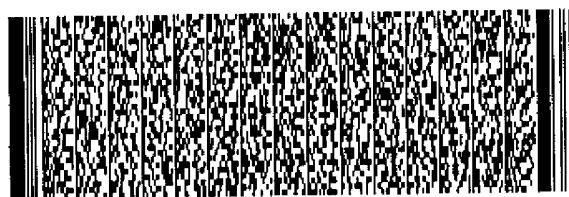
金屬層如閘線路 22、24、26 上方具有高反射率之 PR 層部分此時會曝現於光量較其他部分高之層，欲防止此問題則一阻制金屬層反射光線之層可提供之或使用一有色之 PR。

圖 14B、14C 所示之 PR 層利用上述方法曝光，並且顯影以形成圖 18A、18B 所示之 PR 圖型。實體上在閘墊塊 24 部分上方並無 PR，區域 A 中之 PR 圖型較厚部分係位於周邊區 P 內，但是閘墊塊 24 除外，同時亦位於顯示區 D 之半導體層圖型部分上之矽化物層 50 上方，區域 C 中之 PR 圖型較薄部分則位於顯示區 D 之剩餘部分上方。

此時，較薄部分之厚度較佳為初期厚度之 $1/4$ 至 $1/7$ ，易言之為 350 至 10000 埃，最佳為 1000 至 6000 埃。例如當 PR 層之初期厚度為 25000 至 30000 埃時，則較薄部分可藉由設定顯示區 D 之透光率為 30% 而具有 3000 至 7000 埃，惟，由於 PR 圖型之厚度應由乾式蝕刻條件決定，因此薄膜之透光率、銻層之厚度、透光率控制層之透光率及曝光時間等等應依蝕刻條件控制。

PR 圖型之較薄部分可在使用一正常曝光及一正常顯影後利用再流動而形成。

隨後 PR 圖型及下方諸層如矽化物層 50、半導體層 40 及閘



五、發明說明 (25)

率、面向半導體層圖型 42、48 之第二區透光率、及面向其餘區而不含第一、二區之第三區透光率。隨後，如圖 14B 所示，製成一 PR 圖型，其具有一第一部分 A 且此處之光阻劑去除或極少、一第二部分且具有一第一厚度、及一第三部分且具有一第二厚度且小於第一厚度。

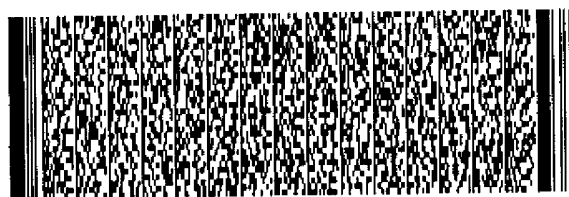
金屬層如閘線路 22、24、26 上方具有高反射率之 PR 層部分此時會曝現於光量較其他部分高之層，欲防止此問題則一阻制金屬層反射光線之層可提供之或使用一有色之 PR。

圖 14B、14C 所示之 PR 層利用上述方法曝光，並且顯影以形成圖 18A、18B 所示之 PR 圖型。實體上在閘墊塊 24 部分上方並無 PR，區域 A 中之 PR 圖型較厚部分係位於周邊區 P 內，但是閘墊塊 24 除外，同時亦位於顯示區 D 之半導體層圖型部分上之矽化物層 50 上方，區域 C 中之 PR 圖型較薄部分則位於顯示區 D 之剩餘部分上方。

此時，較薄部分之厚度較佳為初期厚度之 $1/4$ 至 $1/7$ ，易言之為 350 至 10000 埃，最佳為 1000 至 6000 埃。例如當 PR 層之初期厚度為 25000 至 30000 埃時，則較薄部分可藉由設定顯示區 D 之透光率為 30% 而具有 3000 至 7000 埃，惟，由於 PR 圖型之厚度應由乾式蝕刻條件決定，因此薄膜之透光率、銻層之厚度、透光率控制層之透光率及曝光時間等等應依蝕刻條件控制。

PR 圖型之較薄部分可在使用一正常曝光及一正常顯影後利用再流動而形成。

隨後 PR 圖型及下方諸層如矽化物層 50、半導體層 40 及閘



五、發明說明 (26)

絕緣層 30等皆做乾式蝕除。

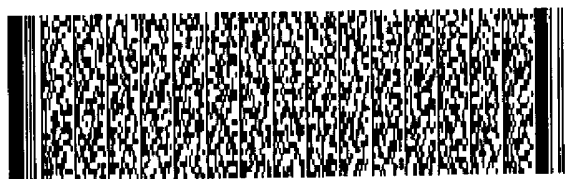
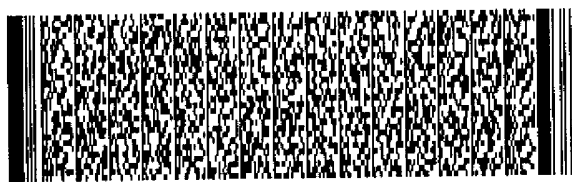
如上所述，此時區域 A中之 PR圖型部分應仍保留，且區域 B中之矽化物層 50、半導體層 40及閘絕緣層 30等之部分應去除，區域 C中之矽化物層 50及半導體層 40之部分應去除，而區域 C中之閘絕緣層 30部分應保留。

基於此目的，最好使用一乾式蝕刻而可沿著下層蝕刻 PR圖型，如圖 18A、18B所示，區域 B中之三層即矽化物層 50、半導體層 40與閘絕緣層以及區域 C中之三層即 PR圖型、矽化物層 50與半導體層 40等之部分皆可一次利用乾式蝕刻而蝕除之。區域 A中之 PR圖型較厚部分亦蝕刻至一定深度。

依據上述方法，僅有矽化物層 50及半導體層 40去除而形成顯示區 D中之半導體層圖型 42、48及矽化物圖型 52、58，且矽化物層 50、半導體層 40及閘絕緣層 30僅利用一光石版印刷步驟而去除以形成接觸孔 31。

其次，如圖 19A、19B所示，A部分之剩餘 PR圖型剝離，一具有厚度為 400至 500埃之 ITO層及一具有厚度為 1500至 3000埃之金屬導體層係利用例如濺射以積置之。導體層、ITO層及下方之矽化物圖型 52、58製出圖型，以利用第三光石版印刷步驟而製成圖 19A至 19C所示之一資料線路及一歐姆接觸層圖型 55、56、57、59，此時資料線路尚未完成且二層互為相同者。

其次，如圖 10至 12所示，一鈍化層 80利用 SiN_x 之 CVD法或有機絕緣物之旋塗法以形成具有 3000埃厚度，隨後鈍化



五、發明說明 (26)

絕緣層 30等皆做乾式蝕除。

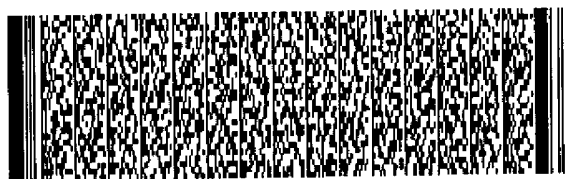
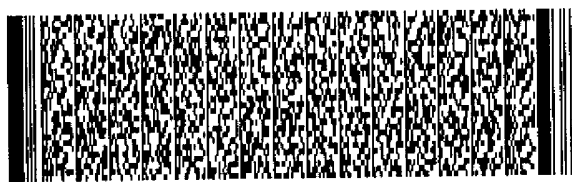
如上所述，此時區域 A中之 PR圖型部分應仍保留，且區域 B中之矽化物層 50、半導體層 40及閘絕緣層 30等之部分應去除，區域 C中之矽化物層 50及半導體層 40之部分應去除，而區域 C中之閘絕緣層 30部分應保留。

基於此目的，最好使用一乾式蝕刻而可沿著下層蝕刻 PR圖型，如圖 18A、18B所示，區域 B中之三層即矽化物層 50、半導體層 40與閘絕緣層以及區域 C中之三層即 PR圖型、矽化物層 50與半導體層 40等之部分皆可一次利用乾式蝕刻而蝕除之。區域 A中之 PR圖型較厚部分亦蝕刻至一定深度。

依據上述方法，僅有矽化物層 50及半導體層 40去除而形成顯示區 D中之半導體層圖型 42、48及矽化物圖型 52、58，且矽化物層 50、半導體層 40及閘絕緣層 30僅利用一光石版印刷步驟而去除以形成接觸孔 31。

其次，如圖 19A、19B所示，A部分之剩餘 PR圖型剝離，一具有厚度為 400至 500埃之 ITO層及一具有厚度為 1500至 3000埃之金屬導體層係利用例如濺射以積置之。導體層、ITO層及下方之矽化物圖型 52、58製出圖型，以利用第三光石版印刷步驟而製成圖 19A至 19C所示之一資料線路及一歐姆接觸層圖型 55、56、57、59，此時資料線路尚未完成且二層互為相同者。

其次，如圖 10至 12所示，一鈍化層 80利用 SiN_x 之 CVD法或有機絕緣物之旋塗法以形成具有 3000埃厚度，隨後鈍化



五、發明說明 (27)

層 80 利用第四光石版印刷步驟製出圖型，以利分別曝現出像素極 63、冗餘開墊塊 67 及資料墊塊 64 之第二資料層圖型 73、77、74。

最後，第二資料層圖型 73、77、74 之部分係去除而完成 TFT 陣列面板。

此處用於曝現出像素極 63 之開孔可如圖 3 所示製成，此時像素極 63 之邊緣可透過開孔而曝現，且可加入步驟以將透過開孔而曝現之開絕緣層圖型 30 蝕除。

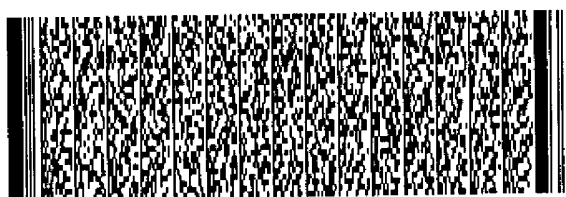
在本實例中，曝現出開墊塊 24 之接觸孔 31 設有半導體層圖型 42、48，且利用一光石版印刷步驟及依據光罩數量之矽化物圖型 52、58 減少。

此實例中雖然像素極係製成較寬寬度之面狀，但是亦可製成線狀，再者，沿著像素極以驅動液晶分子之一共同電極可形成於如像素極者之同一基材上。

此情況將參考圖 20 至 25C 以第四實例詳述之。

圖 20 係本發明第四實例用於一 LCD 之 TFT 陣列面板配置圖，圖 21、22 分別為沿圖 20 之 XXI-XXI' 及 XXII-XXII' 線所取之截面圖。

首先，由金屬或導電材料如鋁 (Al) 或鋁合金、鉬 (Mo) 或鉬鎢合金 (MoW)、鉻 (Cr)、及鉭 (Ta) 製成之一開線路係形成於一絕緣基材 10 上，一開線路包括一延伸於水平方向之開線 (掃描訊號線) 22、一連接於開線 22 末端且自一外部電路傳送一掃描訊號至開線 22 之開墊塊 24、一做為薄膜電晶體一部分之開極 26。



五、發明說明 (27)

層 80 利用第四光石版印刷步驟製出圖型，以利分別曝現出像素極 63、冗餘開墊塊 67 及資料墊塊 64 之第二資料層圖型 73、77、74。

最後，第二資料層圖型 73、77、74 之部分係去除而完成 TFT 陣列面板。

此處用於曝現出像素極 63 之開孔可如圖 3 所示製成，此時像素極 63 之邊緣可透過開孔而曝現，且可加入步驟以將透過開孔而曝現之開絕緣層圖型 30 蝕除。

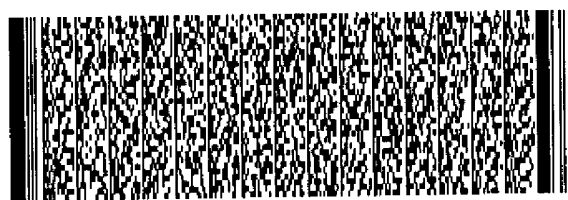
在本實例中，曝現出開墊塊 24 之接觸孔 31 設有半導體層圖型 42、48，且利用一光石版印刷步驟及依據光罩數量之矽化物圖型 52、58 減少。

此實例中雖然像素極係製成較寬寬度之面狀，但是亦可製成線狀，再者，沿著像素極以驅動液晶分子之一共同電極可形成於如像素極者之同一基材上。

此情況將參考圖 20 至 25C 以第四實例詳述之。

圖 20 係本發明第四實例用於一 LCD 之 TFT 陣列面板配置圖，圖 21、22 分別為沿圖 20 之 XXI-XXI' 及 XXII-XXII' 線所取之截面圖。

首先，由金屬或導電材料如鋁 (Al) 或鋁合金、鉬 (Mo) 或鉬鎢合金 (MoW)、鉻 (Cr)、及鉭 (Ta) 製成之一開線路係形成於一絕緣基材 10 上，一開線路包括一延伸於水平方向之開線 (掃描訊號線) 22、一連接於開線 22 末端且自一外部電路傳送一掃描訊號至開線 22 之開墊塊 24、一做為薄膜電晶體一部分之開極 26。



五、發明說明 (28)

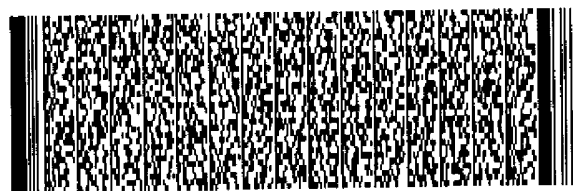
再者，一以相同於閘線路 22、24、26 材料製成之共同線路係形成於一絕緣基材 10 上，共同線路包括延伸於水平方向且平行於閘線 22 之共同電極線 27 及做為共同電極線 27 橫向支線之共同電極 28。共同線路亦可包括一連接於共同電極線 27 一端且自一外部電路傳送一共同訊號至共同電極線 27 之共同墊塊 (圖中未示)、一做為薄膜電晶體一部分且具有幾乎相同於閘墊塊 24 形狀之閘極 26。

一由氮化矽 (SiN_x) 製成之閘絕緣層圖型 30 係形成於閘線路 22、24、26 及共同線路 27、28 上且厚度為 2500 至 3000 埃，並覆蓋之。

一由半導體如氫化非結晶矽製成之半導體層圖型 42、44、48 係形成於閘絕緣層 30 上，一由例如大量摻以雜質如 N 型與矽化物之摻雜性非結晶矽製成之一歐姆接觸層圖型 54、55、56、59 則形成於半導體層圖型 42、48 上。

此時，顯示區之半導體層圖型 42、44、48 形成於閘線路 22、24、26 與共同線路 27、28 疊覆於一資料線路上之處，容後詳述。周邊區之半導體層圖型 42、44、48 則形成於全部上。此處在閘墊塊 24 上之半導體層圖型 42、44、48 及閘絕緣層 30 具有接觸孔 31 以曝現出閘墊塊 24。

一由導電材料如鈿或鈿鎢、鉻、鋁或鋁合金及鈿製成之資料線路 72、74、75、76、77、78、79 形成於歐姆接觸層圖型 55、56、58 上，資料線路具有一資料線部分，係包括一延伸於垂直方向之資料線 72、一連接於資料線 72 一端且自一外部電路傳送影像訊號至資料線 72 之資料墊塊 74、及



五、發明說明 (28)

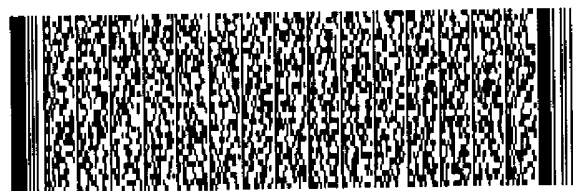
再者，一以相同於閘線路 22、24、26 材料製成之共同線路係形成於一絕緣基材 10 上，共同線路包括延伸於水平方向且平行於閘線 22 之共同電極線 27 及做為共同電極線 27 橫向支線之共同電極 28。共同線路亦可包括一連接於共同電極線 27 一端且自一外部電路傳送一共同訊號至共同電極線 27 之共同墊塊 (圖中未示)、一做為薄膜電晶體一部分且具有幾乎相同於閘墊塊 24 形狀之閘極 26。

一由氮化矽 (SiN_x) 製成之閘絕緣層圖型 30 係形成於閘線路 22、24、26 及共同線路 27、28 上且厚度為 2500 至 3000 埃，並覆蓋之。

一由半導體如氫化非結晶矽製成之半導體層圖型 42、44、48 係形成於閘絕緣層 30 上，一由例如大量摻以雜質如 N 型與矽化物之摻雜性非結晶矽製成之一歐姆接觸層圖型 54、55、56、59 則形成於半導體層圖型 42、48 上。

此時，顯示區之半導體層圖型 42、44、48 形成於閘線路 22、24、26 與共同線路 27、28 疊覆於一資料線路上之處，容後詳述。周邊區之半導體層圖型 42、44、48 則形成於全部上。此處在閘墊塊 24 上之半導體層圖型 42、44、48 及閘絕緣層 30 具有接觸孔 31 以曝現出閘墊塊 24。

一由導電材料如鈿或鈿鎢、鉻、鋁或鋁合金及鈿製成之資料線路 72、74、75、76、77、78、79 形成於歐姆接觸層圖型 55、56、58 上，資料線路具有一資料線部分，係包括一延伸於垂直方向之資料線 72、一連接於資料線 72 一端且自一外部電路傳送影像訊號至資料線 72 之資料墊塊 74、及



五、發明說明 (29)

一 做為資料線 72 支線之薄膜電晶體 (TFT) 之源極 75。相關於閘電極 26 以及與資料線零件 72、74、45 分離，資料線路亦包括一相關於閘極 26 而在源極 75 對面之 TFT 汲極 76、一連接於汲極 76 且平行於共同電極線 27 之像素線 79、及一連接於像素極線 79 且平行於共同電極 28 之像素極 78，共同電極 28 及像素極 78 係交錯地定位，以施加近乎平行之電極場於基材 10。貯存式電容器可形成於像素極線 79 與共同電極線 27 相互重疊之部分上。

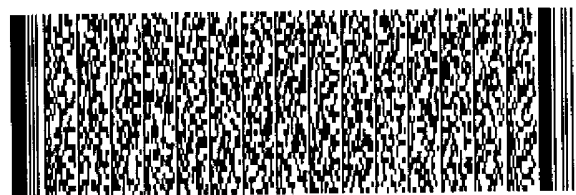
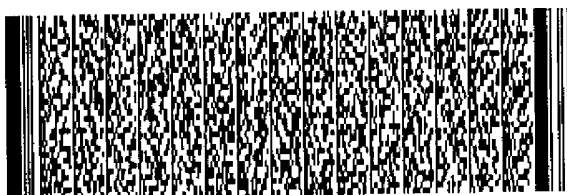
資料線路 72、74、75、76、77、78、79 可具有一多層式結構，如同閘線路 22、24、28 與共同線路 27、28，當然，當資料線路具有一多層式結構時，最好一層由低電阻材料製成，而另一層由可良好接觸於其他材料之材料製成。

歐姆接觸層圖型 54、55、56、59 所扮演之角色在於減少半導體層圖型 42、44、48 與其上資料線路 72、74、75、76、77、78、79 之間之接觸電阻，且僅形成於其間。

資料線路 72、74、75、76、77、78、79 及半導體層圖型 44、44、48 皆覆以一鈍化層 80，鈍化層分別具有接觸孔 82、83 以曝現出閘墊塊 24 及資料墊塊 74。鈍化層 80 所扮演之角色在於至少保護源極 75 與汲極 76 之間之半導體 42 通道部分，鈍化層 80 可由絕緣材料製成，例如 SiN_x 或丙烯酸有機材料。

以下將參考圖 23A 至 25C 及圖 20 至 22 說明本發明實例之一薄膜電晶體陣列面板之製造方法。

首先如圖 23A 至 23C 所示，一金屬導體層例如利用濺射而



五、發明說明 (29)

一 做為資料線 72 支線之薄膜電晶體 (TFT) 之源極 75。相關於閘電極 26 以及與資料線零件 72、74、45 分離，資料線路亦包括一相關於閘極 26 而在源極 75 對面之 TFT 汲極 76、一連接於汲極 76 且平行於共同電極線 27 之像素線 79、及一連接於像素極線 79 且平行於共同電極 28 之像素極 78，共同電極 28 及像素極 78 係交錯地定位，以施加近乎平行之電極場於基材 10。貯存式電容器可形成於像素極線 79 與共同電極線 27 相互重疊之部分上。

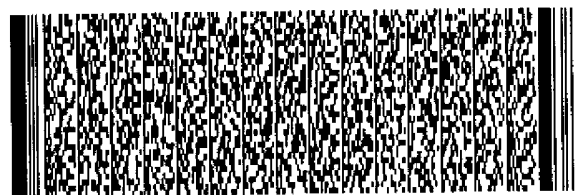
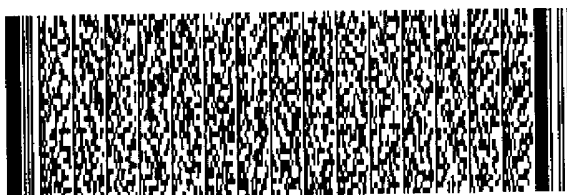
資料線路 72、74、75、76、77、78、79 可具有一多層式結構，如同閘線路 22、24、28 與共同線路 27、28，當然，當資料線路具有一多層式結構時，最好一層由低電阻材料製成，而另一層由可良好接觸於其他材料之材料製成。

歐姆接觸層圖型 54、55、56、59 所扮演之角色在於減少半導體層圖型 42、44、48 與其上資料線路 72、74、75、76、77、78、79 之間之接觸電阻，且僅形成於其間。

資料線路 72、74、75、76、77、78、79 及半導體層圖型 44、44、48 皆覆以一鈍化層 80，鈍化層分別具有接觸孔 82、83 以曝現出閘墊塊 24 及資料墊塊 74。鈍化層 80 所扮演之角色在於至少保護源極 75 與汲極 76 之間之半導體 42 通道部分，鈍化層 80 可由絕緣材料製成，例如 SiN_x 或丙烯酸有機材料。

以下將參考圖 23A 至 25C 及圖 20 至 22 說明本發明實例之一薄膜電晶體陣列面板之製造方法。

首先如圖 23A 至 23C 所示，一金屬導體層例如利用濺射而



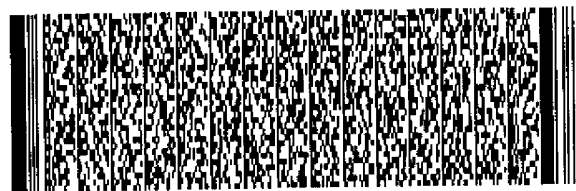
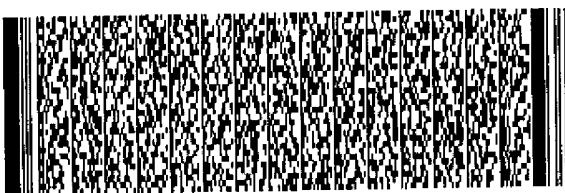
五、發明說明 (30)

積置於一基材 10 上，且具有 1000 至 3000 埃厚度，且一包括一開線 22、一開墊塊 24 及一開極 26 之開線路與一包括一共同電極線 27、一共同墊塊 (圖中未示) 及共同電極 28 之共同線路皆利用第一光罩而以乾式或濕式蝕刻製成。

其次，如圖 24A 至 24C 所示，一開絕緣層 30、一半導體層 40 及一做為歐姆接觸層之摻雜性非結晶矽層 50 係依序利用化學氣體沉積 (CVD) 而分別積置為 1500 至 5000 埃、500 至 1500 埃、及 300 至 600 埃厚度，隨後歐姆接觸層 50、半導體層 40、開絕緣層 30 利用第二光罩而一次製成圖型，以利形成一半導體層圖型 42、44、48，一歐姆接觸層圖型 52、54、58 及接觸孔 31，此時開墊塊 24 上之歐姆接觸層 50，半導體層 40 及開絕緣層 30 在周邊區 P 中去除。惟，僅有某些部分之歐姆接觸層 50 及半導體層 40 應去除，以保留半導體層圖型 42、44、48、歐姆接觸層圖型 52、54、58 及開絕緣層 30。

基於此目的，一 PR 圖型形成具有可依位置而變化之厚度，且 PR 圖型下方之諸層以 PR 圖型做為一蝕刻光罩而蝕除之，如第三實例中所示。一依據位置而有不同光線透光率之光罩可用於形成 PR 圖型。

一例如由金屬製成之導電層係利用濺射而積置成 1500 至 3000 埃厚度，其下方之導體層及歐姆接觸層圖型 52、54、58 則利用第三光罩而製圖，以形成圖 25A 至 25C 所示之一資料線路 72、74、75、76、77、78、79 及一歐姆接觸層線路 54、55、56、59。



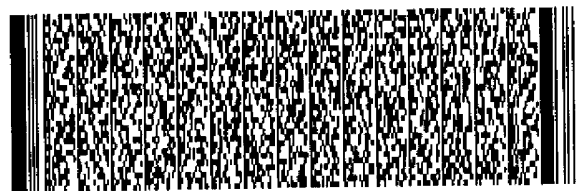
五、發明說明 (30)

積置於一基材 10 上，且具有 1000 至 3000 埃厚度，且一包括一閘線 22、一閘墊塊 24 及一閘極 26 之閘線路與一包括一共同電極線 27、一共同墊塊 (圖中未示) 及共同電極 28 之共同線路皆利用第一光罩而以乾式或濕式蝕刻製成。

其次，如圖 24A 至 24C 所示，一閘絕緣層 30、一半導體層 40 及一做為歐姆接觸層之摻雜性非結晶矽層 50 係依序利用化學氣體沉積 (CVD) 而分別積置為 1500 至 5000 埃、500 至 1500 埃、及 300 至 600 埃厚度，隨後歐姆接觸層 50、半導體層 40、閘絕緣層 30 利用第二光罩而一次製成圖型，以利形成一半導體層圖型 42、44、48，一歐姆接觸層圖型 52、54、58 及接觸孔 31，此時閘墊塊 24 上之歐姆接觸層 50，半導體層 40 及閘絕緣層 30 在周邊區 P 中去除。惟，僅有某些部分之歐姆接觸層 50 及半導體層 40 應去除，以保留半導體層圖型 42、44、48、歐姆接觸層圖型 52、54、58 及閘絕緣層 30。

基於此目的，一 PR 圖型形成具有可依位置而變化之厚度，且 PR 圖型下方之諸層以 PR 圖型做為一蝕刻光罩而蝕除之，如第三實例中所示。一依據位置而有不同光線透光率之光罩可用於形成 PR 圖型。

一例如由金屬製成之導電層係利用濺射而積置成 1500 至 3000 埃厚度，其下方之導體層及歐姆接觸層圖型 52、54、58 則利用第三光罩而製圖，以形成圖 25A 至 25C 所示之一資料線路 72、74、75、76、77、78、79 及一歐姆接觸層線路 54、55、56、59。



五、發明說明 (31)

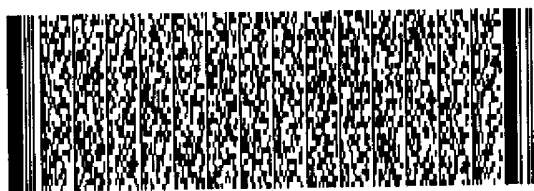
其次，如圖 20至 22所示，一鈍化層 80利用 SiN_x 之 CVD法或有機絕緣物之旋塗法而形成具有 3000埃以上厚度，隨後鈍化層 80利用第四光罩以製成圖型，而曝現出閘墊塊 24、共同訊號墊塊及資料墊塊 74，以利形成接觸孔 82、83及完成 TFT陣列面板。

當然，若如同第一實例一般採用可依位置而有部分差異光線透光率之第三光罩，則具有接觸孔 31以曝現閘墊塊 24之閘絕緣層 30即整體形成，且僅形成 TFT之半導體層圖型 42。

本實例中，曝現出閘墊塊 24之接觸孔 31利用一光罩而形成有半導體層圖型 42、44、48及歐姆圖型 52、54、58，據此以減少光罩數量。

依本發明所示，製造方法可藉由減少製造步驟而簡化，藉以減低製造成本及增進產量，此外其可相關於位置以蝕除一層，而具有變化之厚度，同時在具有一厚度處則具有均勻厚度。

圖式及說明書中已描述本發明之典型較佳實例，其雖採用特定辭句，但是此係概括性及闡釋性而非侷限性，本發明之範疇應如以下申請範圍所載述者。



五、發明說明(31)

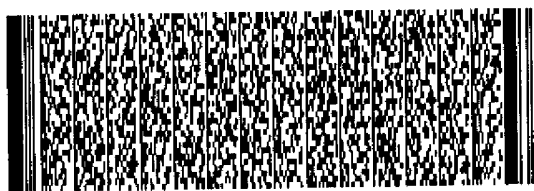
其次，如圖 20 至 22 所示，一鈍化層 80 利用 SiN_x 之 CVD 法或有機絕緣物之旋塗法而形成具有 3000 埃以上厚度，隨後鈍化層 80 利用第四光罩以製成圖型，而曝現出閘墊塊 24、共同訊號墊塊及資料墊塊 74，以利形成接觸孔 82、83 及完成 TFT 陣列面板。

當然，若如同第一實例一般採用可依位置而有部分差異光線透光率之第三光罩，則具有接觸孔 31 以曝現閘墊塊 24 之閘絕緣層 30 即整體形成，且僅形成 TFT 之半導體層圖型 42。

本實例中，曝現出閘墊塊 24 之接觸孔 31 利用一光罩而形成有半導體層圖型 42、44、48 及歐姆圖型 52、54、58，據此以減少光罩數量。

依本發明所示，製造方法可藉由減少製造步驟而簡化，藉以減低製造成本及增進產量，此外其可相關於位置以蝕除一層，而具有變化之厚度，同時在具有一厚度處則具有均勻厚度。

圖式及說明書中已描述本發明之典型較佳實例，其雖採用特定辭句，但是此係概括性及闡釋性而非侷限性，本發明之範疇應如以下申請範圍所載述者。

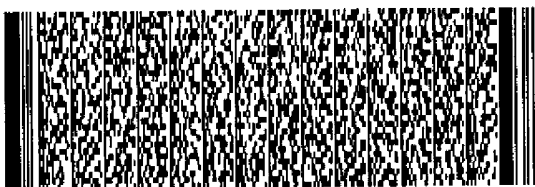


四、中文發明摘要 (發明之名稱：供液晶顯示器用之薄膜電晶體陣列面板及其製造方法)

鄰資料線下方之半導體層。

英文發明摘要 (發明之名稱：THIN FILM TRANSISTOR ARRAY PANELS FOR LIQUID CRYSTAL DISPLAYS AND METHODS OF MANUFACTURING THE SAME)

photolithography process using the second mask. At this time, a contact hole exposing the gate pad is formed. An ITO layer and a metal layer are deposited and patterned to form a data wire, a pixel electrode, and a redundant gate pad by a photolithography process using the third mask. The ohmic contact layer, which is not covered with the ITO layer and the metal layer, is removed. A passivation layer is deposited and patterned by a photolithography process using the fourth mask.

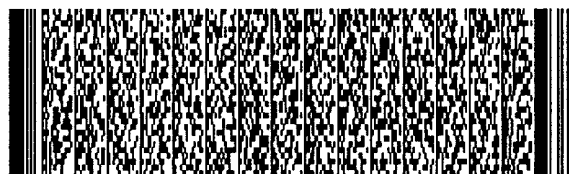


四、中文發明摘要 (發明之名稱：供液晶顯示器用之薄膜電晶體陣列面板及其製造方法)

一種閘線路藉由一光石版印刷過程且使用第一光罩以形成於一絕緣基材上，且一閘絕緣層及一半導體層依序積置，隨後一由矽化物或微結晶與摻雜非晶矽製成之歐姆接觸層形成於半導體層上，然後包括閘絕緣層、半導體層及歐姆接觸層等三者之圖型同時藉由一光石版印刷過程使用第二光罩而製出圖型，此時，形成一接觸孔以曝現閘墊塊。一ITO層及一金屬層利用一光石版印刷過程使用第三光罩，以形成一資料線路、一像素極、及一冗餘閘墊塊，且去除未覆以ITO層與金屬層之歐姆接觸層。一鈍化層藉由光石版印刷過程使用第四光罩以積置及製出圖型，其次去除未覆以鈍化層之像素極、冗餘閘墊塊、及資料墊塊之金屬層，此時去除未覆以鈍化層之半導體層，以分隔於相

英文發明摘要 (發明之名稱：THIN FILM TRANSISTOR ARRAY PANELS FOR LIQUID CRYSTAL DISPLAYS AND METHODS OF MANUFACTURING THE SAME)

A gate wire is formed on an insulating substrate by a photolithography process using the first mask, and a gate insulating layer and a semiconductor layer are sequentially deposited. Then, an ohmic contact layer made of silicide or microcrystallized and doped amorphous silicon is formed on the semiconductor layer. Then, the triple pattern including the gate insulating layer, the semiconductor layer and the ohmic contact layer are patterned at the same time by a



四、中文發明摘要 (發明之名稱：供液晶顯示器用之薄膜電晶體陣列面板及其製造方法)

英文發明摘要 (發明之名稱：THIN FILM TRANSISTOR ARRAY PANELS FOR LIQUID CRYSTAL DISPLAYS AND METHODS OF MANUFACTURING THE SAME)

Next, the metal layer of the pixel electrode, the redundant gate pad, and the data pad, which is not covered with the passivation layer, is removed. At this time, the semiconductor layer which is not covered with the passivation layer is removed to separate the semiconductor layer under the neighboring the data lines.

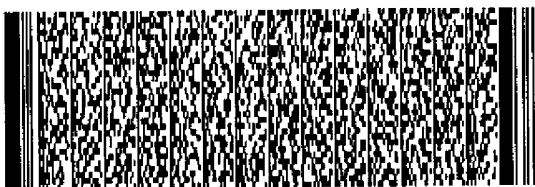


四、中文發明摘要 (發明之名稱：供液晶顯示器用之薄膜電晶體陣列面板及其製造方法)

鄰資料線下方之半導體層。

英文發明摘要 (發明之名稱：THIN FILM TRANSISTOR ARRAY PANELS FOR LIQUID CRYSTAL DISPLAYS AND METHODS OF MANUFACTURING THE SAME)

photolithography process using the second mask. At this time, a contact hole exposing the gate pad is formed. An ITO layer and a metal layer are deposited and patterned to form a data wire, a pixel electrode, and a redundant gate pad by a photolithography process using the third mask. The ohmic contact layer, which is not covered with the ITO layer and the metal layer, is removed. A passivation layer is deposited and patterned by a photolithography process using the fourth mask.



四、中文發明摘要 (發明之名稱：供液晶顯示器用之薄膜電晶體陣列面板及其製造方法)

英文發明摘要 (發明之名稱：THIN FILM TRANSISTOR ARRAY PANELS FOR LIQUID CRYSTAL DISPLAYS AND METHODS OF MANUFACTURING THE SAME)

Next, the metal layer of the pixel electrode, the redundant gate pad, and the data pad, which is not covered with the passivation layer, is removed. At this time, the semiconductor layer which is not covered with the passivation layer is removed to separate the semiconductor layer under the neighboring the data lines.



1. 一種供一液晶顯示器用之薄膜電晶體陣列面板之製造方法，包含以下步驟：

藉由使用一第一光石版印刷過程以形成一開線路於一絕緣基材上；

藉由使用一第二光石版印刷過程以形成一包括一開絕緣層圖、一半導體層圖型及一歐姆接觸層圖型之層圖型於開線路上；

藉由使用一第三光石版印刷過程以形成一具有雙層式結構之導體圖型，雙層式結構包括一底導體層及一頂導體層；

將未覆蓋以導體圖型之歐姆接觸層圖型部分予以去除；
藉由使用一第四光石版印刷過程以形成一鈍化層；及
將未覆蓋以鈍化層之導體圖型之頂導體層部分予以去除。

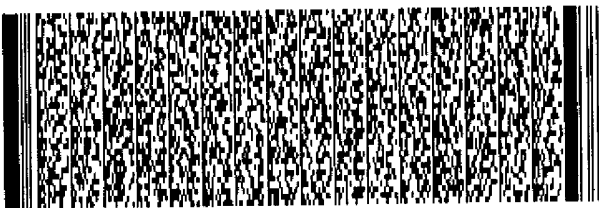
2. 如申請專利範圍第1項之方法，其中歐姆接觸層圖型係由矽化物製成。

3. 如申請專利範圍第1項之方法，其中歐姆接觸層圖型係由微結晶矽製成。

4. 如申請專利範圍第1項之方法，其中開絕緣層圖型、半導體層圖型及歐姆接觸層圖型係在形成層圖型之步驟中形成具有相同形狀。

5. 如申請專利範圍第4項之方法，其中形成層圖型之步驟包含以下步驟：

依序積置一開絕緣層及一半導體層；



1. 一種供一液晶顯示器用之薄膜電晶體陣列面板之製造方法，包含以下步驟：

藉由使用一第一光石版印刷過程以形成一開線路於一絕緣基材上；

藉由使用一第二光石版印刷過程以形成一包括一開絕緣層圖、一半導體層圖型及一歐姆接觸層圖型之層圖型於開線路上；

藉由使用一第三光石版印刷過程以形成一具有雙層式結構之導體圖型，雙層式結構包括一底導體層及一頂導體層；

將未覆蓋以導體圖型之歐姆接觸層圖型部分予以去除；
藉由使用一第四光石版印刷過程以形成一鈍化層；及
將未覆蓋以鈍化層之導體圖型之頂導體層部分予以去除。

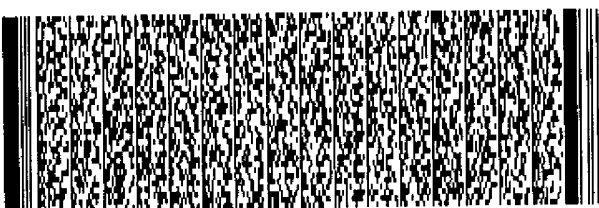
2. 如申請專利範圍第1項之方法，其中歐姆接觸層圖型係由矽化物製成。

3. 如申請專利範圍第1項之方法，其中歐姆接觸層圖型係由微結晶矽製成。

4. 如申請專利範圍第1項之方法，其中開絕緣層圖型、半導體層圖型及歐姆接觸層圖型係在形成層圖型之步驟中形成具有相同形狀。

5. 如申請專利範圍第4項之方法，其中形成層圖型之步驟包含以下步驟：

依序積置一開絕緣層及一半導體層；



六、申請專利範圍

積置一可矽化之金屬層於半導體層上，以形成一矽化物歐姆接觸層；

去除金屬層；及

藉由使用第二光石版印刷過程將歐姆接觸層、半導體層及閘絕緣層製出圖型，以形成歐姆接觸層圖型、半導體層圖型及閘絕緣層圖型。

6.如申請專利範圍第4項之方法，其中形成層圖型之步驟包含以下步驟：

依序積置一閘絕緣層及一半導體層；

藉由使用第二光石版印刷過程將半導體層及閘絕緣層製出圖型，以形成半導體層圖型及閘絕緣層圖型；

積置一可矽化之金屬層於半導體層圖型上，以形成矽化物歐姆接觸層圖型；及

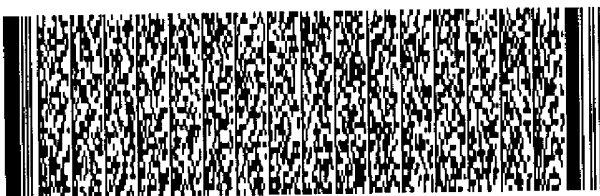
去除金屬層。

7.如申請專利範圍第6項之方法，其中閘線路包括一底層及其上之一頂層。

8.如申請專利範圍第7項之方法，其中閘線路之底層係由鋁或鋁合金製成，而閘線路之頂層係由鉬或鉬合金製成，及金屬層係由鉻製成。

9.如申請專利範圍第7項之方法，其中閘線路之底層係由鉻製成，閘線路之頂層係由鋁或鋁合金製成，及金屬層係由鉬或鉬合金製成。

10.如申請專利範圍第4項之方法，其中形成層圖型之步驟包含以下步驟：



六、申請專利範圍

積置一可矽化之金屬層於半導體層上，以形成一矽化物歐姆接觸層；

去除金屬層；及

藉由使用第二光石版印刷過程將歐姆接觸層、半導體層及閘絕緣層製出圖型，以形成歐姆接觸層圖型、半導體層圖型及閘絕緣層圖型。

6.如申請專利範圍第4項之方法，其中形成層圖型之步驟包含以下步驟：

依序積置一閘絕緣層及一半導體層；

藉由使用第二光石版印刷過程將半導體層及閘絕緣層製出圖型，以形成半導體層圖型及閘絕緣層圖型；

積置一可矽化之金屬層於半導體層圖型上，以形成矽化物歐姆接觸層圖型；及

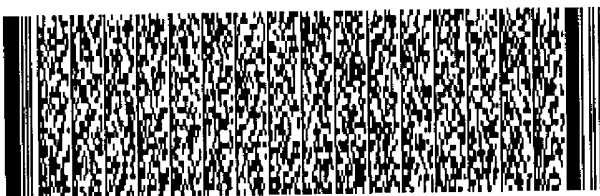
去除金屬層。

7.如申請專利範圍第6項之方法，其中閘線路包括一底層及其上之一頂層。

8.如申請專利範圍第7項之方法，其中閘線路之底層係由鋁或鋁合金製成，而閘線路之頂層係由鉬或鉬合金製成，及金屬層係由鉻製成。

9.如申請專利範圍第7項之方法，其中閘線路之底層係由鉻製成，閘線路之頂層係由鋁或鋁合金製成，及金屬層係由鉬或鉬合金製成。

10.如申請專利範圍第4項之方法，其中形成層圖型之步驟包含以下步驟：



六、申請專利範圍

依序積置一閘絕緣層及一非結晶矽之半導體層；
積置一摻雜之非結晶矽層於半導體層上，以形成一歐姆接觸層；

微結晶歐姆接觸層；及

藉由使用第二光石版印刷過程將歐姆接觸層、半導體層及閘絕緣層製出圖型，以形成歐姆接觸層圖型、半導體層圖型及閘絕緣層圖型。

11.如申請專利範圍第1項之方法，其中層圖型係形成使閘絕緣層圖型、半導體層圖型及歐姆接觸層圖型至少其中之一者在形成層圖型之步驟中具有不同於其他者之形狀。

12.如申請專利範圍第11項之方法，其中形成層圖型之步驟包含以下步驟：

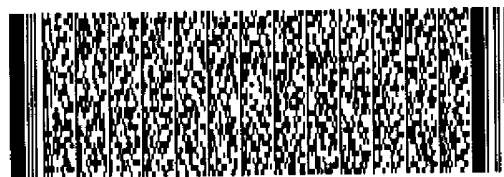
依序積置一閘絕緣層、一半導體層及一歐姆接觸層；

塗覆一光阻層於歐姆接觸層上；

將光阻層顯影，一形成一光阻圖型而具有一部一部分、一較第一部分為厚之第二部分及一較第二部分為厚之第三部分；及

蝕刻第一部分下方歐姆接觸層、半導體層及閘絕緣層部分，以及第二部分下方之歐姆接觸層及半導體層部分，以形成歐姆接觸層圖型、半導體層圖型及閘絕緣層圖型。

13.如申請專利範圍第12項之方法，其中光阻圖型係藉由使用一光罩而形成，光罩包括至少一第一區、一第二區及一第三區，以分別對應於第一部分、第二部分及第三部分且具有不同之透光率。



六、申請專利範圍

依序積置一閘絕緣層及一非結晶矽之半導體層；
積置一摻雜之非結晶矽層於半導體層上，以形成一歐姆接觸層；

微結晶歐姆接觸層；及

藉由使用第二光石版印刷過程將歐姆接觸層、半導體層及閘絕緣層製出圖型，以形成歐姆接觸層圖型、半導體層圖型及閘絕緣層圖型。

11.如申請專利範圍第1項之方法，其中層圖型係形成使閘絕緣層圖型、半導體層圖型及歐姆接觸層圖型至少其中之一者在形成層圖型之步驟中具有不同於其他者之形狀。

12.如申請專利範圍第11項之方法，其中形成層圖型之步驟包含以下步驟：

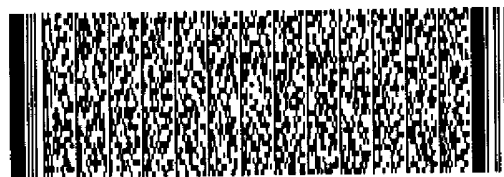
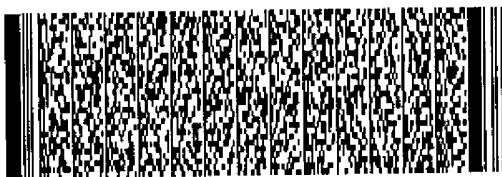
依序積置一閘絕緣層、一半導體層及一歐姆接觸層；

塗覆一光阻層於歐姆接觸層上；

將光阻層顯影，一形成一光阻圖型而具有一部一部分、一較第一部分為厚之第二部分及一較第二部分為厚之第三部分；及

蝕刻第一部分下方歐姆接觸層、半導體層及閘絕緣層部分，以及第二部分下方之歐姆接觸層及半導體層部分，以形成歐姆接觸層圖型、半導體層圖型及閘絕緣層圖型。

13.如申請專利範圍第12項之方法，其中光阻圖型係藉由使用一光罩而形成，光罩包括至少一第一區、一第二區及一第三區，以分別對應於第一部分、第二部分及第三部分且具有不同之透光率。



六、申請專利範圍

14.如申請專利範圍第13項之方法，其中光阻圖型係由一正光阻劑製成，及第二區之透光率係小於第一區之透光率且大於第三區之透光率。

15.如申請專利範圍第14項之方法，其中光罩包括一光罩基材及至少一設於光罩基材上之光罩層，且第二區與第三區之間之透光率差係藉由形成部分光罩層於不同透光率之第二、三區中而取得。

16.如申請專利範圍第14項之方法，其中光罩包括一光罩基材及至少一設於光罩基材上之光罩層，且第二區與第三區之間之透光率差係藉由使第二、三區中之光罩層部分高度差異化而取得。

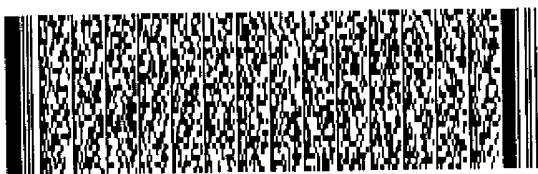
17.如申請專利範圍第14項之方法，其中光罩具有一長縫或一柵條圖型，係小於曝光設備之解析度。

18.如申請專利範圍第14項之方法，其中光罩包括至少二片，其在第一至三區中具有至少二區。

19.如申請專利範圍第1項之方法，其中底導體層係由銻錫氧化物製成。

20.如申請專利範圍第1項之方法，其中閘線路包括複數閘線、做為閘線支線之複數閘極、及連接於閘線且自一外部電路傳送掃描訊號至閘線之複數閘墊塊，導體圖型包括一資料線路及複數像素極，及層圖型與鈍化層具有複數接觸孔及複數第一開孔，供分別將閘墊塊接電至外部電路。

21.如申請專利範圍第20項之方法，其中導體圖型進一步包括複數冗餘閘墊塊，係通過接觸孔以連接至閘墊塊，



六、申請專利範圍

14.如申請專利範圍第13項之方法，其中光阻圖型係由一正光阻劑製成，及第二區之透光率係小於第一區之透光率且大於第三區之透光率。

15.如申請專利範圍第14項之方法，其中光罩包括一光罩基材及至少一設於光罩基材上之光罩層，且第二區與第三區之間之透光率差係藉由形成部分光罩層於不同透光率之第二、三區中而取得。

16.如申請專利範圍第14項之方法，其中光罩包括一光罩基材及至少一設於光罩基材上之光罩層，且第二區與第三區之間之透光率差係藉由使第二、三區中之光罩層部分高度差異化而取得。

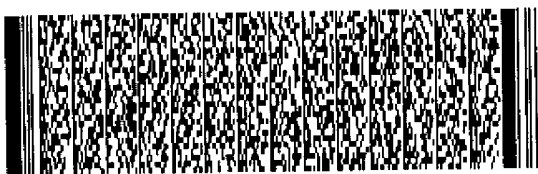
17.如申請專利範圍第14項之方法，其中光罩具有一長縫或一柵條圖型，係小於曝光設備之解析度。

18.如申請專利範圍第14項之方法，其中光罩包括至少二片，其在第一至三區中具有至少二區。

19.如申請專利範圍第1項之方法，其中底導體層係由銻錫氧化物製成。

20.如申請專利範圍第1項之方法，其中閘線路包括複數閘線、做為閘線支線之複數閘極、及連接於閘線且自一外部電路傳送掃描訊號至閘線之複數閘墊塊，導體圖型包括一資料線路及複數像素極，及層圖型與鈍化層具有複數接觸孔及複數第一開孔，供分別將閘墊塊接電至外部電路。

21.如申請專利範圍第20項之方法，其中導體圖型進一步包括複數冗餘閘墊塊，係通過接觸孔以連接至閘墊塊，



六、申請專利範圍

冗餘開墊塊之底導體層係透過第一開孔而曝現。

22.如申請專利範圍第21項之方法，其中

歐姆接觸層圖型具有複數之二分離部分；

資料線路包括相交於開線之複數資料線、連接於資料線且形成於歐姆接觸層圖型一部分上之複數源極、相關於開極且相對立於源極與分離於源極而形成於歐姆接觸層圖型其他部分上之複數汲極、及連接於資料線且自一外部電路傳送影像訊號至資料線之複數資料墊塊；

像素極係連接於汲極；及

鈍化層具有複數第二開孔以曝現像素極之底導體層及複數第三開孔以曝現資料墊塊之底導體層。

23.如申請專利範圍第22項之方法，其中鈍化層具有複數第四開孔以曝現相鄰資料線之間開線上之開絕緣層圖型部分；及

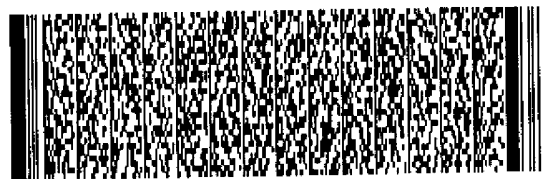
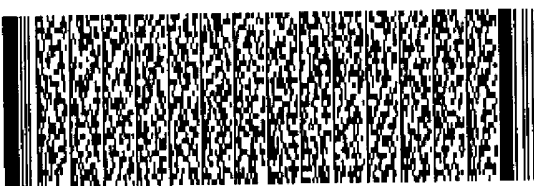
進一步包含去除未覆以鈍化層之半導體層圖型一部分之步驟。

24.如申請專利範圍第23項之方法，其中像素極重疊於與像素極鄰近之開線，且介置於像素極與開線之間之半導體層圖型之一部分係做隔離。

25.一種供一液晶顯示器用之薄膜電晶體陣列面板製造方法，包含以下步驟：

藉由一第一光石版印刷過程以形成一開線路，開線路包括一開線、一開極及開墊塊於一絕緣基材上；

依序積置一開絕緣層、一半導體層及一歐姆接觸層於開



六、申請專利範圍

冗餘開墊塊之底導體層係透過第一開孔而曝現。

22.如申請專利範圍第21項之方法，其中

歐姆接觸層圖型具有複數之二分離部分；

資料線路包括相交於開線之複數資料線、連接於資料線且形成於歐姆接觸層圖型一部分上之複數源極、相關於開極且相對立於源極與分離於源極而形成於歐姆接觸層圖型其他部分上之複數汲極、及連接於資料線且自一外部電路傳送影像訊號至資料線之複數資料墊塊；

像素極係連接於汲極；及

鈍化層具有複數第二開孔以曝現像素極之底導體層及複數第三開孔以曝現資料墊塊之底導體層。

23.如申請專利範圍第22項之方法，其中鈍化層具有複數第四開孔以曝現相鄰資料線之間開線上之開絕緣層圖型部分；及

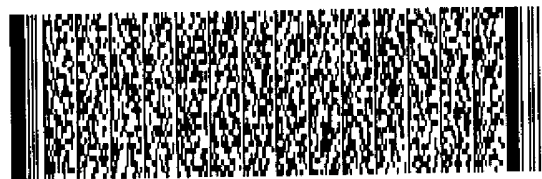
進一步包含去除未覆以鈍化層之半導體層圖型一部分之步驟。

24.如申請專利範圍第23項之方法，其中像素極重疊於與像素極鄰近之開線，且介置於像素極與開線之間之半導體層圖型之一部分係做隔離。

25.一種供一液晶顯示器用之薄膜電晶體陣列面板製造方法，包含以下步驟：

藉由一第一光石版印刷過程以形成一開線路，開線路包括一開線、一開極及開墊塊於一絕緣基材上；

依序積置一開絕緣層、一半導體層及一歐姆接觸層於開



六、申請專利範圍

線路上；

藉由一第二光石版印刷過程沿著開絕緣層將半導體層及歐姆接觸層製出圖型，以形成一具有一接觸孔可曝現開墊塊之開絕緣層圖型、一半導體層圖型及一歐姆接觸層圖型；

形成一具有一雙層式結構之導體層，雙層式結構包括一底導體層及一頂導體層；

藉由一第三光石版印刷過程將導體層製出圖型，以形成一資料線路且包括一資料線、一源極、一汲極與一資料墊塊、一連接於汲極之像素極、及一通過接觸孔以連接於開墊塊之冗餘開墊塊；

蝕除未覆以資料線路、像素極及冗餘開墊塊之歐姆接觸層圖型一部分；

積置一鈍化層於基材上；

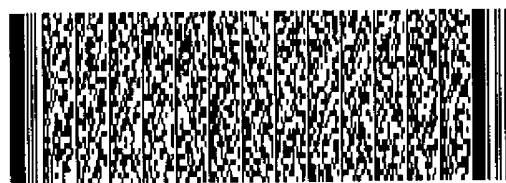
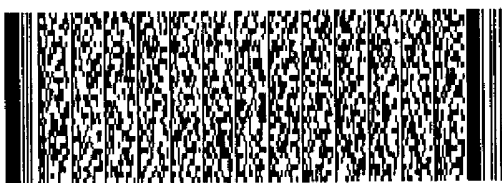
藉由一第四光石版印刷過程蝕刻鈍化層，以形成一鈍化層圖型，且具有第一至第三開孔可分別曝現冗餘開墊塊、資料墊塊及像素極；及

蝕除未覆以鈍化層之頂導體層一部分。

26.如申請專利範圍第25項之方法，其中像素極之一邊緣係透過第三開孔而曝現，及進一步包含將接近於像素極邊緣之開絕緣層一部分去除之步驟。

27.如申請專利範圍第25項之方法，其中歐姆接觸層係由矽化物、微結晶矽或摻雜之非結晶矽製成。

28.如申請專利範圍第25項之方法，其中開絕緣層圖



六、申請專利範圍

線路上；

藉由一第二光石版印刷過程沿著開絕緣層將半導體層及歐姆接觸層製出圖型，以形成一具有一接觸孔可曝現開墊塊之開絕緣層圖型、一半導體層圖型及一歐姆接觸層圖型；

形成一具有一雙層式結構之導體層，雙層式結構包括一底導體層及一頂導體層；

藉由一第三光石版印刷過程將導體層製出圖型，以形成一資料線路且包括一資料線、一源極、一汲極與一資料墊塊、一連接於汲極之像素極、及一通過接觸孔以連接於開墊塊之冗餘開墊塊；

蝕除未覆以資料線路、像素極及冗餘開墊塊之歐姆接觸層圖型一部分；

積置一鈍化層於基材上；

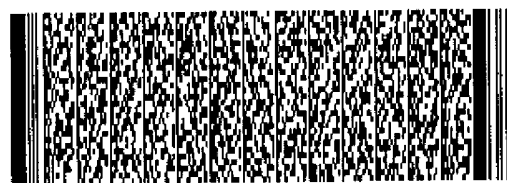
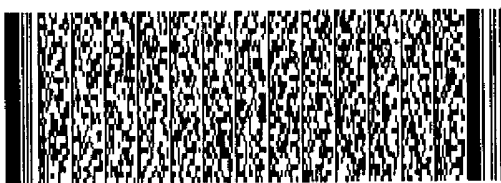
藉由一第四光石版印刷過程蝕刻鈍化層，以形成一鈍化層圖型，且具有第一至第三開孔可分別曝現冗餘開墊塊、資料墊塊及像素極；及

蝕除未覆以鈍化層之頂導體層一部分。

26.如申請專利範圍第25項之方法，其中像素極之一邊緣係透過第三開孔而曝現，及進一步包含將接近於像素極邊緣之開絕緣層一部分去除之步驟。

27.如申請專利範圍第25項之方法，其中歐姆接觸層係由矽化物、微結晶矽或摻雜之非結晶矽製成。

28.如申請專利範圍第25項之方法，其中開絕緣層圖



六、申請專利範圍

型、半導體層圖型及歐姆接觸層圖型係在形成層圖型之步驟中形成具有不同形狀。

29.如申請專利範圍第28項之方法，其中沿開絕緣層將半導體層及歐姆接觸層製出圖型之步驟包含以下步驟：

塗覆一光阻層於歐姆接觸層上；

將光阻層顯影以形成一光阻圖型，具有一第一部分、一較第一部分厚之第二部分及一較第二部分厚之第三部分；
及

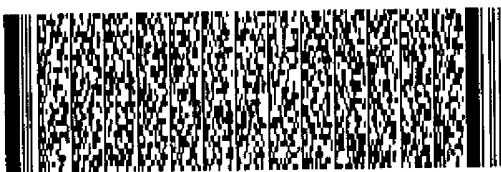
蝕刻第一部分下方之歐姆接觸層、半導體層及開絕緣層部分，以及第二部分下方之歐姆接觸層及半導體層部分，以形成歐姆接觸層圖型、半導體層圖型及開絕緣層圖型。

30.如申請專利範圍第29項之方法，其中光阻圖型係藉由使用一光罩而形成，光罩包括至少一第一區、一第二區及一第三區，以分別對應於第一部分、第二部分及第三部分且具有不同之透光率。

31.如申請專利範圍第30項之方法，其中光罩包括一光罩基材及至少一設於光罩基材上之光罩層，且第二區與第三區之間之透光率差係藉由形成部分光罩層於不同透光率之第二、三區中而取得。

32.如申請專利範圍第30項之方法，其中光罩包括一光罩基材及至少一設於光罩基材上之光罩層，且第二區與第三區之間之透光率差係藉由使第二、三區中之光罩層部分高度差異化而取得。

33.如申請專利範圍第30項之方法，其中光罩具有一長



六、申請專利範圍

型、半導體層圖型及歐姆接觸層圖型係在形成層圖型之步驟中形成具有不同形狀。

29.如申請專利範圍第28項之方法，其中沿開絕緣層將半導體層及歐姆接觸層製出圖型之步驟包含以下步驟：

塗覆一光阻層於歐姆接觸層上；

將光阻層顯影以形成一光阻圖型，具有一第一部分、一較第一部分厚之第二部分及一較第二部分厚之第三部分；及

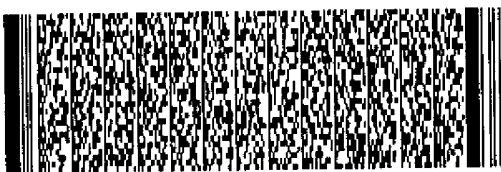
蝕刻第一部分下方之歐姆接觸層、半導體層及開絕緣層部分，以及第二部分下方之歐姆接觸層及半導體層部分，以形成歐姆接觸層圖型、半導體層圖型及開絕緣層圖型。

30.如申請專利範圍第29項之方法，其中光阻圖型係藉由使用一光罩而形成，光罩包括至少一第一區、一第二區及一第三區，以分別對應於第一部分、第二部分及第三部分且具有不同之透光率。

31.如申請專利範圍第30項之方法，其中光罩包括一光罩基材及至少一設於光罩基材上之光罩層，且第二區與第三區之間之透光率差係藉由形成部分光罩層於不同透光率之第二、三區中而取得。

32.如申請專利範圍第30項之方法，其中光罩包括一光罩基材及至少一設於光罩基材上之光罩層，且第二區與第三區之間之透光率差係藉由使第二、三區中之光罩層部分高度差異化而取得。

33.如申請專利範圍第30項之方法，其中光罩具有一長



六、申請專利範圍

縫或一柵條圖型，係小於曝光設備之解析度。

34.如申請專利範圍第30項之方法，其中光罩包括至少二片，其在第一至三區中具有至少二區。

35.如申請專利範圍第29項之方法，其中第一及第三部分係分別位於接觸孔及半導體層圖型上方。

36.如申請專利範圍第28之方法，其中沿開絕緣層將半導體層及歐姆接觸層製出圖型之步驟包含以下步驟：

塗覆一光阻層於歐姆接觸層上；

將光阻層顯影，以形成一光阻層圖型且具有一第一部分、一較第一部分厚之第二部分及一較第二部分厚之第三部分；

蝕刻第一部分下方之歐姆接觸層、半導體層及開絕緣層部分；及

藉由灰化去除第二部分之光阻圖型；及

藉由使用第三部分之光阻圖型做為蝕刻光罩，以蝕刻歐姆接觸層及半導體層。

37.一種供一液晶顯示器用之薄膜電晶體陣列面板製造方法，包含以下步驟：

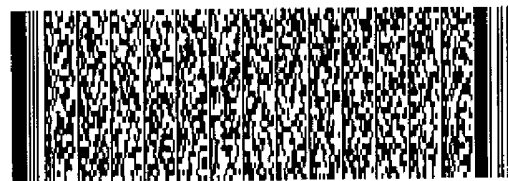
形成一開線路於一絕緣基材上，開線路包括一開線、一開極及開墊塊；

形成一開絕緣層圖型於開線路上；

形成一半導體層圖型於開絕緣層圖型上；

形成一歐姆接觸層圖型於半導體層圖型上；

形成一資料線路，資料線路包括一資料線、一源極、一



六、申請專利範圍

縫或一柵條圖型，係小於曝光設備之解析度。

34.如申請專利範圍第30項之方法，其中光罩包括至少二片，其在第一至三區中具有至少二區。

35.如申請專利範圍第29項之方法，其中第一及第三部分係分別位於接觸孔及半導體層圖型上方。

36.如申請專利範圍第28之方法，其中沿開絕緣層將半導體層及歐姆接觸層製出圖型之步驟包含以下步驟：

塗覆一光阻層於歐姆接觸層上；

將光阻層顯影，以形成一光阻層圖型且具有一第一部分、一較第一部分厚之第二部分及一較第二部分厚之第三部分；

蝕刻第一部分下方之歐姆接觸層、半導體層及開絕緣層部分；及

藉由灰化去除第二部分之光阻圖型；及

藉由使用第三部分之光阻圖型做為蝕刻光罩，以蝕刻歐姆接觸層及半導體層。

37.一種供一液晶顯示器用之薄膜電晶體陣列面板製造方法，包含以下步驟：

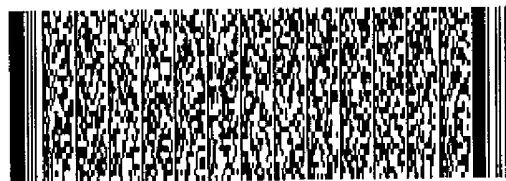
形成一開線路於一絕緣基材上，開線路包括一開線、一開極及開墊塊；

形成一開絕緣層圖型於開線路上；

形成一半導體層圖型於開絕緣層圖型上；

形成一歐姆接觸層圖型於半導體層圖型上；

形成一資料線路，資料線路包括一資料線、一源極、一



六、申請專利範圍

汲極及一資料墊塊；

形成一鈍化層；及

形成一連接於汲極之像素極；

其中閘絕緣層圖型係經由一單一光石版印刷過程使用一光阻圖型，以沿半導體層圖型及歐姆接觸層圖型之至少一者形成，光阻圖型具有依位置而變化之厚度。

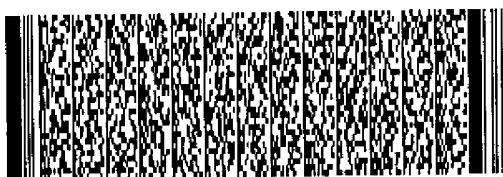
38.如申請專利範圍第37項之方法，其中光阻圖型具有一位於閘墊塊上方之第一部分、一較第一部分厚且位於顯示區中之第二部分及一較第二部分厚之第三部分。

39.如申請專利範圍第38項之方法，其中光阻圖型係藉由使用一光罩而形成，光罩包括至少一第一、二、三區，諸區分別對應於第一、二、三部分且具有不同透光率。

40.如申請專利範圍第39項之方法，其中光阻圖型係由一正光阻劑製成，及第三區之透光率係小於第一區之透光率且大於第二區之透光率。

41.如申請專利範圍第39項之方法，其中光罩包括一光罩基材及至少一設於光罩基材上之光罩層，且第二區與第三區之間之透光率差係藉由形成部分光罩層於不同透光率之第二、三區中而取得。

42.如申請專利範圍第40項之方法，其中光罩包括一光罩基材及至少一設於光罩基材上之光罩層，且第二區與第三區之間之透光率差係藉由使第二、三區中之光罩層部分高度差異化而取得。



六、申請專利範圍

汲極及一資料墊塊；

形成一鈍化層；及

形成一連接於汲極之像素極；

其中閘絕緣層圖型係經由一單一光石版印刷過程使用一光阻圖型，以沿半導體層圖型及歐姆接觸層圖型之至少一者形成，光阻圖型具有依位置而變化之厚度。

38.如申請專利範圍第37項之方法，其中光阻圖型具有一位於閘墊塊上方之第一部分、一較第一部分厚且位於顯示區中之第二部分及一較第二部分厚之第三部分。

39.如申請專利範圍第38項之方法，其中光阻圖型係藉由使用一光罩而形成，光罩包括至少一第一、二、三區，諸區分別對應於第一、二、三部分且具有不同透光率。

40.如申請專利範圍第39項之方法，其中光阻圖型係由一正光阻劑製成，及第三區之透光率係小於第一區之透光率且大於第二區之透光率。

41.如申請專利範圍第39項之方法，其中光罩包括一光罩基材及至少一設於光罩基材上之光罩層，且第二區與第三區之間之透光率差係藉由形成部分光罩層於不同透光率之第二、三區中而取得。

42.如申請專利範圍第40項之方法，其中光罩包括一光罩基材及至少一設於光罩基材上之光罩層，且第二區與第三區之間之透光率差係藉由使第二、三區中之光罩層部分高度差異化而取得。



六、申請專利範圍

43.如申請專利範圍第40項之方法，其中光罩具有一長縫或一柵條圖型，係小於曝光設備之解析度。

44.一種供一液晶顯示器用之薄膜電晶體陣列面板製造方法，包含以下步驟：

形成一包括一閘線、一閘極及閘墊塊之閘線路與一包括一共同訊號線及一共同電極之共同線路於一絕緣基材上；依序積置一閘絕緣層、一半導體層及一歐姆接觸層於閘線路及共同線路上；

塗覆一光阻層於歐姆接觸層上；

將光阻層顯影，以一依部分而有不同厚度之光阻圖型；

藉由使用光阻圖型將半導體層及歐姆接觸層製出圖型，以形成一半導體層圖型、一第一歐姆接觸層圖型及一曝現出閘墊塊之接觸孔；

積置一導體層；

將導體層及第一歐姆接觸層圖型製出圖型，以形成一資料線路且包括一資料線、一源極、一汲極、一資料墊塊及一像素極，以及資料線路下方之一第二歐姆接觸層圖型；

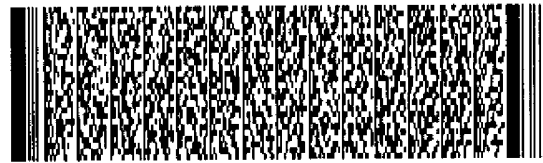
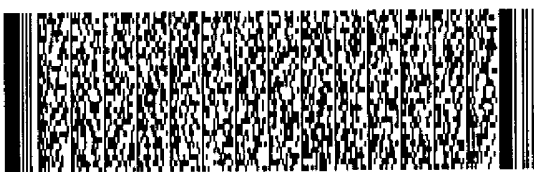
積置一鈍化層；及

蝕除鈍化層以曝現閘墊塊及資料墊塊。

45.一種供一液晶顯示器用之薄膜電晶體陣列面板，包含：

一絕緣基材；

一閘線路，形成於絕緣基材上，且包括複數閘線、連接



六、申請專利範圍

43.如申請專利範圍第40項之方法，其中光罩具有一長縫或一柵條圖型，係小於曝光設備之解析度。

44.一種供一液晶顯示器用之薄膜電晶體陣列面板製造方法，包含以下步驟：

形成一包括一閘線、一閘極及閘墊塊之閘線路與一包括一共同訊號線及一共同電極之共同線路於一絕緣基材上；依序積置一閘絕緣層、一半導體層及一歐姆接觸層於閘線路及共同線路上；

塗覆一光阻層於歐姆接觸層上；

將光阻層顯影，以一依部分而有不同厚度之光阻圖型；

藉由使用光阻圖型將半導體層及歐姆接觸層製出圖型，以形成一半導體層圖型、一第一歐姆接觸層圖型及一曝現出閘墊塊之接觸孔；

積置一導體層；

將導體層及第一歐姆接觸層圖型製出圖型，以形成一資料線路且包括一資料線、一源極、一汲極、一資料墊塊及一像素極，以及資料線路下方之一第二歐姆接觸層圖型；

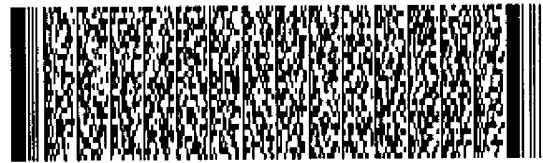
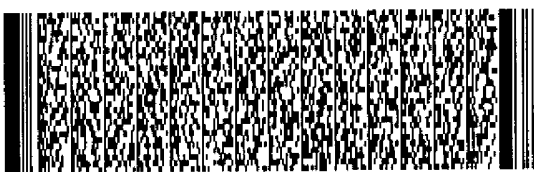
積置一鈍化層；及

蝕除鈍化層以曝現閘墊塊及資料墊塊。

45.一種供一液晶顯示器用之薄膜電晶體陣列面板，包含：

一絕緣基材；

一閘線路，形成於絕緣基材上，且包括複數閘線、連接



六、申請專利範圍

於開線之複數開極及連接於開線末端之複數開墊塊；
一開絕緣層，覆蓋於開線路且具有接觸孔以曝現開墊塊；

一半導體層，形成於開絕緣層上；

一資料線路，具有一雙層式結構，包括一底導體層及一頂導體層，且包括相交於開線之複數資料線、連接於資料線之複數源極、相關於開極且相對立於源極與分離於源極之複數汲極、及連接於資料線且具有一部分底導體層未由頂導體層覆蓋之複數資料墊塊；

複數冗餘開墊塊，係經過接觸孔以覆蓋開墊塊，且具有一部分底導體部未由頂導體部覆蓋；

複數像素極，係連接於汲極且具有一部分底導體層未由頂導體層覆蓋；及

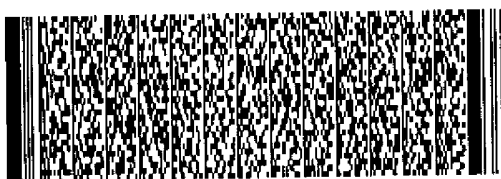
一鈍化層，形成於資料線路、半導體層、開絕緣層及基材上，且具有第一至第四開孔以利分別曝現像素極、相鄰資料線之間開線上之開絕緣層部分、冗餘開墊塊及資料墊塊；

其中頂導體層係僅介置於鈍化層與底導體層之間。

46.如申請專利範圍第45項之薄膜電晶體陣列面板，其中半導體層之邊界係重合於與鈍化層重疊之開絕緣部分之邊界。

47.如申請專利範圍第46項之薄膜電晶體陣列面板，其中底導體層係由銻錫氧化物製成。

48.如申請專利範圍第47項之薄膜電晶體陣列面板，進



六、申請專利範圍

於開線之複數開極及連接於開線末端之複數開墊塊；
一開絕緣層，覆蓋於開線路且具有接觸孔以曝現開墊塊；

一半導體層，形成於開絕緣層上；

一資料線路，具有一雙層式結構，包括一底導體層及一頂導體層，且包括相交於開線之複數資料線、連接於資料線之複數源極、相關於開極且相對立於源極與分離於源極之複數汲極、及連接於資料線且具有一部分底導體層未由頂導體層覆蓋之複數資料墊塊；

複數冗餘開墊塊，係經過接觸孔以覆蓋開墊塊，且具有一部分底導體部未由頂導體部覆蓋；

複數像素極，係連接於汲極且具有一部分底導體層未由頂導體層覆蓋；及

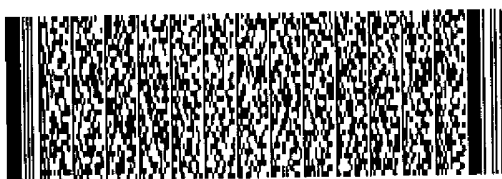
一鈍化層，形成於資料線路、半導體層、開絕緣層及基材上，且具有第一至第四開孔以利分別曝現像素極、相鄰資料線之間開線上之開絕緣層部分、冗餘開墊塊及資料墊塊；

其中頂導體層係僅介置於鈍化層與底導體層之間。

46.如申請專利範圍第45項之薄膜電晶體陣列面板，其中半導體層之邊界係重合於與鈍化層重疊之開絕緣部分之邊界。

47.如申請專利範圍第46項之薄膜電晶體陣列面板，其中底導體層係由銻錫氧化物製成。

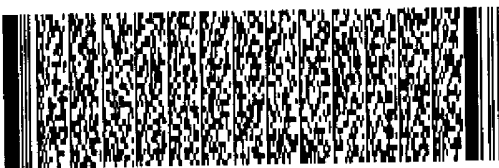
48.如申請專利範圍第47項之薄膜電晶體陣列面板，進



六、申請專利範圍

一步包含一歐姆接觸層圖型，其介置於半導體層與頂導體層之間，且係由矽化物或微結晶之摻雜非晶矽製成，以減低半導體層與底導體層之間之接觸電阻。

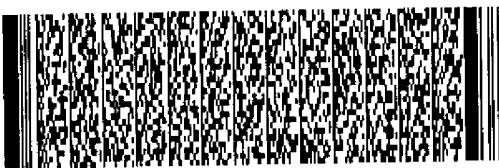
49.如申請專利範圍第48項之薄膜電晶體陣列面板，其中歐姆接觸層之邊界重合於與資料線路重疊之半導體層部分之邊界。



六、申請專利範圍

一步包含一歐姆接觸層圖型，其介置於半導體層與頂導體層之間，且係由矽化物或微結晶之摻雜非晶矽製成，以減低半導體層與底導體層之間之接觸電阻。

49.如申請專利範圍第48項之薄膜電晶體陣列面板，其中歐姆接觸層之邊界重合於與資料線路重疊之半導體層部分之邊界。



圖式

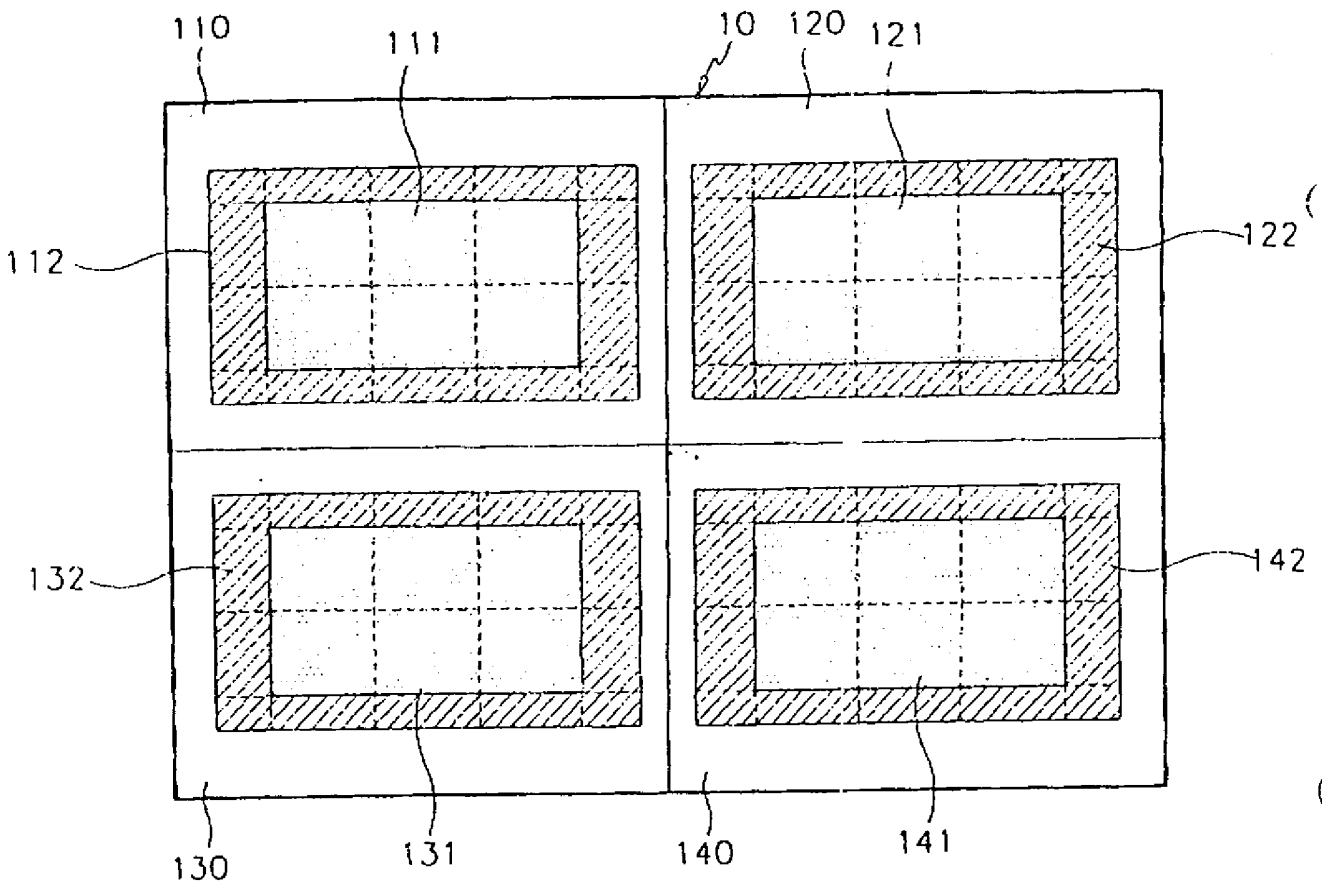


圖 1

圖式

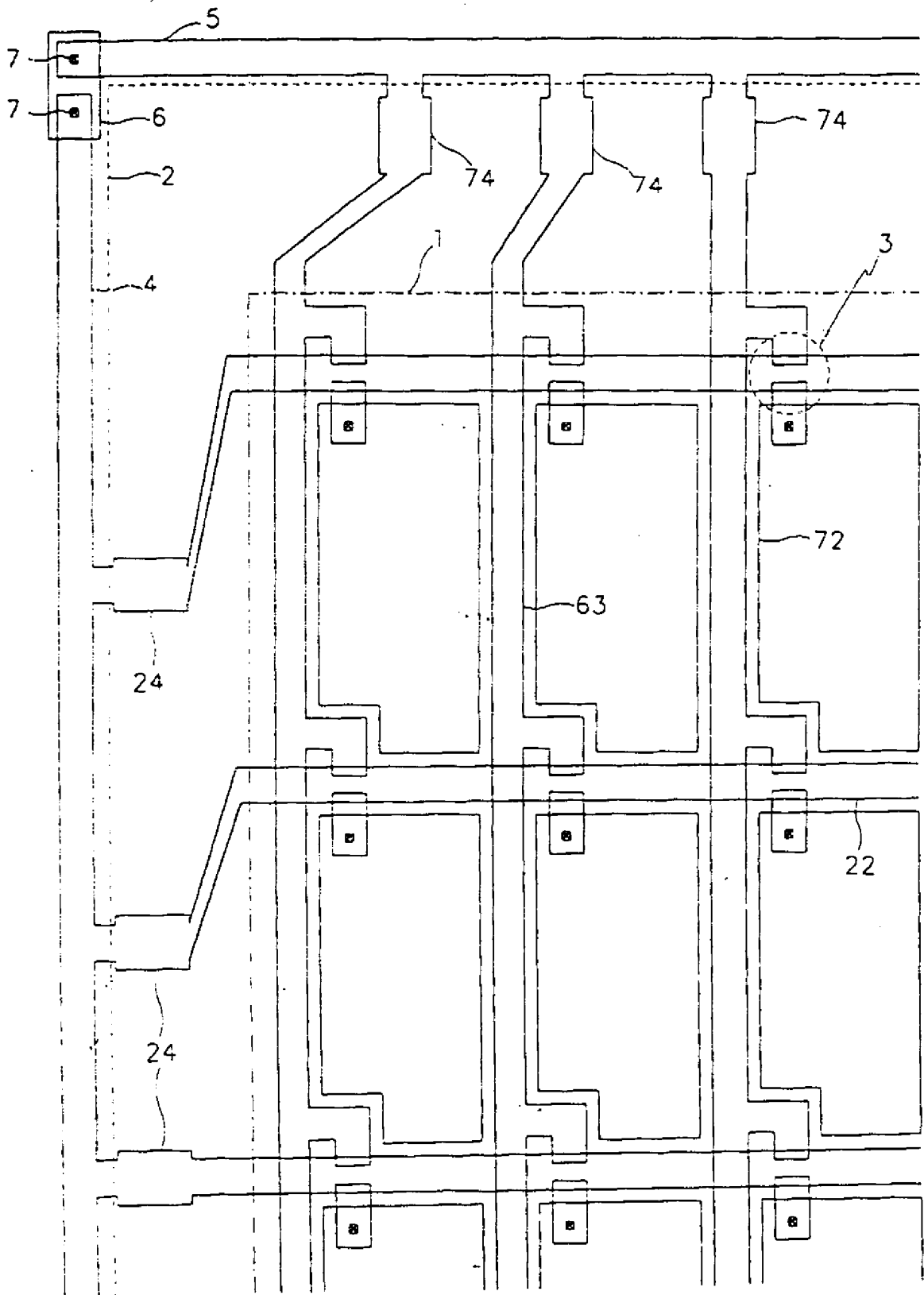


圖 2

圖式

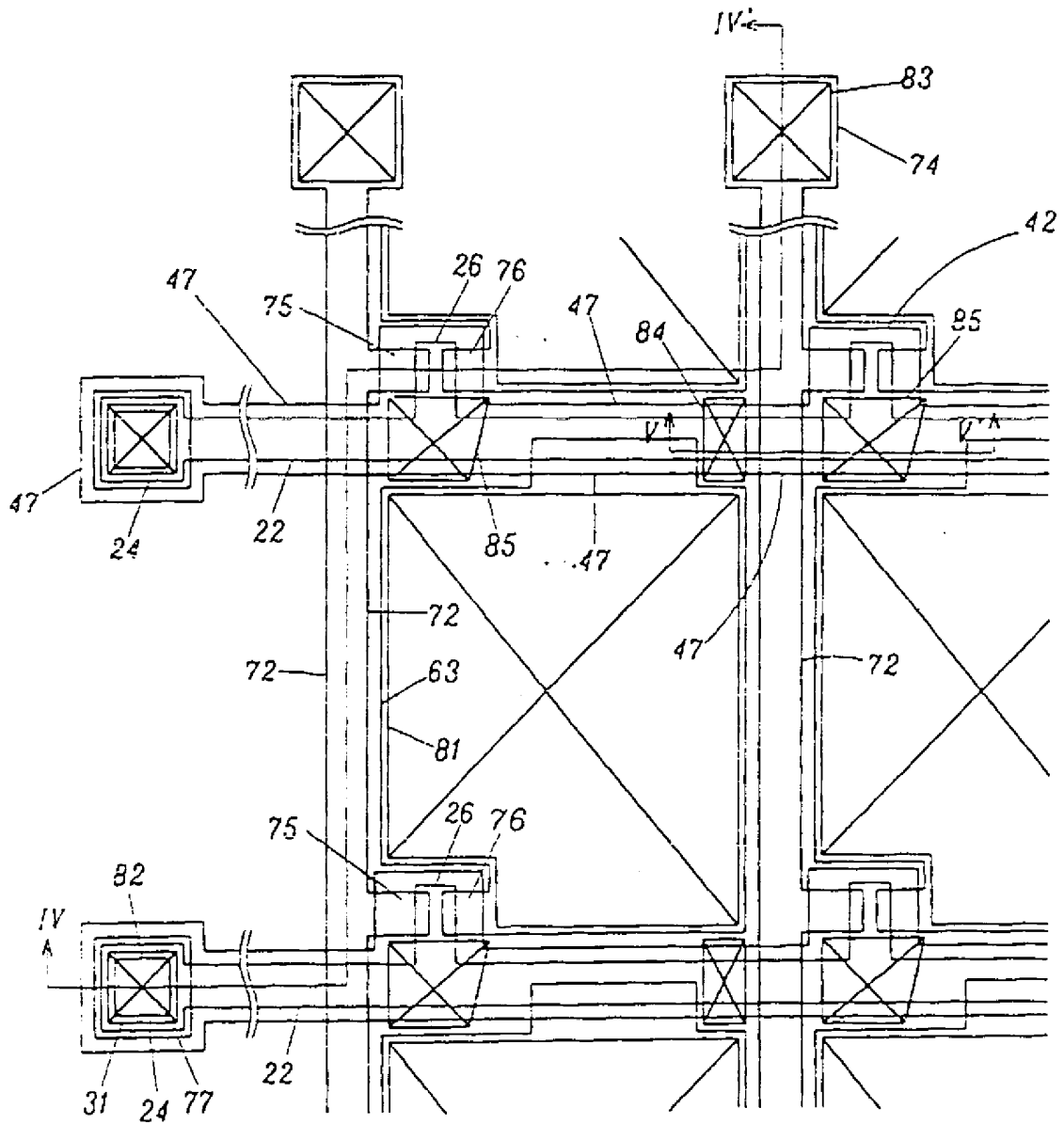


圖 3

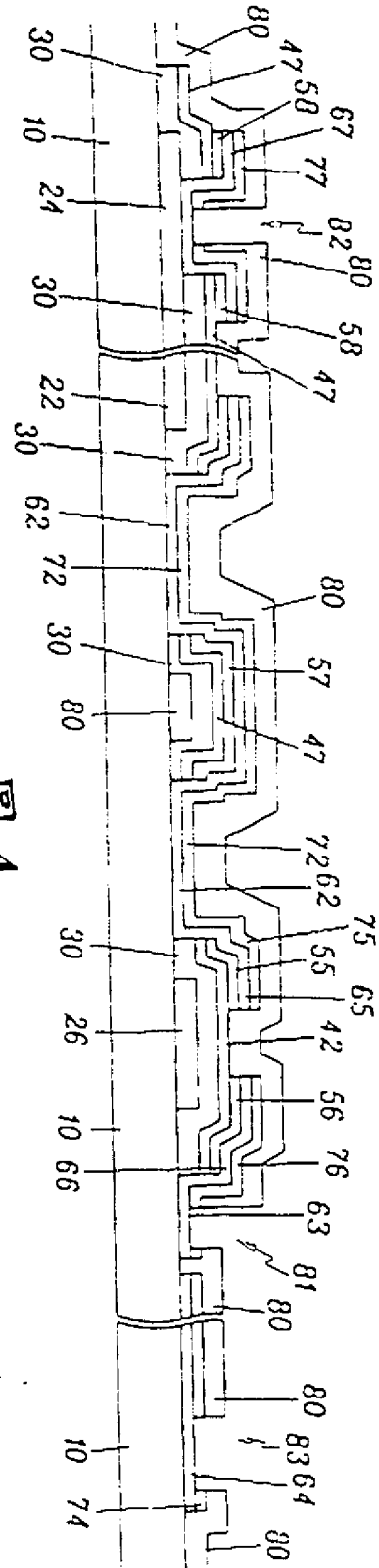


圖 4

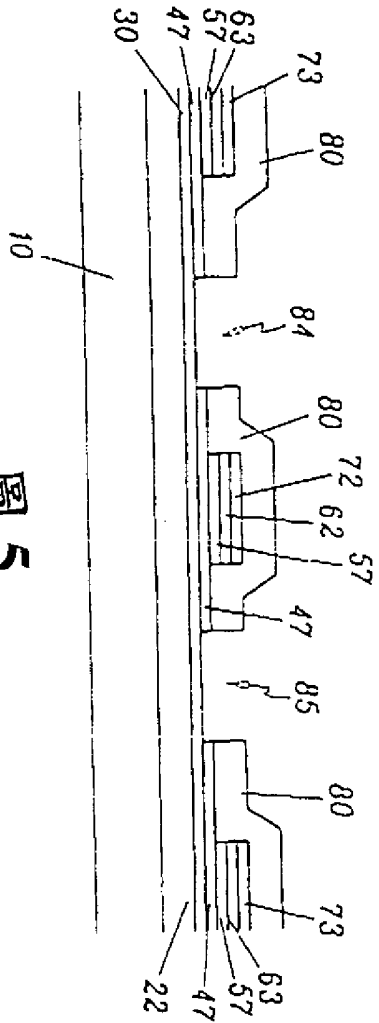
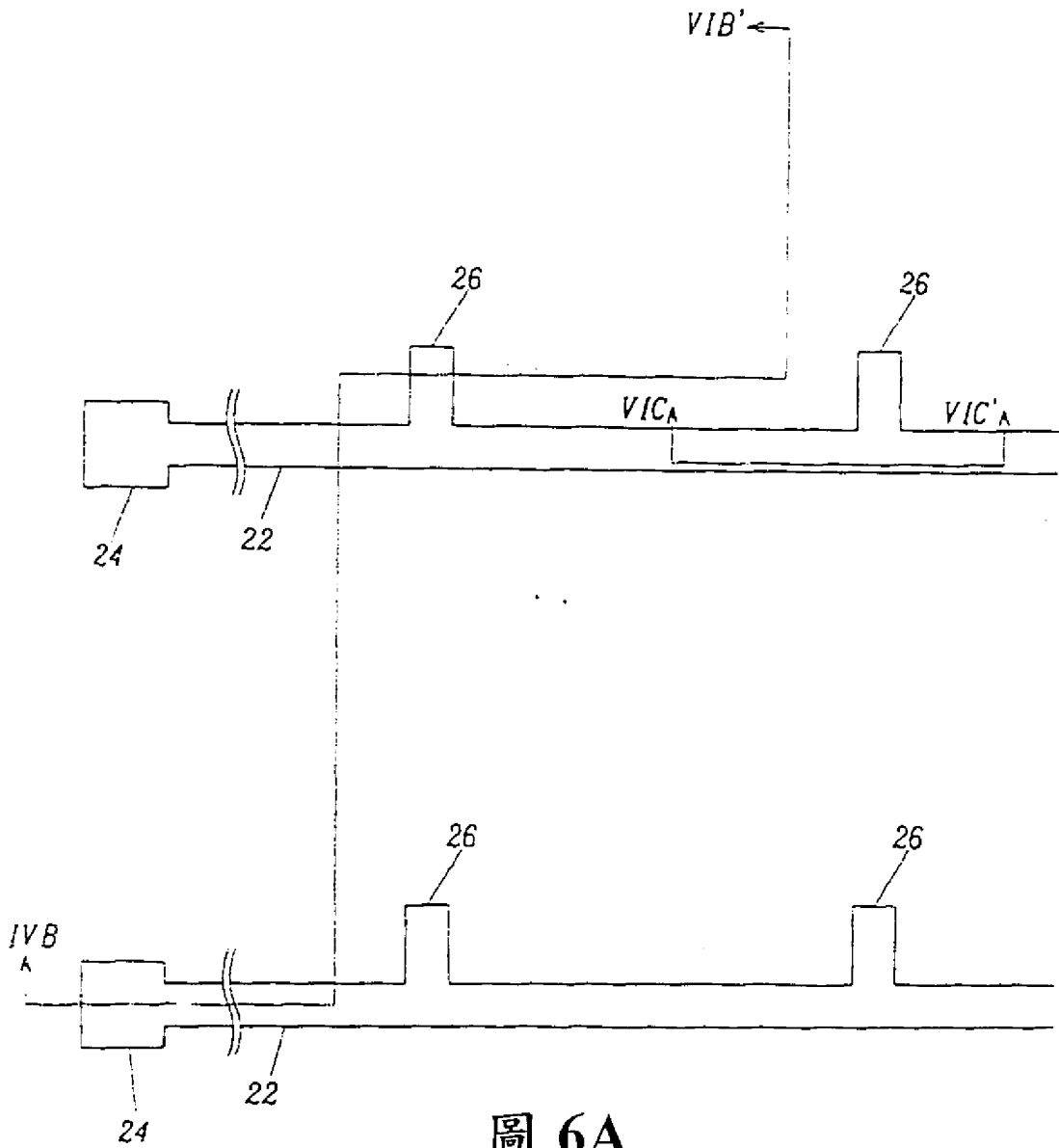


圖 5

圖式



圖式

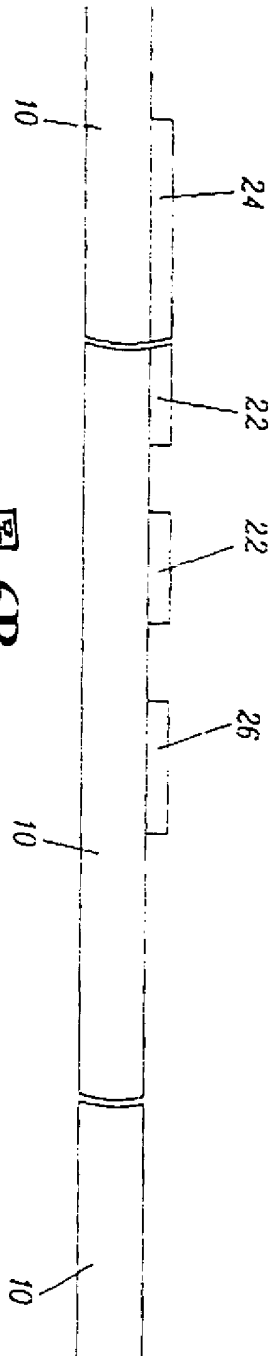


圖 6B

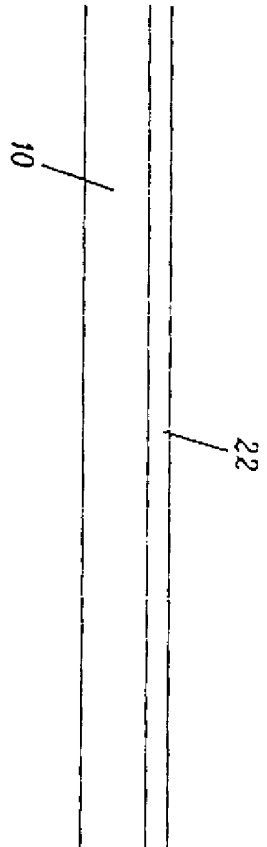


圖 6C

圖式

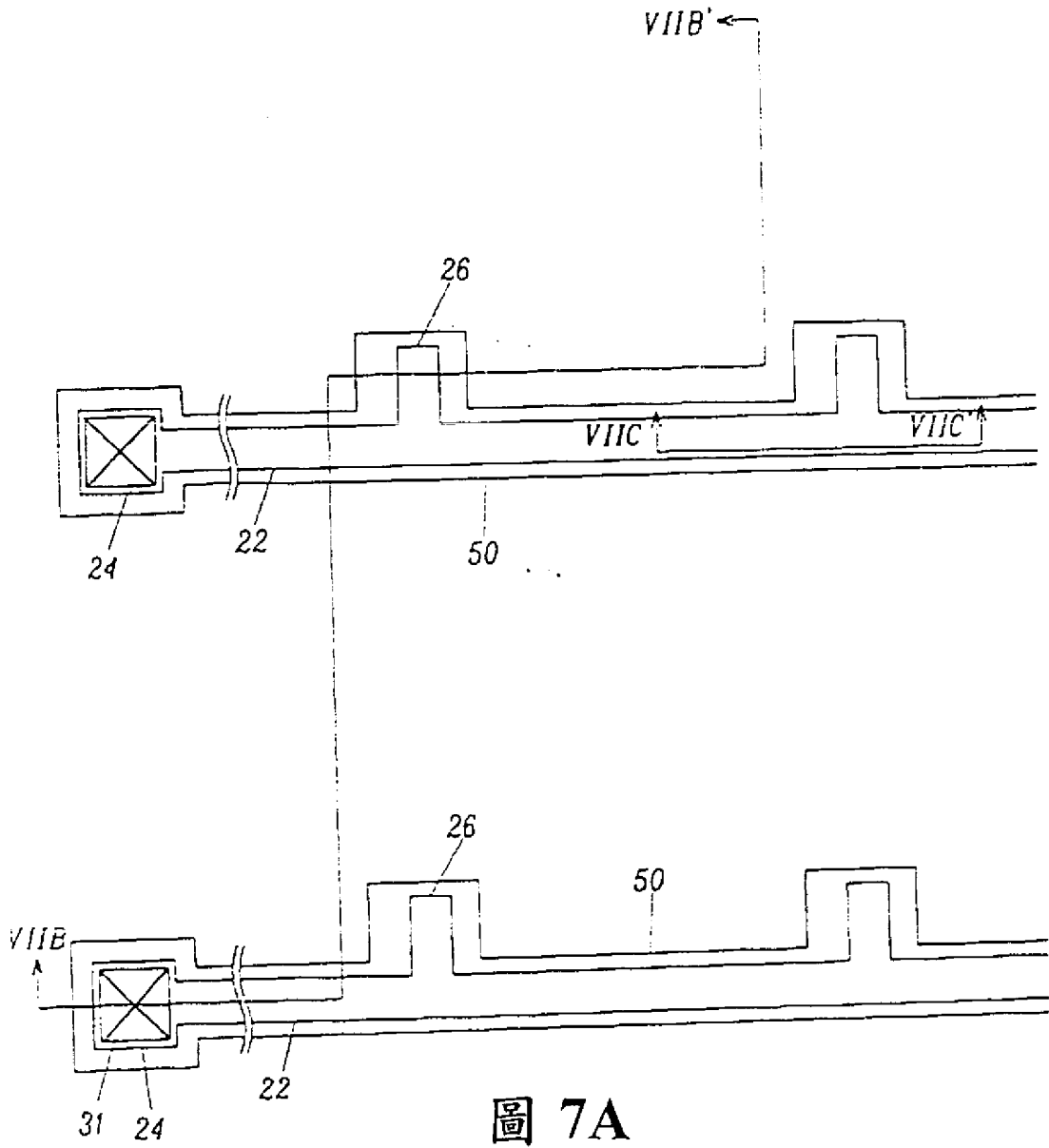


圖 7A

圖式

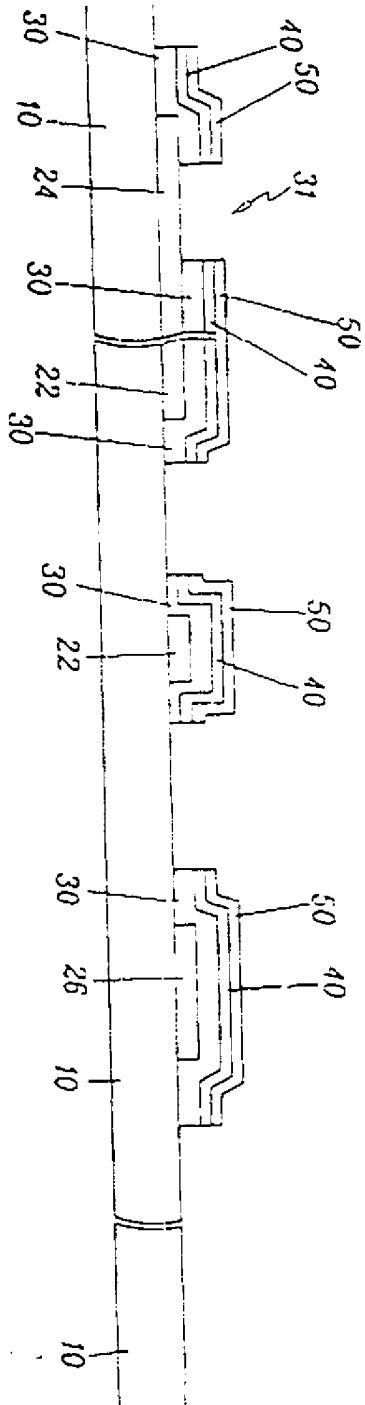


圖 7B

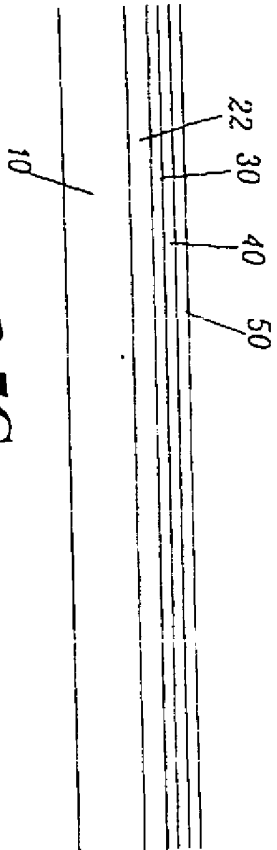


圖 7C

圖式

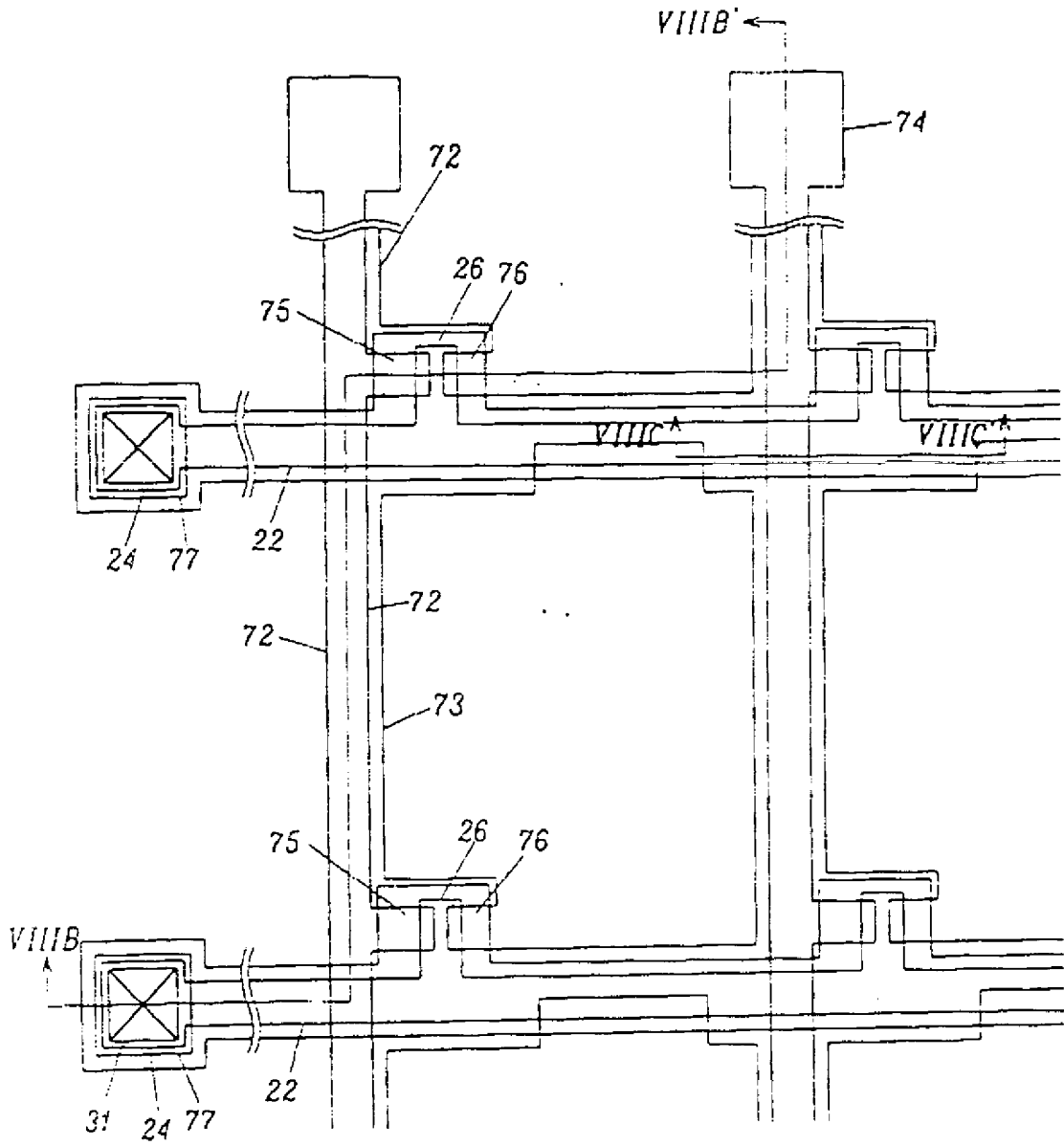


圖 8A

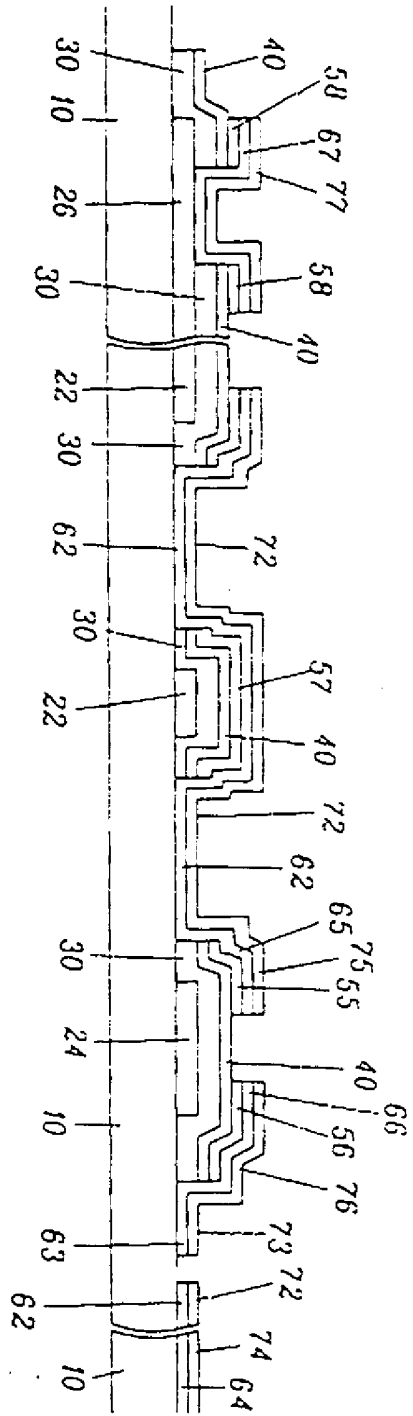


圖 8B

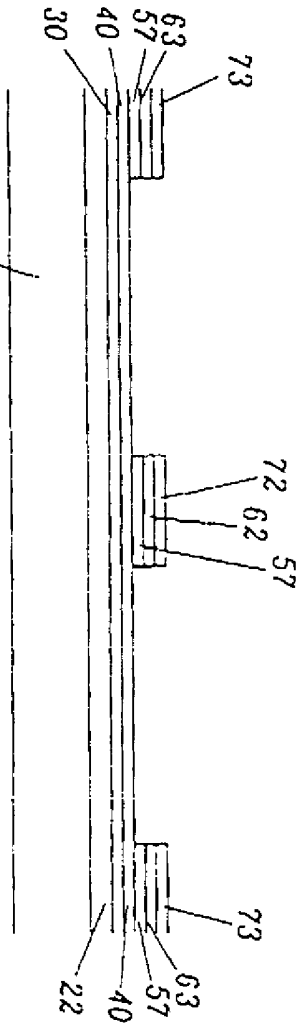


圖 8C

圖式

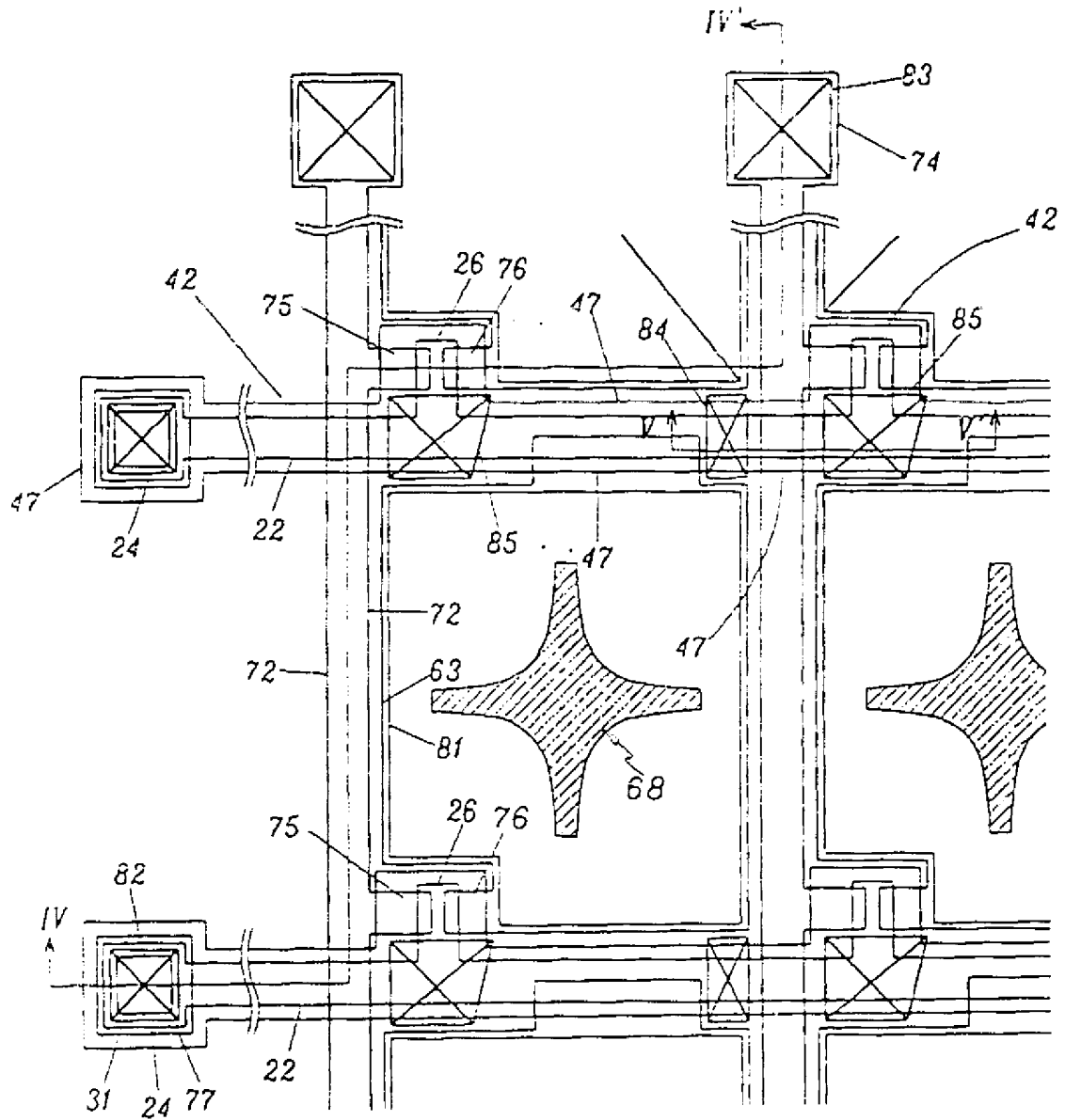


圖 9

圖式

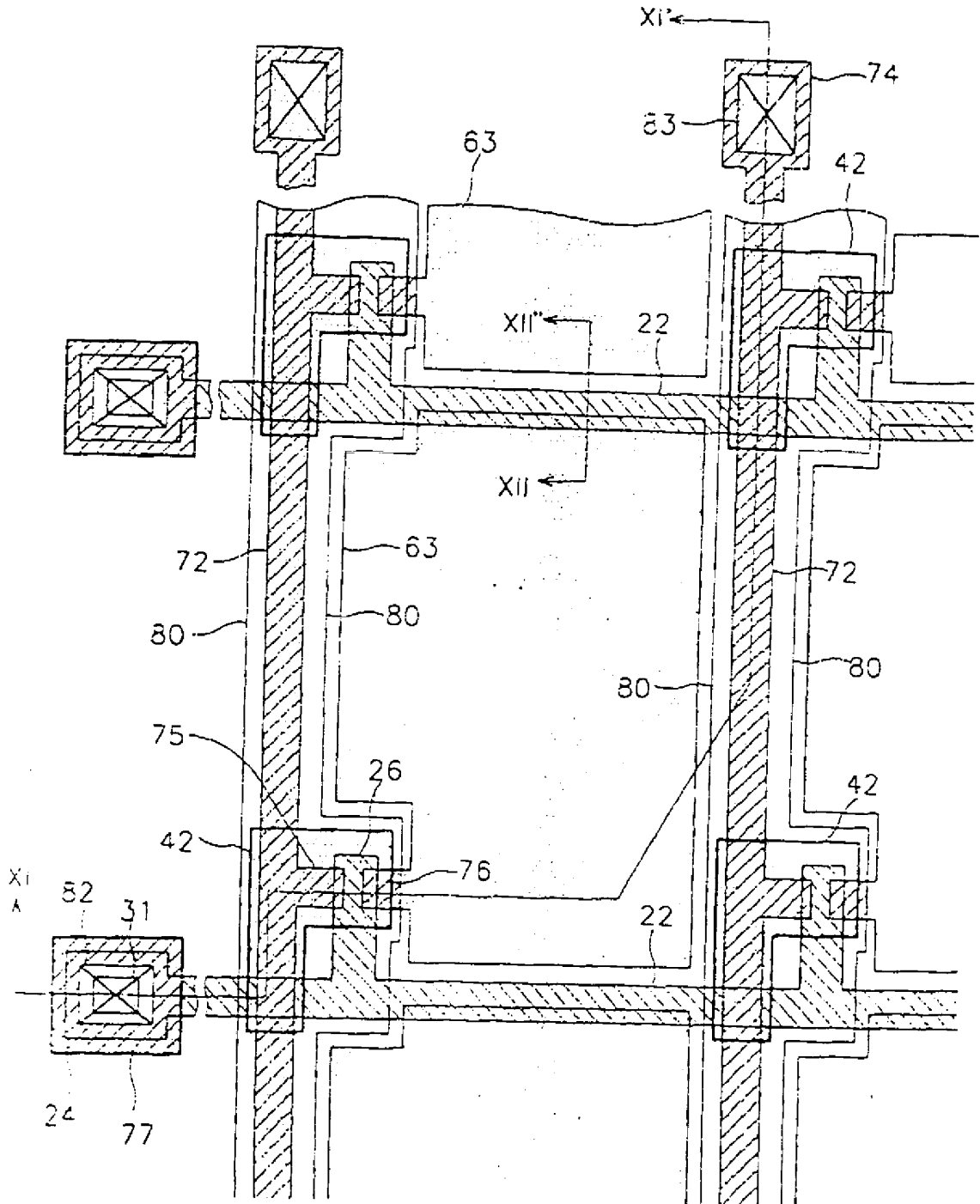


圖 10

圖式

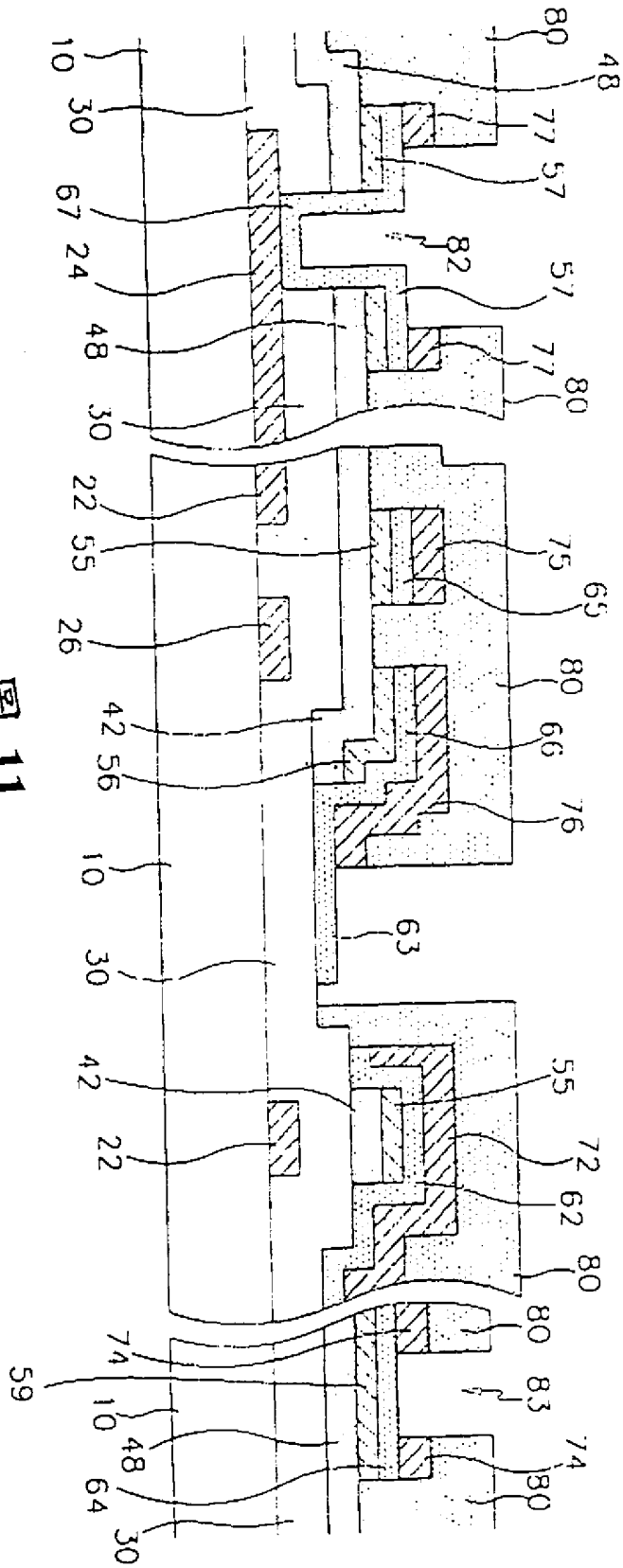


圖 11

圖式

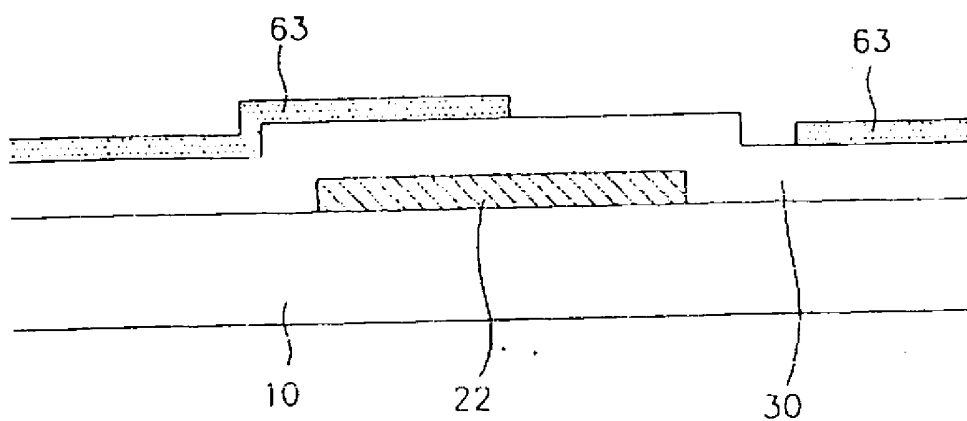


圖 12

圖式

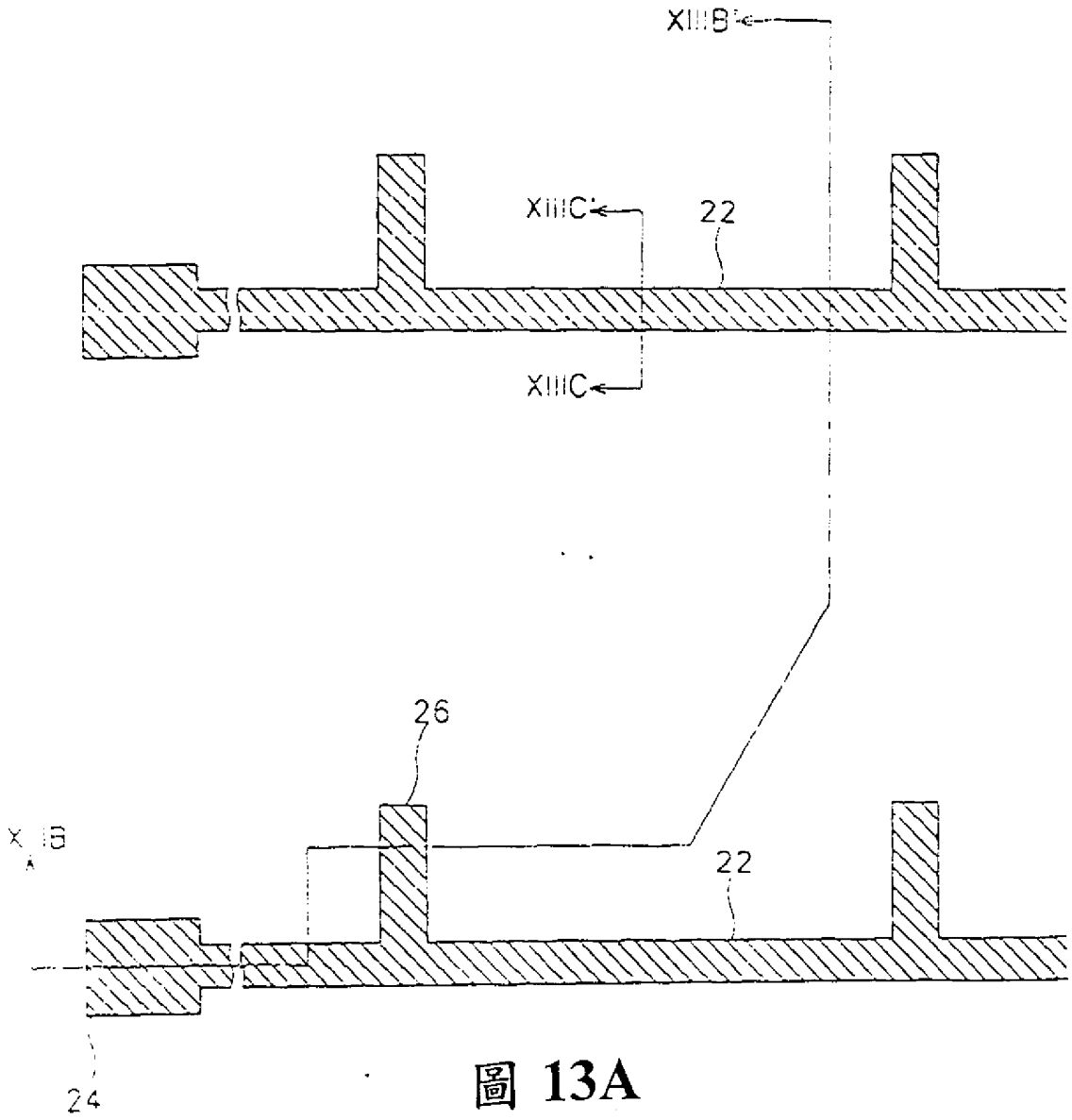


圖 13A

圖式

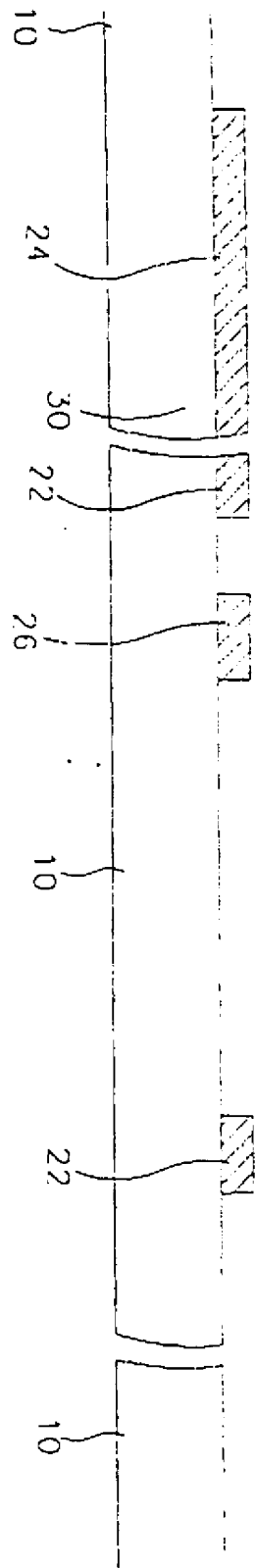


圖 13B

圖式

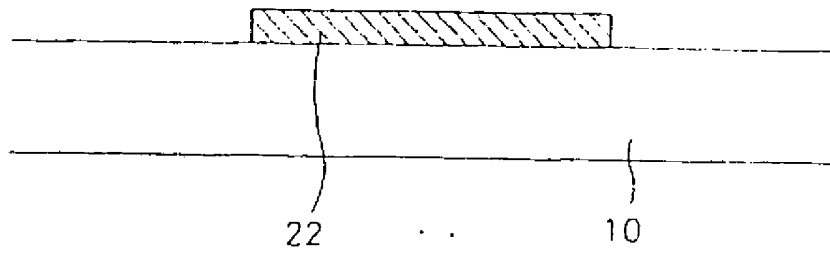


圖 13C

圖式

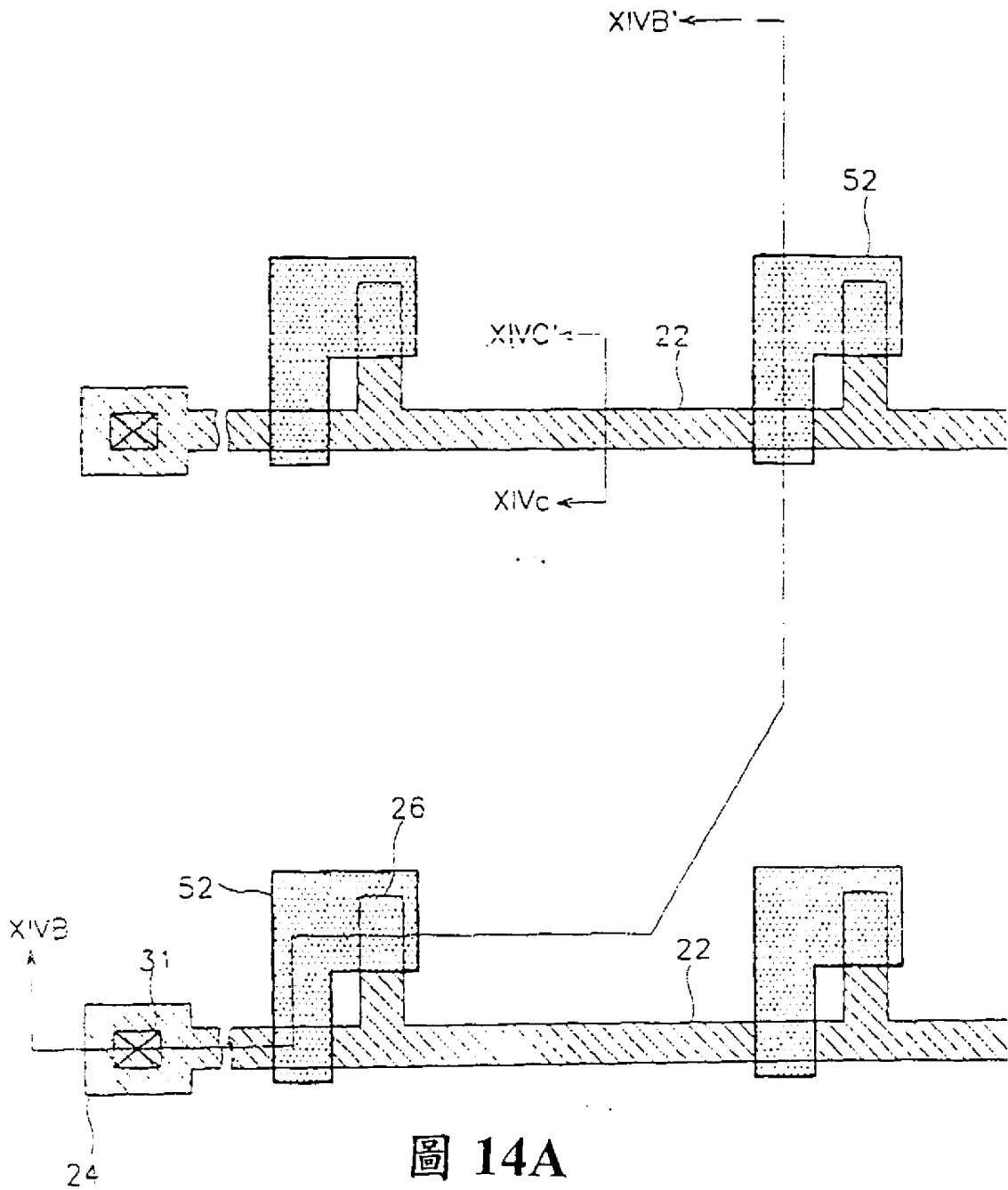


圖 14A

圖式

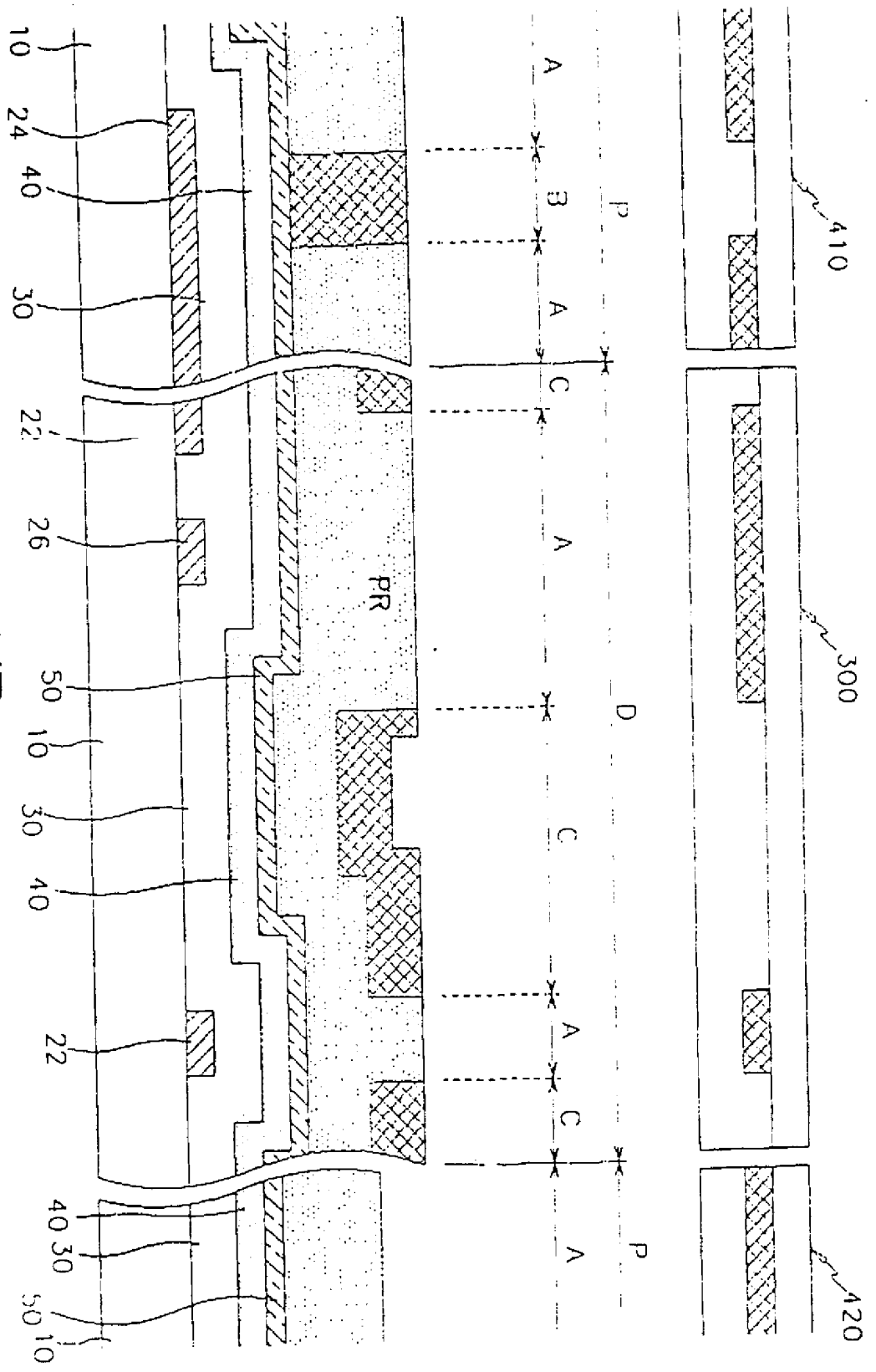


圖 14B

圖式

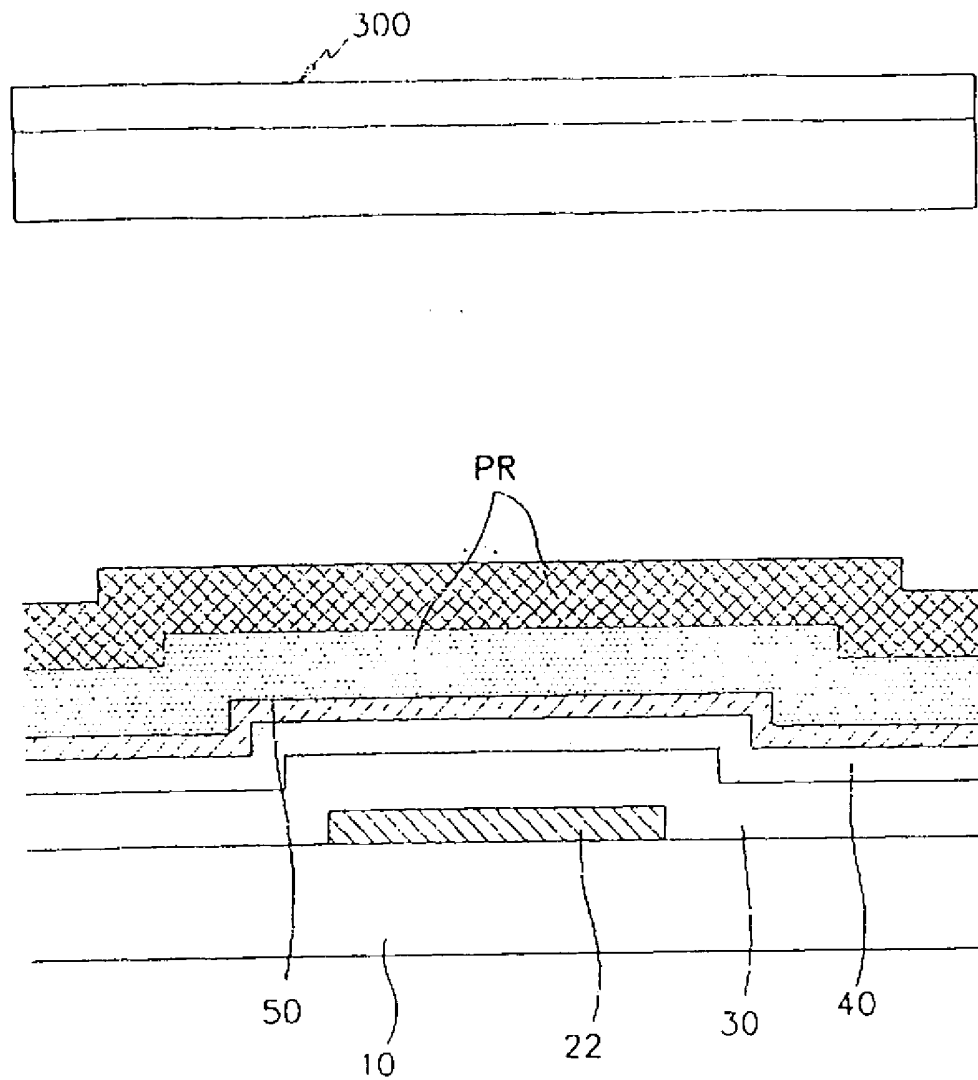


圖 14C

圖式

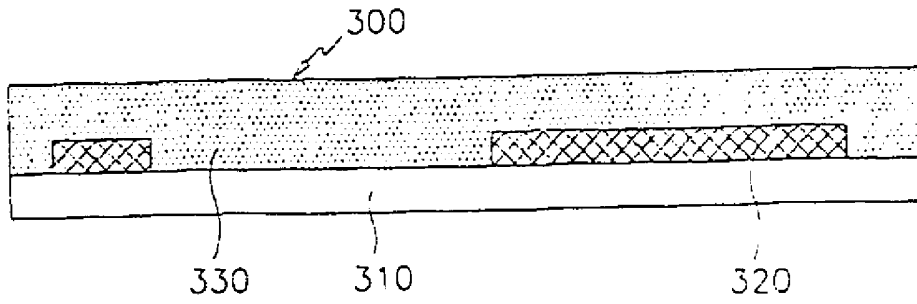


圖 15A

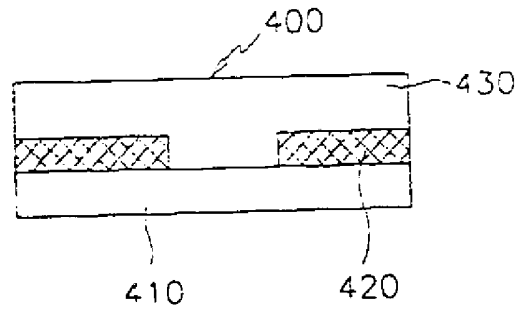


圖 15B

圖式

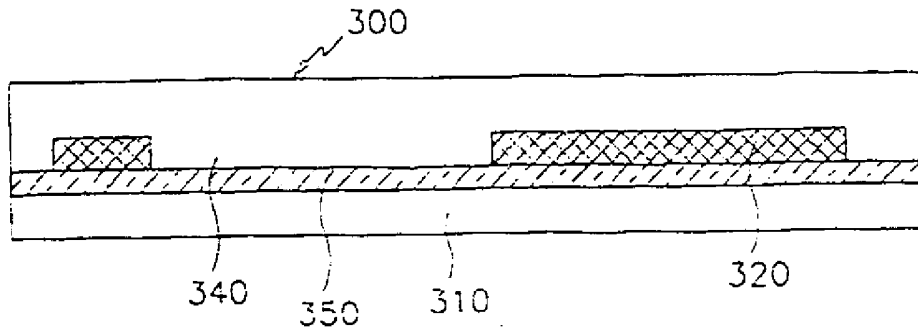


圖 16A

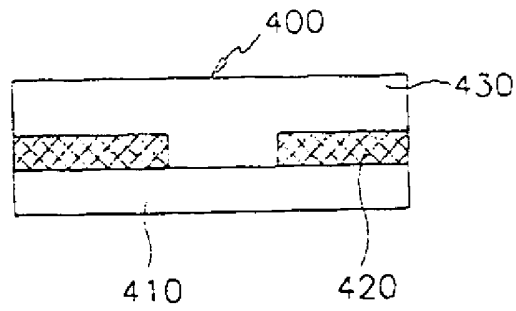


圖 16B

圖式

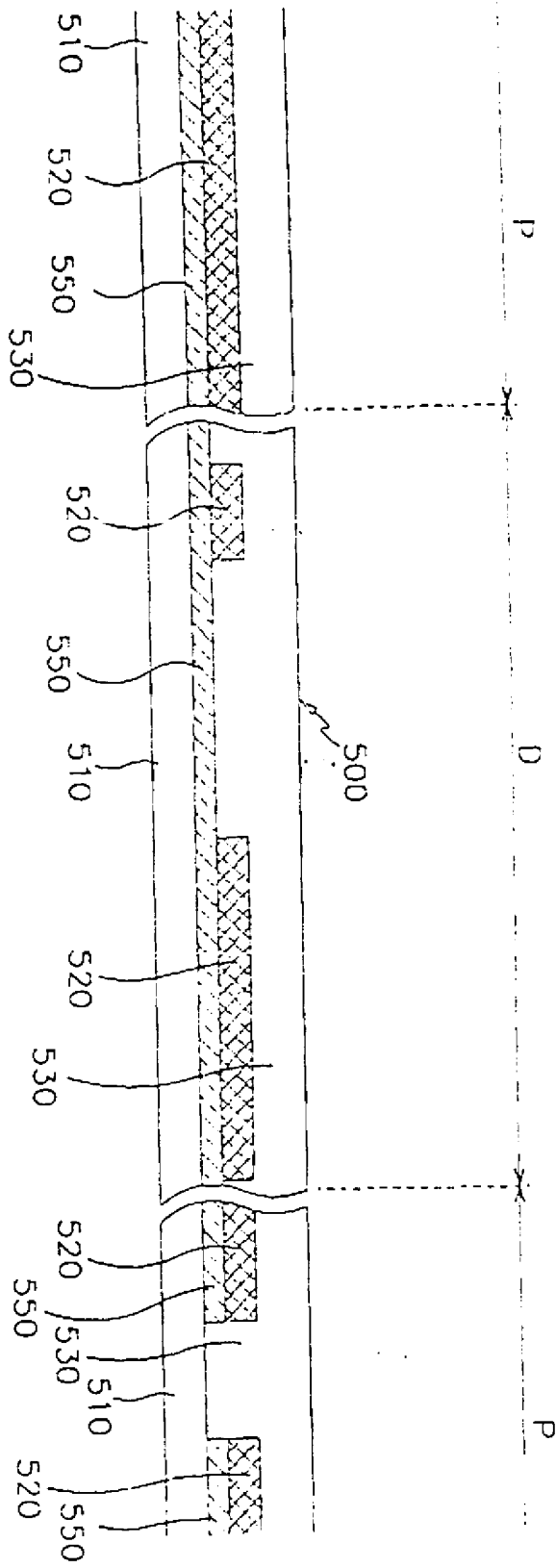


圖 17

圖式

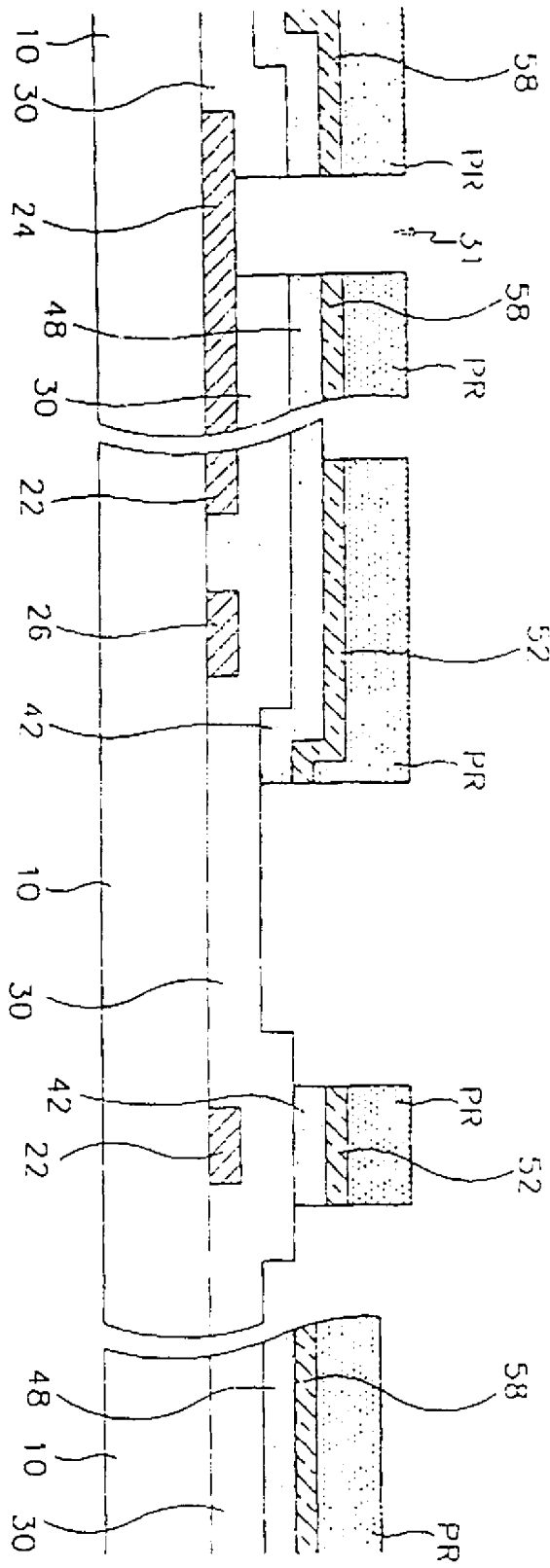


圖 18A

圖式

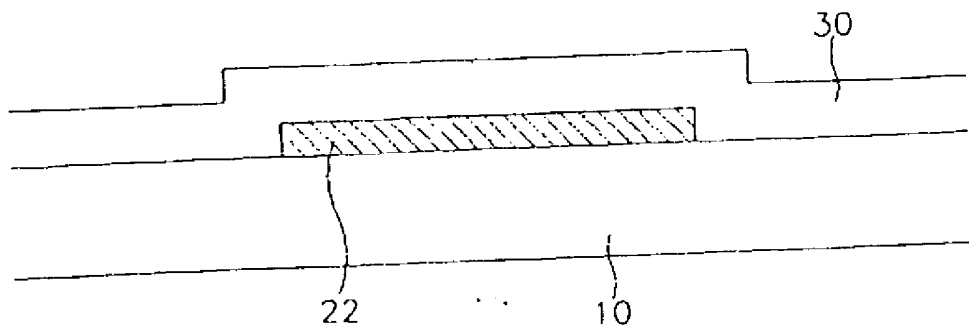


圖 18B

圖式

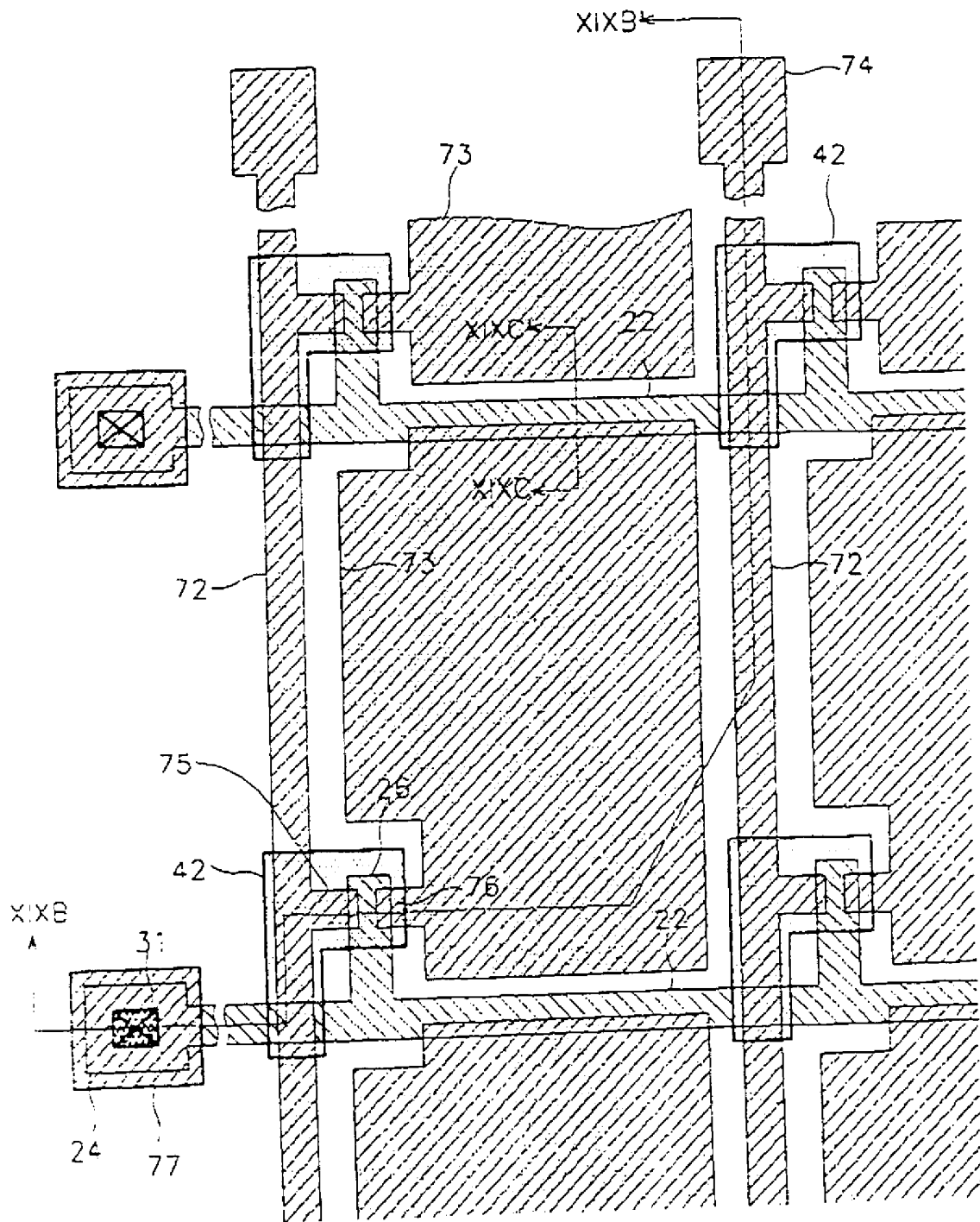


圖 19A

圖式

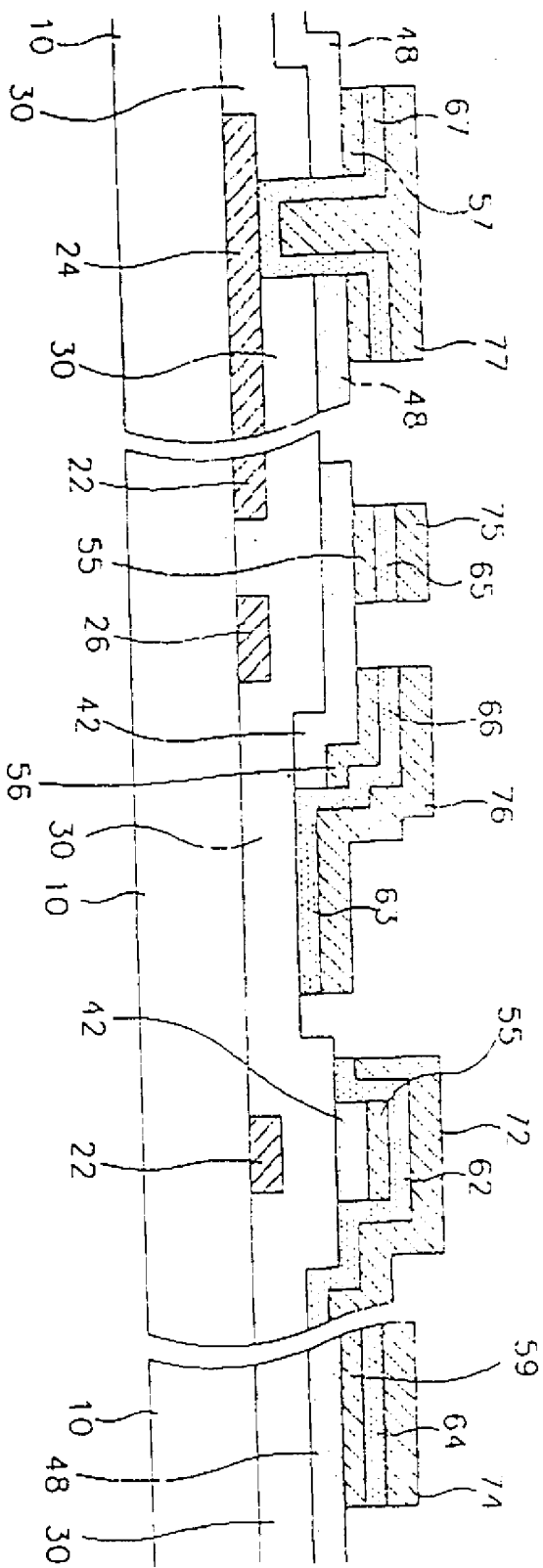


圖 19B

圖式

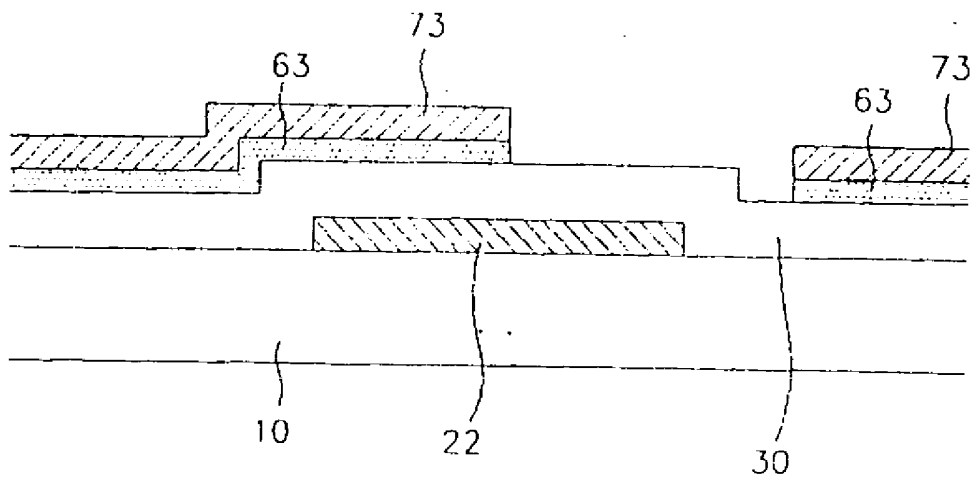


圖 19C

圖式

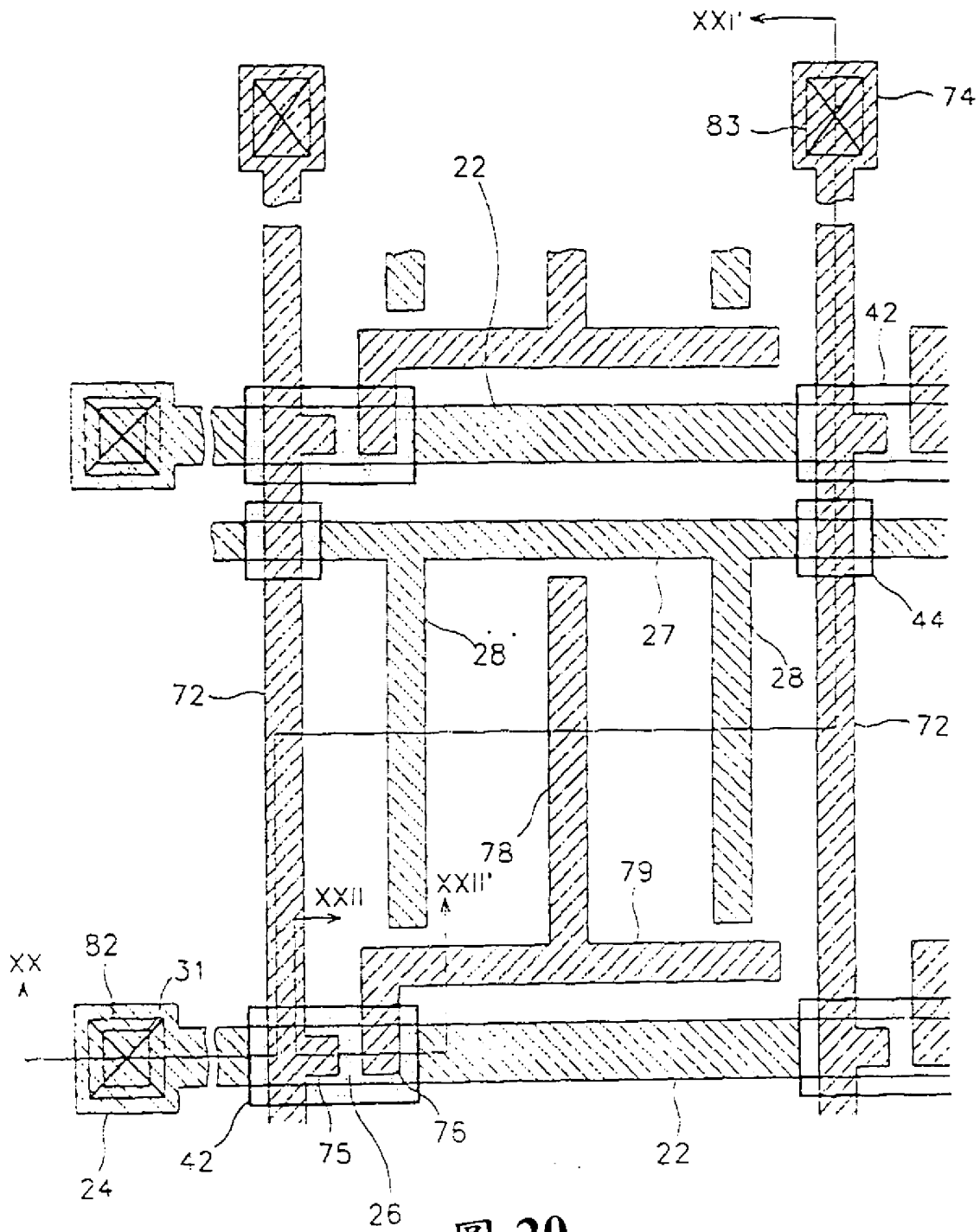


圖 20

圖式

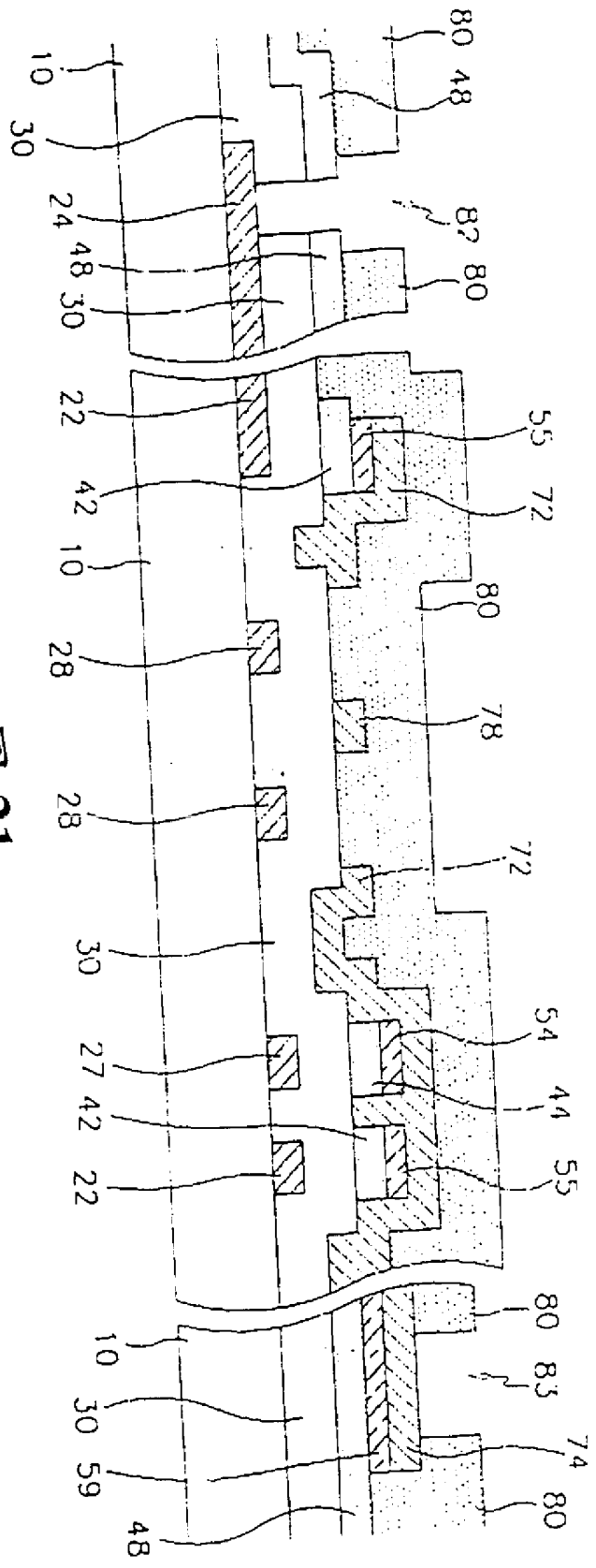


圖 21

圖式

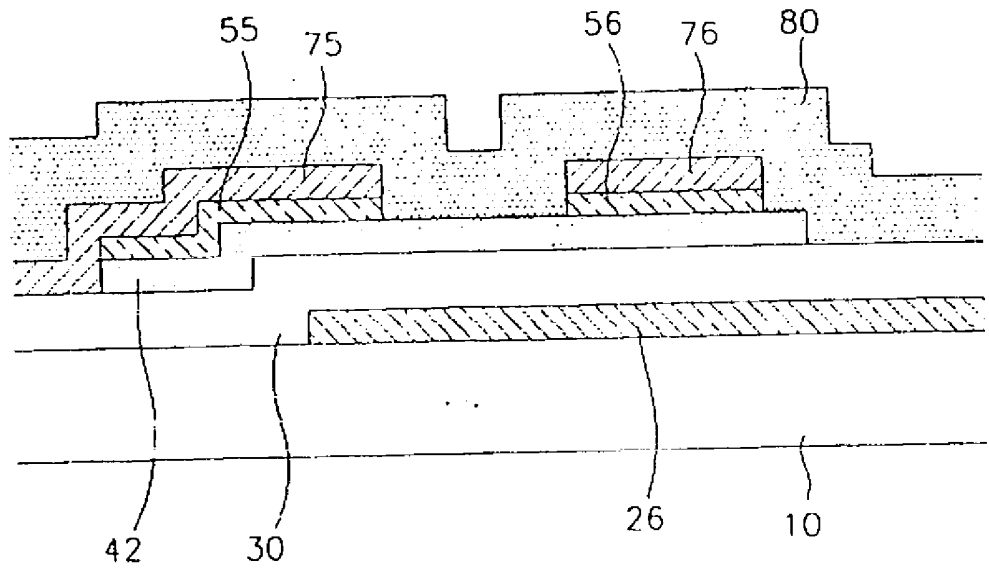


圖 22

圖式

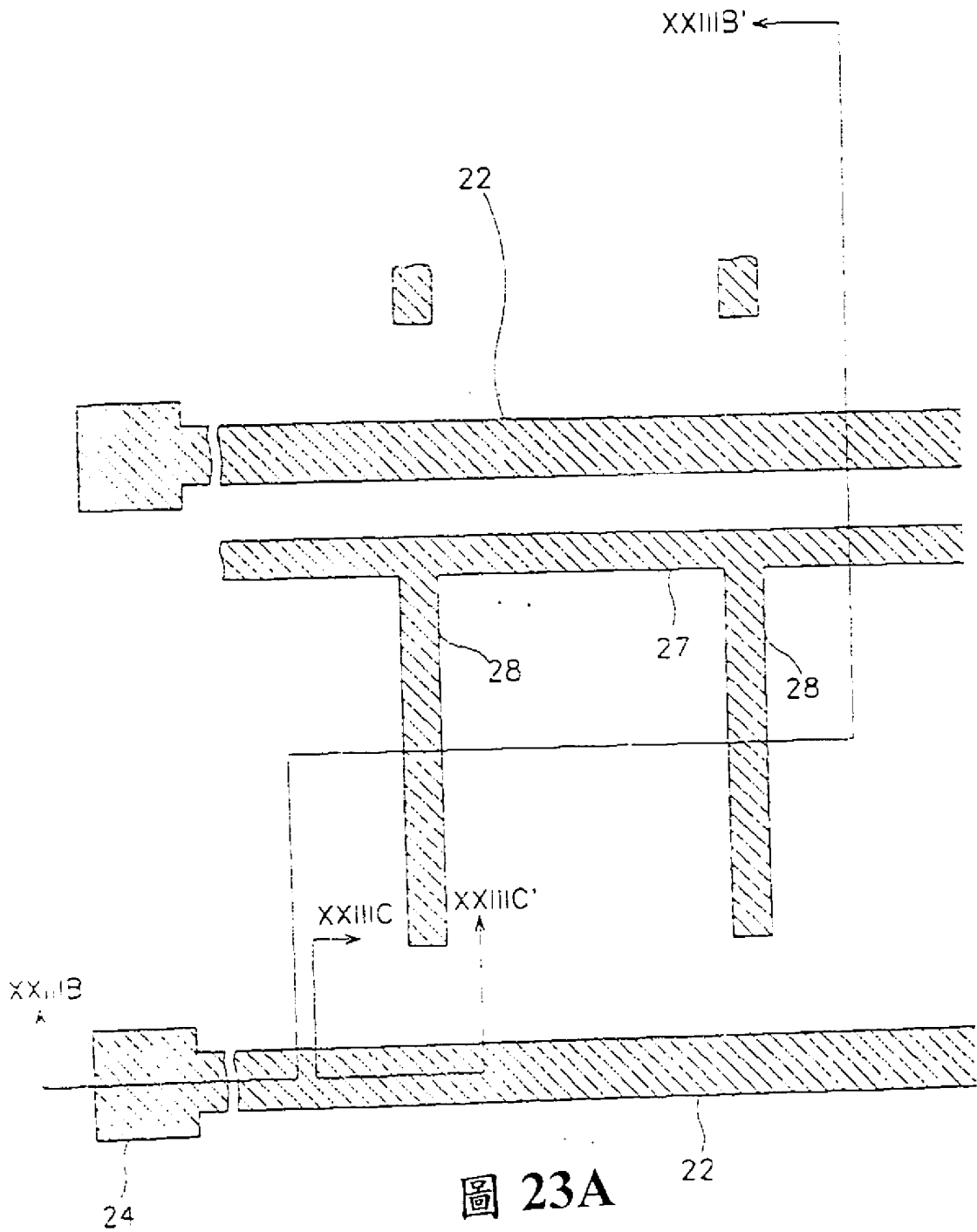


圖 23A

圖式

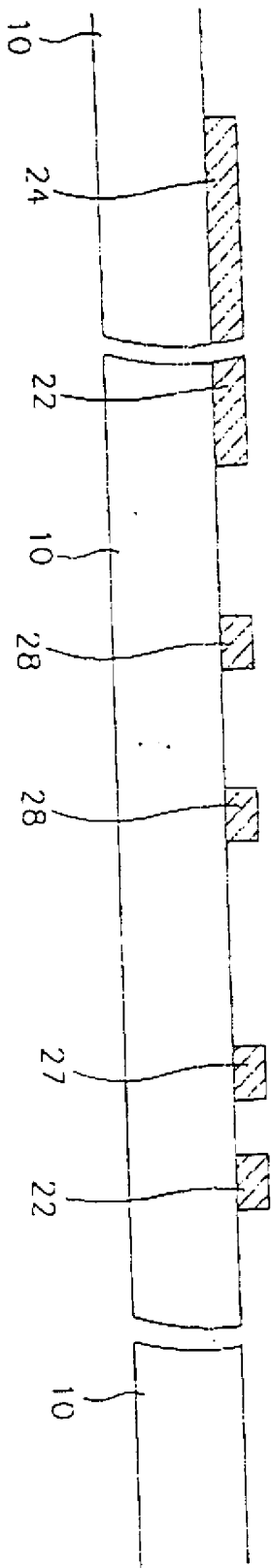


圖 23B

圖式

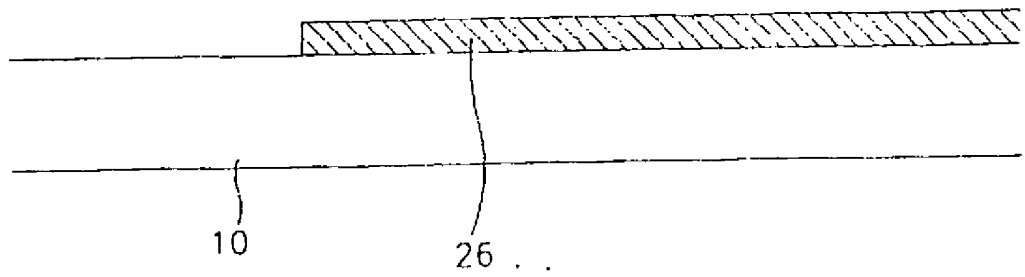


圖 23C

圖式

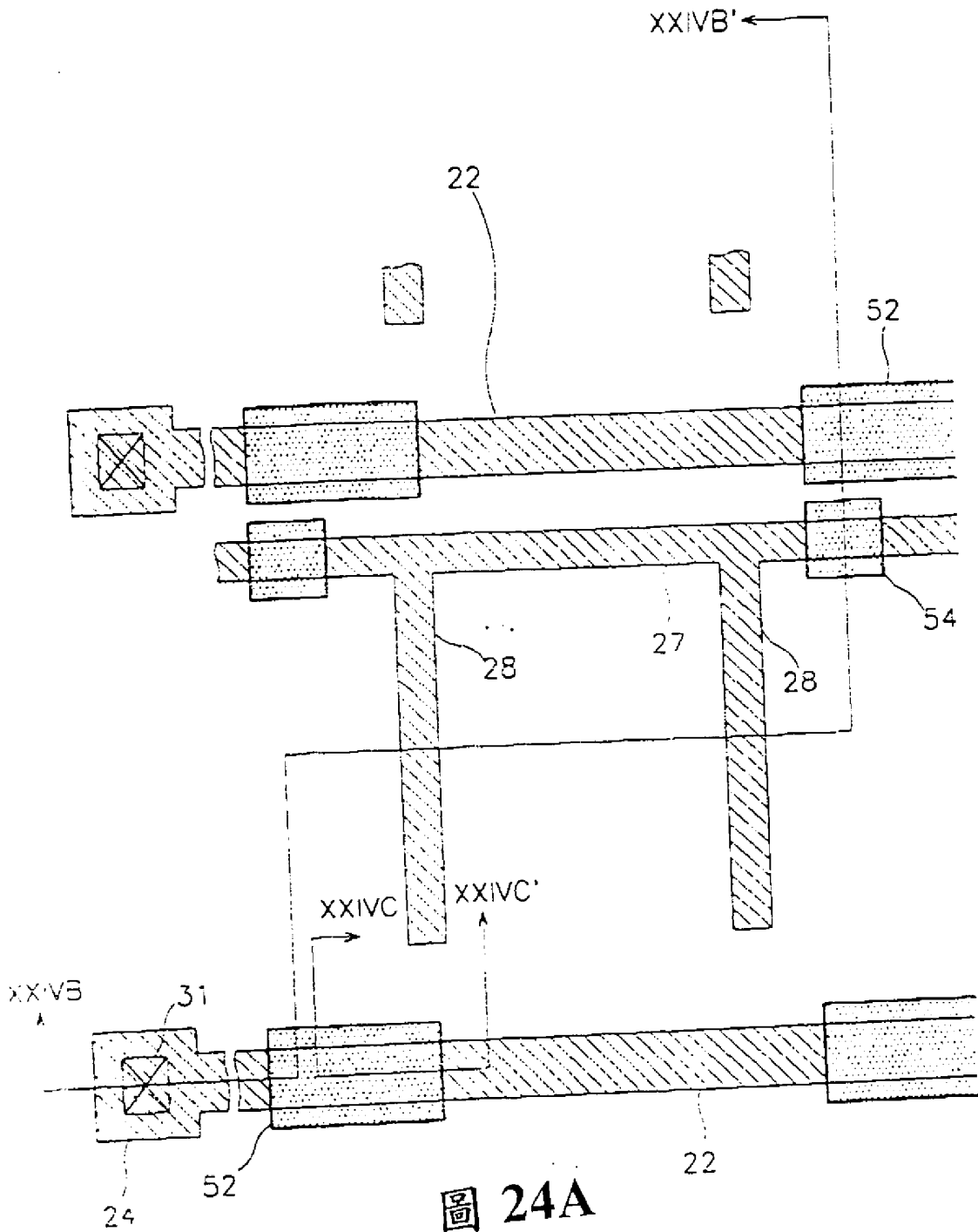


圖 24A

圖式

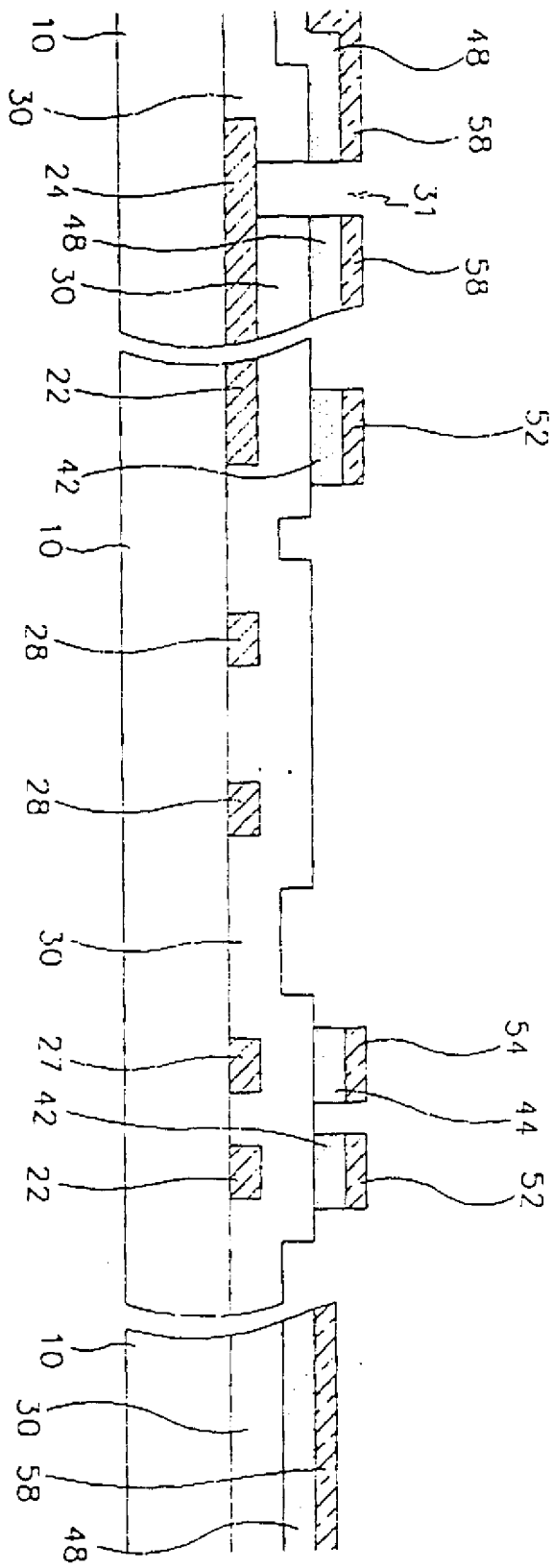


圖 24B

圖式

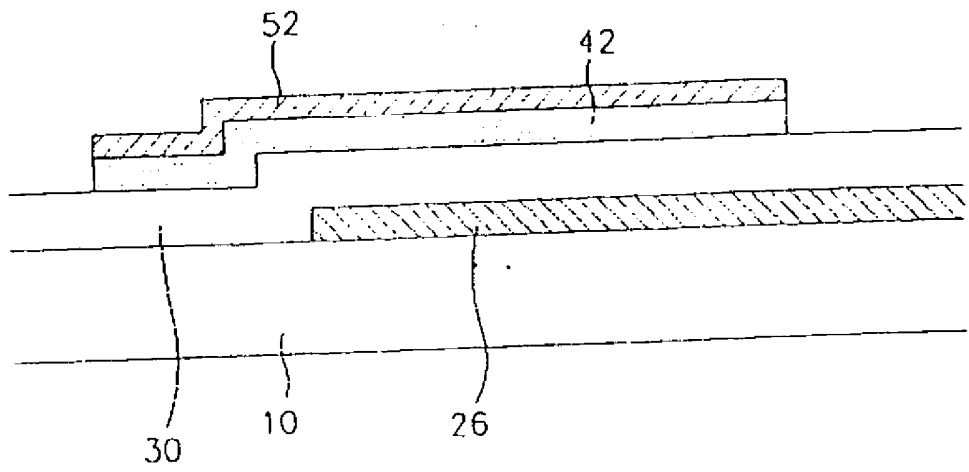


圖 24C

圖式

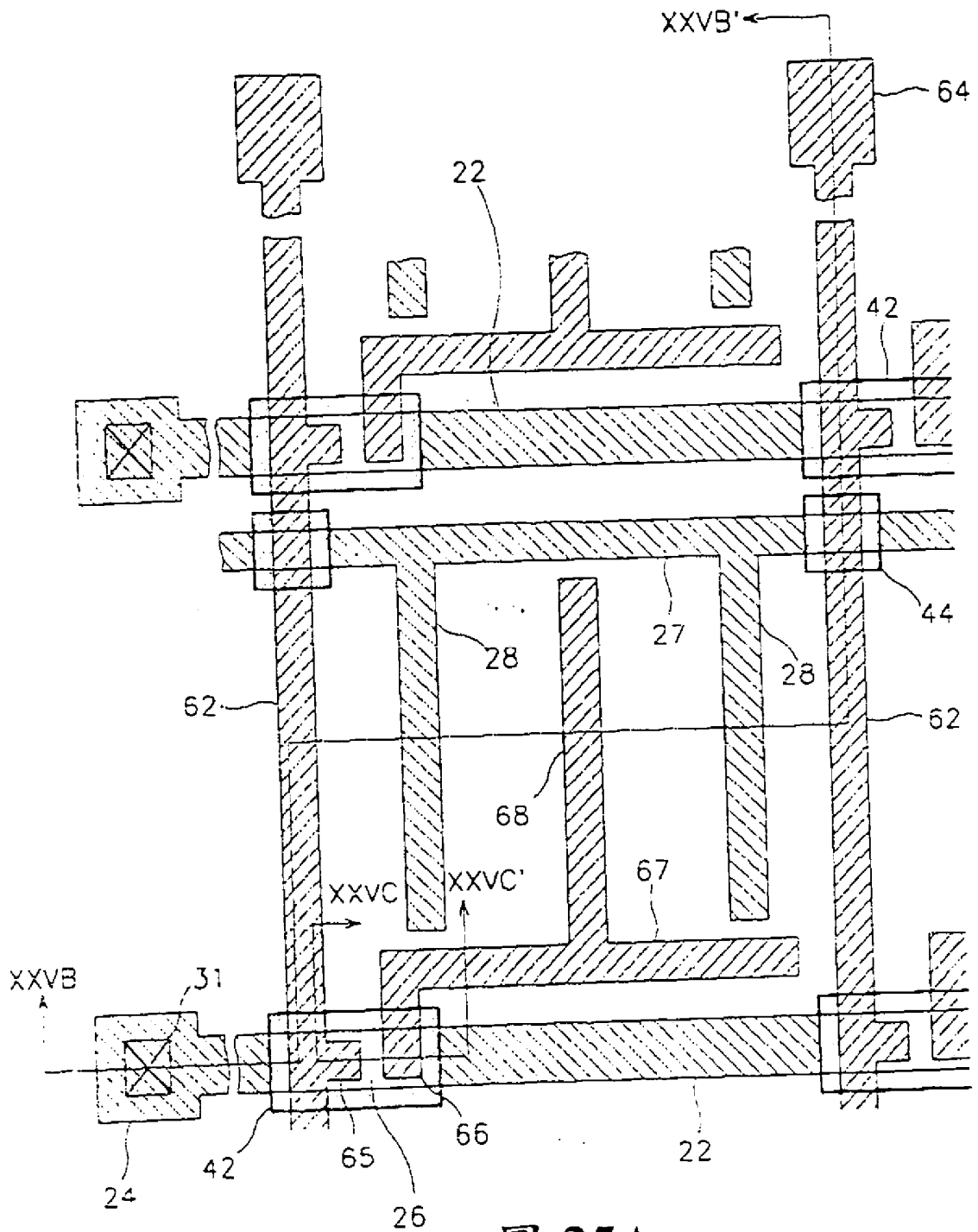


圖 25A

圖式

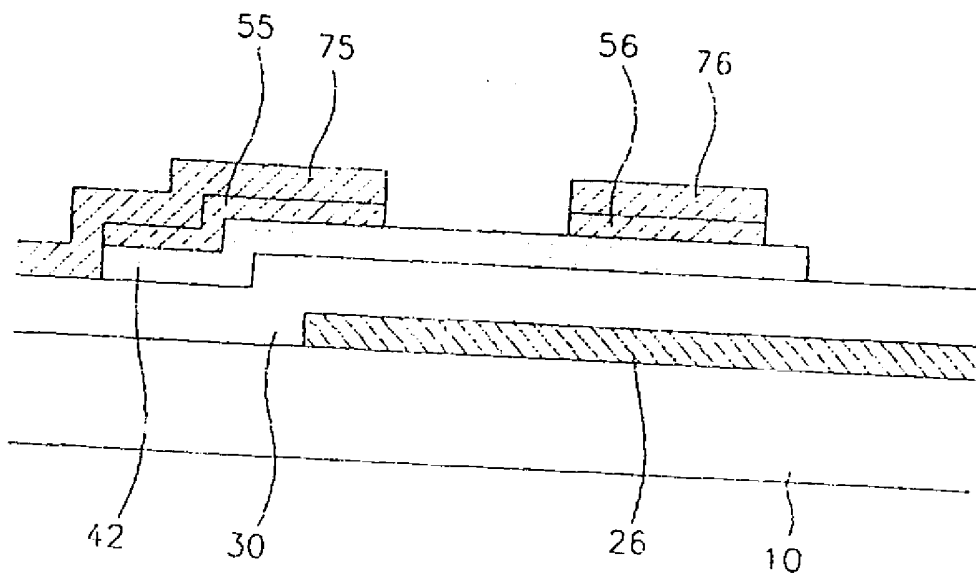


圖 25C