



(21) 申請案號：105134960

(22) 申請日：中華民國 105 (2016) 年 10 月 28 日

(51) Int. Cl. : **H01L21/768 (2006.01)**  
**H01L27/088 (2006.01)****H01L21/8232(2006.01)**(30) 優先權：2015/11/30 美國  
2016/05/17 美國62/261,256  
15/157,283(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING CO., LTD. (TW)  
新竹市新竹科學工業園區力行六路 8 號(72) 發明人：黃意君 HUANG, YI JYUN (TW)；謝東衡 HSIEH, TUNG HENG (TW)；楊寶如  
YOUNG, BAO RU (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：10 項 圖式數：21 共 62 頁

(54) 名稱

半導體裝置及其製造方法

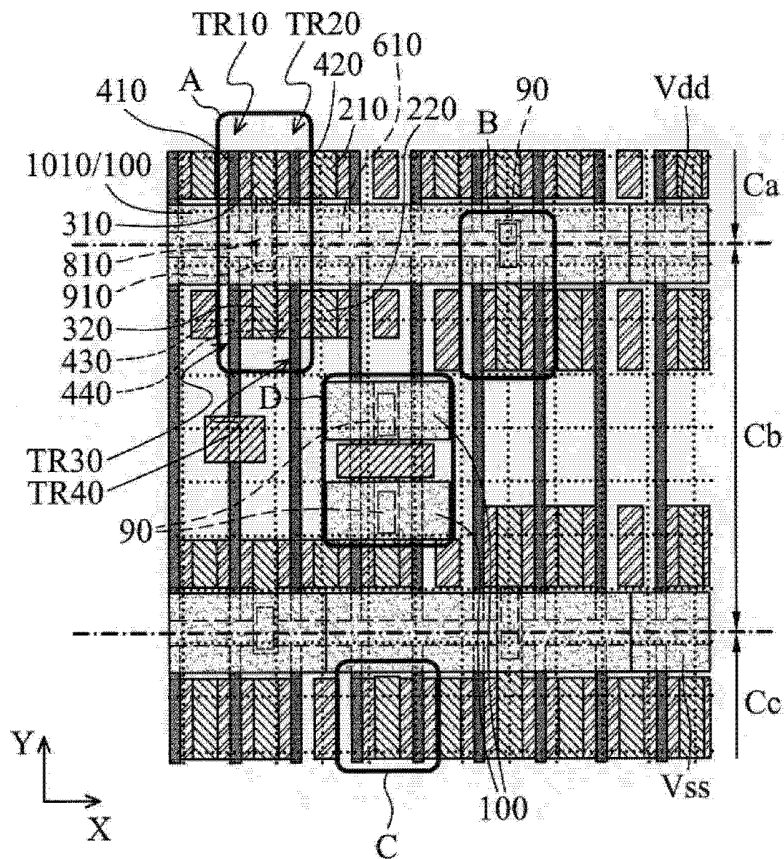
SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

(57) 摘要

本發明實施例提供一種半導體裝置，包括鰭結構、第一閘極結構、第二閘極結構、源極/汲極區、源極/汲極接觸、分隔物和接觸源極/汲極接觸之介層孔插塞和接觸介層孔插塞之導線。鰭結構突出於隔絕絕緣層且以第一方向延伸。第一閘極結構和第二閘極結構，形成於鰭結構上方且以交叉於第一方向的第二方向延伸。源極/汲極區設置於第一閘極結構和第二閘極結構之間。層間絕緣層設置於鰭結構、第一閘極結構、第二閘極結構和源極/汲極區上方。源極/汲極接觸層，設置於源極/汲極區上。分隔物設置相鄰於源極/汲極接觸。第一閘極結構的末端、第二閘極結構的末端和源極/汲極接觸的末端接觸分隔物的相同面。

A semiconductor device includes a fin structure, first and second gate structures, a source/drain region, a source/drain contact, a separator, a plug contacting the source/drain contact and a wiring contacting the plug. The fin structure protrudes from an isolation insulating layer and extends in a first direction. The first and second gate structures are formed over the fin structure and extend in a second direction crossing the first direction. The source/drain region is disposed between the first and second gate structures. The interlayer insulating layer is disposed over the fin structure, the first and second gate structures and the source/drain region. The first source/drain contact is disposed on the first source/drain region. The separator is disposed adjacent to the first source/drain contact layer. Ends of the first and second gate structures and an end of the source drain contact are in contact with a same face of the separator.

指定代表圖：



第 10 圖

符號簡單說明：

- 20 . . . 鰭結構
- 40 . . . 閘極結構
- 410 . . . 第一閘極
- 420 . . . 第二閘極
- 430 . . . 第三閘極
- 440 . . . 第四閘極
- 60 . . . 分隔物
- 80 . . . 源極/汲極接觸層
- 90 . . . 第一介層孔插塞
- 100 . . . 第一金屬導線
- 210 . . . 第一鰭結構
- 220 . . . 第二鰭結構
- 310 . . . 第一源極/汲極區
- 320 . . . 第二源極/汲極區
- 610 . . . 分隔物
- 810 . . . 第一源極/汲極接觸層
- 910 . . . 第一介層孔插塞
- 1010 . . . 金屬導線層
- Ca、Cb、Cc . . . 標準晶胞
- Vdd、Vss . . . 電源供應線
- A、B、C、D . . . 封閉區域
- TR10 . . . 第一鰭式場效電晶體
- TR20 . . . 第二鰭式場效電晶體
- TR30 . . . 第三鰭式場效電晶體

201731023

TW 201731023 A

TR40 . . . 第四 緒式  
場效電晶體

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】** 半導體裝置及其製造方法

Semiconductor Device and Method for fabricating  
the same

**【技術領域】**

**【0001】** 本發明實施例係有關於一種半導體裝置及其製造方法，特別係有關於一種位於源極/汲極區上方的自對準接觸結構(self-align contact structure)及其製造方法。

**【先前技術】**

**【0002】** 隨著半導體元件尺寸的縮小，自對準接觸(以下簡稱SAC)被廣泛地使用於製程中，例如配置接近於一場效電晶體(FET)的閘極結構的源極/汲極(S/D)接觸。通常來說，利用圖案化層間介電層(ILD)製造的自對準接觸，在層間介電層下方，會於具有側壁間隙壁的一閘極結構上方形成接觸蝕刻停止層(contact etch-stop layer, CESL)。層間介電層的初始蝕刻會停止在接觸蝕刻停止層，然後蝕刻接觸蝕刻停止層以形成自對準接觸。當元件密度增加時(意即縮小半導體元件尺寸)，側壁間隙壁的厚度會變得更薄，其可能會導致源極/汲極(S/D)接觸和閘極之間產生短路(short circuit)。並且，兩個相鄰的源極/汲極接觸之間の間隔變得更窄。因此，有需要提供一種自對準接觸結構(self-align contact structure)及其製造方法，以改善源極/汲極接觸之間的電性隔絕。

**【發明內容】**

**【0003】** 依據本發明一些實施例，提供一種半導體裝置的

製造方法。上述半導體裝置的製造方法包括於一第一鰭結構的一部分和一第二鰭結構的一部分上方形成一第一閘極結構和一第二閘極結構，上述第一鰭結構的上述部分和上述第二鰭結構的上述部分係設置一基板上方，以一第一方向延伸，以交叉於上述第一方向的一第二方向配置，上述第一鰭結構的上述部分和上述第二鰭結構的上述部分彼此平行且突出於一隔絕絕緣層。上述第一閘極結構和上述第二閘極結構以上述第二方向延伸且以上述第一方向配置，上述第一閘極結構和上述第二閘極結構彼此平行。於上述第一閘極結構和上述第二閘極結構上方形成一層間絕緣層。於上述層間絕緣層上方形成具有一第一開口的一第一遮罩層。上述第一開口位於上述第一閘極結構和上述第二閘極結構上方。穿過上述第一開口切割上述第一閘極結構和上述第二閘極結構，且穿過上述第一開口蝕刻設置上述第一閘極結構和上述第二閘極結構之間的上述隔絕絕緣層和上述層間介電層，以形成一第一凹陷。於上述第一凹陷中形成一絕緣層。形成具有一第二開口的一第二遮罩層以暴露位於上述第一凹陷中的上述絕緣層的一部分和上述層間介電層的一部分。上述第二開口位於上述第一鰭結構上方。穿過上述第二開口蝕刻上述層間介電層的上述暴露部分，以於上述第一鰭結構上方形成至少一個第二凹陷。於至少上述個第二凹陷中形成一導電材料，以形成一第一源極/汲極接觸層。

**【0004】** 依據本發明一些實施例，提供一種半導體裝置。上述半導體裝置包括一第一鰭結構、一第二鰭結構、一第一鰭式場效電晶體、一第二鰭式場效電晶體、一第一源極/汲極區、

一層間絕緣層、一第一源極/汲極接觸層和一分離絕緣層。上述第二鰭結構藉由一隔絕絕緣層與上述第一鰭結構隔絕。上述第一鰭結構和上述第二鰭結構以一第一方向延伸。上述第一鰭式場效電晶體和上述第二鰭式場效電晶體，兩者形成於上述第一鰭結構上方。上述第一鰭式場效電晶體包括一第一閘極，上述第二鰭式場效電晶體包括一第二閘極。上述第一閘極和上述第二閘極以與第一方向交叉的一第二方向延伸。上述第一源極/汲極區，被上述第一鰭式場效電晶體和上述第二鰭式場效電晶體共用且設置於上述第一鰭式場效電晶體和上述第二鰭式場效電晶體之間。上述層間絕緣層，設置於上述第一鰭結構、上述第二鰭結構、上述第一鰭式場效電晶體、上述第二鰭式場效電晶體和上述第一源極/汲極區上方。上述第一源極/汲極接觸層，設置於上述第一源極/汲極區上，且朝著上述第二鰭結構延伸，使上述第一源極/汲極接觸層的一部分位於上述隔絕絕緣層上方。上述分離絕緣層，設置相鄰於上述第一源極/汲極接觸層。上述第一源極/汲極接觸層的一末端係接觸上述分離絕緣層。上述分離絕緣層由不同於上述隔絕絕緣層和上述層間絕緣層的一絕緣材料形成，其中上述分離絕緣層的上述絕緣材料為氮化矽。

**【0005】** 本發明一些實施例係有關於一種半導體裝置。上述半導體裝置包括一第一鰭結構、一第一閘極結構、一第二閘極結構、一第一源極/汲極區、一層間絕緣層、一第一源極/汲極接觸層、一分離絕緣層和接觸上述第一源極/汲極接觸層之一第一介層孔插塞。上述第一鰭結構，突出於一隔絕絕緣層，

上述第一鰭結構設置於一基板上方，且以一第一方向延伸。上述第一閘極結構和上述第二閘極結構，兩者形成於上述第一鰭結構上方，上述第一閘極結構和上述第二閘極結構以交叉於上述第一方向的一第二方向延伸。上述第一源/汲極區，設置於上述第一閘極結構和上述第二閘極結構之間。上述層間絕緣層，設置於上述第一鰭結構、上述第一閘極結構、上述第二閘極結構和上述第一源/汲極區上方。上述第一源極/汲極接觸層，設置於上述第一源/汲極區上。上述分離絕緣層，設置相鄰於上述第一源極/汲極接觸層。上述第一介層孔插塞，接觸上述第一源極/汲極接觸層。上述第一閘極結構的一末端、上述第二閘極結構的一末端和上述第一源極/汲極接觸層的一末端接觸上述分離絕緣層的一相同面。

#### 【圖式簡單說明】

【0006】 根據以下的詳細說明並配合所附圖式做完整揭露。應注意的是，根據本產業的一般作業，圖示並未必按照比例繪製。事實上，可能任意的放大或縮小元件的尺寸，以做清楚的說明。

第1A-1D、2A-2C、3A-3C、4A-4D、5A-5D、6A-6D、7A-7D、8A-8D圖顯示依據本揭露之一實施例的一半導體裝置的一例示連續製造方法的不同製程階段。

第9和10圖顯示依據本揭露之一實施例的一半導體裝置的例示佈局結構。

第11A-11D、12A-12D、13A-13D、14A-14D、15A-15D圖顯示依據本揭露之一實施例的一半導體裝置的一例示連續製

造方法的不同製程階段。

第16A-16D、17A-17D、18A-18D、19A-19D、20A-20D圖顯示依據本揭露之一實施例的一半導體裝置的一例示連續製造方法的不同製程階段。

第21A-21D圖顯示依據本揭露之一實施例的一半導體裝置的一例示結構。

### 【實施方式】

【0007】 以下的揭露內容提供許多不同的實施例或範例以實施本案的不同特徵。以下的揭露內容敘述各個構件及其排列方式的特定範例，以簡化說明。當然，這些特定的範例並非用以限定。例如，若是本揭露書敘述了一第一特徵形成於一第二特徵之上或上方，即表示其可能包含上述第一特徵與上述第二特徵是直接接觸的實施例，亦可能包含了有附加特徵形成於上述第一特徵與上述第二特徵之間，而使上述第一特徵與第二特徵可能未直接接觸的實施例。另外，以下揭露書不同範例可能重複使用相同的參考符號及/或標記。這些重複係為了簡化與清晰的目的，並非用以限定所討論的不同實施例及/或結構之間有特定的關係。

【0008】 此外，其與空間相關用詞。例如“在...下方”、“下方”、“下方的”、“上方”、“上方的”及類似的用詞，係為了便於描述圖示中一個元件或特徵與另一個(些)元件或特徵之間的關係。除了在圖式中繪示的方位外，這些空間相關用詞意欲包含使用中或操作中的裝置之不同方位。裝置可能被轉向不同方位(旋轉90度或其他方位)，則在此使用的空間相關詞也



可依此相同解釋。

**【0009】** 第1A-8D圖顯示依據本揭露之一實施例的一半導體裝置的一例示連續製造方法的不同製程階段。可以理解可於第1A-8D圖顯示的製程之前、之中或之後提供額外的操作，並且對於額外的方法實施例，以下描述操作中的一些操作可被替換或消除。操作/製程的順序可以互換。

**【0010】** 第1A-1C圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第1A圖顯示一平面(俯視)圖，第1B圖顯示沿第1A圖之一切線X1-X1的一剖面圖，且第1C圖顯示沿第1A圖之一切線Y1-Y1的一剖面圖。

**【0011】** 第1A-1C圖顯示形成閘極結構之後的一半導體裝置的一結構。在第1A-1C圖中，於例如一鰭結構20的一部分之一通道層的上方形成一閘極結構40，通道層係形成於一基板10的上方。上述閘極結構40係設置在Z方向上的上述鰭結構20上方。複數個閘極結構40，以Y方向延伸且彼此平行配置。上述多個閘極結構40在X方向上彼此隔開。上述多個鰭結構20以X方向延伸且彼此平行配置。如第1A圖所示，上述多個鰭結構20在Y方向上彼此隔開。在本發明一些實施例中，閘極結構40的厚度(高度H1)範圍約為15 nm至50 nm。在本揭露之一實施例中，上述閘極結構40為一金屬閘極結構，其包括，由一層或多層介電材料形成的一閘極介電層(請參考第1D圖)和由一層或多層導電材料形成的一金屬閘極(請參考第1D圖)。在本發明一些實施例中，上述金屬閘極結構40更包括一絕緣蓋層，設置上述金屬閘極上方。依據本發明一些實施例，利用一取代閘極製

程 (gate replacement technology) 製造上述閘極結構 40 (如第 1D 圖所示)。在本發明一些實施例中，上述閘極結構 40 包括一閘極介電層和一多晶矽閘極。在本發明一些實施例中，上述閘極結構 40 的寬度範圍約為 5 nm 至 15 nm。

【0012】 如第 1B 圖所示，側壁間隙壁 42 (第 1A 圖係省略不顯示) 形成於閘極結構 40 的兩側壁上。在本發明一些實施例中，側壁間隙壁 42 在側壁間隙壁底部的薄膜厚度範圍約為 1 nm 至 10 nm。在本發明其他實施例中，側壁間隙壁 42 在側壁間隙壁底部的薄膜厚度範圍約為 2 nm 至 8 nm。

【0013】 如第 1B 和 1C 圖所示，一隔絕絕緣層 30，形成於基板 10 上方。鰭結構 20 的一底部係內嵌於隔絕絕緣層 30，且鰭結構 20 的一上部 (通道層) 係突出於隔絕絕緣層 30。閘極結構 40 也形成於隔絕絕緣層 30 上方。

【0014】 第 1A-1C 圖中顯示兩個閘極結構 40 和四個鰭結構 20。然而，閘極結構 40 的數量和鰭結構 20 的數量並非分別限制為兩個和四個。

【0015】 第 1D 圖顯示金屬閘極結構 40 的一例示結構。上述金屬閘極結構 40 包括一閘極介電層 13 和一金屬閘極 17。上述金屬閘極 17 包括一層或多層金屬材料，金屬材料例如為 Al、Cu、W、Ti、Ta、TiN、TiAl、TiAlC、TiAlN、TaN、NiSi、CoSi 或其他導電材料。上述閘極介電層 13 係設置於鰭結構 20 的通道層和金屬閘極 17 之間，且包括例如一高介電常數 (high-k) 金屬氧化物之一層或多層金屬氧化物。用於高介電常數 (high-k) 介電質的金屬氧化物的例子包括 Li、Be、Mg、Ca、Sr、Sc、Y、

Zr、Hf、Al、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu的氧化物及/或上述材料之混合物。在本發明一些實施例中，例如由二氧化矽( $\text{SiO}_2$ )形成的一界面介電層11係形成於通道層和閘極介電層之間。

【0016】 在本發明一些實施例中，一層或多層功函數調整層(work function adjustment layer)15係插入閘極介電層13和金屬閘極17之間。上述功函數調整層可由一導電材料形成，例如TiN、TaN、TaAlC、TiC、TaC、Co、Al、TiAl、HfTi、TiSi、TaSi或TiAlC的一單一層，或者為上述材料的兩個或多個形成的多層(multilayer)。對於N型通道場效電晶體(n-channel FET)，TaN、TaAlC、TiN、TiC、Co、TiAl、HfTi、TiSi和TaSi的一個或多個係用做為功函數調整層。並且，對於P型通道場效電晶體(p-channel FET)，TiAlC、Al、TiAl、TaN、TaAlC、TiN、TiC和Co的一個或多個係用做為功函數調整層。

【0017】 絕緣蓋層(cap insulating layer)19係設置於金屬閘極17上方，其包括絕緣材料的一層或多層，絕緣材料例如為包括氮化矽( $\text{SiN}$ )、 $\text{SiCN}$ 或 $\text{SiOCN}$ 之氮化矽基(silicon nitride based)材料。

【0018】 側壁間隙壁42的材料包括二氧化矽( $\text{SiO}_2$ )、氮化矽( $\text{SiN}$ )、 $\text{SiOC}$ 或 $\text{SiOCN}$ 的一個或多個。並且，如第1B和1C圖所顯示，一第一層間介電層(ILD)50形成於隔絕絕緣層30上方，且閘極結構40內嵌於第一層間介電層50中。在第1A圖中，基板10、隔絕絕緣層30和第一層間介電層)50係省略不予顯示。

【0019】 可以下列製程製造包括第1A-1C圖的閘極結構40

的上述結構。在本發明實施例中，可利用一取代閘極製程 (gate-replacement process) 製造鰭式場效電晶體 (Fin FETs)。

【0020】 首先，於一基板 10 上方製造一鰭結構 20。鰭結構 20 包括一底部區域和做為一通道區的一上方區域。舉例來說，上述基板可為一 P 型 (p-type) 矽基板，其具有一摻質濃度，範圍約為  $1 \times 10^{15} \text{ cm}^{-3}$  至  $1 \times 10^{18} \text{ cm}^{-3}$ 。在本發明其他實施例中，上述基板可為一 N 型 (n-type) 矽基板，其具有一摻質濃度，範圍約為  $1 \times 10^{15} \text{ cm}^{-3}$  至  $1 \times 10^{18} \text{ cm}^{-3}$ 。在本發明其他實施例中，上述基板可包括另一元素半導體，例如鍺 (germanium)；一化合物半導體 (compound semiconductor)，包括例如 SiC 或 SiGe 之 IV-IV 族 (Group IV-IV) 化合物半導體、包括例如 GaAs、GaP、GaN、InP、InAs、InSb、GaAsP、AlGaN、AlInAs、AlGaAs、GaInAs、GaInP 及 / 或 GaInAsP 之 III-V 族 (Group III-V) 化合物半導體，或上述之組合。在本發明一實施例中，上述基板可為一絕緣層上覆矽 (silicon-on-insulator, SOI) 基板。

【0021】 形成鰭結構 20 之後，於上述鰭結構 20 上方形成一隔絕絕緣層 30。這種隔絕絕緣層也可稱為淺溝槽隔絕物 (shallow trench isolation, STI)。上述隔絕絕緣層可包括絕緣材料的一層或多層，例如氧化矽 (silicon oxide)、氮氧化矽 (silicon oxynitride) 或氮化矽 (silicon nitride)，可利用低壓化學氣相沉積法 (low pressure chemical vapor deposition, LPCVD)、電漿化學氣相沉積法 (plasma-CVD) 或流動式化學氣相沉積法 (flowable CVD) 形成上述隔絕絕緣層。可利用旋塗玻璃 (SOG)、SiO、SiON、SiOCN 及 / 或氟摻雜矽玻璃 (FSG) 的一層或多層形

成上述隔絕絕緣層。

【0022】 於鰭結構上方形成隔絕絕緣層之後，進行一平坦化製程(planarization operation)以移除部分的隔絕絕緣層。上述平坦化製程可包括一化學機械研磨(CMP)製程及/或一回蝕刻製程(etch-back process)。然後，進一步移除(凹陷)上述隔絕絕緣層使鰭結構的上方區域暴露出來。

【0023】 於暴露出來的鰭結構上方形成一虛設閘極結構(dummy gate structure)。上述虛設閘極結構包括由多晶矽形成的一虛設閘極層和一虛設閘極介電層。也會於虛設閘極層的側壁上形成包括絕緣材料的一層或多層的側壁間隙壁。形成上述虛設閘極結構之後，未被虛設閘極結構覆蓋的鰭結構係凹陷低於隔絕絕緣層的上表面。然後，使用一磊晶成長方式(epitaxial growth method)，於凹陷的鰭結構上方形成一源極/汲極區。上述源極/汲極區可包括一應變材料(strain material)，以對通道區施加應力(stress)。

【0024】 之後，於虛設閘極結構和源極/汲極區上方形成一第一層間介電層(ILD)50。進行一平坦化製程之後，移除虛設閘極結構以做為一閘極空間(gate space)。然後，在閘極空間中，可形成一金屬閘極結構40，其包括一金屬閘極17和例如一高介電常數(high-k)介電層之一閘極介電層13。

【0025】 第2A-2C圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一個階段。第2A圖係顯示一平面(俯視)圖，第2B圖顯示沿第2A圖之一X1-X1切線的一剖面圖，且第2C圖顯示沿第2A圖之一切線Y1-Y1的一剖面圖。在第2A圖中，基

板 10、隔絕絕緣層 30 和第一層間介電層 (ILD) 50 係省略不予顯示。

【0026】 於鰭結構 20 和隔絕絕緣層 30 上方形成閘極結構 40 之後，利用第 2A-2C 圖顯示的製程，切割閘極結構 40 成為閘極結構 40 的複數個部分 (pieces)，以用於各電晶體。於第 1A-1C 圖所示結構上方形成一遮罩，例如一光阻層或一硬遮罩層之上述遮罩具有以 X 方向延伸的一開口。然後，進行例如乾蝕刻及/或濕蝕刻法的圖案化製程，以切割閘極圖案。並且，也會蝕刻第一層間介電層 50 和隔絕絕緣層 30 以形成一開口 45。在本發明一些實施例中，上述隔絕絕緣層 30 係蝕刻(凹陷)至一深度 D1，深度 D1 小於 80 nm 且其範圍約為 30 nm 至 60 nm。在本發明一些實施例中，開口 45 的寬度 W1 範圍約為 20 nm 至 80 nm。在本發明一些實施例中，不會蝕刻隔絕絕緣層 30 (意即，深度 D1=0)。

【0027】 第 3A-3C 圖顯示本揭露之一實施例之一半導體裝置的一連續製造方法的一階段。第 3A 圖顯示一平面(俯視)圖，第 3B 圖顯示沿第 3A 圖之一 X1-X1 切線的一剖面圖，且第 3C 圖顯示沿第 3A 圖之一 Y1-Y1 切線的一剖面圖。在第 3A 圖中，基板 10、隔絕絕緣層 30 和第一層間介電層 (ILD) 50 係省略不予顯示。

【0028】 如第 3A-3C 圖所示，切割閘極結構 40 成為閘極結構的複數個部分 (pieces) 之後，以一絕緣材料填充開口 45，以形成一分隔物 (separator) 60，上述分隔物 60 又可稱為分離絕緣層。用於分隔物 60 的絕緣材料可包括絕緣材料的一層或多層，其具有較隔絕絕緣層 30 和第一層間介電層 50 的材料高的一蝕刻選擇比 (etching selectivity)。這種材料可包括例如包括氮化

矽 (SiN)、SiCN和 SiOCN之氮化矽基 (silicon nitride based) 材料，或例如氧化鋁 (其可統稱為 AlO)、氮氧化鋁 (其可統稱為 AlON) 或氮化鋁 (其可統稱為 AlN) 之鋁基 (aluminum based) 材料。在本發明一實施例中，氮化矽 (SiN) 係用做為分隔物 60。

【0029】 為了形成分隔物 60，可於如第 2A-2C 圖所示的結構上方形成例如氮化矽 (SiN) 之一絕緣材料之一毯覆層 (blanket layer)，且之後進行一平坦化製程 (planarization operation)，例如一回蝕刻 (etch-back) 製程及 / 或一化學機械研磨 (CMP) 製程。在本發明一些實施例中，分隔物 60 的厚度 T1 的範圍可約為 30 nm 至 60 nm。

【0030】 第 4A-4D 圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第 4A 圖顯示一平面 (俯視) 圖，第 4B 圖顯示沿第 4A 圖之一 X1-X1 切線的一剖面圖，第 4C 圖顯示沿第 4A 圖之一 Y1-Y1 切線的一剖面圖，且第 4D 圖顯示沿第 4A 圖之一 X2-X2 切線的一剖面圖。在第 4A 圖中，基板 10、隔絕絕緣層 30、第一層間介電層 (ILD) 50 和遮罩層 70 係省略不予顯示。

【0031】 形成分隔物 60 之後，於第 3A-3C 圖所示結構上方形成一遮罩層 70，例如一光阻層或一硬遮罩層之上述遮罩層 70 具有以 Y 方向延伸的一開口 75。開口 75 係相應於各電晶體的源極 / 汲極。開口 75 之沿 Y 方向的邊緣可重疊於或可不重疊於閘極結構 40。

【0032】 在本發明實施例中，形成如第 4A 圖所示 (顯示為虛線) 之一第一電晶體 TR1、一第二電晶體 TR2、一第三電晶體 TR3 和一第四電晶體 TR4。電晶體 TR1 和第二電晶體 TR2 共用相同的

源極/汲極區 25A，且第三電晶體 TR3和第四電晶體 TR4共用相同的源極/汲極區 25B。在本發明實施例中，分別於兩個鰭結構上方形成源極/汲極區 25A和 25B。注意在本揭露中，一源極和一汲極僅用於區分彼此，且可互換使用。一源極/汲極可視為一源極或一汲極的其中之一。

**【0033】** 第 5A-5D圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第 5A圖顯示一平面(俯視)圖，第 5B圖顯示沿第 5A圖之一 X1-X1切線的一剖面圖，第 5C圖顯示沿第 5A圖之一 Y1-Y1切線的一剖面圖，且第 5D圖顯示沿第 5A圖之一 X2-X2切線的一剖面圖。在第 5A圖中，基板 10、隔絕絕緣層 30和第一層間介電層(ILD)50係省略不予顯示。

**【0034】** 接續第 4A-4D圖，使用遮罩層 70做為一蝕刻罩幕，部分蝕刻第一層間介電層 50以暴露出源極/汲極區 25A和 25B，如第 5A和 5C圖所示。由於分隔物 60由氮化矽基(silicon nitride based)材料之一材料形成(例如氮化矽(SiN))，且第一層間介電層 50由氧化矽基(silicon oxide based)之一材料形成(例如 SiO<sub>2</sub>)，位於開口 26A，26B上方的源極/汲極區 25A和 25B可以一自對準方式(self-aligned manner)形成為沿 Y 方向的分離圖案。並且，當閘極結構 40的側壁間隙壁 20和絕緣蓋層 19由氮化矽基(silicon nitride based)材料之一材料形成(例如氮化矽(SiN))時，位於開口 26A，26B上方的源極/汲極區 25A和 25B可以一自對準方式(self-aligned manner) 沿 X 方向形成。

**【0035】** 第 6A-6D圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第 6A圖顯示一平面(俯視)圖，



第6B圖顯示沿第6A圖之一X1-X1切線的一剖面圖，第6C圖顯示沿第6A圖之一Y1-Y1切線的一剖面圖，且第6D圖顯示沿第6A圖之一X2-X2切線的一剖面圖。在第6A圖中，基板10、隔絕絕緣層30和第一層間介電層(ILD)50係省略不予顯示。

**【0036】** 形成源極/汲極的開口26A和26B之後(如第5A、5D和5D圖所示)，於開口中形成一導電材料，以得到一源極/汲極接觸層80。用於源極/汲極接觸層80的導電材料可包括W、Cu、Co、Ni或上述材料的矽化物(silicide)的一層或多層。為了形成上述源極/汲極接觸層80，可利用例如化學氣相沉積法(CVD)、包括濺鍍法(sputtering)之物理氣相沉積法(PVD)、原子層沉積法(ALD)或其他適當的薄膜形成方式形成導電材料的一毯覆層。然後，進行一平坦化製程(planarization operation)，例如一回蝕刻(etch-back)製程及/或一化學機械研磨(CMP)製程，因而得到如第6A-6D圖所示之結構。可於形成導電材料之前形成一黏著層(adhesion layer)及/或一阻障層(barrier layer)。

**【0037】** 第7A-7D圖顯示本揭露之一實施例之一半導體裝置的一連續製造方法的一階段。第7A圖顯示一平面(俯視)圖，第7B圖顯示沿第7A圖之一X1-X1切線的一剖面圖，第7C圖顯示沿第7A圖之一Y1-Y1切線的一剖面圖，且第7D圖顯示沿第7A圖之一X2-X2切線的一剖面圖。在第7A圖中，基板10、隔絕絕緣層30、第一層間介電層50和第二層間介電層85係省略不予顯示。

**【0038】** 形成源極/汲極接觸層80之後，形成第二層間介電層(ILD)85和第一介層孔插塞90，如第7A-7D圖所示。第二層間

介電層85包括絕緣材料的一層或多層，例如SiO<sub>2</sub>、SiOC、SiOCN或一低介電常數(low-k)介電材料(例如k<3)。可使用一鑲嵌製程(damascene process)形成第一介層孔插塞90。用於第一介層孔插塞90的材料包括W、Co、Ni、Ti、TiN、Ta、TaN或其他適當的導電材料的一層或多層。在本發明實施例中，第一介層孔插塞90係連接用於源極/汲極區25A和25B的兩個源極/汲極接觸層80。

**【0039】** 第8A-8D圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第8A圖顯示一平面(俯視)圖，第8B圖顯示沿第8A圖之一X1-X1切線的一剖面圖，第8C圖顯示沿第8A圖之一Y1-Y1切線的一剖面圖，且第8D圖顯示沿第8A圖之一X2-X2切線的一剖面圖。在第8A圖中，基板10、隔絕絕緣層30、第一層間介電層50、第二層間介電層85和第三層間介電層95係省略不予顯示。

**【0040】** 一第三層間介電層95和一第一金屬導線100依序形成如第7A-7D圖所示的結構上方。第三層間介電層95包括絕緣材料的一層或多層，例如SiO<sub>2</sub>、SiOC、SiOCN或一低介電常數(low-k)介電材料(例如k<3)。用於第一金屬導線100的材料包括Cu、Al、Ti、TiN、Ta、TaN或其他適當的導電材料的一層或多層。可使用一鑲嵌製程(damascene process)形成第一金屬導線100。

**【0041】** 如第8A-8D圖所示，一第一鰭結構20A和一第二鰭結構20B，設置於基板10上方，且第二鰭結構20B利用一隔絕絕緣層30與第一鰭結構20A隔絕。一第一鰭式場效電晶體(Fin

FET)TR1和形成第一鰭結構20A上方的一第二鰭式場效電晶體TR2(請參考第4A圖)。上述第一鰭式場效電晶體包括一第一閘極40A，且第二鰭式場效電晶體包括一第二閘極40B。一(第一)源極/汲極區25A(請參考第4A圖)係被第一鰭式場效電晶體TR1和第二鰭式場效電晶體TR2共用且設置於第一鰭式場效電晶體TR1和第二鰭式場效電晶體TR2之間。一層間絕緣層50，設置於第一鰭結構、第二鰭結構、第一鰭式場效電晶體、第二鰭式場效電晶體和第一源極/汲極區(請參考第4A圖)上方。一(第一)源極/汲極接觸層80，設置於第一源極/汲極區上，且朝著第二鰭結構延伸，使(第一)源極/汲極接觸層80的一部分位於隔絕絕緣層30上方。一第一介層孔插塞90，設置於第一源極/汲極接觸層80的上述部分上，且位於隔絕絕緣層30上方。一第一金屬導線100，設置於第一介層孔插塞90上。第一源極/汲極接觸層80的一末端係接觸一分隔物60，上述分隔物60由不同於的隔絕絕緣層30和第一層間介電層50的絕緣材料形成。並且，第一閘極40A的末端、第二閘極40B的末端，以及第一源極/汲極接觸層80的一末端係接觸分隔物60的一相同面。

**【0042】** 可以理解，可進一步對如第8A-8D圖所示的裝置進行互補式金氧半導體製程(CMOS processes)以形成不同構件，例如內連線金屬層、介電層、保護層等。

**【0043】** 第9圖顯示依據本揭露之一實施例的一半導體裝置的例示佈局結構。

**【0044】** 在第9圖中，複數個閘極結構41A、42A、43A、44A、45A、46A、47A、48A、41B、42B、43B、44B、45B、46B、

47B和48B以Y方向延伸，且以X方向配置。在本發明一些實施例中，上述多個閘極結構41A-48A和41B-48B以一固定間距(constant pitch)沿X方向配置。上述分隔物60以X方向延伸，且將閘極結構41A-48A與閘極結構41B-48B隔開。一源極/汲極區80，設置於閘極結構43A和44A之間，且藉由第一介層孔插塞90電性連接至設置於閘極結構43B和44B之間的一源極/汲極區80，且第一介層孔插塞90係連接至第一金屬導線100。在第9圖中，多於兩個閘極結構和多於兩個源極/汲極接觸層係接觸分隔物60的相同面。

**【0045】** 第10圖顯示依據本揭露之一實施例之用於一半導體裝置的標準晶胞(standard cell)的一例示佈局結構。

**【0046】** 在第10圖中，一標準晶胞Cb，沿Y方向設置於標準晶胞Ca和標準晶胞Cc之間。沿X方向延伸的電源供應線(power supply line)Vdd和Vss，設置於標準晶胞的邊界上。電源供應線Vdd和Vss由第一金屬導線100形成。

**【0047】** 利用第1A-8D圖說明的結構和製程係相應於第10圖中形成的封閉區域A。利用以下第11A-15D圖說明的結構和製程係相應於第10圖中形成的封閉區域B，利用以下第16A-20D圖說明的結構和製程係相應於第10圖中形成的封閉區域C，且利用以下第21A-21D圖說明的結構和製程係相應於第10圖中形成的封閉區域D。

**【0048】** 在封閉區域A中，兩個源極/汲極接觸層在Y方向上彼此相鄰，且藉由第一介層孔插塞90連接至由第一金屬導線100形成的電源供應線(power supply line)。在封閉區域A中，

設置一第一鰭結構210和一第二鰭結構220，第二鰭結構220藉由隔絕絕緣層與第一鰭結構210隔絕。一第一鰭式場效電晶體(Fin FET)TR10和一第二鰭式場效電晶體TR20，兩者形成於第一鰭結構210上方。上述第一鰭式場效電晶體TR10包括一第一閘極410，且上述第二鰭式場效電晶體TR20包括一第二閘極420。一第一源極/汲極區310，係被第一鰭式場效電晶體TR10和第二鰭式場效電晶體TR20共用，且設置於第一鰭式場效電晶體TR10和第二鰭式場效電晶體TR20之間。一第一源極/汲極接觸層810，設置於第一源極/汲極區310上，且朝著第二鰭結構220延伸，使第一源極/汲極接觸層810的一部分位於隔絕絕緣層上方。一第一介層孔插塞910，設置於第一源極/汲極接觸層810的上述部分上，且位於隔絕絕緣層上方。一金屬導線層1010(例如Vdd)，設置於第一介層孔插塞910上。第一源極/汲極接觸層810的一末端係接觸一分隔物610。

**【0049】** 並且，一第三鰭式場效電晶體TR30和一第四鰭式場效電晶體TR40，形成於第二鰭結構220上方。第三鰭式場效電晶體TR30包括一第三閘極430，且第四鰭式場效電晶體TR40包括一第四閘極440。一第二源極/汲極區320係被第三鰭式場效電晶體TR30和第四鰭式場效電晶體TR40共用，且設置於第三鰭式場效電晶體TR30和第四鰭式場效電晶體TR40之間。一第二源極/汲極接觸層，設置於第二源極/汲極區320上，使得第一源極/汲極區和第二源極/汲極區藉由分隔物60物理上分離(physically separated)且藉由第一介層孔插塞910電性連接。

**【0050】** 除了以下配置外，封閉區域B具有大體上類似於封

閉區域A的結構。在封閉區域B中，在Y方向上兩個彼此相鄰的源極/汲極接觸層中僅有一個藉由第一介層孔插塞90連接至由(第一)金屬導線100形成的電源供應線。

**【0051】** 除了以下配置外，封閉區域C具有大體上類似於封閉區域A的結構。在封閉區域C中，在Y方向上兩個彼此相鄰的源極/汲極接觸層都沒有連接至電源供應線。

**【0052】** 除了以下配置外，封閉區域D具有大體上類似於封閉區域A的結構。在設置於一標準晶胞(standard cell)內的封閉區域D中，在Y方向上兩個彼此相鄰的源極/汲極接觸層中僅有分別藉由兩個第一介層孔插塞90連接至兩個(第一)金屬導線100。

**【0053】** 第11A-15D圖顯示顯示依據本揭露之一實施例的第10圖的封閉區域B的一半導體裝置的一例示連續製造方法的不同製程階段。後續實施例可利用應用於第1A-8D圖使用的材料、配置、結構及/或製程，所以其細節在此省略不再重覆敘述。操作/製程的順序可以互換。

**【0054】** 第11A-11D圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第11A圖顯示一平面(俯視)圖，第11B圖顯示沿第11A圖之一X1-X1切線的一剖面圖，第11C圖顯示沿第11A圖之一Y1-Y1切線的一剖面圖，且第11D圖顯示沿第11A圖之一X2-X2切線的一剖面圖。在第11A圖中，基板10、隔絕絕緣層30和第一層間介電層50係省略不予顯示。

**【0055】** 形成第3A-3C圖所示結構之後，於第3A-3C圖所示結構上方形成一遮罩層70，例如一光阻層或一硬遮罩層之上述

遮罩層70具有一開口75A。開口75A係重疊於源極/汲極區的其中之一(例如第4A圖的源極/汲極區25B)和分隔物60的一部分,如第11A圖所示。

**【0056】** 第12A-12D圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第12A圖顯示一平面(俯視)圖,第12B圖顯示沿第12A圖之一X1-X1切線的一剖面圖,第12C圖顯示沿第12A圖之一Y1-Y1切線的一剖面圖,且第12D圖顯示沿第12A圖之一X2-X2切線的一剖面圖。在第12A圖中,基板10、隔絕絕緣層30和第一層間介電層50係省略不予顯示。

**【0057】** 使用遮罩層70做為一蝕刻罩幕,部分蝕刻第一層間介電層50以形成源極/汲極的開口26B且暴露出源極/汲極區25B,如第12A和12C圖所示。

**【0058】** 第13A-13D圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第13A圖顯示一平面(俯視)圖,第13B圖顯示沿第13A圖之一X1-X1切線的一剖面圖,第13C圖顯示沿第13A圖之一Y1-Y1切線的一剖面圖,且第13D圖顯示沿第13A圖之一X2-X2切線的一剖面圖。在第13A圖中,基板10、隔絕絕緣層30和第一層間介電層50係省略不予顯示。

**【0059】** 形成源極/汲極的開口26B(如第12A和12C圖所示)之後,於開口中形成一導電材料,以得到一源極/汲極接觸層80A。

**【0060】** 第14A-14D圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第14A圖顯示一平面(俯視)圖,第14B圖顯示沿第14A圖之一X1-X1切線的一剖面圖,第14C

圖顯示沿第14A圖之一Y1-Y1切線的一剖面圖，且第14D圖顯示沿第14A圖之一X2-X2切線的一剖面圖。在第14A圖中，基板10、隔絕絕緣層30、第一層間介電層50和第二層間介電層85係省略不予顯示。

【0061】 形成源極/汲極接觸層80A之後，形成第二層間介電層85和第一介層孔插塞90，如第14A-14D圖所示。在本實施例中，第一介層孔插塞90僅連接單一個源極/汲極接觸層80A。本實施例不同於第7A和7C圖所示之第一介層孔插塞90連接兩個源極/汲極接觸層80之實施例。

【0062】 第15A-15D圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第15A圖顯示一平面(俯視)圖，第15B圖顯示沿第15A圖之一X1-X1切線的一剖面圖，第15C圖顯示沿第15A圖之一Y1-Y1切線的一剖面圖，且第15D圖顯示沿第15A圖之一X2-X2切線的一剖面圖。在第15A圖中，基板10、隔絕絕緣層30、第一層間介電層50、第二層間介電層85和第三層間介電層95係省略不予顯示。

【0063】 如第15A-15D圖所示，在本實施例中，一第三層間介電層95和一(第一)金屬導線100依序形成如第14A-14D圖所示的結構上方。

【0064】 不同於第8A-8D圖所示之結構，在第15A-15D圖所示之實施例中，兩個源極/汲極接觸層中只有一個(例如源極/汲極接觸層80A)藉由第一介層孔插塞90連接至(第一)金屬導線100。

【0065】 第16A-20D圖顯示顯示依據本揭露之一實施例之



相應於第10圖的封閉區域C的結構的一例示連續製造方法的不同製程階段。後續實施例可利用應用於第1A-8D圖使用的材料、配置、結構及/或製程，所以其細節在此省略不再重覆敘述。操作/製程的順序可以互換。

**【0066】** 第16A-16D圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第16A圖顯示一平面(俯視)圖，第16B圖顯示沿第16A圖之一X1-X1切線的一剖面圖，第16C圖顯示沿第16A圖之一Y1-Y1切線的一剖面圖，且第16D圖顯示沿第16A圖之一X2-X2切線的一剖面圖。在第16A圖中，基板10、隔絕絕緣層30和第一層間介電層50係省略不予顯示。

**【0067】** 形成第3A-3C圖所示結構之後，於第3A-3C圖所示結構上方形成一遮罩層70，例如一光阻層或一硬遮罩層之上述遮罩層70具有一開口75B。如第16A圖所示，開口75B係重疊於源極/汲極區的其中之一(例如第4A圖的源極/汲極區25B)，但未重疊於分隔物60。

**【0068】** 第17A-17D圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第17A圖顯示一平面(俯視)圖，第17B圖顯示沿第17A圖之一X1-X1切線的一剖面圖，第17C圖顯示沿第17A圖之一Y1-Y1切線的一剖面圖，且第17D圖顯示沿第17A圖之一X2-X2切線的一剖面圖。在第17A圖中，基板10、隔絕絕緣層30和第一層間介電層50係省略不予顯示。

**【0069】** 使用遮罩層70(如第16B-16D圖所示)做為一蝕刻罩幕，部分蝕刻第一層間介電層50以形成源極/汲極的開口26B且暴露出源極/汲極區25B，如第17A和17C圖所示。

【0070】 第18A-18D圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第17A圖顯示一平面(俯視)圖，第18B圖顯示沿第18A圖之一X1-X1切線的一剖面圖，第18C圖顯示沿第18A圖之一Y1-Y1切線的一剖面圖，且第18D圖顯示沿第18A圖之一X2-X2切線的一剖面圖。在第18A圖中，基板10、隔絕絕緣層30和第一層間介電層50係省略不予顯示。

【0071】 形成源極/汲極的開口26B(如第17A和17C圖所示)之後，於開口中形成一導電材料，以得到一源極/汲極接觸層80B。

【0072】 第19A-19D圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第19A圖顯示一平面(俯視)圖，第19B圖顯示沿第19A圖之一X1-X1切線的一剖面圖，第19C圖顯示沿第19A圖之一Y1-Y1切線的一剖面圖，且第19D圖顯示沿第19A圖之一X2-X2切線的一剖面圖。在第19A圖中，基板10、隔絕絕緣層30、第一層間介電層50和第二層間介電層85係省略不予顯示。

【0073】 形成源極/汲極接觸層80B之後，形成第二層間介電層85，如第19A-19D圖所示。在本實施例中，沒有第一介層孔插塞90設置於源極/汲極接觸層80A上。

【0074】 第20A-20D圖顯示本揭露之一實施例的一半導體裝置的一連續製造方法的一階段。第20A圖顯示一平面(俯視)圖，第20B圖顯示沿第20A圖之一X1-X1切線的一剖面圖，第20C圖顯示沿第20A圖之一Y1-Y1切線的一剖面圖，且第20D圖顯示沿第20A圖之一X2-X2切線的一剖面圖。在第20A圖中，基板

10、隔絕絕緣層30、第一層間介電層50、第二層間介電層85和第三層間介電層95係省略不予顯示。

【0075】 如第20A-20D圖所示，一第三層間介電層95和一(第一)金屬導線100依序形成如第19A-19D圖所示的結構上方。

【0076】 第21A-21D圖顯示依據本揭露之一實施例的一半導體裝置的一例示結構。以下利用第21A-21D圖說明的結構和製程係相應於第10圖中的封閉區域D。

【0077】 如第21A-21D圖所示，一第一鰭結構20A和一第二鰭結構20B，設置於一基板10上方，第二鰭結構20B藉由一隔絕絕緣層30與第一鰭結構20A隔絕。一第一鰭式場效電晶體TR1和一第二鰭式場效電晶體TR2(請參考第4A圖)，形成於第一鰭結構20A上方，並且，一第三鰭式場效電晶體TR3和一第四鰭式場效電晶體TR4(請參考第4A圖)，形成於第二鰭結構20B上方。上述第一鰭式場效電晶體TR1包括一第一閘極40A，上述第二鰭式場效電晶體TR2包括一第二閘極40B，上述第三鰭式場效電晶體TR3包括一第三閘極40C。並且，上述第四鰭式場效電晶體TR4包括一第四閘極40D。一(第一)源極/汲極區25A(請參考第4A圖)係被第一鰭式場效電晶體TR1和第二鰭式場效電晶體TR2共用，且設置於第一鰭式場效電晶體TR1和第二鰭式場效電晶體TR2之間。並且，第二源極/汲極區25B(請參考第4A圖)係被第三鰭式場效電晶體TR3和第四鰭式場效電晶體TR4共用，且設置於第三鰭式場效電晶體TR3和第四鰭式場效電晶體TR4之間。一層間絕緣層50，設置於第一鰭結構20A、第二鰭結構20B、第一鰭式場效電晶體TR1、第二鰭式場效電

晶體 TR2、第三鰭式場效電晶體 TR3、第四鰭式場效電晶體 TR4、(第一)源極/汲極區 25A 和第二源極/汲極區 25B 上方。一第一源極/汲極接觸層 80C，設置於(第一)源極/汲極區 25A 上且朝著第二鰭結構延伸，使第一源極/汲極接觸層 80C 的一部分位於隔絕絕緣層 30 上方。一第二源極/汲極接觸層 80D，設置於第二源極/汲極區 25B 上且朝著第一鰭結構延伸，使第二源極/汲極接觸層 80C 的一部分位於隔絕絕緣層 30 上方。一第一介層孔插塞 90C，設置於第一源極/汲極接觸層 80C 上，且一第二介層孔插塞 90D，設置於第二源極/汲極接觸層 80D 上。一第一金屬導線層 100C，設置於第一介層孔插塞 90C 上，且一第二金屬導線層 100D，設置於第二介層孔插塞 90D 上。第一源極/汲極接觸層 80C 的一末端係接觸分隔物 60，且第二源極/汲極接觸層 80D 的一末端係接觸分隔物 60。

**【0078】** 相較於習知技術，說明書的不同實施例或範例係提供以下多個優點。舉例來說，在本發明實施例中，由於可利用閘極切割製程和分隔物，以一自對準方式 (self-aligned manner) 形成源極/汲極接觸層，所以可以縮小電路尺寸 (circuit size)，尤其是標準晶胞的尺寸。並且，本發明實施例的半導體裝置的製造方法可以抑制的源極/汲極接觸層圓弧形 (rounded shapes) 末端的形成，因而可以抑制在源極/汲極接觸層和閘極之間產生短路 (short circuit)。

**【0079】** 可以理解的是，說明書討論的優點並非為所有的優點。對於所有的實施例或範例而言並非需要特殊優點，其他實施例或範例可提供不同的優點。

**【0080】** 依據本揭露的一個方面，本發明一些實施例提供一種半導體裝置的製造方法，包括於一第一鰭結構的一部分和一第二鰭結構的一部分上方形成一第一閘極結構和一第二閘極結構，上述第一鰭結構的上述部分和上述第二鰭結構的上述部分係設置一基板上方，以一第一方向延伸，以交叉於上述第一方向的一第二方向配置，上述第一鰭結構的上述部分和上述第二鰭結構的上述部分彼此平行且突出於一隔絕絕緣層。上述第一閘極結構和上述第二閘極結構以上述第二方向延伸且以上述第一方向配置，上述第一閘極結構和上述第二閘極結構彼此平行。於上述第一閘極結構和上述第二閘極結構上方形成一層間絕緣層。於上述層間絕緣層上方形成具有一第一開口的一第一遮罩層。上述第一開口位於上述第一閘極結構和上述第二閘極結構上方。穿過上述第一開口切割上述第一閘極結構和上述第二閘極結構，且穿過上述第一開口蝕刻設置上述第一閘極結構和上述第二閘極結構之間的上述隔絕絕緣層和上述層間介電層，以形成一第一凹陷。於上述第一凹陷中形成一絕緣層。形成具有一第二開口的一第二遮罩層以暴露位於上述第一凹陷中的上述絕緣層的一部分和上述層間介電層的一部分。上述第二開口位於上述第一鰭結構上方。穿過上述第二開口蝕刻上述層間介電層的上述暴露部分，以於上述第一鰭結構上方形成至少一個第二凹陷。於至少上述個第二凹陷中形成一導電材料，以形成一第一源極/汲極接觸層。

**【0081】** 在本發明一些實施例中，上述絕緣層包括氮化矽(SiN)。

【0082】 在本發明一些實施例中，上述導電材料包括鎢(W)、鈷(Co)、鎳(Ni)、鈦(Ti)、鉭(Ta)、其矽化物(silicide)或其氮化物(nitride)的至少一個。

【0083】 在本發明一些實施例中，更包括形成接觸上述第一源極/汲極接觸層的一第一介層孔插塞，其中上述第一介層孔插塞包括鎢(W)、銅(Cu)、鈷(Co)、鎳(Ni)或其矽化物(silicide)的至少一個。

【0084】 在本發明一些實施例中，更包括形成接觸上述第一介層孔插塞的一第一導線圖案，其中上述第一導線圖案為一電源供應導線(power supply wiring)。

【0085】 在本發明一些實施例中，更包括形成接觸上述第一源極/汲極接觸層的一第一介層孔插塞；以及形成接觸上述第二源極/汲極接觸層的一第二介層孔插塞，其中上述第一介層孔插塞和上述第二介層孔插塞藉由一絕緣材料物理上分離。

【0086】 依據本揭露的另一個方面，本發明一些實施例提供一種半導體裝置，包括一第一鰭結構、一第二鰭結構、一第一鰭式場效電晶體、一第二鰭式場效電晶體、一第一源極/汲極區、一層間絕緣層、一第一源極/汲極接觸層和一分離絕緣層。上述第二鰭結構藉由一隔絕絕緣層與上述第一鰭結構隔絕。上述第一鰭結構和上述第二鰭結構以一第一方向延伸。上述第一鰭式場效電晶體和上述第二鰭式場效電晶體，兩者形成於上述第一鰭結構上方。上述第一鰭式場效電晶體包括一第一閘極，上述第二鰭式場效電晶體包括一第二閘極。上述第一閘極和上述第二閘極以與第一方向交叉的一第二方向延伸。上述

第一源極/汲極區被上述第一鰭式場效電晶體和上述第二鰭式場效電晶體共用且設置於上述第一鰭式場效電晶體和上述第二鰭式場效電晶體之間。上述層間絕緣層設置於上述第一鰭結構、上述第二鰭結構、上述第一鰭式場效電晶體、上述第二鰭式場效電晶體和上述第一源極/汲極區上方。上述第一源極/汲極接觸層設置於上述第一源極/汲極區上，且朝著上述第二鰭結構延伸，使上述第一源極/汲極接觸層的一部分位於上述隔絕絕緣層上方。上述分離絕緣層設置相鄰於上述第一源極/汲極接觸層。上述第一源極/汲極接觸層的一末端係接觸上述分離絕緣層。上述分離絕緣層由不同於上述隔絕絕緣層和上述層間絕緣層的一絕緣材料形成，其中上述分離絕緣層的上述絕緣材料為氮化矽。

**【0087】** 在本發明一些實施例中，上述第一源極/汲極接觸層包括鎢(W)、鈷(Co)、鎳(Ni)、鈦(Ti)、鉭(Ta)、其矽化物(silicide)或其氮化物(nitride)的至少一個。

**【0088】** 在本發明一些實施例中，上述分離絕緣層的上述絕緣材料為氮化矽(SiN)。

**【0089】** 在本發明一些實施例中，更包括一第一介層孔插塞，接觸上述第一源極/汲極接觸層；以及一第二介層孔插塞，接觸上述第二源極/汲極接觸層。

**【0090】** 依據本揭露的又一個方面，本發明一些實施例提供一種半導體裝置，包括一第一鰭結構、一第一閘極結構、一第二閘極結構、一第一源極/汲極區、一層間絕緣層、一第一源極/汲極接觸層、一分離絕緣層和接觸上述第一源極/汲極接

觸層之一第一介層孔插塞。上述第一鰭結構，突出於一隔絕絕緣層，上述第一鰭結構設置於一基板上方，且以一第一方向延伸。上述第一閘極結構和上述第二閘極結構，兩者形成於上述第一鰭結構上方，上述第一閘極結構和上述第二閘極結構以交叉於上述第一方向的一第二方向延伸。上述第一源/汲極區，設置於上述第一閘極結構和上述第二閘極結構之間。上述層間絕緣層，設置於上述第一鰭結構、上述第一閘極結構、上述第二閘極結構和上述第一源/汲極區上方。上述第一源極/汲極接觸層，設置於上述第一源/汲極區上。上述分離絕緣層，設置相鄰於上述第一源極/汲極接觸層。上述第一介層孔插塞，接觸上述第一源極/汲極接觸層。上述第一閘極結構的一末端、上述第二閘極結構的一末端和上述第一源極/汲極接觸層的一末端接觸上述分離絕緣層的一相同面。

**【0091】** 在本發明一些實施例中，上述第一介層孔插塞係接觸上述第二源極/汲極接觸層。

**【0092】** 在本發明一些實施例中，更包括：一第一導線圖案，接觸上述第一介層孔插塞；一第二介層孔插塞，接觸上述第二源極/汲極接觸層；以及一第二導線圖案，接觸上述第二介層孔插塞。

**【0093】** 前述內文概述了許多實施例的特徵，使本技術領域中具有通常知識者可以從各個方面更佳地了解本揭露。本技術領域中具有通常知識者應可理解，且可輕易地以本揭露為基礎來設計或修飾其他製程及結構，並以此達到相同的目的及/或達到與在此介紹的實施例等相同之優點。本技術領域中具有



通常知識者也應了解這些相等的結構並未背離本揭露的發明精神與範圍。在不背離本揭露的發明精神與範圍之前提下，可對本揭露進行各種改變、置換或修改。

**【符號說明】****【0094】**

- 10~基板；
- 11~界面介電層；
- 13~閘極介電層；
- 15~功函數調整層；
- 17~金屬閘極；
- 19~絕緣蓋層；
- 20~鰭結構；
- 20A~第一鰭結構；
- 20B~第二鰭結構；
- 25A、25B~源極/汲極區；
- 26A、26B、45、75、75A、75B~開口；
- 30~隔絕絕緣層；
- 40~閘極結構；
- 40A、410~第一閘極；
- 40B、420~第二閘極；
- 40C、430~第三閘極；
- 40D、440~第四閘極；
- 41A、42A、43A、44A、45A、46A、47A、48A、41B、42B、43B、44B、45B、46B、47B、48B~閘極結構；

- 42~側壁間隙壁；
- 50~第一層間介電層；
- 70~遮罩圖案；
- 60~分隔物；
- 80、80A、80B~源極/汲極接觸層；
- 80C~第一源極/汲極接觸層；
- 80D~第二源極/汲極接觸層；
- 85~第二層間介電層；
- 90~第一介層孔插塞；
- 90C~第一介層孔插塞；
- 90D~第二介層孔插塞；
- 95~第三層間介電層；
- 100~第一金屬導線；
- 100C~第一金屬導線；
- 100D~第二金屬導線；
- 210~第一鰭結構；
- 220~第二鰭結構；
- 310~第一源極/汲極區；
- 320~第二源極/汲極區；
- 610~分隔物；
- 810~第一源極/汲極接觸層；
- 910~第一介層孔插塞；
- 1010~金屬導線層；
- D1~深度；

W1~寬度；

TR1~第一電晶體；

TR2~第二電晶體；

TR3~第三電晶體；

TR4~第四電晶體；

Ca、Cb、Cc~標準晶胞；

Vdd、Vss~電源供應線；

A、B、C、D~封閉區域；

TR10~第一鱗式場效電晶體；

TR20~第二鱗式場效電晶體；

TR30~第三鱗式場效電晶體；

TR40~第四鱗式場效電晶體。

## 發明摘要

※ 申請案號： 105134960

※ 申請日： 105/10/28

※IPC 分類： *H01L 21/768* (2006.01)  
*H01L 21/8232* (2006.01)  
*H01L 27/068* (2006.01)

【發明名稱】 半導體裝置及其製造方法

Semiconductor Device and Method for fabricating  
the same

## 【中文】

本發明實施例提供一種半導體裝置，包括鰭結構、第一閘極結構、第二閘極結構、源極/汲極區、源極/汲極接觸、分隔物和接觸源極/汲極接觸之介層孔插塞和接觸介層孔插塞之導線。鰭結構突出於隔絕絕緣層且以第一方向延伸。第一閘極結構和第二閘極結構，形成於鰭結構上方且以交叉於第一方向的第二方向延伸。源/汲極區設置於第一閘極結構和第二閘極結構之間。層間絕緣層設置於鰭結構、第一閘極結構、第二閘極結構和源/汲極區上方。源極/汲極接觸層，設置於源/汲極區上。分隔物設置相鄰於源極/汲極接觸。第一閘極結構的末端、第二閘極結構的末端和源極/汲極接觸的末端接觸分隔物的相同面。

## 【英文】

A semiconductor device includes a fin structure, first and second gate structures, a source/drain region, a source/drain contact, a separator, a plug contacting the source/drain contact and a wiring contacting the plug. The fin structure protrudes

from an isolation insulating layer and extends in a first direction. The first and second gate structures are formed over the fin structure and extend in a second direction crossing the first direction. The source/drain region is disposed between the first and second gate structures. The interlayer insulating layer is disposed over the fin structure, the first and second gate structures and the source/drain region. The first source/drain contact is disposed on the first source/drain region. The separator is disposed adjacent to the first source/drain contact layer. Ends of the first and second gate structures and an end of the source drain contact are in contact with a same face of the separator.

**【代表圖】**

**【本案指定代表圖】**：第（10）圖。

**【本代表圖之符號簡單說明】**：

20~鰭結構；

40~閘極結構；

410~第一閘極；

420~第二閘極；

430~第三閘極；

440~第四閘極；

60~分隔物；

80~源極/汲極接觸層；

90~第一介層孔插塞；

- 100~第一金屬導線；
- 210~第一鰭結構；
- 220~第二鰭結構；
- 310~第一源極/汲極區；
- 320~第二源極/汲極區；
- 610~分隔物；
- 810~第一源極/汲極接觸層；
- 910~第一介層孔插塞；
- 1010~金屬導線層；
- Ca、Cb、Cc~標準晶胞；
- Vdd、Vss~電源供應線；
- A、B、C、D~封閉區域；
- TR10~第一鰭式場效電晶體；
- TR20~第二鰭式場效電晶體；
- TR30~第三鰭式場效電晶體；
- TR40~第四鰭式場效電晶體。

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

無

## 申請專利範圍

1. 一種半導體裝置的製造方法，包括下列步驟：

於一第一鰭結構的一部分和一第二鰭結構的一部分上方形成一第一閘極結構和一第二閘極結構，該第一鰭結構的該部分和該第二鰭結構的該部分係設置一基板上方，以一第一方向延伸，以交叉於該第一方向的一第二方向配置，該第一鰭結構的該部分和該第二鰭結構的該部分彼此平行且突出於一隔絕絕緣層，該第一閘極結構和該第二閘極結構以該第二方向延伸且以該第一方向配置，該第一閘極結構和該第二閘極結構彼此平行；

於該第一閘極結構和該第二閘極結構上方形成一層間絕緣層；

於該層間絕緣層上方形成具有一第一開口的一第一遮罩層，該第一開口位於該第一閘極結構和該第二閘極結構上方；

穿過該第一開口切割該第一閘極結構和該第二閘極結構，且穿過該第一開口蝕刻設置該第一閘極結構和該第二閘極結構之間的該隔絕絕緣層和該層間介電層，以形成一第一凹陷；

於該第一凹陷中形成一絕緣層；

形成具有一第二開口的一第二遮罩層以暴露位於該第一凹陷中的該絕緣層的一部分和該層間介電層的一部分，該第二開口位於該第一鰭結構上方；

穿過該第二開口蝕刻該層間介電層的該暴露部分，以於該

第一鰭結構上方形成至少一個第二凹陷；以及  
於至少該個第二凹陷中形成一導電材料，以形成一第一源極/汲極接觸層。

2. 如申請專利範圍第1項所述之半導體裝置的製造方法，其中：

該第二開口也位於該第二鰭結構上方；

在進行穿過該第二開口蝕刻該層間介電層的該暴露部分時，於該第二鰭結構上方形成另一個第二凹陷；以及  
於該另一個第二凹陷中形成該導電材料以得到一第二源極/汲極接觸層。

3. 如申請專利範圍第2項所述之半導體裝置的製造方法，更包括形成接觸該第一源極/汲極接觸層的一第一介層孔插塞；  
其中該第一介層孔插塞係接觸該第二源極/汲極接觸層。

4. 如申請專利範圍第2項所述之半導體裝置的製造方法，其中：

該第二遮罩層具有一第三開口以暴露位於該第一凹陷和至少該個第二凹陷和該另一個第二凹陷外面的該絕緣層的一部分；

在進行穿過該第二開口蝕刻該層間介電層的該暴露部分時，會穿過該第三開口蝕刻該絕緣層的該部分以形成一第三凹陷；以及

在進行於至少該個第二凹陷和該另一個第二凹陷中形成該導電材料時，也會於該第三凹陷中形成該導電材料。

5. 一種半導體裝置，包括：



一第一鰭結構和一第二鰭結構，該第二鰭結構藉由一隔絕絕緣層與該第一鰭結構隔絕，該第一鰭結構和該第二鰭結構以一第一方向延伸；

一第一鰭式場效電晶體和一第二鰭式場效電晶體，兩者形成於該第一鰭結構上方，該第一鰭式場效電晶體包括一第一閘極，該第二鰭式場效電晶體包括一第二閘極，該第一閘極和該第二閘極以與第一方向交叉的一第二方向延伸；

一第一源極/汲極區，被該第一鰭式場效電晶體和該第二鰭式場效電晶體共用且設置於該第一鰭式場效電晶體和該第二鰭式場效電晶體之間；

一層間絕緣層，設置於該第一鰭結構、該第二鰭結構、該第一鰭式場效電晶體、該第二鰭式場效電晶體和該第一源極/汲極區上方；

一第一源極/汲極接觸層，設置於該第一源極/汲極區上，且朝著該第二鰭結構延伸，使該第一源極/汲極接觸層的一部分位於該隔絕絕緣層上方；以及

一分離絕緣層，設置相鄰於該第一源極/汲極接觸層，其中：該第一源極/汲極接觸層的一末端係接觸該分離絕緣層；以及

該分離絕緣層由不同於該隔絕絕緣層和該層間絕緣層的一絕緣材料形成，其中該分離絕緣層的該絕緣材料為氮化矽。

6. 如申請專利範圍第5項所述之半導體裝置，更包括：

一第三鰭式場效電晶體和一第四鰭式場效電晶體，兩者形成於該第二鰭結構上方，該第三鰭式場效電晶體包括一第

三閘極，該第四鰭式場效電晶體包括一第四閘極；

一第二源極/汲極區，被該第三鰭式場效電晶體和該第四鰭式場效電晶體共用，且設置於該第三鰭式場效電晶體和該第四鰭式場效電晶體之間；以及

一第二源極/汲極接觸層，設置於該第二源極/汲極區上，且朝著該第一鰭結構延伸，使該第二源極/汲極接觸層的一部分位於該隔離絕緣層上方，其中：

該第二源極/汲極接觸層的一末端係接觸該分離絕緣層；以及

該第二源極/汲極接觸層藉由該分離絕緣層與該第一源極/汲極接觸層物理上分離。

7. 如申請專利範圍第6項所述之半導體裝置，更包括一第一介層孔插塞，接觸該第一源極/汲極接觸層；

其中該第一介層孔插塞係接觸該第二源極/汲極接觸層和該分離絕緣層。

8. 如申請專利範圍第5項所述之半導體裝置，更包括：

一第三鰭結構；

一第五鰭式場效電晶體和一第六鰭式場效電晶體，兩者形成於該第三鰭上方，該第五鰭式場效電晶體包括一第五閘極，該第六鰭式場效電晶體包括一第六閘極；

一第三源極/汲極區，被該第五鰭式場效電晶體和該第六鰭式場效電晶體共用，且設置於該第五鰭式場效電晶體和該第六鰭式場效電晶體之間；以及

一第三源極/汲極接觸層，設置於該第三源極/汲極區上；

其中該第三源極/汲極接觸層不會電性連接至在該第二方向上的一相鄰源極/汲極區。

9. 一種半導體裝置，包括：

一第一鰭結構，突出於一隔絕絕緣層，該第一鰭結構設置於一基板上方，且以一第一方向延伸；

一第一閘極結構和一第二閘極結構，兩者形成於該第一鰭結構上方，該第一閘極結構和該第二閘極結構以交叉於該第一方向的一第二方向延伸；

一第一源極/汲極區，設置於該第一閘極結構和該第二閘極結構之間；

一層間絕緣層，設置於該第一鰭結構、該第一閘極結構、該第二閘極結構和該第一源極/汲極區上方；

一第一源極/汲極接觸層，設置於該第一源極/汲極區上；

一分離絕緣層，設置相鄰於該第一源極/汲極接觸層；以及

一第一介層孔插塞，接觸該第一源極/汲極接觸層；

其中該第一閘極結構的一末端、該第二閘極結構的一末端和該第一源極/汲極接觸層的一末端接觸該分離絕緣層的第一面。

10. 如申請專利範圍第9項所述之半導體裝置，更包括：

一第二鰭結構，突出於該隔絕絕緣層，且以該第一方向延伸，該第二鰭結構係配置平行於該第一鰭結構，使該分離絕緣層設置於該第一鰭結構和該第二鰭結構之間；

一第三閘極結構和一第四閘極結構，兩者形成於該第二鰭結構上方，該第三閘極結構和該第四閘極結構以該第二方

向延伸；

一第二源極/汲極區，設置於該第三閘極結構和該第四閘極結構之間；以及

一第二源極/汲極接觸層，設置於該第二源極/汲極區上；

其中該第三閘極結構的一末端、該第四閘極結構的一末端和該第二源極/汲極接觸層的一末端接觸該分離絕緣層的一第二面，該第二面為分離絕緣層的該第一面的相反面。









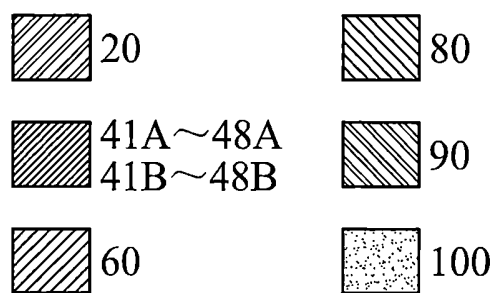
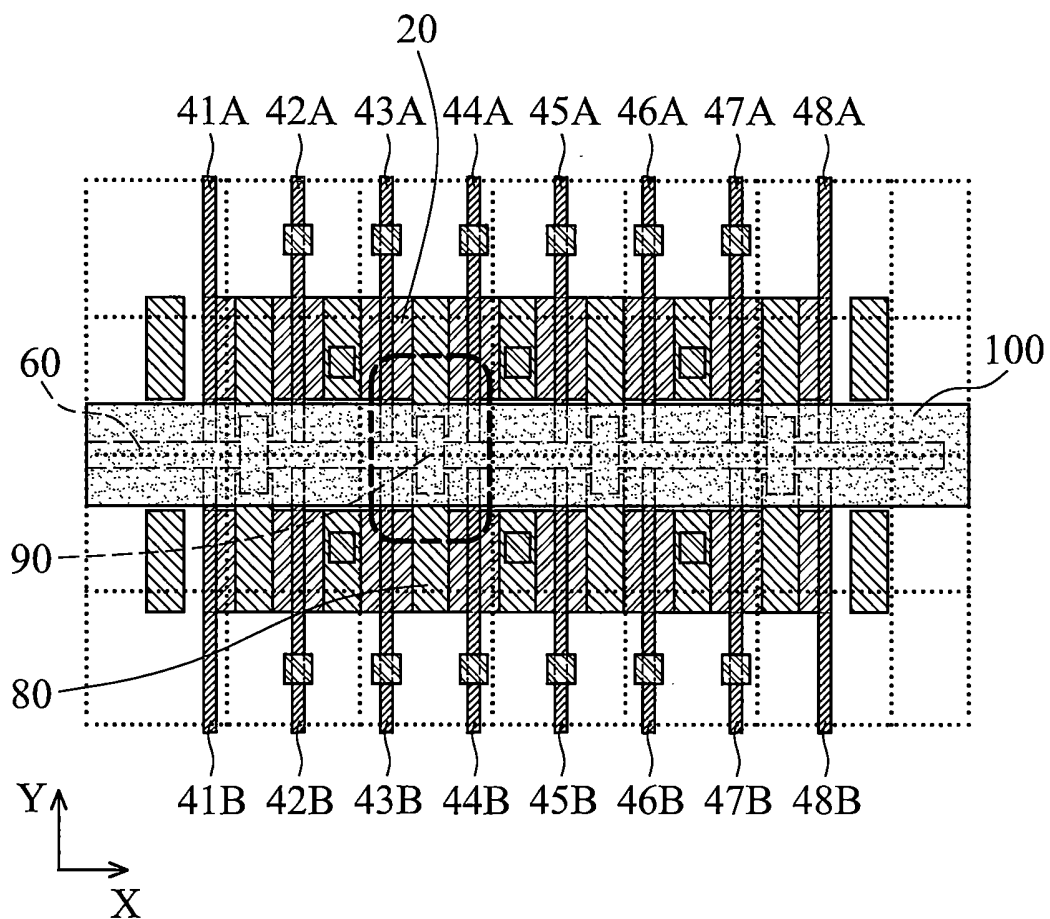












第 9 圖



























