



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0148158
(43) 공개일자 2024년10월11일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
G06F 3/06 (2006.01) G06F 11/14 (2006.01)
G06F 12/10 (2016.01) G06F 13/42 (2006.01)</p> <p>(52) CPC특허분류
G06F 3/0658 (2013.01)
G06F 11/1448 (2013.01)</p> <p>(21) 출원번호 10-2023-0043586
(22) 출원일자 2023년04월03일
심사청구일자 없음</p> | <p>(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091</p> <p>(72) 발명자
박진
경기도 이천시 부발읍 경충대로 2091</p> <p>(74) 대리인
오중한, 문용호</p> |
|---|---|

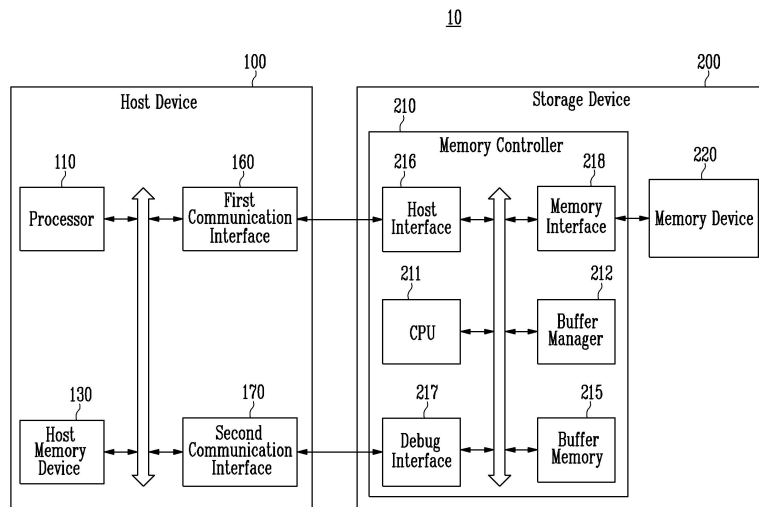
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 스토리지 장치를 디버깅하는 호스트 장치 및 이를 포함하는 스토리지 시스템

(57) 요약

본 개시의 스토리지 시스템은 복수의 슬롯을 포함하는 버퍼 메모리, 및 복수의 논리 어드레스 각각에 할당된 슬롯의 물리 어드레스를 포함하는 맵 정보를 저장하는 맵 스토리지를 포함하는 메모리 컨트롤러, 및 복수의 논리 어드레스 각각에 할당된 슬롯에서 리드된 제1 데이터를 포함하는 백업 정보를 저장하고, 백업 정보를 저장한 이후에 복수의 논리 어드레스 각각에 할당된 슬롯에서 리드된 제2 데이터에 대응되는 오프셋 값 중에서, 같은 오프셋 값을 갖는 적어도 둘 이상의 논리 어드레스를 선택하고, 백업 정보를 기초로 적어도 두개의 논리 어드레스에 각각 대응되는 적어도 두개의 제1 데이터를 서로 다른 적어도 두개의 슬롯에 저장하도록 메모리 컨트롤러를 제어하는 호스트 장치를 포함한다.

대표도



(52) CPC특허분류

G06F 11/1456 (2013.01)

G06F 12/10 (2013.01)

G06F 13/4282 (2013.01)

G06F 3/064 (2013.01)

G06F 3/0659 (2013.01)

G06F 2212/1004 (2013.01)

G06F 2212/1016 (2013.01)

G06F 2212/1056 (2013.01)

명세서

청구범위

청구항 1

복수의 슬롯을 포함하는 버퍼 메모리, 및 복수의 논리 어드레스 각각에 할당된 슬롯의 물리 어드레스를 포함하는 맵 정보를 저장하는 맵 스토리지를 포함하는 메모리 컨트롤러; 및

상기 복수의 논리 어드레스 각각에 할당된 슬롯에서 리드된 제1 데이터를 포함하는 백업 정보를 저장하고,

상기 백업 정보를 저장한 이후에 상기 복수의 논리 어드레스 각각에 할당된 슬롯에서 리드된 제2 데이터에 대응되는 오프셋 값 중에서, 같은 오프셋 값을 갖는 적어도 둘 이상의 논리 어드레스를 선택하고,

상기 백업 정보를 기초로 상기 적어도 두개의 논리 어드레스에 각각 대응되는 적어도 두개의 제1 데이터를 서로 다른 적어도 두개의 슬롯에 저장하도록 상기 메모리 컨트롤러를 제어하는 호스트 장치;를 포함하는 스토리지 시스템.

청구항 2

제1항에 있어서,

상기 백업 정보는,

상기 복수의 논리 어드레스 각각에 대응되는 고유 오프셋 값을 더 포함하고,

상기 호스트 장치는,

상기 백업 정보에서 상기 적어도 두개의 논리 어드레스에 각각 대응되는 상기 적어도 두개의 제1 데이터 및 적어도 두개의 고유 오프셋을 선택하고,

상기 적어도 두개의 고유 오프셋에 대응되는 상기 적어도 두개의 슬롯에 상기 적어도 두개의 제1 데이터를 나누어 저장하도록 상기 메모리 컨트롤러를 제어하는, 스토리지 시스템.

청구항 3

제2항에 있어서,

상기 호스트 장치는,

상기 적어도 두개의 논리 어드레스에 상기 적어도 두개의 슬롯의 물리 어드레스가 각각 할당되도록 상기 맵 정보를 업데이트하는, 스토리지 시스템.

청구항 4

제1항에 있어서,

상기 호스트 장치는,

상기 백업 정보에서 상기 적어도 두개의 논리 어드레스에 각각 대응되는 상기 적어도 두개의 제1 데이터를 선택하고,

상기 적어도 두개의 논리 어드레스 및 상기 적어도 두개의 제1 데이터를 상기 메모리 컨트롤러로 전송하는, 스토리지 시스템.

청구항 5

제4항에 있어서,

상기 메모리 컨트롤러는,

상기 적어도 두개의 논리 어드레스 및 상기 적어도 두개의 제1 데이터를 수신하면, 상기 복수의 슬롯 중 상기 적어도 두개의 논리 어드레스에 각각 대응되는 상기 적어도 두개의 슬롯에, 상기 적어도 두개의 제1 데이터를 나누어 저장하는 버퍼 컨트롤러를 더 포함하는, 스토리지 시스템.

청구항 6

제5항에 있어서,

상기 버퍼 컨트롤러는,

상기 적어도 두개의 논리 어드레스 및 상기 적어도 두개의 제1 데이터를 수신하면, 상기 적어도 두개의 논리 어드레스에 상기 적어도 두개의 슬롯의 물리 어드레스가 각각 할당되도록 상기 맵 정보를 업데이트하는, 스토리지 시스템.

청구항 7

제1항에 있어서,

상기 메모리 컨트롤러는,

JTAG (Joint Test Action Group) 방식으로 상기 호스트 장치와 통신하는 디버그 인터페이스를 더 포함하는, 스토리지 시스템.

청구항 8

제7항에 있어서,

상기 호스트 장치는,

상기 복수의 논리 어드레스, 상기 제1 데이터 및 상기 제2 데이터 중 적어도 하나를 상기 디버그 인터페이스에 연결된 통신 인터페이스를 통해 수신하는, 스토리지 시스템.

청구항 9

복수의 슬롯을 포함하는 버퍼 메모리, 복수의 논리 어드레스 각각에 할당된 슬롯의 물리 어드레스를 포함하는 맵 정보를 저장하는 맵 스토리지 및 디버그 인터페이스를 포함하는 메모리 컨트롤러와 상기 디버그 인터페이스를 통해 연결된 통신 인터페이스;

상기 복수의 논리 어드레스 각각에 할당된 슬롯에서 리드된 제1 데이터를 포함하는 백업 정보를 저장하는 호스트 메모리 장치; 및

상기 백업 정보를 저장한 이후에 상기 복수의 논리 어드레스 각각에 할당된 슬롯에서 리드된 제2 데이터에 대응되는 오프셋 값 중에서, 같은 오프셋 값을 갖는 적어도 둘 이상의 논리 어드레스를 선택하고, 상기 백업 정보를 기초로 상기 적어도 두개의 논리 어드레스에 각각 대응되는 적어도 두개의 제1 데이터를 서로 다른 적어도 두개의 슬롯에 저장하도록 상기 통신 인터페이스를 통해 상기 메모리 컨트롤러를 제어하는 프로세서;를 포함하는 호스트 장치.

청구항 10

제9항에 있어서,
 상기 백업 정보는,
 상기 복수의 논리 어드레스 각각에 대응되는 고유 오프셋 값을 더 포함하고,
 상기 프로세서는,
 상기 백업 정보에서 상기 적어도 두개의 논리 어드레스에 각각 대응되는 상기 적어도 두개의 제1 데이터 및 적어도 두개의 고유 오프셋을 선택하고,
 상기 적어도 두개의 고유 오프셋에 대응되는 상기 적어도 두개의 슬롯에 상기 적어도 두개의 제1 데이터를 나누어 저장하는 커맨드를 상기 메모리 컨트롤러로 전송하도록 상기 통신 인터페이스를 제어하는, 호스트 장치.

청구항 11

제9항에 있어서,
 상기 프로세서는,
 상기 적어도 두개의 논리 어드레스에 상기 적어도 두개의 슬롯의 물리 어드레스가 각각 할당되도록 상기 맵 정보의 업데이트를 제어하는 커맨드를 상기 메모리 컨트롤러로 전송하도록 상기 통신 인터페이스를 제어하는, 호스트 장치.

청구항 12

제9항에 있어서,
 상기 통신 인터페이스는,
 JTAG (Joint Test Action Group) 방식의 디버그 장치를 통해 상기 디버그 인터페이스와 연결되는, 호스트 장치.

청구항 13

제12항에 있어서,
 상기 프로세서는,
 상기 복수의 논리 어드레스, 상기 제1 데이터 및 상기 제2 데이터 중 적어도 하나를 상기 통신 인터페이스를 통해 수신하는, 호스트 장치.

발명의 설명

기술 분야

[0001] 본 발명은 전자 장치에 관한 것으로, 보다 구체적으로는 스토리지 장치를 디버깅하는 호스트 장치 및 이를 포함하는 스토리지 시스템에 관한 것이다.

배경 기술

[0002] 스토리지 장치는 호스트 장치의 요청에 따라, 데이터를 저장하거나 또는 데이터를 호스트 장치로 제공한다. 스토리지 장치는 데이터를 임시 저장하기 위한 버퍼를 포함할 수 있다. 버퍼는 SGBM(Scatter Gather Buffer Manager) 방식에 의해 데이터를 세그먼트 단위로 분산시켜 저장하고, 분산된 데이터를 하나의 연속적인 데이터로서 처리할 수 있다. 한편, 런타임 중에 서로 다른 가상 어드레스가 같은 세그먼트의 물리 어드레스를 가리키는 등의 버그가 발생할 수 있다. 이에 따라, 짧은 시간 동안 사용되고 환원되는 SGBM의 특성에 따라 런타임 중

에 실시간으로 디버깅하는 방안이 모색되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 개시는 스토리지 장치를 디버깅할 수 있는 호스트 장치 및 이를 포함하는 스토리지 시스템을 제공하기 위함이다.

과제의 해결 수단

[0004] 본 개시의 실시 예에 따른 스토리지 시스템은 복수의 슬롯을 포함하는 버퍼 메모리, 및 복수의 논리 어드레스 각각에 할당된 슬롯의 물리 어드레스를 포함하는 맵 정보를 저장하는 맵 스토리지를 포함하는 메모리 컨트롤러, 및 복수의 논리 어드레스 각각에 할당된 슬롯에서 리드된 제1 데이터를 포함하는 백업 정보를 저장하고, 백업 정보를 저장한 이후에 복수의 논리 어드레스 각각에 할당된 슬롯에서 리드된 제2 데이터에 대응되는 오프셋 값 중에서, 같은 오프셋 값을 갖는 적어도 둘 이상의 논리 어드레스를 선택하고, 백업 정보를 기초로 적어도 두개의 논리 어드레스에 각각 대응되는 적어도 두개의 제1 데이터를 서로 다른 적어도 두개의 슬롯에 저장하도록 메모리 컨트롤러를 제어하는 호스트 장치를 포함할 수 있다.

[0005] 본 개시의 실시 예에 따른 호스트 장치는 복수의 슬롯을 포함하는 버퍼 메모리, 복수의 논리 어드레스 각각에 할당된 슬롯의 물리 어드레스를 포함하는 맵 정보를 저장하는 맵 스토리지 및 디버그 인터페이스를 포함하는 메모리 컨트롤러와 디버그 인터페이스를 통해 연결된 통신 인터페이스, 복수의 논리 어드레스 각각에 할당된 슬롯에서 리드된 제1 데이터를 포함하는 백업 정보를 저장하는 호스트 메모리 장치, 및 백업 정보를 저장한 이후에 복수의 논리 어드레스 각각에 할당된 슬롯에서 리드된 제2 데이터에 대응되는 오프셋 값 중에서, 같은 오프셋 값을 갖는 적어도 둘 이상의 논리 어드레스를 선택하고, 백업 정보를 기초로 적어도 두개의 논리 어드레스에 각각 대응되는 적어도 두개의 제1 데이터를 서로 다른 적어도 두개의 슬롯에 저장하도록 통신 인터페이스를 통해 메모리 컨트롤러를 제어하는 프로세서를 포함할 수 있다.

발명의 효과

[0006] 본 개시에 따르면, 스토리지 장치를 디버깅하는 호스트 장치 및 이를 포함하는 스토리지 시스템을 제공할 수 있다. 본 개시에 따르면, 스토리지 장치 내부의 버퍼 메모리의 중복 매핑 문제를 해결할 수 있다.

도면의 간단한 설명

[0007] 도 1은 실시 예에 따른 스토리지 시스템을 설명하기 위한 도면이다.

도 2는 실시 예에 따른 메모리 컨트롤러의 버퍼 관리부 및 버퍼 메모리를 설명하기 위한 도면이다.

도 3a는 실시 예에 따른 백업 동작을 설명하기 위한 도면이다.

도 3b는 실시 예에 따른 매핑 오류의 검출 동작을 설명하기 위한 도면이다.

도 3c는 실시 예에 따른 복구 동작을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0008] 본 명세서 또는 출원에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서 또는 출원에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다. 한편, 청구항 및 발명의 설명에 기재된 '제1', '제2'와 같은 표현은 용어를 서로 구분하기 위한 것이며, 용어를 한정하여 해석하지 아니한다.

[0009] 도 1은 실시 예에 따른 스토리지 시스템을 설명하기 위한 도면이다.

[0010] 도 1을 참조하면, 실시 예에 따른 스토리지 시스템(10)은 호스트 장치(100) 및 스토리지 장치(200)를 포함할 수 있다. 예를 들어, 호스트 장치(100)는 컴퓨터, 스마트폰, 태블릿 컴퓨터, 로봇, 사물인터넷 장치, 셋톱박스, 게임기, TV(Television), 자동차, 인공지능 스피커, 웨어러블 장치(wearable device), 서버 등의 다양한 전자 장치 중 하나일 수 있다. 예를 들어, 스토리지 장치(200)는 SSD(Solid State Disk) 장치, SD(Secure Digital) 카

드 장치, mini-SD 카드 장치, micro-SD 카드 장치, MMC(Multi Media Card) 장치, eMMC(embedded MMC) 장치, USB(universal serial bus) 스토리지 장치, UFS(universal flash storage) 장치, NAS(Network-attached Storage), DAS(Direct-attached Storage) 등으로 구현될 수 있다. 한편, 열거된 예들은 일 실시 예일 뿐이며, 다양한 전자 장치에 적용될 수 있다.

- [0011] 실시 예에서, 스토리지 장치(200)는 메모리 컨트롤러(210) 및 메모리 장치(220)를 포함할 수 있다. 메모리 컨트롤러(210)는 메모리 장치(220)의 동작을 제어할 수 있다.
- [0012] 메모리 장치(220)는 데이터를 저장하거나, 저장된 데이터를 리드하여 출력할 수 있다. 실시 예에서, 메모리 장치(220)는 복수의 페이지를 포함할 수 있다. 페이지는 복수의 메모리 셀을 포함할 수 있다. 메모리 셀은 다양한 종류의 비휘발성 메모리 소자로 구현될 수 있다. 예를 들어, 메모리 셀은 낸드 플래시 메모리(NAND flash memory), 노아 플래시 메모리(NOR flash memory) 등으로 구현될 수 있다.
- [0013] 메모리 컨트롤러(210)는 중앙 처리 장치(CPU, 211), 버퍼 관리부(212), 버퍼 메모리(215), 호스트 인터페이스(216), 디버그 인터페이스(217), 및 메모리 인터페이스(218)를 포함할 수 있다.
- [0014] 중앙 처리 장치(211)는 메모리 컨트롤러(210)에 포함된 구성들의 전반적인 동작을 제어할 수 있다. 중앙 처리 장치(211)는 호스트 장치(100)로부터 수신된 요청에 응답하여, 요청에 대응되는 동작을 수행하도록 메모리 장치(220)를 제어할 수 있다.
- [0015] 예를 들어, 호스트 인터페이스(216)는 호스트 장치(100)로부터 쓰기 요청, 논리 어드레스 및 쓰기 데이터를 수신할 수 있다. 이 경우, 중앙 처리 장치(211)는 논리 어드레스에 대응되는 물리 어드레스를 변환하고, 쓰기 요청에 대응되는 프로그램 커맨드를 생성할 수 있다. 여기서, 물리 어드레스는 메모리 장치(220)의 저장 영역(예: 페이지 등)을 나타낼 수 있다. 실시 예에서, 쓰기 데이터는 버퍼 메모리(215)에 저장될 수 있다. 그리고, 중앙 처리 장치(211)는 프로그램 커맨드, 물리 어드레스, 및 쓰기 데이터를 메모리 장치(220)로 전송하도록 메모리 인터페이스(218) 및 버퍼 메모리(215)를 제어할 수 있다.
- [0016] 다른 예를 들어, 호스트 인터페이스(216)는 호스트 장치(100)로부터 리드 요청, 논리 어드레스를 수신할 수 있다. 이 경우, 중앙 처리 장치(211)는 논리 어드레스에 대응되는 물리 어드레스를 변환하고, 리드 요청에 대응되는 리드 커맨드를 생성할 수 있다. 중앙 처리 장치(211)는 리드 커맨드 및 물리 어드레스를 메모리 장치(220)로 전송하도록 메모리 인터페이스(218)를 제어할 수 있다. 이 경우, 메모리 인터페이스(218)는 메모리 장치(220)로부터 리드 데이터를 수신할 수 있다. 실시 예에서, 리드 데이터는 버퍼 메모리(215)에 저장될 수 있다. 그리고, 중앙 처리 장치(211)는 리드 데이터를 호스트 장치(100)로 전송하도록 호스트 인터페이스(216) 및 버퍼 메모리(215)를 제어할 수 있다.
- [0017] 버퍼 관리부(212)는 버퍼 메모리(215)를 관리하거나 제어할 수 있다. 버퍼 메모리(215)는 메모리 장치(220)와 호스트 장치(100) 사이에서 데이터를 주고받을 때 데이터를 임시로 저장할 수 있다. 예를 들어, 버퍼 메모리(215)는 DRAM(Dynamic Random Access Memory), SRAM(Static RAM), PRAM(Phase-change RAM), MRAM(Magnetic RAM), ReRAM(Resistive RAM), FRAM(Ferroelectric RAM) 등으로 구현될 수 있다. 실시 예에서, 버퍼 메모리(215)는 메모리 장치(220) 보다 저장 속도 또는 리드 속도가 빠른 성능을 가질 수 있다.
- [0018] 실시 예에서, 버퍼 관리부(212)는 논리 어드레스를 버퍼 메모리(215)의 일 영역에 할당할 수 있다. 버퍼 관리부(212)는 논리 어드레스가 할당된 영역에 논리 어드레스에 대응되는 데이터를 저장할 수 있다. 예를 들어, 버퍼 메모리(215)는 호스트 인터페이스(216)를 통해 호스트 장치(100)로부터 수신된 쓰기 데이터를 임시적으로 저장할 수 있다. 예를 들어, 버퍼 메모리(215)는 메모리 인터페이스(218)를 통해 메모리 장치(220)로부터 수신된 리드 데이터를 임시적으로 저장할 수 있다.
- [0019] 호스트 인터페이스(216)는 호스트 장치(100)와 동작 제어 또는 데이터 송수신을 위한 통신을 수행할 수 있다. 디버그 인터페이스(217)는 호스트 장치(100)와 디버깅 기능을 수행하기 위한 통신을 수행할 수 있다. 메모리 인터페이스(218)는 메모리 장치(220)와 동작 제어 또는 데이터 송수신을 위한 통신을 수행할 수 있다. 예를 들어, 메모리 인터페이스(218)는 프로그램 커맨드, 물리 어드레스 및 쓰기 데이터를 메모리 장치(220)로 전송할 수 있다. 메모리 인터페이스(218)는 리드 커맨드, 및 물리 어드레스를 메모리 장치(220)로 전송하고, 메모리 장치(220)로부터 리드 데이터를 수신할 수 있다.
- [0020] 호스트 장치(100)는 프로세서(110), 호스트 메모리 장치(130), 제1 통신 인터페이스(160) 및 제2 통신 인터페이스(170)를 포함할 수 있다.

- [0021] 제1 통신 인터페이스(160)는 스토리지 장치(200)의 호스트 인터페이스(216)와 연결될 수 있다. 제1 통신 인터페이스(160) 및 호스트 인터페이스(216)는 다양한 통신 규격에 따라 서로 통신을 수행할 수 있다. 예를 들어, 제1 통신 인터페이스(160) 및 호스트 인터페이스(216)는 PCI(peripheral component interconnection), PCI-E(PCI-express), ATA(Advanced Technology Attachment), Serial-ATA, Parallel-ATA, USB(Universal Serial Bus), SCSI(small computer system interface), ESDI(enhanced small disk interface), IDE(Integrated Drive Electronics), Firewire, UFS(Universal Flash Storage), UART(Universal asynchronous receiver/transmitter), 썬더볼트 방식 등과 같은 다양한 통신 규격에 따라 통신을 수행할 수 있다.
- [0022] 프로세서(110)는 제1 통신 인터페이스(160)를 통해 데이터를 저장하거나 리드하도록 스토리지 장치(200)를 제어할 수 있다. 예를 들어, 제1 통신 인터페이스(160)는 호스트 인터페이스(216)로 쓰기 요청, 논리 어드레스 및 쓰기 데이터를 전송할 수 있다. 제1 통신 인터페이스(160)는 호스트 인터페이스(216)로 리드 요청 및 논리 어드레스를 전송하고, 호스트 인터페이스(216)로부터 리드 데이터를 수신할 수 있다.
- [0023] 호스트 장치(100)의 제2 통신 인터페이스(170)는 스토리지 장치(200)의 디버그 인터페이스(217)와 연결될 수 있다. 예를 들어, 제2 통신 인터페이스(170) 및 디버그 인터페이스(217)는 JTAG(Joint Test Action Group), cJTAG(compact JTAG), SWD(Serial Wire Debug) 방식 등과 같은 다양한 통신 규격에 따라 통신을 수행할 수 있다. 예를 들어, JTAG 방식은 디지털 회로에서 특정 노드의 디지털 입출력을 위해 직렬 통신 방식으로 출력 데이터를 전송하거나 입력 데이터를 수신하는 방식일 수 있다.
- [0024] 실시 예에서, 제2 통신 인터페이스(170) 및 디버그 인터페이스(217)는 외부의 디버그 장치를 통해 연결될 수 있다. 이 경우, 제2 통신 인터페이스(170) 및 디버그 장치는 제1 통신 규격을 통해 통신을 수행하고, 디버그 장치 및 디버그 인터페이스(217)는 제2 통신 규격을 통해 통신을 수행할 수 있다. 예를 들어, 제1 통신 규격은 USB 통신 규격이고, 제2 통신 규격은 JTAG 통신 규격일 수 있다. 다만, 이는 일 실시 예일 뿐, 제1 통신 규격 및 제2 통신 규격은 다양한 방식으로 변형되어 실시될 수 있다.
- [0025] 실시 예에서, 제2 통신 인터페이스(170) 및 디버그 인터페이스(217)는 백업 동작 또는 복구 동작 등을 위한 논리 어드레스 및 데이터 중 적어도 하나를 송수신할 수 있다.
- [0026] 프로세서(110)는 제2 통신 인터페이스(170)를 통해 스토리지 장치(200)에 대한 디버깅(debugging) 기능을 수행하기 위한 데이터를 송수신할 수 있다. 여기서, 디버깅 기능은 메모리 컨트롤러(210)의 중앙 처리 장치(211) 또는 버퍼 관리부(212)와 무관하게 메모리 컨트롤러(210)의 동작 또는 내부 데이터를 제어하거나 관리하는 기능을 포함할 수 있다. 예를 들어, 프로세서(110)는 메모리 컨트롤러(210)의 동작을 중단하거나 재개하는 커맨드를 메모리 컨트롤러(210)로 전송하도록 제2 통신 인터페이스(170)를 제어할 수 있다. 프로세서(110)는 메모리 컨트롤러(210)의 내부에 저장된 데이터를 리드하거나 변경하도록 제어하는 커맨드를 메모리 컨트롤러(210)로 전송하도록 제2 통신 인터페이스(170)를 제어할 수 있다.
- [0027] 호스트 메모리 장치(130)는 백업 정보를 저장할 수 있다. 백업 정보는 제2 통신 인터페이스(170)를 통해 수신된 데이터를 포함할 수 있다. 호스트 메모리 장치(130)는 휘발성 메모리일 수 있으나, 이와 달리 비휘발성 메모리로 구현될 수도 있다. 예를 들어, 호스트 메모리 장치(130)는 DRAM, SRAM, PRAM, MRAM, ReRAM, FRAM 등으로 구현될 수 있다. 실시 예에서, 호스트 메모리 장치(130)는 프로세서(110)가 실행하는 인스트럭션 및 프로세서(110)가 연산하는 데이터 중 적어도 하나를 저장할 수 있다.
- [0028] 본 개시의 실시 예에 따르면, 버퍼 메모리(215)가 중복으로 할당된 매핑 오류를 메모리 컨트롤러(210)의 런타임 중에 발견하고, 매핑 오류를 복구할 수 있다. 구체적인 내용은 첨부된 이하의 도면을 참조하여 설명하도록 한다.
- [0029] 도 2는 실시 예에 따른 메모리 컨트롤러의 버퍼 관리부 및 버퍼 메모리를 설명하기 위한 도면이다.
- [0030] 도 2를 참조하면, 버퍼 관리부(212)는 버퍼 컨트롤러(212a) 및 맵 스토리지(212b)를 포함할 수 있다.
- [0031] 버퍼 컨트롤러(212a)는 버퍼 메모리(215)를 복수의 슬롯(S1~S6)으로 분할하여 관리할 수 있다. 즉, 버퍼 메모리(215)는 복수의 슬롯(S1~S6)을 포함할 수 있다. 이는 버퍼 메모리(215)를 특정한 단위로 나누어 데이터를 분산하여 저장함으로써 버퍼 메모리(215)를 효율적으로 사용하기 위함이다. 예를 들어, 버퍼 메모리(215)는 전체 6MB의 저장 용량의 메모리일 경우, 각각의 슬롯(S1~S6)은 1MB의 저장 용량을 갖는 메모리일 수 있다. 다만, 이는 일 실시 예일 뿐, 각 슬롯(S1~S6)은 서로 다른 용량을 갖는 메모리로 변형되어 실시될 수 있다.
- [0032] 버퍼 컨트롤러(212a)는 논리 어드레스(LA) 및 논리 어드레스(LA)에 대응되는 데이터(DATA)가 수신되면, 복수의

슬롯(S1~S6) 중에서 선택된 슬롯에 논리 어드레스(LA)를 할당하고, 논리 어드레스(LA)가 할당된 슬롯에 데이터(DATA)를 저장할 수 있다.

- [0033] 예를 들어, 버퍼 컨트롤러(212a)는 제1 논리 어드레스(LA1) 및 제1 논리 어드레스(LA1)에 대응되는 제1 데이터(DATA1)가 수신되면, 버퍼 메모리(215)의 복수의 슬롯(S1~S6) 중에서 비활성화 상태를 갖는 임의의 슬롯을 선택할 수 있다. 비활성화 상태의 제5 슬롯(S5)이 선택된 경우, 버퍼 컨트롤러(212a)는 선택된 제5 슬롯(S5)에 제1 논리 어드레스(LA1)를 할당하고, 제5 슬롯(S5)에 제1 데이터(DATA1)를 저장할 수 있다.
- [0034] 버퍼 컨트롤러(212a)는 논리 어드레스(LA)에 할당된 슬롯의 물리 어드레스를 포함하는 맵 정보(213)를 맵 스토리지(212b)에 저장할 수 있다. 맵 정보(213)는 논리 어드레스(LA), 물리 어드레스, 상태 정보 및 이들의 대응 정보를 포함할 수 있다. 논리 어드레스(LA)는 호스트 장치(100)에서 설정한 가상 어드레스일 수 있다. 물리 어드레스는 슬롯을 구별하기 위한 식별자일 수 있다. 상태 정보의 값은 활성화 상태 또는 비활성화 상태를 나타낼 수 있다. 예를 들어, 상태 정보의 제1 값(예: 1)은 활성화 상태를 나타내고, 상태 정보의 제2 값(예: 0)은 비활성화 상태를 나타낼 수 있다. 활성화 상태는 해당 슬롯에 유효한 데이터가 저장된 상태이고, 비활성화 상태는 해당 슬롯에 유효한 데이터가 저장되지 않은 상태일 수 있다.
- [0035] 예를 들어, 대응관계에 해당하는 제1 논리 어드레스(LA1), 제5 물리 어드레스(PA5) 및 제1 값(예: 1)을 갖는 상태 정보가 맵 정보(213)에 포함된 경우, 맵 정보(213)는 제5 물리 어드레스(PA5)가 나타내는 제5 슬롯(S5)에 제1 논리 어드레스(LA1)가 할당되었다는 정보를 나타낼 수 있다. 실시 예에서, 맵 정보(213)에서 같은 행(또는 같은 열)에 위치한 논리 어드레스(LA), 슬롯의 물리 어드레스 및 상태 정보는 대응관계에 해당할 수 있다.
- [0036] 한편, 버퍼 컨트롤러(212a)는 버퍼 메모리(215)의 슬롯에 저장된 데이터를 호스트 장치 또는 메모리 장치로 출력하면, 해당 슬롯에 저장된 데이터를 삭제할 수 있다. 이 경우, 버퍼 컨트롤러(212a)는 해당 슬롯의 상태 정보를 제2 값(예: 0)으로 변경하여 맵 정보(213)를 업데이트할 수 있다. 이후 버퍼 컨트롤러(212a)는 새로운 논리 어드레스가 수신되면, 제2 값(예: 0)의 상태 정보를 갖는 슬롯에 새로운 논리 어드레스를 할당할 수 있다.
- [0037] 실시 예에 따르면, 버퍼 메모리(215)의 슬롯에 논리 어드레스를 할당하는 과정에서, 같은 슬롯에 여러개의 논리 어드레스가 중복으로 할당되는 매핑 오류가 발생할 수 있다. 본 개시에 따르면, 슬롯에서 리드된 데이터의 오프셋을 활용하여 런타임 중에 매핑 오류를 검출할 수 있다. 또한, 백업 동작 및 복구 동작을 통해 매핑 오류를 정정할 수 있다.
- [0038] 도 3a는 실시 예에 따른 백업 동작을 설명하기 위한 도면이다.
- [0039] 도 3a를 참조하면, 도 1의 호스트 장치(100)의 프로세서(110)는 맵 정보(213a) 및 버퍼 메모리(215)에 저장된 데이터(DATA1~DATA3)를 기반으로, 백업 정보(110a)를 호스트 메모리 장치(130)에 저장하는 백업 동작을 수행할 수 있다. 백업 정보(110a)는 논리 어드레스(LA1~LA3) 및 데이터(DATA1~DATA3)를 포함할 수 있다. 데이터(DATA1~DATA3)는 논리 어드레스(LA1~LA3)에 할당된 버퍼 메모리(215)의 슬롯(S1~S3)에서 리드된 것일 수 있다. 실시 예에서, 백업 정보(110a)는 논리 어드레스(LA1~LA3)에 대응되는 고유 오프셋 값을 더 포함할 수 있다. 예를 들어, 각각의 고유 오프셋 값은 서로 다른 값을 의미할 수 있다.
- [0040] 구체적인 실시 예에서, 프로세서(110)는 제2 통신 인터페이스(170)를 통해 실행 중인 동작을 중단하도록 메모리 컨트롤러(210)를 제어할 수 있다. 프로세서(110)는 제2 통신 인터페이스(170)를 통해 맵 정보(213a)에 접근할 수 있다. 프로세서(110)는 맵 정보(213a)에서 제1 값(예: 1)의 상태 정보를 갖는 논리 어드레스(LA1~LA3)를 선택하고, 선택된 논리 어드레스(LA1~LA3)가 할당된 버퍼 메모리(215)의 슬롯(S1~S3)에 접근할 수 있다. 프로세서(110)는 제2 통신 인터페이스(170)를 통해 버퍼 메모리(215)의 슬롯(S1~S3)에 저장된 데이터(DATA1~DATA3)를 획득할 수 있다.
- [0041] 이 경우, 프로세서(110)는 논리 어드레스(LA1~LA3) 및 데이터(DATA1~DATA3)를 포함하는 백업 정보(110a)를 호스트 메모리 장치(130)에 저장할 수 있다.
- [0042] 실시 예에서, 프로세서(110)는 논리 어드레스(LA1~LA3) 각각에 대응되는 고유 오프셋 값을 더 포함하는 백업 정보(110a)를 호스트 메모리 장치(130)에 저장할 수 있다.
- [0043] 구체적으로, 프로세서(110)는 제1 논리 어드레스(LA1) 또는 제1 데이터(DATA1)에 대응되는 제1 고유 오프셋 값을 생성하여 백업 정보(110a)에 기록할 수 있다. 여기서, 제1 데이터(DATA1)는 제1 논리 어드레스(LA1)에 할당된 제1 슬롯(S1)에서 획득된 데이터를 나타낸다. 이와 같은 방식으로 프로세서(110)는 제2 논리 어드레스(LA2) 또는 제2 데이터(DATA2)에 대응되는 제2 고유 오프셋 값을 생성하고, 제3 논리 어드레스(LA3) 또는 제3 데이터

(DATA3)에 대응되는 제3 고유 오프셋 값을 생성할 수 있다.

- [0044] 프로세서(110)는 제1 내지 제3 고유 오프셋 값이 서로 다른 값이 되도록 제1 내지 제3 고유 오프셋 값을 생성할 수 있다. 예를 들어, 제1 논리 어드레스(LA1)가 0x8000_0000이고, 제2 논리 어드레스(LA2)가 0x8000_0001이고, 제3 논리 어드레스(LA3)가 0x8000_0002인 경우를 가정하도록 한다. 일 실시 예에서, 프로세서(110)는 제1 고유 오프셋 값은 1이고, 제2 고유 오프셋 값은 2이고, 제3 고유 오프셋 값은 3이 되도록, 제1 내지 제3 고유 오프셋 값을 생성할 수 있다. 즉, 논리 어드레스 및 논리 어드레스에 대응되는 고유 오프셋 값은 다른 값을 가질 수 있다. 다른 일 실시 예에서, 프로세서(110)는 제1 고유 오프셋 값은 0x8000_0000이고, 제2 고유 오프셋 값은 0x8000_0001이고, 제3 고유 오프셋 값은 0x8000_0002이 되도록, 제1 내지 제3 고유 오프셋 값을 생성할 수 있다. 즉, 논리 어드레스 및 논리 어드레스에 대응되는 고유 오프셋 값은 같은 값을 가질 수 있다.
- [0045] 도 3b는 실시 예에 따른 매핑 오류의 검출 동작을 설명하기 위한 도면이다.
- [0046] 도 3b를 참조하면, 프로세서(110)는 복수의 논리 어드레스(LA1~LA3) 각각에 할당된 버퍼 메모리(215)의 슬롯(S1, S2)에서 리드된 데이터(DATA1, INV)에 대응되는 오프셋 값을 이용해 매핑 오류를 검출할 수 있다.
- [0047] 예를 들어, 버퍼 메모리(215)의 복수의 슬롯(S1~S6) 중 제2 슬롯(S2)에 제2 논리 어드레스(LA2) 및 제3 논리 어드레스(LA3)가 중복으로 할당된 경우를 가정하여 설명하도록 한다. 논리 어드레스의 중복 할당은 백업 동작이 수행된 이후에 발생할 수 있다.
- [0048] 실시 예에서, 프로세서(110)는 제2 통신 인터페이스(170)를 통해 맵 정보(213b)에 접근할 수 있다. 프로세서(110)는 맵 정보(213b)에서 제1 값(예: 1)의 상태 정보를 갖는 논리 어드레스(LA1~LA3)를 선택하고, 논리 어드레스(LA1~LA3)가 할당된 버퍼 메모리(215)의 슬롯(S1, S2)에 접근할 수 있다. 프로세서(110)는 제2 통신 인터페이스(170)를 통해 버퍼 메모리(215)의 슬롯(S1, S2)에 저장된 데이터(DATA1, INV)를 획득할 수 있다. 프로세서(110)는 논리 어드레스(LA1~LA3), 데이터(DATA1, INV), 데이터(DATA1, INV)에 대응되는 오프셋 값을 포함하는 오프셋 정보(110b)를 획득할 수 있다.
- [0049] 예를 들어, 프로세서(110)는 제1 논리 어드레스(LA1)가 할당된 버퍼 메모리(215)의 제1 슬롯(S1)에 저장된 제1 데이터(DATA1)를 획득하고, 제1 논리 어드레스(LA1)의 제1 데이터(DATA1)에 대응되는 제1 오프셋 값(예: 1)을 생성할 수 있다.
- [0050] 그리고, 프로세서(110)는 제2 논리 어드레스(LA2)가 할당된 버퍼 메모리(215)의 제2 슬롯(S2)에 저장된 중복 데이터(INV)를 획득하고, 제2 논리 어드레스(LA2)의 중복 데이터(INV)에 대응되는 제2 오프셋 값(예: 2)을 생성할 수 있다. 이 경우, 중복 데이터(INV) 및 제1 데이터(DATA1)는 서로 다른 데이터이므로, 제1 논리 어드레스(LA1)의 제1 오프셋 값 및 제2 논리 어드레스(LA2)의 제2 오프셋 값은 서로 다른 값일 수 있다.
- [0051] 그리고, 프로세서(110)는 제3 논리 어드레스(LA3)가 할당된 버퍼 메모리(215)의 제2 슬롯(S2)에 저장된 중복 데이터(INV)를 획득할 수 있다. 프로세서(110)는 제3 논리 어드레스(LA3)의 중복 데이터(INV)에 대응되는 제3 오프셋 값(예: 2)을 생성할 수 있다. 이 경우, 제2 논리 어드레스(LA2)의 중복 데이터(INV) 및 제3 논리 어드레스(LA3)의 중복 데이터(INV)는 서로 같은 데이터이므로, 제2 논리 어드레스(LA2)의 제2 오프셋 값 및 제3 논리 어드레스(LA3)의 제3 오프셋 값은 서로 같은 값일 수 있다.
- [0052] 프로세서(110)는 오프셋 정보(110b)에 포함된 오프셋 값 중에서 서로 같은 오프셋 값을 선택하고, 같은 오프셋 값에 대응되는 제2 논리 어드레스(LA2) 및 제3 논리 어드레스(LA3)를 선택할 수 있다. 즉, 프로세서(110)는 같은 오프셋 값을 갖는 제2 논리 어드레스(LA2) 및 제3 논리 어드레스(LA3)에 매핑 오류가 발생한 것으로 검출할 수 있다.
- [0053] 도 3c는 실시 예에 따른 복구 동작을 설명하기 위한 도면이다.
- [0054] 도 3c를 참조하면, 프로세서(110)는 매핑 오류가 발생한 적어도 두개의 논리 어드레스에 대해 백업 정보(110c)를 이용해 복구 동작을 수행하여 매핑 오류를 정정할 수 있다. 예를 들어, 도 3b와 같이 버퍼 메모리(215)의 복수의 슬롯(S1~S6) 중 제2 슬롯(S2)에 제2 논리 어드레스(LA2) 및 제3 논리 어드레스(LA3)가 중복으로 할당된 것으로 검출된 경우에 복구 동작이 수행되는 것을 가정하여 설명하도록 한다.
- [0055] 실시 예에서, 프로세서(110)는 백업 정보(110c)를 기초로, 적어도 두개의 논리 어드레스(LA2, LA3)에 각각 대응되는 적어도 두개의 데이터(DATA2, DATA3)를, 서로 다른 적어도 두개의 슬롯(S2, S3)에 저장하도록 메모리 컨트롤러(210)를 제어할 수 있다. 여기서, 백업 정보(110c)는 복수의 논리 어드레스(LA1~LA3), 복수의 논리 어드레스(LA1~LA3) 각각에 대응되는 데이터(DATA1~DATA3) 및 고유 오프셋 값을 포함할 수 있다. 백업 정보(110c)는 매

핑 오류가 발생하기 전에 호스트 장치(100)의 호스트 메모리 장치(130)에 저장될 수 있다. 적어도 두개의 논리 어드레스(LA2, LA3)는 매핑 오류가 발생한 논리 어드레스를 나타낸다. 적어도 두개의 데이터(DATA2, DATA3)는 백업 정보(110c)에 포함된 데이터 중에서 적어도 두개의 논리 어드레스(LA2, LA3)에 대응되는 데이터를 나타낸다. 적어도 두개의 슬롯(S2, S3)은 서로 다른 슬롯을 나타낸다. 즉, 논리 어드레스, 데이터, 슬롯은 1:1의 대응 관계일 수 있다.

[0056] 실시 예에서, 프로세서(110)는 백업 정보(110c)에서, 적어도 두개의 논리 어드레스(LA2, LA3)에 각각 대응되는 적어도 두개의 데이터(DATA2, DATA3)를 선택할 수 있다. 여기서 선택된 적어도 두개의 데이터(DATA2, DATA3)는 버퍼 메모리(215)에 복구될 데이터를 의미할 수 있다.

[0057] 실시 예에서, 프로세서(110)는 적어도 두개의 슬롯(S2, S3)에 적어도 두개의 데이터(DATA2, DATA3)를 나누어 저장하도록 메모리 컨트롤러(210)를 제어할 수 있다. 예를 들어, 제2 슬롯(S2)에 제2 데이터(DATA2)가 저장되고, 제3 슬롯(S3)에 제3 데이터(DATA3)가 저장될 수 있다. 다만, 이는 일 실시 예일 뿐, 데이터가 저장되는 슬롯은 다양하게 변형될 수 있다.

[0058] 일 실시 예에서, 프로세서(110)는 백업 정보(110c)에서, 적어도 두개의 논리 어드레스(LA2, LA3)에 각각 대응되는 적어도 두개의 고유 오프셋을 선택할 수 있다. 프로세서(110)는 복수의 슬롯(S1~S6) 중에서 적어도 두개의 고유 오프셋에 대응되는 적어도 두개의 슬롯(S2, S3)을 선택할 수 있다. 여기서, 고유 오프셋은 특정한 하나의 슬롯에 대응될 수 있다. 예를 들어, 고유 오프셋은 메모리 컨트롤러(210) 내부에서 관리되는 슬롯의 물리 어드레스와는 다른 체계의 어드레스일 수 있다.

[0059] 실시 예에서, 프로세서(110)는 제2 통신 인터페이스(170)를 통해 적어도 두개의 오프셋에 각각 대응되는 적어도 두개의 슬롯(S2, S3)에 접근하여, 적어도 두개의 슬롯(S2, S3)에 적어도 두개의 데이터(DATA2, DATA3)를 나누어 저장할 수 있다. 실시 예에서, 프로세서(110)는 제2 통신 인터페이스(170)를 통해 적어도 두개의 논리 어드레스(LA2, LA3)에 적어도 두개의 슬롯(S2, S3)의 물리 어드레스(PA2, PA3)가 각각 할당되도록 맵 정보(213c)를 업데이트할 수 있다.

[0060] 다른 실시 예에서, 프로세서(110)는 적어도 두개의 데이터(DATA2, DATA3) 및 적어도 두개의 오프셋을 전송하도록 제2 통신 인터페이스(170)를 제어할 수 있다. 이 경우, 메모리 컨트롤러(210)의 버퍼 컨트롤러(212a)는 디버그 인터페이스(217)를 통해 적어도 두개의 데이터(DATA2, DATA3) 및 적어도 두개의 오프셋을 수신하면, 적어도 두개의 오프셋에 각각 대응되는 적어도 두개의 슬롯(S2, S3)에 적어도 두개의 데이터(DATA2, DATA3)를 나누어 저장할 수 있다.

[0061] 일 실시 예에서, 프로세서(110)는 백업 정보(110c)에서 적어도 두개의 논리 어드레스(LA2, LA3)에 각각 대응되는 적어도 두개의 데이터(DATA2, DATA3)를 선택할 수 있다. 프로세서(110)는 적어도 두개의 논리 어드레스(LA2, LA3) 및 적어도 두개의 데이터(DATA2, DATA3)를 메모리 컨트롤러(210)로 전송하도록 제2 통신 인터페이스(170)를 제어할 수 있다.

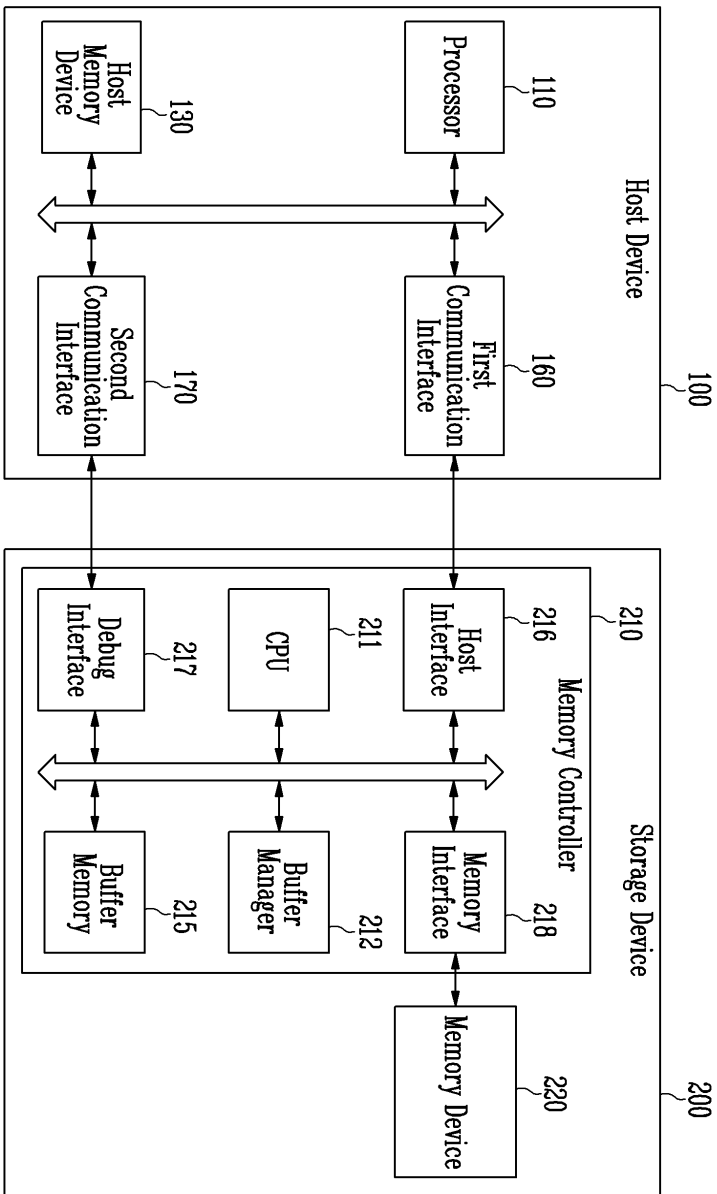
[0062] 이 경우, 버퍼 컨트롤러(212a)는 디버그 인터페이스(217)를 통해 적어도 두개의 논리 어드레스(LA2, LA3) 및 적어도 두개의 데이터(DATA2, DATA3)를 수신하면, 복수의 슬롯(S1-S6) 중 비활성화 상태의 적어도 두개의 슬롯(S2, S3)을 선택할 수 있다. 버퍼 컨트롤러(212a)는 적어도 두개의 슬롯(S2, S3)을 적어도 두개의 논리 어드레스(LA2, LA3)에 각각 할당할 수 있다. 버퍼 컨트롤러(212a)는 적어도 두개의 슬롯(S2, S3)에 적어도 두개의 데이터(DATA2, DATA3)를 나누어 저장할 수 있다. 이 경우, 버퍼 컨트롤러(212a)는 적어도 두개의 논리 어드레스(LA2, LA3)에 적어도 두개의 슬롯(S2, S3)의 물리 어드레스가 각각 할당되도록 맵 정보(213c)를 업데이트할 수 있다.

부호의 설명

- [0063] 10: 스토리지 시스템
- 100: 호스트 장치
- 200: 스토리지 장치
- 210: 메모리 컨트롤러
- 220: 메모리 장치

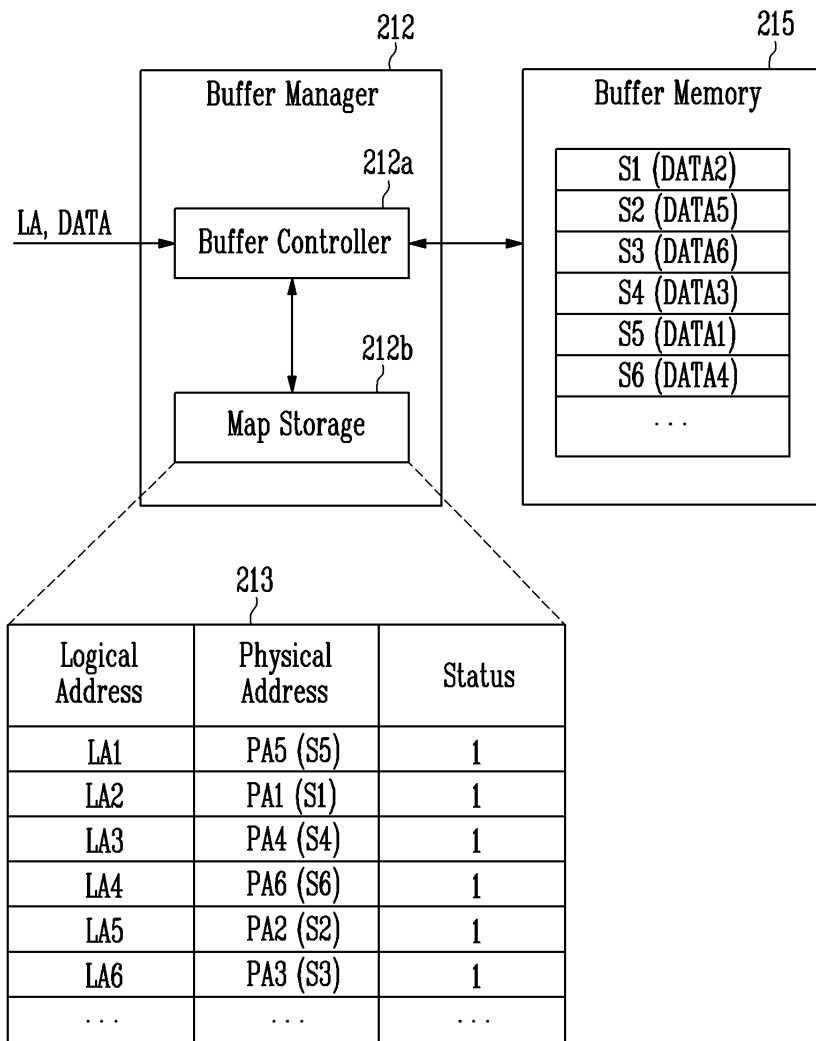
도면

도면1

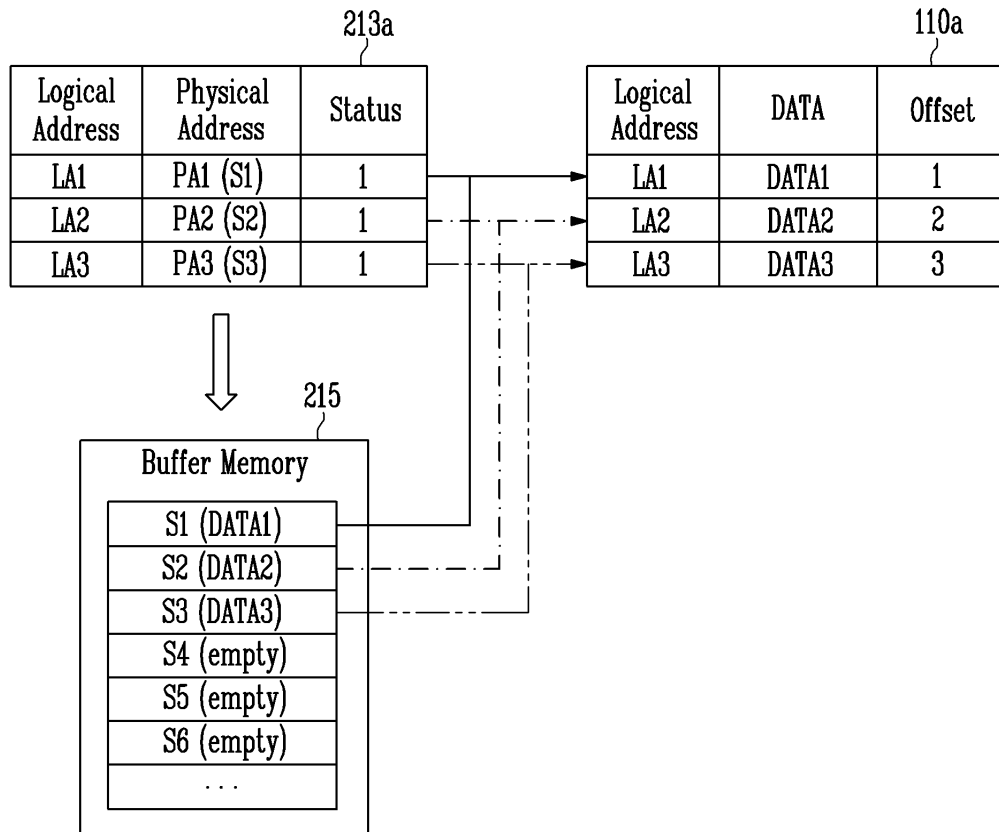


10

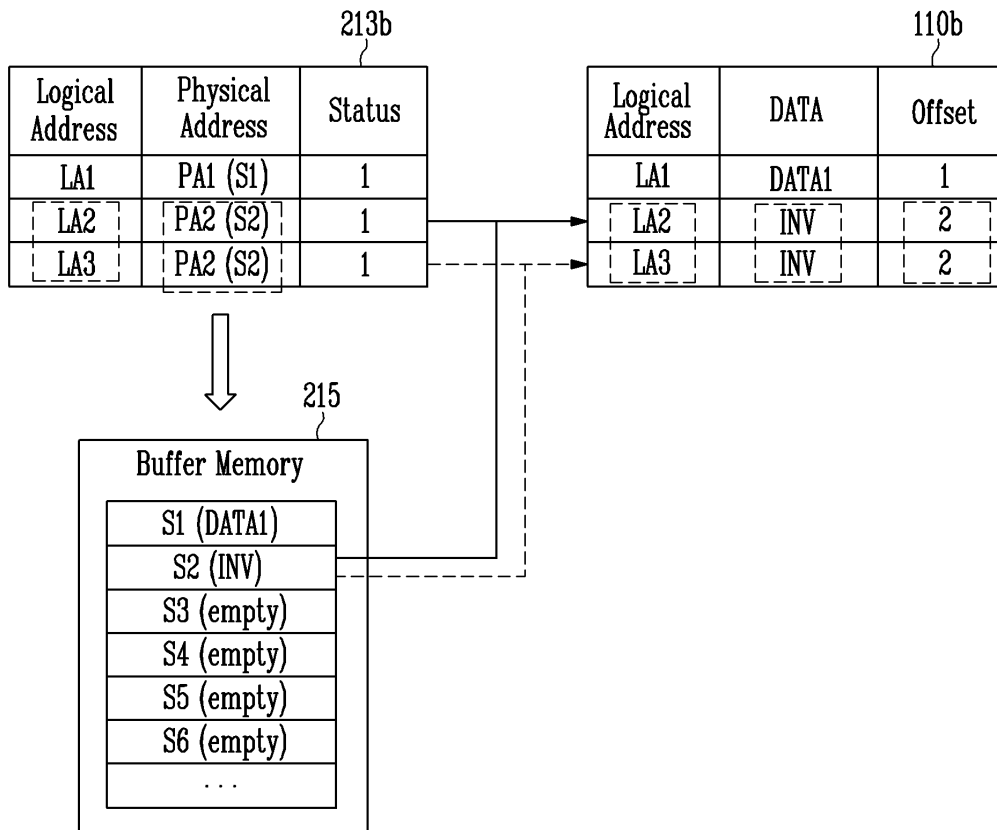
도면2



도면3a



도면3b



도면3c

