



# (12) 发明专利

(10) 授权公告号 CN 109712953 B

(45) 授权公告日 2020.10.16

(21) 申请号 201711009577.9

(22) 申请日 2017.10.25

(65) 同一申请的已公布的文献号  
申请公布号 CN 109712953 A

(43) 申请公布日 2019.05.03

(73) 专利权人 中芯国际集成电路制造(上海)有限公司  
地址 201203 上海市浦东新区张江路18号  
专利权人 中芯国际集成电路制造(北京)有限公司

(72) 发明人 殷原梓

(74) 专利代理机构 北京市磐华律师事务所  
11336  
代理人 董巍 高伟

(51) Int.Cl.

H01L 23/485 (2006.01)

H01L 21/48 (2006.01)

H01L 23/528 (2006.01)

(56) 对比文件

CN 105336578 A, 2016.02.17

US 2017077058 A1, 2017.03.16

审查员 吕闽

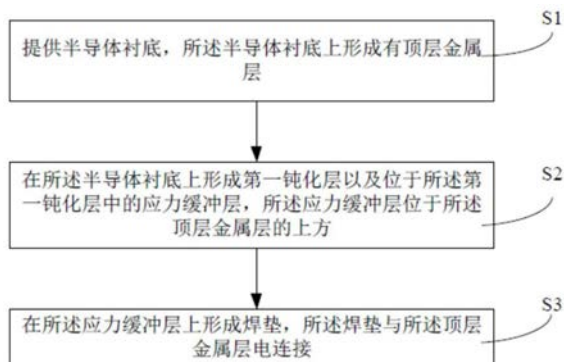
权利要求书1页 说明书9页 附图3页

## (54) 发明名称

一种半导体器件的制造方法和半导体器件

## (57) 摘要

本发明提供一种半导体器件的制造方法和半导体器件,所述方法包括:提供半导体衬底,所述半导体衬底上形成有顶层金属层;在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层,所述应力缓冲层位于所述顶层金属层的上方;在所述应力缓冲层上形成焊垫,所述焊垫与所述顶层金属层电连接。根据本发明的半导体器件制造方法和半导体器件,在半导体器件的焊垫的底部设置应力缓冲层,利用应力缓冲层缓冲焊接头在引线键合过程中施加在焊垫的应力,避免了焊垫在键合过程中被砸碎;同时,因为将应力缓冲层设置在第一钝化层之中,并没有带来额外的薄膜应力,保证了半导体器件质量。



1. 一种半导体器件的制造方法,其特征在于,所述方法包括:  
提供半导体衬底,所述半导体衬底上形成有顶层金属层;  
在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层,所述应力缓冲层位于所述顶层金属层的上方;  
在所述应力缓冲层上形成焊垫,所述焊垫与所述顶层金属层电连接,在所述应力缓冲层上形成焊垫的步骤包括:  
在所述第一钝化层上形成露出所述顶层金属层的另一开口;  
在所述半导体衬底上形成焊垫材料层,所述焊垫材料层填充所述另一开口,以形成所述焊垫材料层与顶层金属层之间的电连接;  
在所述半导体衬底上形成第二钝化层,所述第二钝化层中形成有露出部分所述焊垫材料层的开口。
2. 如权利要求1所述的方法,其特征在于,所述应力缓冲层与所述第一钝化层具有相同的厚度,所述应力缓冲层为导电材料层。
3. 如权利要求1所述的方法,其特征在于,所述应力缓冲层与所述焊垫设置为同一种材料。
4. 如权利要求2所述的方法,其特征在于,在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层的步骤包括:  
在所述半导体衬底上形成应力缓冲层,所述应力缓冲层与所述顶层金属层连接;  
在所述半导体衬底上形成第一钝化层,所述第一钝化层露出所述应力缓冲层并与所述应力缓冲层具有相同的厚度。
5. 如权利要求2所述的方法,其特征在于,在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层的步骤包括:  
在所述半导体衬底上沉积形成第一钝化材料层,对所述第一钝化材料层执行图形化工艺以在拟形成应力缓冲层的位置形成沟槽,所述沟槽露出所述顶层金属层;  
在所述沟槽中填充应力缓冲材料层以形成所述应力缓冲层。
6. 一种半导体器件,其特征在于,所述半导体器件包括:  
半导体衬底,所述半导体衬底上形成有顶层金属层;  
形成在所述半导体衬底上的第一钝化层和位于所述第一钝化层中的应力缓冲层,所述应力缓冲层位于所述顶层金属层的上方;以及  
形成在所述应力缓冲层上方的焊垫,所述焊垫与所述顶层金属层电连接,所述焊垫通过焊垫材料层填充位于所述第一钝化层中的开口与所述顶层金属层电连接。
7. 如权利要求6所述的半导体器件,其特征在于,所述应力缓冲层为导电材料层。
8. 如权利要求6所述的半导体器件,其特征在于,所述应力缓冲层与所述第一钝化层具有相同的厚度。
9. 如权利要求8所述的半导体器件,其特征在于,所述应力缓冲层与所述焊垫设置为同一种材料。
10. 如权利要求9所述的半导体器件,其特征在于,所述应力缓冲层为A1或A1合金。

## 一种半导体器件的制造方法和半导体器件

### 技术领域

[0001] 本发明涉及半导体制造领域,具体而言涉及一种半导体器件的制造方法和半导体器件。

### 背景技术

[0002] 在半导体制造中,随着超大规模集成电路的发展趋势,集成电路特征尺寸持续减小,相应的,对集成电路的封装要求也越来越高;同时,随着集成电路单个半导体器件上的功能要求越来越多以及越来越高,为了实现更多的功能,必须在单位面积上实现更多的封装电路以实现多功能电路的外接。

[0003] 为了增加封装密度,实现更多的功能,现有设计中采用单位面积上布置更多的焊垫的方式,以实现多功能电路外接;与此同时,为了不增加半导体器件尺寸,焊垫的尺寸必须相应的缩小。在采用引线键合进行封装的工艺中,如球形键合头(ball bonding)在与焊垫结合的过程中,往往产生对焊垫的一个应力。随着焊垫尺寸的减小,应力施加在焊垫上得不到释放,往往造成焊垫被砸碎而产生缺陷。一种解决方法是,在半导体器件制造过程中增加焊垫的厚度。然而,在半导体器件制造过程中,形成与焊垫相连接的、连向晶体管的通孔和金属层的过程中往往采用低K介电层作为层间介电层进行绝缘和支撑,低K介电层材料使得半导体器件整体结构对于薄膜应力的敏感度增加,限制了在形成焊垫过程中形成的薄膜和焊垫的厚度,使得焊垫厚度在垂直方向上不能做得很厚。

[0004] 为此,本发明提供了一种新的半导体器件的制造方法和半导体器件,用以解决现有技术中的问题。

### 发明内容

[0005] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更不意味着试图确定所要求保护的技术方案的保护范围。

[0006] 本发明提供了一种半导体器件的制造方法,所述方法包括:

[0007] 提供半导体衬底,所述半导体衬底上形成有顶层金属层;

[0008] 在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层,所述应力缓冲层位于所述顶层金属层的上方;

[0009] 在所述应力缓冲层上形成焊垫,所述焊垫与所述顶层金属层电连接。

[0010] 示例性的,所述应力缓冲层与所述第一钝化层具有相同的厚度,所述应力缓冲层为导电材料层。

[0011] 示例性的,所述应力缓冲层与所述焊垫设置为同一种材料。

[0012] 示例性的,在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层的步骤包括:

[0013] 在所述半导体衬底上形成应力缓冲层,所述应力缓冲层与所述顶层金属层连接;

[0014] 在所述半导体衬底上形成第一钝化层,所述第一钝化层露出所述应力缓冲层并与所述应力缓冲层具有相同的厚度。

[0015] 示例性的,在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层的步骤包括:

[0016] 在所述半导体衬底上沉积形成第一钝化材料层,对所述第一钝化材料层执行图形化工艺以在拟形成应力缓冲层的位置形成沟槽,所述沟槽露出所述顶层金属层;

[0017] 在所述沟槽中填充应力缓冲材料层以形成所述应力缓冲层。

[0018] 示例性的,在所述应力缓冲层上形成焊垫的步骤包括:

[0019] 在所述第一钝化层上形成露出所述顶层金属层的另一开口;

[0020] 在所述半导体衬底上形成焊垫材料层,所述焊垫材料层填充所述另一开口,以形成所述焊垫材料层与顶层金属层之间的电连接;

[0021] 在所述半导体衬底上形成第二钝化层,所述第二钝化层中形成有露出部分所述焊垫材料层的开口。

[0022] 本发明还提供了一种半导体器件,所述半导体器件包括:

[0023] 半导体衬底,所述半导体衬底上形成有顶层金属层;

[0024] 形成在所述半导体衬底上的第一钝化层和位于所述第一钝化层中的应力缓冲层,所述应力缓冲层位于所述顶层金属层的上方;以及

[0025] 形成在所述应力缓冲层上方的焊垫,所述焊垫与所述顶层金属层电连接。

[0026] 示例性的,所述应力缓冲层为导电材料层。

[0027] 示例性的,所述应力缓冲层与所述第一钝化层具有相同的厚度,

[0028] 示例性的,所述应力缓冲层与所述焊垫设置为同一种材料。

[0029] 示例性的,所述应力缓冲层为Al或Al合金。

[0030] 根据本发明的半导体器件的制造方法和半导体器件,在半导体器件的焊垫的底部设置应力缓冲层,利用应力缓冲层缓冲焊接头在引线键合过程中施加在焊垫的应力,避免了焊垫在键合过程中被砸碎;同时,因为将应力缓冲层设置在第一钝化层之中,并没有带来额外的薄膜应力,保证了半导体器件质量。

## 附图说明

[0031] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0032] 附图中:

[0033] 图1为一种半导体器件以及位于半导体器件上的焊垫的结构示意图;

[0034] 图2为根据本发明的一个实施例的一种半导体器件的制造方法的示例性流程图;

[0035] 图3A-3G为根据本发明的一个实施例的、一种半导体器件的制造方法中形成的半导体器件结构示意图。

## 具体实施方式

[0036] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以

实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0037] 为了彻底理解本发明,将在下列的描述中提出详细的描述,以说明本发明所述的半导体器件制造方法和半导体器件。显然,本发明的施行并不限于半导体领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0038] 应予以注意的是,这里所使用的术语仅是为了描述具体实施例,而非意图限制根据本发明的示例性实施例。如在这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式。此外,还应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[0039] 现在,将参照附图更详细地描述根据本发明的示例性实施例。然而,这些示例性实施例可以多种不同的形式来实施,并且不应当被解释为只限于这里所阐述的实施例。应当理解的是,提供这些实施例是为了使得本发明的公开彻底且完整,并且将这些示例性实施例的构思充分传达给本领域普通技术人员。在附图中,为了清楚起见,夸大了层和区域的厚度,并且使用相同的附图标记表示相同的元件,因而将省略对它们的描述。

[0040] 为了增加封装密度,实现更多的功能,现有设计中采用单位面积上布置更多的焊垫的方式,以实现多功能电路外接;与此同时,为了不增加半导体器件尺寸,焊垫的尺寸必须相应的缩小。在采用引线键合进行封装的工艺中,如球形键合头(ball bonding)在与焊垫结合的过程中,往往产生对焊垫的一个应力。随着焊垫尺寸的减小,施加在焊垫上的应力得不到释放,造成焊垫被砸碎而产生缺陷。一种解决方法是,在半导体器件制造过程中增加焊垫的厚度。然而,在半导体器件制造过程中,形成与焊垫相连接的、连向晶体管的通孔和金属层的过程中往往采用低K介电层作为层间介电层进行绝缘和支撑,低K介电层材料使得半导体器件整体结构对于薄膜应力的敏感度增加,限制了在形成焊垫过程中形成的薄膜和焊垫的厚度,使得焊垫厚度在垂直方向上不能做得很厚。

[0041] 如图1所示,示出了一种半导体器件的结构示意图。半导体器件包括半导体衬底100和形成在半导体衬底上的重布线层101,其中,在半导体衬底100中形成有半导体器件层1001和将半导体器件导通至外部电路的导电连接件,导电连接件包括多层金属层和导电通孔,如图1中所示的位于半导体器件层顶部的金属层1003和用于与外部电路导通连接的顶层金属层1002之间采用通孔1004连接;形成导电连接件的过程中在半导体衬底上形成低K介电层1005;重布线层101包括第一钝化层1011、第二钝化层1012以及焊垫材料层1013,其中焊垫材料层1013一部分与顶层金属层1002连接导通,一部分由第二钝化层1012暴露形成焊垫1014。在引线键合封装工艺中,焊接头102在砸向焊垫1014的过程中,会产生一个键合应力,由于焊垫尺寸小,键合应力的施加过程中不能提供足够的支撑,往往发生焊垫1014被砸碎的现象。而在半导体器件制造过程中低K介电层1005的使用,使得重布线层101以及焊垫1014在垂直方向的厚度增加受到限制。

[0042] 为了解决现有技术中的技术问题,本发明提供了一种半导体器件制造方法,所述方法包括:

[0043] 提供半导体衬底,所述半导体衬底上形成有顶层金属层;

[0044] 在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层，所述应力缓冲层位于所述顶层金属层的上方；

[0045] 在所述应力缓冲层上形成焊垫，所述焊垫与所述顶层金属层电连接。

[0046] 根据本发明的半导体器件制造方法，在半导体器件的焊垫的底部设置应力缓冲层，利用应力缓冲层缓冲焊接头在引线键合过程中施加在焊垫的应力，避免了焊垫在键合过程中被砸碎；同时，因为将应力缓冲层设置在第一钝化层之中，并没有带来额外的薄膜应力，保证了半导体器件质量。

[0047] 下面参看图2、图3A-3G对本发明的所提出的一种半导体器件制造方法和半导体器件进行示例性说明，其中图2为根据本发明的一个实施例的一种半导体器件制造方法的示例性流程图；图3A-3G为根据本发明的一个实施例的、一种半导体器件制造方法中形成的半导体器件结构示意图。

[0048] 首先，参看图2，执行步骤S1：提供半导体衬底，所述半导体衬底上形成有顶层金属层。

[0049] 所述半导体衬底可以是由未掺杂的单晶硅、掺有杂质的单晶硅、绝缘体上硅(SOI)等晶圆经过半导体工艺形成具有多个半导体器件功能区的晶圆。如图3A示出了根据本发明的实施例的、一种半导体衬底的结构示意图。半导体衬底200包括半导体器件层2001以及位于半导体器件层上方用以将半导体器件与外电路连接的导电连接层，导电连接层包括多层金属层和导电通孔，如图3A所示，导电连接层包含有位于半导体器件层2001顶部与位于半导体器件层2001中的半导体器件相连通的金属层2003，与焊垫相连的、用以与外部电路导通的顶层金属层2002以及位于金属层2003和顶层金属层2002之间、将两者进行电连接的导电通孔2004，半导体衬底还包括在形成导电连接层的过程中形成的介质层2005，一般的，为低k介电层。其中半导体器件层2001通常采用单晶硅，多晶硅等材料的晶圆经过阱区工艺、栅极工艺等形成晶体管器件，本领域技术人员可以根据需要进行实施。在半导体器件层上形成导电连接层的工艺可以采用大马士革工艺等本领域技术人员所熟知的工艺，在此并不限定。需要理解的是，导电连接层可以包括多层金属层与多层导电通孔，本实施例以包含两层金属层和一层导电通孔为实施例，仅仅是示例性的，本领域技术人员可以根据需要进行布置。

[0050] 接着，继续参看图2，执行步骤S2：在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层，所述应力缓冲层位于所述顶层金属层的上方。

[0051] 示例性的，形成焊垫的过程采用重布线层工艺进行，所述重布线层工艺包括如下步骤：在所述半导体衬底上形成第一钝化层，所述第一钝化层露出部分所述顶层金属层；在所述半导体衬底上形成焊垫材料层，所述焊垫材料层与所述顶层金属层连接；在所述半导体衬底上形成第二钝化层，所述第二钝化层露出部分所述焊垫材料层以形成所述焊垫。在形成第一钝化层的过程中形成位于所述第一钝化层中的应力缓冲层，可以在不改变现有重布线工艺的情况下，将应力缓冲层形成步骤添加入现有芯片制程，可以简化制程实施流程，减少生产成本。需要理解的是，这里采用重布线层工艺对本发明形成应力缓冲层和焊垫的过程进行描述仅仅是示例性的，本领域技术人员可以根据需要对本发明的方法的应用进行选择，任何形成第一钝化层并在第一钝化层中形成应力缓冲层，以及在应力缓冲层上形成焊垫的方法均适用于本发明。

[0052] 示例性的,在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层的步骤包括:在所述半导体衬底上形成应力缓冲层,所述应力缓冲层与所述顶层金属层电连接;在所述半导体衬底上形成第一钝化材料层,执行化学机械研磨以露出所述应力缓冲层。下面参看图3B-3C对本发明的一种半导体器件的制造方法中在在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层的步骤进行进一步的描述。

[0053] 首先,在所述半导体衬底上形成第一钝化层之前在所述半导体衬底上形成应力缓冲层,所述应力缓冲层与所述第一钝化层具有相同的厚度。如图3B所示,在半导体衬底200上拟形成焊垫的位置形成应力缓冲层201。示例性的,在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层的步骤包括:在所述半导体衬底上形成应力缓冲层,所述应力缓冲层与所述顶层金属层连接;在所述半导体衬底上形成第一钝化层,所述第一钝化层露出所述应力缓冲层并与所述应力缓冲层具有相同的厚度。

[0054] 首先,在所述半导体衬底上形成应力缓冲层。具体的,在所述半导体衬底上沉积一层应力缓冲材料层;图形化所述应力缓冲材料层,以形成所述应力缓冲层。示例性的,所述应力缓冲材料层可以是任何用以缓冲施加在所述焊垫上的应力的材料层,如与焊垫材料相一致的材料层以增加焊垫厚度的形式对施加在焊垫上的应力进行缓冲,或者较焊垫材料韧性高的材料层以传递和减小施加在焊垫上的应力的形式对施加在焊垫上的应力进行缓冲等等。示例性的,所述应力缓冲材料层设置为与所述焊垫材料相一致的材料。将应力缓冲层和焊垫材料层设置为同一种材料,从而使焊垫的厚度相当于导电材料层和重布线层中焊垫材料层的总和,在不改变焊垫材料层的厚度的情况下,增加了焊垫的厚度,有效缓冲引线键合工艺中键合应力。示例性的,所述焊垫的材料设置为金属A1或A1合金,所述应力缓冲层设置为金属A1或A1合金。示例性的,所述沉积形成应力缓冲材料层的方法可以采用化学气象沉积、物理气象沉积、原子层沉积等,所述对应应力缓冲材料层执行图形化工艺的方法包括形成图案化掩膜层和刻蚀等步骤,所述形成应力缓冲材料工艺可以采用本领域技术人员所熟知的工艺,在此不再赘述。需要理解的是,这里将应力缓冲层设置为与焊垫的材料相一致,仅仅是示例性的,任何可以对施加在所述焊垫上的应力进行缓冲的应力缓冲材料层均可适用于本发明。

[0055] 示例性的,所述应力缓冲层与顶层金属层相连。将所述应力缓冲层设置为焊垫材料层的基础上将应力缓冲层与顶层金属相连,从而使焊垫通过应力缓冲层与顶层金属层相连,相较于采用导电通孔或导电沟槽结构与顶层金属相连,所述应力缓冲层全部覆盖顶层金属层,从而增大了导电接触的面积,可以改善焊垫连接顶层金属层的导电性能。

[0056] 接着,在所述半导体衬底上形成第一钝化层。示例性的,所述形成第一钝化层的工艺重布线层工艺中进行,所述重布线层工艺可以采用现有重布线工艺的步骤,从而可以在不改变现有重布线工艺的情况下,将应力缓冲层形成步骤添加加入现有半导体器件制程,可以简化制程实施流程,减少成本。参看图3C,在半导体衬底200上形成第一钝化层2021,所述第一钝化层2021中形成有通孔2022,所述通孔2022露出部分所述顶层金属层2002用以在后续重布线层工艺中填充焊垫材料层,从而形成焊垫与顶层金属的连接导通。形成所述第一钝化层的过程包括:在半导体衬底上形成第一钝化材料层;执行化学机械研磨,以露出所述应力缓冲层;对所述第一钝化材料层执行图形化工艺,以形成位于未被应力缓冲层覆盖的

顶层金属层顶部的沟槽。所述第一钝化材料层可以是任何起介电隔离的材料,如氧化硅、氮化硅等。示例性的,所述沉积形成第一钝化材料层的方法可以采用物理气象沉积、原子层沉积等,所述对第一钝化材料层执行图形化工艺的方法包括形成图案化掩膜层和刻蚀等步骤,所述形成第一钝化层的工艺可以采用本领域技术人员所熟知的工艺,在此不再赘述。

[0057] 示例性的,在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层的步骤包括:在所述半导体衬底上沉积形成第一钝化材料层,对所述第一钝化材料层执行图形化工艺,以在所述半导体衬底上拟形成应力缓冲层的位置形成沟槽,所述沟槽露出所述顶层金属层;在所述沟槽中填充应力缓冲材料层以形成所述应力缓冲层。下面参看图3D-3E对本发明的另一种半导体器件的制造方法中在在所述半导体衬底上形成第一钝化层以及位于所述第一钝化层中的应力缓冲层的步骤进行进一步的描述。

[0058] 首先,在所述半导体衬底上沉积形成第一钝化材料层,对所述第一钝化材料层执行图形化工艺,以在所述半导体衬底上拟形成应力缓冲层的位置形成沟槽,所述沟槽露出所述顶层金属层。参看3D,示出了在半导体衬底上形成第一钝化材料层的结构示意图。在半导体衬底200上形成第一钝化材料层2031,在第一钝化材料层2031上拟形成应力缓冲的位置形成有沟槽2032,所述沟槽用以填充应力缓冲层。所述沟槽的深度等于所述第一钝化层厚度的深度。示例性的,所述第一钝化材料层可以是任何起介电隔离的材料,如氧化硅、氮化硅等。示例性的,所述沉积形成第一钝化材料层的方法可以采用化学气象沉积、物理气象沉积、原子层沉积等,所述对第一钝化材料层执行图形化工艺的方法包括形成图案化掩膜层和刻蚀等步骤,所述形成第一钝化层的工艺可以采用本领域技术人员所熟知的工艺,在此不再赘述。

[0059] 接着,在所述沟槽中填充应力缓冲材料层以形成所述应力缓冲层。示例性的,形成所述应力缓冲层的步骤包括:在所述半导体衬底上形成图案化光刻胶层,所述图案化光刻胶层覆盖所述半导体衬底,并露出拟形成应力缓冲层的沟槽;在所述半导体衬底上沉积一层应力缓冲材料层;执行化学机械研磨以去除所述沟槽外的应力缓冲材料层,形成所述应力缓冲层;去除所述半导体衬底上覆盖的其他光刻胶层。如图3E所示,在所述沟槽2032中填充应力缓冲材料层,以形成应力缓冲层204,而通孔2033因为光刻胶层的填充和去除过程并未被焊垫材料层填充,从而用以后续焊垫材料层的填充。示例性的,所述应力缓冲材料层可以是任何用以缓冲施加在所述焊垫上的应力的材料层,如与焊垫材料相一致的材料层以增加焊垫厚度的形式对施加在焊垫上的应力进行缓冲,或者较焊垫材料任性高的材料层以传递和减小施加在焊垫上的应力的形式对施加在焊垫上的应力进行缓冲等等。示例性的,所述应力缓冲材料层设置为与所述焊垫材料相一致的材料。示例性的,所述焊垫的材料设置为金属A1或A1合金,所述应力缓冲层设置为金属A1或A1合金。将应力缓冲层和焊垫材料层设置为同一种材料,从而使焊垫的厚度相当于导电材料层和重布线层中焊垫材料层的加和,在不改变焊垫材料层的厚度的情况下,增加了焊垫的厚度,有效缓冲引线键合工艺中键合应力。示例性的,所述沉积形成应力缓冲材料层的方法可以采用化学气象沉积、物理气象沉积、原子层沉积等,所述化学机械研磨工艺可以采用本领域技术人员所熟知的工艺,在此不再赘述。需要理解的是,这里将应力缓冲材料层设置为金属A1,仅仅是示例性的,任何可以对施加在所述焊垫上的应力进行缓冲的的应力缓冲材料层均可适用于本发明。

[0060] 需要理解的是,本发明提供的两种在第一钝化层中形成应力缓冲层的步骤仅仅是



示例性的,任何可在第一钝化层中形成与顶层金属层电连接并位于焊垫下方的应力缓冲层的步骤均适用于本发明。

[0061] 接着,继续参看图2,执行步骤S3:在所述应力缓冲层上形成焊垫,所述焊垫与所述顶层金属层电连接。

[0062] 示例性的,在所述应力缓冲层上形成焊垫的步骤包括:在所述第一钝化层上形成露出所述顶层金属层的另一开口;在所述半导体衬底上形成焊垫材料层,所述焊垫材料层填充所述另一开口,以形成所述焊垫材料层与顶层金属层之间的电连接;在所述半导体衬底上形成第二钝化层,所述第二钝化层中形成有露出部分所述焊垫材料层的开口。

[0063] 继续以重布线层工艺中形成焊垫的过程为示例进行说明。

[0064] 首先,参看图3F,在半导体衬底200上形成焊垫材料层2023,所述焊垫材料层2023在通孔2022(2032)处与顶层金属层2002相连。在所述半导体衬底上形成所述焊垫材料层的步骤包括:首先在半导体衬底上沉积焊垫材料层,所述焊垫材料层填充位于第一钝化层中的通孔,与顶层金属层连接;接着,对所述焊垫材料层执行图形化工艺,以形成焊垫层。所述焊垫材料层可以是任何用以形成电路导通的焊垫材料层,如导电材料层,示例性的,采用金属A1。示例性的,所述沉积焊垫材料层的方法可以采用物理气象沉积、原子层沉积等,所述对焊垫材料层执行图形化工艺的方法包括形成图案化掩膜层和刻蚀等步骤,所述形成焊垫材料层的工艺可以采用本领域技术人员所熟知的工艺,在此不再赘述。基于在前述形成应力缓冲层的步骤中,形成的应力缓冲层与将应力缓冲层和焊垫材料层设置为同一种材料,从而使焊垫的厚度相当于导电材料层和重布线层中焊垫材料层的加和,在不改变焊垫材料层的厚度的情况下,增加了焊垫的厚度,有效缓冲引线键合工艺中施加在焊垫上的应力。

[0065] 接着,如图3G所示,在半导体衬底200上形成第二钝化层2025,所述第二钝化层2025露出焊垫材料层2023的部分构成焊垫2024;所述第一钝化层2021焊垫材料层2023和第二钝化层2025共同构成重布线层202。形成所述第二钝化层的步骤包括:首先在半导体衬底上沉积一层第二钝化材料层;接着,以特定图案为掩膜刻蚀所述第二钝化材料层以形成露出焊垫材料层的开口,所述开口暴露的焊垫材料层构成所述焊垫。所述第二钝化材料层的材料可以任何介电材料,如等离子增强氮化硅层PESIN层、等离子增强正硅酸乙酯PETEOS层、SiN层以及正硅酸乙酯TEOS层中的一种或多种的组合。示例性的,所述沉积形成第二钝化材料层的方法可以采用物理气象沉积、原子层沉积等,所述对第二钝化材料层执行图形化工艺的方法包括形成图案化掩膜层和刻蚀等步骤,所述形成第二钝化层的工艺可以采用本领域技术人员所熟知的工艺,在此不再赘述。

[0066] 至此完成对本发明所提供的一种半导体器件的制造方法完成示例性的介绍。需要理解的是,在本实施例中形成与顶层金属层电连接的焊垫的过程中,在应力缓冲层为导电材料层且与第一钝化层厚度相同的情况下,其可省略在第一钝化层中形成露出顶层金属层开口的情形,而使焊垫通过应力缓冲层与顶层金属层电连接。同时,本实施例中列举的将应力缓冲层和焊垫材料层设置为同一种材料仅仅是示例性的,任何应力缓冲层可以起到缓冲施加在所述焊垫上的应力的作用的材料层均可以适用于本发明。进一步,本实施例中设置应力缓冲层与顶层金属层相连仅仅是示例性的,本领域技术人员可以根据需要选择应力缓冲层的厚度,以适应各种情形,如需要将顶层金属层与应力缓冲层进行绝缘的情形,在此不再赘述。

[0067] 本发明还提供了一种半导体器件,所述半导体器件包括:

[0068] 半导体衬底,所述半导体衬底上形成有顶层金属层;

[0069] 形成在所述半导体衬底上的第一钝化层和位于所述第一钝化层中的应力缓冲层,所述应力缓冲层位于所述顶层金属层的上方;以及

[0070] 形成在所述应力缓冲层上方的焊垫,所述焊垫与所述顶层金属层电连接。

[0071] 参看图3G,半导体器件包括半导体衬底200,所述半导体衬底200可以是由未掺杂的单晶硅、掺杂杂质的单晶硅、绝缘体上硅(SOI)等晶圆经过半导体工艺形成的具有多个半导体器件功能区的晶圆,半导体衬底200包括半导体器件层2001以及位于半导体器件层上方用以将半导体器件与外电路连接的导电连接层,导电连接层包括多层金属和导电通孔;导电连接层中包括位于半导体器件层2001顶部与半导体器件层2001中的半导体器件相连通的金属层2003、与焊垫相连的顶层金属层2002以及位于金属层2003和顶层金属层2002之间的导电通孔2004,半导体衬底还包括在形成导电连接层的过程中形成的介质层2005,一般的,为低k介电层。

[0072] 继续参看图3G,第一钝化层2021和位于第一钝化层2021中的应力缓冲层201,所述应力缓冲层201位于顶层金属层2002的上方,。所述半导体器件还包括位于所述应力缓冲层上方的焊垫材料层2023,以及第二钝化层2025,其中所述第二钝化层露出部分焊垫材料层2023,从而构成焊垫2024,焊垫2024与顶层金属层2002形成电连接。在一个示例中,所述第一钝化层2021、焊垫材料层2023和第二钝化层2025,构成重布线层202。所述第一钝化材料层可以是任何起介电隔离的材料,如氧化硅、氮化硅等。所述焊垫材料层可以是任何起导电连接作用的导电材料,示例性的,如金属A1,或掺杂A1。所述第二钝化材料层的材料可以任何介电材料,如等离子增强氮化硅层PESIN层、等离子增强正硅酸乙酯PETEOS层、SiN层以及正硅酸乙酯TEOS层中的一种或多种的组合。所述应力缓冲材料层可以是任何用以缓冲施加在所述焊垫上的应力的材料层,如与焊垫材料相一致的材料层以增加焊垫厚度的形式对施加在焊垫上的应力进行缓冲,或者较焊垫材料任性高的材料层以传递和减小施加在焊垫上的应力的形式对施加在焊垫上的应力进行缓冲等等。在半导体器件的焊垫的底部设置应力缓冲层,利用应力缓冲层缓冲焊接头在引线键合过程中施加在焊垫的应力,避免了焊垫在键合过程中被砸碎;同时,因为将应力缓冲层设置在第一钝化层之中,并没有带来额外的薄膜应力,保证了半导体器件质量。需要理解的是,这里将第一钝化层、第二钝化层以及焊垫材料层设置为重布线层结构的形式仅仅是示例性的,任何包含有焊垫的多层薄膜结构的结构形成均适用于本发明。

[0073] 示例性的,所述应力缓冲材料层设置为与所述焊垫材料相一致的材料。示例性的,所述焊垫的材料设置为金属A1或A1合金,所述应力缓冲层设置为金属A1或A1合金。将应力缓冲层和焊垫材料层设置为同一种材料,从而使焊垫的厚度相当于导电材料层和重布线层中焊垫材料层的加和,在不改变焊垫材料层的厚度的情况下,增加了焊垫的厚度,有效缓冲引线键合工艺中键合应力。示例性的,所述沉积形成应力缓冲材料层的方法可以采用化学气象沉积、物理气象沉积、原子层沉积等,所述对应力缓冲材料层执行图形化工艺的方法包括形成图案化掩膜层和刻蚀等步骤,所述形成应力缓冲材料工艺可以采用本领域技术人员所熟知的工艺,在此不再赘述。需要理解的是,这里将应力缓冲材料层设置为与焊垫材料一致,仅仅是示例性的,任何可以对施加在所述焊垫上的应力进行缓冲的应力缓冲材料层均

可适用于本发明。

[0074] 示例性的,所述应力缓冲层为导电材料层。将应力缓冲层设置为导电材料层,使应力缓冲层在对施加在焊盘上的应力进行缓冲的同时使得焊盘可以通过应力缓冲层与顶部金属层形成电连接。示例性的,所应力缓冲层与所述第一钝化层具有相同的厚度,如图3E所示,应力缓冲层201与第一钝化层2021具有相同的厚度。将所述应力缓冲层设置为与所述重布线层之中的第一钝化层具有相同的厚度,一方面使应力缓冲层的厚度最大化,在不改变重布线层设计的情况下,可以最大化焊垫的厚度,使得应力缓冲层对施加在焊垫上的应力进行缓冲的效果最大化,进一步保证了半导体器件质量。另一方面,所述应力缓冲层与顶层金属层相连。如图3E所示,应力缓冲层201与第一钝化层2021具有相同的厚度,应力缓冲层201的底部与顶层金属层2002相连,在应力缓冲层201为导电材料的情况下,使焊垫通过应力缓冲层与顶层金属层相连,相较于采用焊垫通过导电通孔结构与顶层金属相连,所述应力缓冲层全部覆盖顶层金属层,从而增大了导电接触的面积,可以改善焊垫相连的导电性能。

[0075] 综上所述,根据本发明的半导体器件制造方法和半导体器件,在半导体器件的焊垫的底部设置应力缓冲层,利用应力缓冲层缓冲焊接头在引线键合过程中施加在焊垫的应力,避免了焊垫在键合过程中被砸碎;同时,因为将应力缓冲层设置在第一钝化层之中,并没有带来额外的薄膜应力,保证了半导体器件质量。

[0076] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

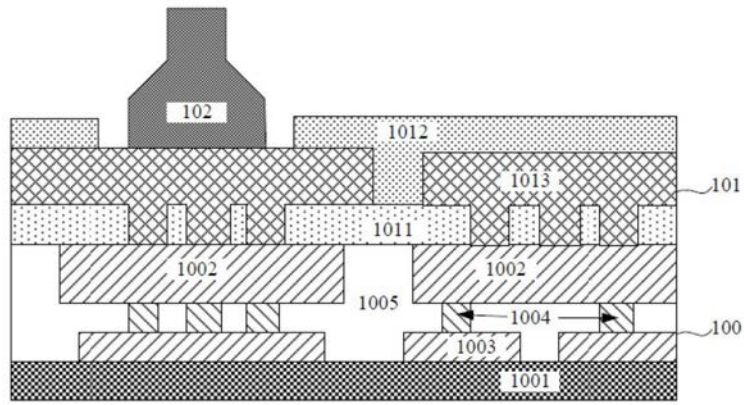


图1

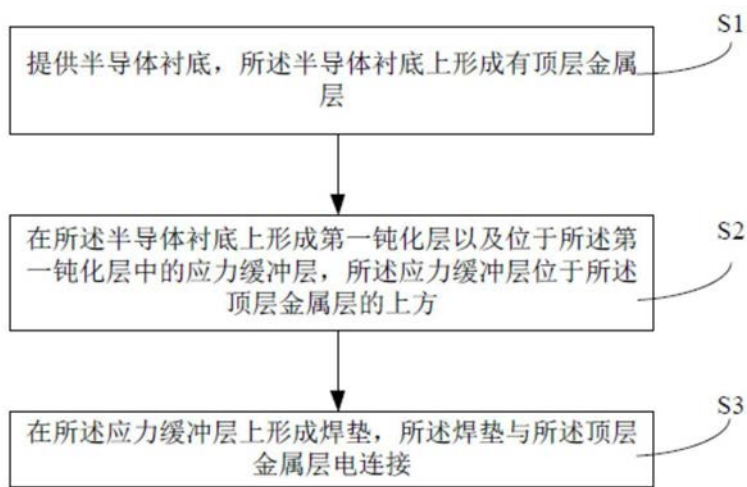


图2

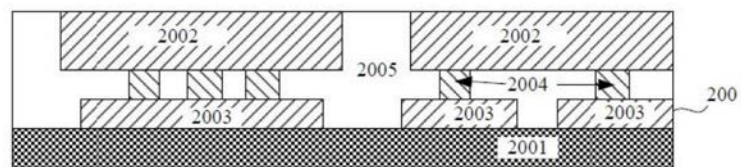


图3A

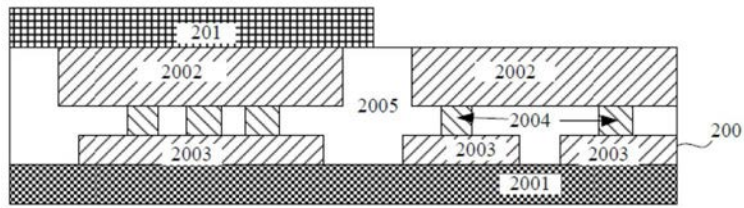


图3B

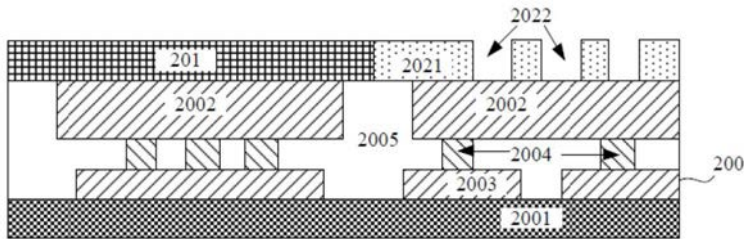


图3C

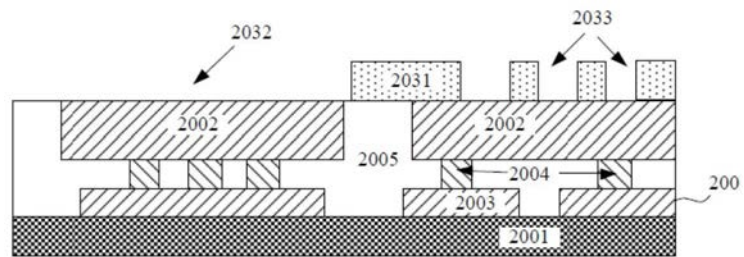


图3D

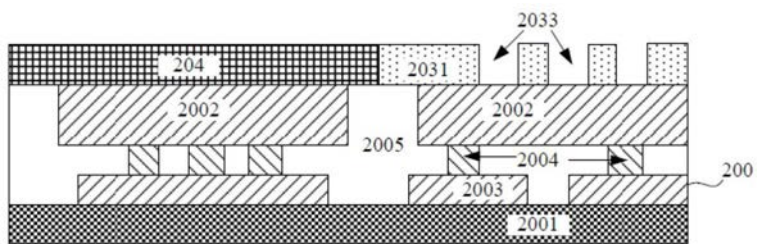


图3E

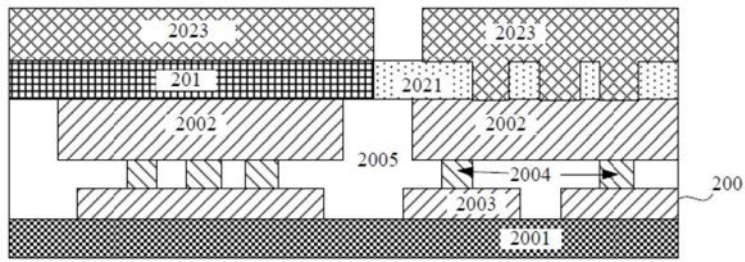


图3F

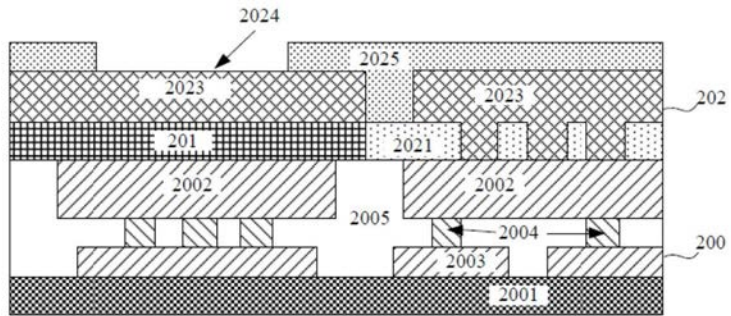


图3G